

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4102112号  
(P4102112)

(45) 発行日 平成20年6月18日(2008.6.18)

(24) 登録日 平成20年3月28日(2008.3.28)

(51) Int.Cl. F I  
 HO 1 L 21/8247 (2006.01) HO 1 L 27/10 4 3 4  
 HO 1 L 27/115 (2006.01) HO 1 L 29/78 3 7 1  
 HO 1 L 29/788 (2006.01)  
 HO 1 L 29/792 (2006.01)

請求項の数 25 (全 38 頁)

(21) 出願番号	特願2002-165698 (P2002-165698)	(73) 特許権者	000003078
(22) 出願日	平成14年6月6日(2002.6.6)		株式会社東芝
(65) 公開番号	特開2004-14783 (P2004-14783A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成16年1月15日(2004.1.15)	(74) 代理人	100058479
審査請求日	平成15年7月29日(2003.7.29)		弁理士 鈴江 武彦
前置審査		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100070437
			弁理士 河井 将次

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、前記半導体基板に形成された第1導電型の半導体領域と、前記第1導電型の半導体領域に形成された第2導電型のソース領域およびドレイン領域と、電氣的にデータの書き込み消去が可能な情報蓄積部と、少なくともひとつの制御ゲート電極とをそれぞれ有する複数のメモリセルトランジスタと、

前記メモリセルトランジスタの情報蓄積部の膜厚と制御ゲート電極の膜厚とを加えた膜厚と実質的に等しい膜厚をもち、前記情報蓄積部及び前記制御ゲート電極と同一の材料によって形成された導電膜を有する共通ソース線と、

ビット線コンタクトと、

を具備し、

前記共通ソース線が少なくとも、不純物をドーブした多結晶シリコンで形成された第1の導電層と、前記第1の導電層の上に形成された、前記第1の導電層よりも抵抗率の低い第2の導電層とを有することを特徴とする半導体装置。

【請求項2】

半導体基板と、前記半導体基板に形成された第1導電型の半導体領域と、前記第1導電型の半導体領域に形成された第2導電型のソース領域およびドレイン領域と、電氣的にデータの書き込み消去が可能な情報蓄積部と、少なくともひとつの制御ゲート電極とをそれぞれ有する複数のメモリセルトランジスタと、

前記第1導電型の半導体領域に形成された第2導電型のソース領域およびドレイン領域

と、少なくともひとつの制御ゲート電極とをそれぞれ有し、前記複数のメモリセルトランジスタの端部に配置された第1及び第2の選択トランジスタと、

前記メモリセルトランジスタの情報蓄積部の膜厚と制御ゲート電極の膜厚とを加えた膜厚と実質的に等しい膜厚をもち、前記情報蓄積部及び前記制御ゲート電極と同一の材料によって形成され、前記第1の選択トランジスタの一端に配置された導電膜を有する共通ソース線と、

前記第2の選択トランジスタの前記ドレイン領域と電氣的に接続されたビット線コンタクトと、を具備し、

前記第1の選択トランジスタと前記第2の選択トランジスタとの間に前記複数のメモリセルトランジスタが配置され、前記共通ソース線が少なくとも、不純物をドーブした多結晶シリコンで形成された第1の導電層と、前記第1の導電層の上に形成された、前記第1の導電層よりも抵抗率の低い第2の導電層とを有していることを特徴とする半導体装置。

10

【請求項3】

前記メモリセルトランジスタは、前記第1導電型の半導体領域上に形成された第1の絶縁膜を有し、

前記共通ソース線は、前記共通ソース線が有する前記導電層と前記半導体基板との間に、一部が除去された前記第1の絶縁膜を有することを特徴とする請求項1または2に記載の半導体装置。

【請求項4】

前記第2の導電層が、シリコンの金属化合物、金属、及びバリアメタルのうちのいずれかと金属との積層構造によって形成されていることを特徴とする請求項1乃至3のいずれか1つに記載の半導体装置。

20

【請求項5】

前記メモリセルトランジスタの情報蓄積部は、不純物をドーブした多結晶シリコンからなる浮遊ゲートであって、前記浮遊ゲートの上に第2の絶縁膜を介して前記制御ゲート電極が形成され、

前記共通ソース線は、一部が除去された前記第2の絶縁膜と、前記制御ゲート電極と実質的に等しい膜厚を持つ同一の材料によって形成された導電層を有することを特徴とする請求項1乃至4のいずれか1つに記載の半導体装置。

【請求項6】

前記メモリセルトランジスタは、絶縁膜によって形成された情報蓄積部を含む複数の絶縁膜を積層した構造のゲート絶縁膜を有し、前記制御ゲート電極は、前記ゲート絶縁膜の上に形成され、

前記共通ソース線は、前記制御ゲート電極と実質的に等しい膜厚を持つ同一の材料によって形成された導電層を有することを特徴とする請求項1乃至4のいずれか1つに記載の半導体装置。

30

【請求項7】

前記メモリセルトランジスタの制御ゲート電極上面と前記半導体基板表面との距離で定義される、メモリセルトランジスタ高さ、と、

前記共通ソース線の有する最上層の導電層上面と前記半導体基板表面との距離で定義される、共通ソース線高さ、とが、

実質的に等しいか、前記共通ソース線高さが前記メモリセルトランジスタ高さよりも低いかのいずれかであることを特徴とする請求項1乃至6のいずれか1つに記載の半導体装置。

40

【請求項8】

第1導電型の半導体基板と、

前記半導体基板に、互いに離間して形成された第2導電型のソース領域、ドレイン領域と、前記ソース領域と前記ドレイン領域との間の前記半導体基板上に形成された第1ゲート絶縁膜と、前記第1ゲート絶縁膜上に形成された浮遊ゲートと、前記浮遊ゲート上に形成された第2ゲート絶縁膜と、前記第2ゲート絶縁膜上に形成された制御ゲートとをそれ

50

ぞれ有する複数のメモリセルトランジスタが、前記ソース領域と前記ドレイン領域を介して直列に接続されたNAND型セルと、

前記半導体基板上に第1ゲート絶縁膜を介して形成され、前記浮遊ゲートと同一の材料からなる第1導電膜と、前記第1導電膜上に形成され、開口部を有する前記第2ゲート絶縁膜と、前記第2ゲート絶縁膜上に形成され、前記制御ゲートと同一の材料からなる第2導電膜とをそれぞれ有し、前記NANDセルの両端に配置された第1及び第2の選択トランジスタと、

前記半導体基板上に形成され、前記浮遊ゲートと同一の材料からなる第3導電膜と、前記第3導電膜上に配置され、前記制御ゲートと同一の材料からなる第4導電膜とを有し、前記第1の選択トランジスタの一端に配置されたソース線と、

前記第2の選択トランジスタのドレイン領域と電氣的に接続されたビット線コンタクトと、を具備し、

前記第1の選択トランジスタと前記第2の選択トランジスタとの間に前記NAND型セルが配置されて、前記浮遊ゲート、前記第1導電膜及び前記第3導電膜は多結晶シリコン膜を有し、前記制御ゲート、前記第2及び第4導電膜は、多結晶シリコン膜と、この多結晶シリコン膜上に形成されたシリサイド膜とを有していることを特徴とする半導体装置。

【請求項9】

前記半導体基板面から前記第4導電膜の上面までの高さは、前記半導体基板面から前記制御ゲートの上面までの高さより低いことを特徴とする請求項8に記載の半導体装置。

【請求項10】

前記NAND型セル、前記第1及び第2の選択トランジスタ、及び前記ソース線の上部に形成された第1の層間絶縁膜と、

前記第1の層間絶縁膜上に、前記ビット線コンタクトに接続されるビット線が形成されていることを特徴とする請求項8または9に記載の半導体装置。

【請求項11】

前記ソース線の前記第3導電膜は、前記第1の選択トランジスタのソース領域と接続されている第2導電型の不純物拡散層と接触していることを特徴とする請求項8乃至10のいずれか1つに記載の半導体装置。

【請求項12】

前記第2ゲート絶縁膜は、前記浮遊ゲート上に酸化膜、窒化膜、酸化膜の順に積層された積層構造を有することを特徴とする請求項8乃至11のいずれか1つに記載の半導体装置。

【請求項13】

半導体基板上に第1絶縁膜を介して形成された浮遊ゲートと、前記浮遊ゲート上に第2絶縁膜を介して形成された制御ゲートとをそれぞれ有する複数のメモリセルトランジスタと、

前記半導体基板上に第3絶縁膜を介して形成され、前記浮遊ゲートと同一の材料からなる第1導電膜と、前記第1導電膜上に形成され、開口部を有する第4絶縁膜と、前記第4絶縁膜上に形成され、前記制御ゲートと同一の材料からなる第2導電膜とをそれぞれ有し、前記複数のメモリセルトランジスタの端部に配置された第1及び第2の選択トランジスタと、

前記半導体基板上に形成され、前記浮遊ゲートと同一の材料からなる第3導電膜と、前記第3導電膜上に形成され、開口部を有する前記第5絶縁膜と、前記第5絶縁膜上に形成され、前記制御ゲートと同一の材料からなる第4導電膜とを有し、前記第1の選択トランジスタの一端に配置されたソース線と、

前記第2の選択トランジスタのドレイン領域と電氣的に接続されたビット線コンタクトと、

前記複数のメモリセルトランジスタ、前記第1及び第2の選択トランジスタ、及び前記ソース線の上部に形成された第1の層間絶縁膜と、

前記第1の層間絶縁膜上に形成され、前記ビット線コンタクトに接続されるビット線と

10

20

30

40

50

、を具備し、

前記第 1 の選択トランジスタと前記第 2 の選択トランジスタとの間に前記複数のメモリセルトランジスタが配置されて、前記浮遊ゲート、前記第 1 導電膜、及び第 3 導電膜は多結晶シリコン膜を有し、前記制御ゲート、前記第 2 導電膜、及び第 4 導電膜は、多結晶シリコン膜と、この多結晶シリコン膜上に形成されたシリサイド膜、シリコン金属化合物、及び金属のうちのいずれか 1 つとを有していることを特徴とする半導体装置。

【請求項 1 4】

半導体基板上に第 1 絶縁膜を介して形成された浮遊ゲートと、前記浮遊ゲート上に第 2 絶縁膜を介して形成された制御ゲートとをそれぞれ有する複数のメモリセルトランジスタと、

10

前記半導体基板上に第 3 絶縁膜を介して形成され、前記浮遊ゲートと同一の材料からなる第 1 導電膜と、前記第 1 導電膜上に形成され、開口部を有する第 4 絶縁膜と、前記第 4 絶縁膜上に形成され、前記制御ゲートと同一の材料からなる第 2 導電膜とをそれぞれ有し、前記複数のメモリセルトランジスタの端部に配置された第 1 及び第 2 の選択トランジスタと、

前記半導体基板上に形成され、前記浮遊ゲートと同一の材料からなる第 3 導電膜と、前記第 3 導電膜上に形成され、開口部を有する前記第 5 絶縁膜と、前記第 5 絶縁膜上に形成され、前記制御ゲートと同一の材料からなる第 4 導電膜とを有し、前記第 1 の選択トランジスタの一端に配置されたソース線と、

前記第 2 の選択トランジスタのドレイン領域と電気的に接続されたビット線コンタクトと、

20

前記複数のメモリセルトランジスタ、前記第 1 及び第 2 の選択トランジスタ、及び前記ソース線の上部に形成された第 1 の層間絶縁膜と、

前記第 1 の層間絶縁膜上に形成され、前記ビット線コンタクトに接続されるビット線と、を具備し、

前記第 1 の選択トランジスタと前記第 2 の選択トランジスタとの間に前記複数のメモリセルトランジスタが配置されて、前記浮遊ゲート、前記第 1 導電膜、及び第 3 導電膜は多結晶シリコン膜を有し、前記制御ゲート、前記第 2 導電膜、及び第 4 導電膜は、シリコン金属化合物と金属のうちのいずれか 1 つを有することを特徴とする半導体装置。

【請求項 1 5】

30

前記半導体基板面から前記ソース線が有する前記第 4 導電膜の上面までの高さは、前記半導体基板面から前記メモリセルトランジスタが有する前記制御ゲートの上面までの高さより低いことを特徴とする請求項 1 3 または 1 4 に記載の半導体装置。

【請求項 1 6】

半導体基板上に第 1 絶縁膜を介して形成された浮遊ゲートと、前記浮遊ゲート上に第 2 絶縁膜を介して形成された制御ゲートとをそれぞれ有する複数のメモリセルトランジスタと、

前記半導体基板上に第 3 絶縁膜を介して形成され、前記浮遊ゲートと同一の材料からなる第 1 導電膜と、前記第 1 導電膜上に形成され、開口部を有する第 4 絶縁膜と、前記第 4 絶縁膜上に形成され、前記メモリセルトランジスタの前記制御ゲートと同一の材料からなる第 2 導電膜とをそれぞれ有し、前記複数のメモリセルトランジスタに隣接して配置された第 1 及び第 2 の選択トランジスタと、

40

前記第 1 の選択トランジスタの拡散層上に形成された絶縁膜中に形成されかつ前記半導体基板に達する溝に埋め込まれ、上面の前記半導体基板面からの高さが、前記半導体基板面から前記メモリセルトランジスタの前記制御ゲートの上面までの高さより高い第 3 導電膜を有し、前記第 1 の選択トランジスタの一端に配置されたソース線と、

前記第 2 の選択トランジスタのドレイン領域と電気的に接続されたビット線コンタクトと、を具備し、

前記第 1 の選択トランジスタと前記第 2 の選択トランジスタとの間に前記複数のメモリセルトランジスタが配置され、前記制御ゲート、前記第 2 導電膜、及び前記第 3 導電膜は

50

、多結晶シリコン膜と、この多結晶シリコン膜上に形成されたシリサイド膜、シリコン金属化合物、及び金属膜のうちのいずれか1つとを有していることを特徴とする半導体装置

【請求項17】

半導体基板上に第1絶縁膜を介して形成された浮遊ゲートと、前記浮遊ゲート上に第2絶縁膜を介して形成された制御ゲートとをそれぞれ有する複数のメモリセルトランジスタと、

前記半導体基板上に第3絶縁膜を介して形成され、前記浮遊ゲートと同一の材料からなる第1導電膜と、前記第1導電膜上に形成され、開口部を有する第4絶縁膜と、前記第4絶縁膜上に形成され、前記メモリセルトランジスタの前記制御ゲートと同一の材料からなる第2導電膜とをそれぞれ有し、前記複数のメモリセルトランジスタに隣接して配置された第1及び第2の選択トランジスタと、

前記第1の選択トランジスタの拡散層上に形成された絶縁膜中に形成されかつ前記半導体基板に達する溝に埋め込まれ、上面の前記半導体基板面からの高さが、前記半導体基板面から前記メモリセルトランジスタの前記制御ゲートの上面までの高さより高い第3導電膜を有し、前記第1の選択トランジスタの一端に配置されたソース線と、

前記第2の選択トランジスタのドレイン領域と電氣的に接続されたビット線コンタクトと、を具備し、

前記第1の選択トランジスタと前記第2の選択トランジスタとの間に前記複数のメモリセルトランジスタが配置され、前記制御ゲート、前記第2導電膜、及び前記第3導電膜は、シリコン金属化合物と金属膜のうちのいずれか1つを有していることを特徴とする半導体装置。

【請求項18】

前記複数のメモリセルトランジスタ、前記第1及び第2の選択トランジスタ、及び前記ソース線の上部に形成された第1の層間絶縁膜を備え、

前記第1の層間絶縁膜上に、前記ビット線コンタクトに接続されるビット線が形成されていることを特徴とする請求項16または17に記載の半導体装置。

【請求項19】

前記第3絶縁膜は、前記第1絶縁膜と同一の材料からなり、かつ連続的に形成された同一の膜であることを特徴とする請求項16乃至18のいずれか1つに記載の半導体装置。

【請求項20】

前記半導体基板面から前記ソース線が有する前記第3導電膜の上面までの高さは、前記半導体基板面から前記メモリセルトランジスタが有する前記制御ゲートの上面までの高さより10から100nm高いことを特徴とする請求項16乃至19のいずれか1つに記載の半導体装置。

【請求項21】

半導体基板上に第1絶縁膜を介して形成された浮遊ゲートと、前記浮遊ゲート上に第2絶縁膜を介して形成された制御ゲートとをそれぞれ有する複数のメモリセルトランジスタが、それらのソース領域とドレイン領域を介して直列に接続されたNAND型セルと、

前記半導体基板上に第3絶縁膜を介して形成され、前記浮遊ゲートと同一の材料からなる第1導電膜と、前記第1導電膜上に形成され、開口部を有する第4絶縁膜と、前記第4絶縁膜上に形成され、前記制御ゲートと同一の材料からなる第2導電膜とをそれぞれ有し、前記NAND型セルの両端に配置された第1及び第2の選択トランジスタと、

前記半導体基板上に形成され、前記浮遊ゲートと同一の材料からなる第3導電膜と、前記第3導電膜上に形成され、開口部を有する前記第5絶縁膜と、前記第5絶縁膜上に形成され、前記制御ゲートと同一の材料からなる第4導電膜とを有し、前記第1の選択トランジスタの一端に配置されたソース線と、

前記第2の選択トランジスタのドレイン領域と電氣的に接続されたビット線コンタクトと、を具備し、

前記第1の選択トランジスタと前記第2の選択トランジスタとの間に前記NAND型セ

10

20

30

40

50

ルが配置され、前記制御ゲート、前記第2導電膜、及び第4導電膜は、多結晶シリコン膜と、この多結晶シリコン膜上に形成されたシリサイド膜、シリコン金属化合物、及び金属膜のうちのいずれか1つとを有していることを特徴とする半導体装置。

【請求項22】

前記NAND型セル、前記第1及び第2の選択トランジスタ、及び前記ソース線の上部に形成された第1の層間絶縁膜を備え、

前記第1の層間絶縁膜上に、前記ビット線コンタクトに接続されるビット線が形成されていることを特徴とする請求項21に記載の半導体装置。

【請求項23】

前記ソース線の前記第3導電膜は、前記第1の選択トランジスタのソース領域と接続されている第2導電型の不純物拡散層と接触していることを特徴とする請求項21に記載の半導体装置。

【請求項24】

メモリセルトランジスタと、このメモリセルトランジスタに隣接して形成されると共に電氣的に接続されたソース線を有する半導体装置の製造方法において、

前記メモリセルトランジスタが形成されるメモリセル領域、及び前記ソース線が形成されるソース線領域における半導体基板上に、第1ゲート絶縁膜、第1多結晶シリコン膜を順に形成する工程と、

前記メモリセル領域及びソース線領域における前記半導体基板に、素子分離絶縁膜を形成する工程と、

前記ソース線領域における前記第1多結晶シリコン膜及び第1ゲート絶縁膜の少なくとも一部を除去する工程と、

前記メモリセル領域及びソース線領域における前記第1多結晶シリコン膜上、半導体基板上、及び素子分離絶縁膜上に、第2多結晶シリコン膜を形成する工程と、

前記第2多結晶シリコン膜を平坦化して、前記素子分離絶縁膜の表面を露出させる工程と、

前記メモリセル領域及びソース線領域における前記第2多結晶シリコン膜上及び素子分離絶縁膜上に、第2ゲート絶縁膜を形成する工程と、

前記メモリセル領域及びソース線領域における前記第2ゲート絶縁膜上に、第3多結晶シリコン膜を形成する工程と、

前記ソース線領域における一部または全部の前記第3多結晶シリコン膜及び第2ゲート絶縁膜を除去する工程と、

前記メモリセル領域における前記第3多結晶シリコン膜上に導電膜を形成すると共に、前記ソース線領域における前記第3多結晶シリコン膜上及び素子分離絶縁膜上に、前記導電膜を形成する工程と、

前記メモリセル領域及びソース線領域における、前記第1多結晶シリコン膜、前記第2ゲート絶縁膜、前記第2多結晶シリコン膜、前記第3多結晶シリコン膜、及び前記導電膜を加工して、前記メモリセル領域に前記メモリセルトランジスタのゲート電極を、前記ソース線領域にソース線を形成する工程と、

前記メモリセルトランジスタのゲート電極をマスクとして、前記半導体基板に、不純物を導入して不純物拡散層を形成する工程と、

前記不純物拡散層に電氣的に接続されるビット線コンタクトを形成する工程と、

を具備し、

前記導電膜は、シリサイド膜と多結晶シリコン膜の積層構造、シリコン金属化合物と多結晶シリコン膜との積層構造、金属膜と多結晶シリコン膜の積層構造、及びシリコン金属化合物や金属膜の単層構造のうちのいずれかの構造を有することを特徴とする半導体装置の製造方法。

【請求項25】

前記第2ゲート絶縁膜は、酸化膜、窒化膜、酸化膜の順に積層された積層構造を有することを特徴とする請求項24に記載の半導体装置の製造方法。

10

20

30

40

50

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

この発明は、ソース線を有する半導体装置及びその製造方法に関し、特にソース線を有する不揮発性半導体記憶装置及びその製造方法に関するものである。

**【0002】****【従来の技術】**

従来の半導体装置として不揮発性半導体記憶装置の一種であるNAND型のEEPROMを例に取り説明する。

**【0003】**

図37は、従来のNAND型EEPROMの回路図であり、図38(a)は前記NAND型EEPROMのレイアウト図、図38(b)は前記レイアウト図中の38B-38B線に沿った断面図である。

10

**【0004】**

図37に示すように、メモリセルトランジスタM0、M1、...、M15が直列に接続されており、その両端には選択トランジスタSGDとSGSが接続されている。選択トランジスタSGDにはビット線BLが接続され、選択トランジスタSGSにはソース線SLが接続されている。メモリセルM0~M15のゲート電極には、ワード線WL0、WL1、...、WL15がそれぞれ接続されている。さらに、選択トランジスタSGD、SGSのゲート電極には、選択線SSL、GSLがそれぞれ接続されている。

20

**【0005】**

前記ワード線WL0~WL15、選択線SSL、GSLは、図38(a)に示すように、平行に配列されている。ビット線BLは、ワード線WL0~WL15に直交するように配列されている。さらに、選択線SSL間には、ビット線コンタクトBLCが配置されている。

**【0006】**

このNAND型EEPROMでは、図38(b)に示すように、ビット線コンタクトBLCとソース線SLとの間に選択トランジスタSGD、SGSを介して、複数(図中では16個)のメモリセルM0~M15が直列に配置されている。

**【0007】**

このようなNAND型EEPROMにおけるソース線SLの構造としては、文献(Jung-Dai Choi等: IEDM Tech. Dig., pp767-770(2000))にて、図38(b)に示したように、不純物をドーブした多結晶シリコンが絶縁膜中に埋め込まれた構造(ローカルインターコネクト構造)を有するソース線が開示されている。

30

**【0008】****【発明が解決しようとする課題】**

しかしながら、前述した従来の方法には以下に述べるような問題点がある。

**【0009】**

第1の問題点は、ソース線の高さが高く形成されることである。

**【0010】**

前述の文献に開示された製造方法によれば、ソース線は少なくともメモリセルのゲートの高さよりも高く形成される。一方、ソース線が十分に低抵抗であるためには、ソース線は十分な高さで形成される必要がある。さらに、素子の微細化に伴ってソース線の幅が狭くなると、これを補うためにソース線をさらに高くする必要が生じる。

40

**【0011】**

ところで、ソース線とビット線との絶縁性を保つためにはビット線はソース線よりも高い位置に形成される必要がある。このため、ビット線コンタクトの高さはソース線が高くなるに従って高くなり、ビット線コンタクトのアスペクト比が増大する。この結果、従来の装置では、歩留まりを確保することが困難になってしまう。

**【0012】**

50

以上の問題点が生じる主な原因の1つは、ソース線を形成する埋め込み材に金属や金属化合物と比較して、導電率の低い多結晶シリコンを用いていることである。

【0013】

また、第2の問題点は、ゲート電極のパターニング工程において発生するリソグラフィマージン、例えば露光裕度などの低下である。一般に、リソグラフィマージンを確保するためには、規則的なラインアンドスペースパターンが望ましい。しかし、前述した従来の方法では、選択トランジスタ間にソース線を形成するための広いスペースを設ける必要がある。このため、パターンの規則性が乱れて、露光裕度などのリソグラフィマージンが低下するという問題がある。

【0014】

そこでこの発明は、前記課題に鑑みてなされたものであり、ソース線の高さが高くなるのを抑制してビット線コンタクトのアスペクト比の増大を防止でき、さらに、ゲート電極のパターニング工程における露光裕度などのリソグラフィマージンの低下を抑制することができる半導体装置及びその製造方法を提供することを目的とする。

【0015】

【課題を解決するための手段】

前記目的を達成するために、この発明の一実施形態の半導体装置は、半導体基板と、前記半導体基板に形成された第1導電型の半導体領域と、前記第1導電型の半導体領域に形成された第2導電型のソース領域およびドレイン領域と、電気的にデータの書き込み消去が可能な情報蓄積部と、少なくともひとつの制御ゲート電極とをそれぞれ有する複数のメモリセルトランジスタと、前記メモリセルトランジスタの情報蓄積部の膜厚と制御ゲート電極の膜厚とを加えた膜厚と実質的に等しい膜厚をもち、前記情報蓄積部及び前記制御ゲート電極と同一の材料によって形成された導電膜を有する共通ソース線と、ビット線コンタクトと、を具備し、前記共通ソース線が少なくとも、不純物をドーブした多結晶シリコンで形成された第1の導電層と、前記第1の導電層の上に形成された、前記第1の導電層よりも抵抗率の低い第2の導電層とを有することを特徴とする。

【0016】

また、前記目的を達成するために、この発明の一実施形態の半導体装置の製造方法は、メモリセルトランジスタと、このメモリセルトランジスタに隣接して形成されると共に電気的に接続されたソース線を有する半導体装置の製造方法において、前記メモリセルトランジスタが形成されるメモリセル領域、及び前記ソース線が形成されるソース線領域における半導体基板上に、第1ゲート絶縁膜、第1多結晶シリコン膜を順に形成する工程と、前記メモリセル領域及びソース線領域における前記半導体基板上に、素子分離絶縁膜を形成する工程と、前記ソース線領域における前記第1多結晶シリコン膜及び第1ゲート絶縁膜の少なくとも一部を除去する工程と、前記メモリセル領域及びソース線領域における前記第1多結晶シリコン膜上、半導体基板上、及び素子分離絶縁膜上に、第2多結晶シリコン膜を形成する工程と、前記第2多結晶シリコン膜を平坦化して、前記素子分離絶縁膜の表面を露出させる工程と、前記メモリセル領域及びソース線領域における前記第2多結晶シリコン膜上及び素子分離絶縁膜上に、第2ゲート絶縁膜を形成する工程と、前記メモリセル領域及びソース線領域における前記第2ゲート絶縁膜上に、第3多結晶シリコン膜を形成する工程と、前記ソース線領域における一部または全部の前記第3多結晶シリコン膜及び第2ゲート絶縁膜を除去する工程と、前記メモリセル領域における前記第3多結晶シリコン膜上に導電膜を形成すると共に、前記ソース線領域における前記第3多結晶シリコン膜上及び素子分離絶縁膜上に、前記導電膜を形成する工程と、前記メモリセル領域及びソース線領域における、前記第1多結晶シリコン膜、前記第2ゲート絶縁膜、前記第2多結晶シリコン膜、前記第3多結晶シリコン膜、及び前記導電膜を加工して、前記メモリセル領域に前記メモリセルトランジスタのゲート電極を、前記ソース線領域にソース線を形成する工程と、前記メモリセルトランジスタのゲート電極をマスクとして、前記半導体基板上に、不純物を導入して不純物拡散層を形成する工程と、前記不純物拡散層に電気的に接続されるビット線コンタクトを形成する工程と、を具備し、前記導電膜は、シリサイド膜と

10

20

30

40

50



多結晶シリコン膜の積層構造、シリコン金属化合物と多結晶シリコン膜との積層構造、金属膜と多結晶シリコン膜の積層構造、及びシリコン金属化合物や金属膜の単層構造のうちのいずれかの構造を有することを特徴とする。

【 0 0 1 7 】

【 発明の実施の形態 】

以下、図面を参照してこの発明の実施の形態の半導体装置を、NAND型のEEPROMを例に取り説明する。説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。また、本発明で述べる半導体装置はメモリセル以外に周辺回路を形成する周辺トランジスタ等も有するが、簡単のために本明細書中では主にメモリセル領域の構造および製造方法について説明する。

10

【 0 0 1 8 】

[ 第 1 の実施の形態 ]

図 1 は、第 1 の実施の形態のNAND型EEPROMの構成を示す回路図である。

【 0 0 1 9 】

図 1 に示すように、制御ゲート及び浮遊ゲートを持つメモリセルトランジスタM0、M1、...、M15は、それらの電流通路にて直列に接続されている。直列接続されたメモリセルの両端には、選択トランジスタSGDとSGSが接続されている。

【 0 0 2 0 】

前記メモリセルM0、M1、...、M15の制御ゲートには、ワード線WL0、WL1、...、WL15がそれぞれ接続されている。選択トランジスタSGDのゲートには、選択線SSLが接続され、選択トランジスタSGSの制御ゲートには選択線GSLが接続されている。さらに、選択トランジスタSGDには、ビット線BLが接続され、選択トランジスタSGSにはソース線SLが接続されている。

20

【 0 0 2 1 】

次に、第 1 の実施の形態のNAND型EEPROMのレイアウトと断面構造を説明する。

【 0 0 2 2 】

このNAND型EEPROMは、ソース線SLが選択トランジスタSGD、SGS及びメモリセルM0～M15と同一の積層構造を有している点が特徴である。

【 0 0 2 3 】

図 2 ( a ) は、前記第 1 の実施の形態のNAND型EEPROMのレイアウト図である。

30

【 0 0 2 4 】

図 2 ( a ) に示すように、ワード線WL0～WL15が平行に配列されている。配列されたワード線WL0～WL15のワード線WL0側には、このワード線WL0と平行に選択線SSLが配置されている。さらに、選択線SSLには、ビット線コンタクトBLCを介して選択線SSLが隣接して配置されている。また、配列されたワード線WL0～WL15のワード線WL15側には、このワード線WL15と平行に選択線GSLが配置されている。さらに、この選択線GSLには、ソース線SLが隣接して配置されている。

【 0 0 2 5 】

また、前記ワード線WL0～WL15、選択線SSL、GSL、及びソース線SLと直交するように、ビット線BLが配列されている。2つの選択線SSL間のビット線BL部には、ビット線BLと選択トランジスタSGDを接続するビット線コンタクトBLCが形成されている。

40

【 0 0 2 6 】

図 2 ( b ) は、図 2 ( a ) に示すレイアウト図中のA - A線に沿った断面図である。

【 0 0 2 7 】

図 2 ( b ) に示すように、p型半導体基板またはp型ウェル領域(以下、半導体基板)11には、ソースあるいはドレイン領域であるn型拡散層12が離間して配置されている。n型拡散層12間の半導体基板11上には、トンネル絶縁膜13を介して浮遊ゲート電極14が形成されている。この浮遊ゲート電極14上には、インターポリ絶縁膜15を介して制御ゲート電極16が形成されている。

50

## 【0028】

前記浮遊ゲート電極14は、例えば膜厚10nm~300nm程度で形成され、不純物をドーブした多結晶シリコンからなる。制御ゲート電極16は、例えばタングステンシリサイド(WSi)と多結晶シリコンのスタック構造、またはNiSi、MoSi、TiSi、及びCoSiなどのシリコンの金属化合物と多結晶シリコンとのスタック構造、またはW、Cu、Alなどの金属と多結晶シリコンのスタック構造、またはシリコンの金属化合物や金属の単層構造からなる。この制御ゲート電極16の膜厚は、例えば膜厚10nm~300nm程度である。

## 【0029】

さらに、制御ゲート電極16上には、キャップ絶縁膜17が形成されている。このキャップ絶縁膜17は、膜厚10nm~300nm程度のシリコン酸化膜あるいはシリコン窒化膜などからなる。

10

## 【0030】

これらにより、メモリスルランジスタM0~M15の電流通路の一端及び他端が接続されて、NANDセルが構成されている。なお、メモリスルランジスタM0~M15の制御ゲート電極16が、それぞれワード線WL0~WL15に相当する。

## 【0031】

また、前記NANDセルの一端には、前述したトンネル絶縁膜13、浮遊ゲート電極14、インターポリ絶縁膜15、及び制御ゲート電極16を有する選択トランジスタSGDが形成されている。この選択トランジスタSGDの一端には、n型拡散層12およびビット線コンタクトBLCを介して他のブロックの選択トランジスタSGDが形成されている。

20

## 【0032】

NANDセルの他端には、前述したトンネル絶縁膜13、浮遊ゲート電極14、インターポリ絶縁膜15、及び制御ゲート電極16を有する選択トランジスタSGSが形成されている。さらに、選択トランジスタSGSの一端には、ソース線SLが形成されている。

## 【0033】

前記選択トランジスタSGD、SGSにおけるインターポリ絶縁膜15は、一部分が除去されており、浮遊ゲート電極14と制御ゲート電極16とが導通している。よって、選択トランジスタSGDが有する浮遊ゲート電極14と制御ゲート電極16が選択線SSLに相当し、選択トランジスタSGSが有する浮遊ゲート電極14と制御ゲート電極16が選択線GSLに相当する。

30

## 【0034】

また、前記ソース線SLの断面構造は以下のようにになっている。半導体基板11には、n型拡散層12が離間して配置されている。または図2(c)に示すように、ソース線SLの下にもn型拡散層12'が形成されていても良い。半導体基板11上及びn型拡散層12上には、トンネル絶縁膜13が形成されており、n型拡散層12間のソース線が形成される半導体基板11(またはn型拡散層12')上及びn型拡散層12上では、前記トンネル絶縁膜13の一部あるいは全部が除去されている。

## 【0035】

前記トンネル絶縁膜13が除去された半導体基板11(またはn型拡散層12')上及びn型拡散層12上には、前記浮遊ゲート電極14と同一の層に浮遊ゲート電極14と同一の導電材料からなる導電膜14が形成されている。これにより、半導体基板11およびn型拡散層12と導電膜14とが電氣的に接続されている。導電膜14は、前記浮遊ゲート電極14と同様に、例えば膜厚10nm~300nm程度で形成され、不純物をドーブした多結晶シリコンからなる。

40

## 【0036】

前記導電膜14上には、ONO膜などのインターポリ絶縁膜15が形成されている。このインターポリ絶縁膜15上には、前記制御ゲート電極16と同一の層に制御ゲート電極16と同一の導電材料からなる導電膜16が形成されている。インターポリ絶縁膜15は、前記メモリスルランジスタが有するインターポリ絶縁膜15と同一の層にインターポリ絶縁膜15と

50

同一の材料から形成されたものである。前記導電膜 14 上のインターポリ絶縁膜 15 はその一部が除去されており、導電膜 14 と導電膜 16 とが導通している。この結果、導電膜 14 と導電膜 16 は半導体基板 11 および n 型拡散層 12 と電氣的に接続され、不揮発性メモリセルのソース線として働く。また、ソース線は、選択線 SSL、GSL およびワード線 WL0 ~ WL15 と同層の材料によって形成されている。

【0037】

前記導電膜 16 上には、前記メモリセル及び選択トランジスタのキャップ絶縁膜 17 と同一の層に同一の材料からなるキャップ絶縁膜 17 が形成されている。

【0038】

前述したように、前記導電膜 16 は、制御ゲート電極 16 と同一の層に、すなわち前記メモリセル M0 ~ M15 の制御ゲート電極（ワード線）16 や選択トランジスタ SGD、SGS の制御ゲート電極 16 と同一の層に形成されている。この導電膜 16 は、前記制御ゲート電極 16 と同様に、例えばタングステンシリサイド (WSi) と多結晶シリコンのスタック構造、または NiSi、MoSi、TiSi、CoSi などのシリコンの金属化合物と多結晶シリコンとのスタック構造、または W、Cu、Al などの金属と多結晶シリコンのスタック構造、またはシリコンの金属化合物や金属の単層構造からなる。導電膜 16 の膜厚は、例えば膜厚 10 nm ~ 300 nm 程度である。

【0039】

前記ソース線 SL が有する導電膜 16 の半導体基板 11 面からの高さは、メモリセル及び選択トランジスタが有する制御ゲート電極 16 の半導体基板 11 面からの高さによって設定され、制御ゲート電極 16 の高さと同じか、好ましくは制御ゲート電極 16 より 10 nm ~ 100 nm 程度低く形成されている。

【0040】

また、前記メモリセル M0 ~ M15 及び選択トランジスタ SGD、SGS のゲート電極（浮遊ゲート電極 14 及び制御ゲート電極 16）間、ゲート電極とソース線 SL との間、及びソース線 SL 間には、層間絶縁膜 18 が形成されている。さらに、前記メモリセル、選択トランジスタ、及びソース線を覆うように、キャップ絶縁膜 17 上及び層間絶縁膜 18 上には、バリア絶縁膜 19 が形成されている。このバリア絶縁膜 19 は、膜厚 5 nm ~ 50 nm 程度の例えばシリコン窒化膜などからなる。バリア絶縁膜 19 上には、層間絶縁膜 20 を介してビット線 BL が形成されており、さらにビット線 BL 上には絶縁膜 21 が形成されている。

【0041】

前記選択トランジスタ SGD 間の n 型拡散層 12 上には、ビット線コンタクト BLC が形成されている。このビット線コンタクト BLC は、n 型拡散層 12 とビット線 BL とを電氣的に接続している。

【0042】

前記バリア絶縁膜 19 は、ビット線コンタクト BLC が素子分離溝に落ち込むのを防ぐためのエッチングストップ膜として働いている。ビット線コンタクト BLC は、ソース線 SL よりも高く形成されている。これにより、ソース線 SL とビット線 BL との絶縁性が確保されている。

【0043】

次に、前記第 1 の実施の形態の半導体装置の製造方法について説明する。

【0044】

図 3 (a) ~ 図 3 (e)、図 4 (a) ~ 図 4 (d)、図 5 (a) ~ 図 5 (d) 図 6 (a) ~ 図 6 (d)、図 7 (a) ~ 図 7 (d)、図 8 (a) ~ 図 8 (d)、図 9 (a) ~ 図 9 (d)、及び図 10 ~ 図 12 は、前記第 1 の実施の形態の半導体装置の製造方法を示す各工程の断面図である。

【0045】

図 3 (a) は、NAND 型 EEPROM の素子分離溝に垂直な方向の断面を示しており、図 2 (a) に示したレイアウト図中のソース線領域である B - B 線、選択トランジスタ領

10

20

30

40

50

域であるC - C線、及びメモリセル領域であるD - D線に沿った断面図である。トンネル絶縁膜13の形成から素子分離絶縁膜の形成までの工程は、前記B - B線、C - C線、及びD - D線に沿った断面構造に違いがないため、1つの図で代表させる。図3(b)~図3(e)のそれぞれも、前記B - B線、C - C線、及びD - D線に沿った断面図である。なお、図3(a)~図3(e)の断面図は図中に矢印にて示した領域の断面を表しており、その他、図4(a)~図4(d)、図5(a)~図5(d)図6(a)~図6(d)、図7(a)~図7(d)、図8(a)~図8(d)、及び図9(a)~図9(d)の断面図も同様に図中に矢印にて示した領域の断面を表している。

#### 【0046】

まず、半導体基板11に、ウェルおよびチャネル形成用の不純物を注入する。続いて、図3(a)に示すように、半導体基板11上に、トンネル絶縁膜13を膜厚5nm~15nm程度形成する。トンネル絶縁膜13は、例えば酸化膜または酸窒化膜などからなる。このトンネル絶縁膜13上に、多結晶シリコン膜14を膜厚10nm~200nm程度形成する。

10

#### 【0047】

次に、図3(b)に示すように、前記多結晶シリコン14膜上に、ストッパ絶縁膜22を形成する。さらに、このストッパ絶縁膜22上にマスク絶縁膜23を形成する。前記ストッパ絶縁膜22は、例えば膜厚が20nm~200nm程のシリコン窒化膜などからなる。マスク絶縁膜23は、例えば膜厚が50nm~200nm程のシリコン酸化膜などからなる。前記ストッパ絶縁膜22は、後の工程でCMP工程時のストッパ膜として機能する。

20

#### 【0048】

続いて、フォトリソグラフィによりレジスト膜をパターニングした後、このレジスト膜およびマスク絶縁膜23をマスクとして用い、図3(c)に示すように、異方性エッチングにより半導体基板11中に素子分離溝24Aを形成する。

#### 【0049】

さらに、素子分離溝24Aを、シリコン酸化膜などの絶縁膜24で埋め込み、図3(d)に示すように、CMP法によって絶縁膜24を平坦化する。さらに、図3(e)に示すように、ウェットエッチングによりストッパ絶縁膜22を除去する。以上の方法により素子分離領域を形成した状態の断面を、図4(a)~図4(d)に示す。

30

#### 【0050】

図4(a)、図5(a)、図6(a)、図7(a)、図8(a)、図9(a)、及び図10~図12はワード線と垂直な方向で切断した断面であるA - A線方向に沿った断面を示す。ここで、図4(a)から図9(a)はソース線とその両側に配置された選択トランジスタ領域の断面を示し、図10~図12はソース線とビット線コンタクトを含むNANDメモリセルブロックの断面図を示している。図4(b)、図5(b)、図6(b)、図7(b)、図8(b)、及び図9(b)はソース線領域であるB - B線に沿った断面を示し、図4(c)、図5(c)、図6(c)、図7(c)、図8(c)、及び図9(c)は選択トランジスタ領域であるC - C線に沿った断面を示す。さらに、図4(d)、図5(d)、図6(d)、図7(d)、図8(d)、及び図9(d)はメモリセル領域であるD - D線に沿った断面を示す。

40

#### 【0051】

次に、フォトリソグラフィによりパターニングされたレジスト膜をマスクとして用い、図5(a)及び図5(b)に示すように、異方性エッチングによってソース線領域の多結晶シリコン膜14及びトンネル絶縁膜13を除去する。このとき、ソース線領域の素子分離絶縁膜の上部もエッチング除去される場合がある。さらに、リンや砒素等の不純物を半導体基板上に注入すれば、図2(c)に示したようにソース線と半導体基板との界面にn型拡散層を形成することが可能である。

#### 【0052】

次に、図5(a)~図5(d)に示した多結晶シリコン膜14上、半導体基板11上、及

50

び素子分離絶縁膜 24 上に、不純物を高濃度にドーブした多結晶シリコン膜 14 を膜厚 10 nm ~ 300 nm 程度堆積する。その後、図 6 ( a ) ~ 図 6 ( d ) に示すように、堆積した多結晶シリコン膜 14 を CMP 法によって平坦化する。

【 0 0 5 3 】

続いて、素子分離絶縁膜 24 を後退させた後、図 7 ( a ) ~ 図 7 ( d ) に示すように、多結晶シリコン膜 14 上及び素子分離絶縁膜 24 上にインターポリ絶縁膜 15 を形成する。このインターポリ絶縁膜 15 は、例えば酸化膜、窒化膜、酸化膜の順で積層された ONO 膜からなる。前記インターポリ絶縁膜 15 上に、不純物を高濃度にドーブした多結晶シリコン膜 16 を膜厚 10 nm ~ 100 nm 程度形成する。

【 0 0 5 4 】

次に、フォトリソグラフィによりパターンニングされたレジスト膜をマスクとして用い、図 8 ( a ) ~ 図 8 ( d ) に示すように、異方性エッチングによってソース線領域及び選択トランジスタ領域の一部または全部の多結晶シリコン膜 16 及びインターポリ絶縁膜 15 を除去する。

【 0 0 5 5 】

続いて、図 8 ( a ) ~ 図 8 ( d ) に示した構造上に、図 9 ( a ) ~ 図 9 ( d ) に示すように、膜厚 10 nm ~ 300 nm 程度の導電膜 16 を形成する。前記導電膜 16 は、例えばタングステンシリサイド ( W S i ) と多結晶シリコンのスタック構造、または N i S i 、 M o S i 、 T i S i 、 C o S i などのシリコンの金属化合物と多結晶シリコンとのスタック構造、または W 、 C u 、 A l などの金属と多結晶シリコンのスタック構造、またはシリコンの金属化合物や金属の単層構造からなる。さらに、前記導電膜 16 上にキャップ絶縁膜 17 を形成する。

【 0 0 5 6 】

前記ソース領域及び選択トランジスタ領域では、図 9 ( b ) 及び図 9 ( c ) に示すように、インターポリ絶縁膜 15 が一部または全部除去されているために、浮遊ゲート電極を構成する多結晶シリコン膜 14 と制御ゲート電極を構成する導電膜 16 とが電氣的に導通している。

【 0 0 5 7 】

次に、フォトリソグラフィによりパターンニングされたレジスト膜とキャップ絶縁膜 17 とをマスクとして用い、異方性エッチングにより図 10 に示すように、メモリセルトランジスタ M0 ~ M15 及び選択トランジスタ S G D 、 S G S のゲート電極と、ソース線 S L を加工する。

【 0 0 5 8 】

その後、図 11 に示すように、メモリセル及び選択トランジスタのゲート電極間、及びゲート電極とソース線 S L との間の半導体基板 11 に、リンまたはヒ素などの不純物を注入してソースあるいはドレインである n 型拡散層 12 を形成する。さらに、ゲート電極間、及びゲート電極とソース線との間を、シリコン酸化膜などの層間絶縁膜 18 で埋め込む。

【 0 0 5 9 】

続いて、メモリセル及び選択トランジスタのゲート電極上、ソース線 S L 上、及び層間絶縁膜 18 上を、例えば膜厚 5 nm ~ 50 nm 程度のシリコン窒化膜などからなるバリア絶縁膜 19 で覆う。

【 0 0 6 0 】

その後、図 12 に示すように、シリコン酸化膜などの層間絶縁膜 20 を堆積し、CMP 法によってこの層間絶縁膜 20 を平坦化する。さらに、層間絶縁膜 20 内に、n 型拡散層 12 に接続されたビット線コンタクト B L C を形成する。このビット線コンタクト B L C 上及び層間絶縁膜 20 上にビット線 B L を形成し、さらにこのビット線 B L 上及び層間絶縁膜 20 上に絶縁膜 21 を形成する。

【 0 0 6 1 】

この後の工程は図示しないが、上部配線、及びパッシベーション膜などを形成して N A N D 型 E E P R O M を完成させる。

10

20

30

40

50

## 【 0 0 6 2 】

このような構成を有する半導体装置及びその製造方法では、前述したように、ソース線 S L の形成材料として多結晶シリコンよりも導電率の高い材料を用いている。このため、図 3 8 ( b ) に示した従来の半導体装置よりもソース線の抵抗率を小さくできるため、ソース線の高さを低くすることが可能である。これにより、ビット線 B L も従来の半導体装置より低く形成でき、ビット線コンタクト B L C のアスペクト比も小さくできる。この結果、半導体装置の加工が容易になり、製品歩留まりが向上する。

## 【 0 0 6 3 】

また、前述した製造方法では、メモリセル及び選択トランジスタのゲート電極を形成する工程と同一の工程にて、ソース線 S L を形成する。このため、選択トランジスタとソース線との合わせ余裕をとる必要がなく、従来技術と比較して選択トランジスタ間のスペースを狭くすることができるため、NAND型EEPROMの面積を縮小することができる。

10

## 【 0 0 6 4 】

また、ソース線 S L を構成する材料がメモリセル及び選択トランジスタのゲート電極と同一の層に同一の材料で形成されている。このため、ソース線の形成を独立した工程として行っていた従来の半導体装置と比較して、工程数を削減でき、半導体装置の製造コストを低減することが可能である。さらに、ソース線の抵抗率が選択線 S G D、S G S またはワード線 W L 0 ~ W L 1 5 とほぼ同じになるため、回路設計も容易となる。

## 【 0 0 6 5 】

なお、前述した第 1 の実施の形態では、図 1 2 に示すように、ソース線 S L と半導体基板 1 1 とのコンタクト部において、半導体基板 1 1 上のトンネル絶縁膜 1 3 の開口部の大きさが、ソース線 S L を構成する多結晶シリコン膜 1 4 の下面の面積より小さい例を示した。しかし、図 1 3 に示すように、前記トンネル絶縁膜 1 3 の開口部の大きさが、多結晶シリコン膜 1 4 の下面の面積より大きくてもよい。

20

## 【 0 0 6 6 】

また、以下に前記第 1 の実施の形態の NAND 型 EEPROM の動作について説明しておく。

## 【 0 0 6 7 】

消去動作では、例えば制御ゲート電極 1 6 を 0 V とした状態で、半導体基板 1 1 に高電圧（例えば 1 0 V ~ 2 5 V）が印加される。これにより、浮遊ゲート電極（電荷蓄積層）1 4 から半導体基板 1 1 に電子が放出され、消去動作が行われる。

30

## 【 0 0 6 8 】

また、書き込み動作では、例えば半導体基板 1 1 を 0 V とした状態で、制御ゲート電極 1 6 に高電圧（例えば 1 0 V ~ 2 5 V）が印加される。これにより、半導体基板 1 1 から浮遊ゲート電極 1 4 に電子が注入されることで、書き込み動作が行われる。また別の方法としては、ソース電位に対してドレイン電位を正にバイアスして、チャンネルで加速されたホットエレクトロンを発生させる。そして、制御ゲート電極 1 6 を、ソース電位に対して正にバイアスすることにより、前記ホットエレクトロンを浮遊ゲート電極 1 4 に注入することで、書き込み動作が行われる。

40

## 【 0 0 6 9 】

また、読み出しでは、ビット線 B L をプリチャージした後にフローティング状態にし、読み出し選択されたメモリセルの制御ゲート電極 1 6 の電圧を読み出し電圧 0 V、それ以外のメモリセルの制御ゲート電極 1 6 の電圧を非選択読み出し電圧 V read とする。さらに、選択トランジスタ S G S、S G D の制御ゲート電極 1 6 の電圧を電源電圧 V cc とし、ソース線 S L を 0 V とする。そして、読み出し選択されたメモリセルに電流が流れるか否かをビット線 B L で検出することにより、読み出し動作が行われる。すなわち、選択されたメモリセルがしきい値電圧  $V_{th} > 0$ （書き込み状態）ならば、メモリセルはオフになるのでビット線 B L はプリチャージ電位を保つ。

## 【 0 0 7 0 】

これに対して、選択されたメモリセルがしきい値電圧  $V_{th} < 0$ （読み出し状態）ならばメ

50

メモリセルはオンするので、ビット線BLの電位はプリチャージ電位から V だけ低下する。この電位変化をセンスアンプで検知することによってメモリセルのデータが読み出される。

【0071】

以上説明したようにこの第1の実施の形態では、ソース線の高さが高くなるのを抑制してビット線コンタクトのアスペクト比の増大を防止できる。さらに、ゲート電極のパターニング工程におけるリソグラフィマージンの低下を抑制することができる。また、ソース線を選択トランジスタおよびメモリセルと同時に形成するので工程を削減することが可能となる。

【0072】

[第2の実施の形態]

次に、この発明の第2の実施の形態の半導体装置について説明する。

【0073】

この第2の実施の形態の前記第1の実施の形態と異なる点は、メモリセル及び選択トランジスタのゲート電極がインターポリ絶縁膜の存在しない単層構造になっており、ソース線にもインターポリ絶縁膜が存在しない点である。さらに、メモリセル及び選択トランジスタはMONOS構造を有している。以下、前記第1の実施の形態における構成と同様の部分には同じ符号を付してその説明は省略し、異なる構成部分のみを説明する。

【0074】

図14は、第2の実施の形態のNAND型EEPROMの構成を示す回路図である。図15(a)は、前記第2の実施の形態のNAND型EEPROMのレイアウト図であり、図15(b)は図15(a)に示すレイアウト図中のA-A線に沿った断面図である。なお、図15(a)に示すレイアウト図は前記第1の実施の形態と同様である。

【0075】

図15(b)に示すように、メモリセル及び選択トランジスタのゲート絶縁膜は、半導体基板11上に、トンネル絶縁膜31、電荷蓄積層32、及びブロック絶縁膜33の順で形成された積層膜からなっており、メモリセル及び選択トランジスタは、いわゆるMONOS(Metal-Oxide-Nitride-Oxide-Semiconductor)型の構造を有している。前記トンネル絶縁膜31は、例えば膜厚1nm~10nm程度のシリコン酸化膜またはシリコン窒化膜またはシリコン窒化膜からなる。電荷蓄積層32は、例えば膜厚3nm~30nm程度のシリコン窒化膜からなる。さらに、ブロック絶縁膜33は、例えば膜厚3nm~20nm程度のシリコン酸化膜またはシリコン窒化膜、またはシリコン窒化膜からなる。

【0076】

前記メモリセル及び選択トランジスタのゲート電極は、前記ゲート絶縁膜上に形成された多結晶シリコン膜14と、この多結晶シリコン膜14上に形成された導電膜16とから構成されている。前記多結晶シリコン膜14の膜厚は、10nm~200nm程度である。導電膜16は、例えばタングステンシサイド(WSi)と多結晶シリコンのスタック構造、またはNiSi、MoSi、TiSi、CoSiなどのシリコンの金属化合物と多結晶シリコンとのスタック構造、またはW、Cu、Alなどの金属と多結晶シリコンのスタック構造、またはシリコンの金属化合物や金属の単層構造からなる。この導電膜16の膜厚は、10nm~300nm程度である。

【0077】

また、ソース線SL領域では、半導体基板11上に形成されたトンネル絶縁膜31、電荷蓄積層32、及びブロック絶縁膜33からなるゲート絶縁膜の一部または全部がエッチングされており、n型拡散層12上及び半導体基板11上には前記ゲート電極と同一の導電材料である多結晶シリコン膜14と導電膜16が形成されている。これら多結晶シリコン膜14と導電膜16はソース線を構成し、n型拡散層12と電気的に接続されている。または、図15(c)に示すように、ソース線SLの下にもn型拡散層12'が形成されていても良い。この結果、導電膜14と導電膜16は半導体基板11およびn型拡散層12'と電気的に接続され、不揮発性メモリセルのソース線として働く。また、ソース線は、選

10

20

30

40

50

択線SSL、GSLおよびワード線WL0~WL15と同層の材料によって形成されている。

【0078】

さらに、図15(b)に示すように、キャップ絶縁膜17、層間絶縁膜18、バリア絶縁膜19、層間絶縁膜20、ビット線コンタクトBLC、ビット線BL、及び絶縁膜21が形成されている。

【0079】

なお、図14、図15(b)に示したNAND型EEPROMでは、選択トランジスタSGD、SGSはメモリセルと同じMONOS構造を有しているが、MOS構造を有していてもよい。選択トランジスタがMOS構造を有する場合には、ソース線の導電材料は選択トランジスタの導電材料と同一の層に同一の工程にて形成され、ソース線領域における半導体基板と導電材料との間の絶縁膜は、選択トランジスタの絶縁膜と同一の層に同一の工程にて形成される。

【0080】

次に、前記第2の実施の形態の半導体装置の製造方法について説明する。

【0081】

図16(a)~図16(e)、図17(a)~図17(c)、図18(a)~図18(c)、図19(a)~図19(c)、図20(a)~図20(c)、及び図21~図23は、前記第2の実施の形態の半導体装置の製造方法を示す各工程の断面図である。

【0082】

図16(a)は、NAND型EEPROMの素子分離溝に垂直な方向の断面を示しており、図15(a)に示したレイアウト図中のソース線領域であるB-B線、選択トランジスタ領域であるC-C線、及びメモリセル領域であるD-D線に沿った断面図である。トンネル絶縁膜31の形成から素子分離絶縁膜の形成までの工程は、前記B-B線、C-C線、及びD-D線に沿った断面構造に違いがないため、1つの図で代表させる。図16(b)~図16(e)のそれぞれも、前記B-B線、C-C線、及びD-D線に沿った断面図である。

【0083】

まず、半導体基板11に、ウェルおよびチャネル形成用の不純物を注入する。続いて、図16(a)に示すように、半導体基板11上に、トンネル絶縁膜31、電荷蓄積層32及びブロック絶縁膜33の順序で積層されたゲート絶縁膜を形成する。前記トンネル絶縁膜31は、例えば膜厚1nm~10nm程度のシリコン酸化膜またはシリコン酸窒化膜またはシリコン窒化膜からなる。電荷蓄積層32は、例えば膜厚3nm~30nm程度のシリコン窒化膜からなる。さらに、ブロック絶縁膜33は、例えば膜厚3nm~20nm程度のシリコン酸化膜またはシリコン酸窒化膜、またはシリコン窒化膜からなる。その後、前記ゲート絶縁膜が形成された半導体基板11を、必要に応じてアニールしてゲート絶縁膜を緻密化する。

【0084】

続いて、前記ブロック絶縁膜33上に、多結晶シリコン膜14を膜厚10nm~200nm程度形成する。

【0085】

次に、図16(b)に示すように、前記多結晶シリコン14膜上に、ストッパ絶縁膜22を形成する。さらに、このストッパ絶縁膜22上にマスク絶縁膜23を形成する。前記ストッパ絶縁膜22は、例えば膜厚が20nm~200nm程のシリコン窒化膜などからなる。マスク絶縁膜23は、例えば膜厚が50nm~200nm程のシリコン酸化膜などからなる。前記ストッパ絶縁膜22は、後の工程でCMP工程時のストッパ膜として機能する。

【0086】

次に、フォトリソグラフィによりレジスト膜をパターンングした後、このレジスト膜およびマスク絶縁膜23をマスクとして用い、図16(c)に示すように、異方性エッチング

10

20

30

40

50



により半導体基板 11 中に素子分離溝 24 A を形成する。

【0087】

さらに、素子分離溝 24 A を、シリコン酸化膜などの絶縁膜 24 で埋め込み、図 16 (d) に示すように、CMP 法によって絶縁膜 24 を平坦化する。さらに、図 16 (e) に示すように、ウェットエッチングによりストッパ絶縁膜 22 を除去する。以上の方法により素子分離領域を形成した状態の断面を、図 17 (a) ~ 図 17 (c) に示す。

【0088】

図 17 (a)、図 18 (a)、図 19 (a)、図 20 (a)、及び図 21 ~ 図 24 はワード線と垂直な方向で切断した断面である A - A 線方向に沿った断面を示す。ここで、図 17 (a) から図 20 (a) はソース線とその両側に配置された選択トランジスタ領域の断面を示し、図 21 ~ 図 24 はソース線とビット線コンタクトを含む NAND メモリセルブロックの断面図を示している。図 17 (b)、図 18 (b)、図 19 (b)、及び図 20 (b) はソース線領域である B - B 線に沿った断面を示し、図 17 (c)、図 18 (c)、図 19 (c)、及び図 20 (c) はメモリセル領域である D - D 線に沿った断面を示す。なお、この第 2 の実施の形態のように、メモリセル及び選択トランジスタが MONOS 型構造の場合には、選択トランジスタ領域である C - C 線に沿った断面は、メモリセル領域である D - D 線に沿った断面と同一である。そこでここでは、C - C 線に沿った断面は省略する。

【0089】

次に、フォトリソグラフィによりパターンニングされたレジスト膜をマスクとして用い、図 18 (a) ~ 図 18 (c) に示すように、異方性エッチングによってソース線領域に存在する多結晶シリコン膜 14、及びトンネル絶縁膜 31、電荷蓄積層 32、ブロック絶縁膜 33 からなるゲート絶縁膜を除去する。このとき、ソース線領域の素子分離絶縁膜の上部もエッチング除去される場合がある。さらにリンや砒素等の不純物を半導体基板上に注入すれば、図 15 (c) に示したようにソース線と半導体基板との界面に n 型拡散層を形成することが可能である。

【0090】

次に、図 18 (a) ~ 図 18 (c) に示す多結晶シリコン膜 14 上、半導体基板 11 上、及び素子分離絶縁膜 24 上に、不純物を高濃度にドーブした多結晶シリコン膜 14 を膜厚 10 nm ~ 300 nm 程度堆積する。その後、図 19 (a) ~ 図 19 (c) に示すように、堆積した多結晶シリコン膜 14 を CMP 法によって平坦化する。

【0091】

続いて、図 19 (a) ~ 図 19 (c) に示す多結晶シリコン膜 14 上及び素子分離絶縁膜 24 上に、図 20 (a) ~ 図 20 (c) に示すように、膜厚 10 nm ~ 300 nm 程度の導電膜 16 を形成する。前記導電膜 16 は、例えばタングステンシサイド (WSi) と多結晶シリコンのスタック構造、または NiSi、MoSi、TiSi、CoSi などのシリコンの金属化合物と多結晶シリコンとのスタック構造、または W、Cu、Al などの金属と多結晶シリコンのスタック構造、またはシリコンの金属化合物や金属の単層構造からなる。さらに、前記導電膜 16 上にキャップ絶縁膜 17 を形成する。

【0092】

次に、フォトリソグラフィによりパターンニングされたレジスト膜とキャップ絶縁膜 17 とをマスクとして用い、異方性エッチングにより、図 21 に示すように、メモリセルトランジスタ M0 ~ M15 及び選択トランジスタ SGD、SGS のゲート電極と、ソース線 SL を加工する。

【0093】

その後、図 22 に示すように、メモリセル及び選択トランジスタのゲート電極間の半導体基板 11、及びゲート電極とソース線 SL との間の半導体基板 11 に、リンまたはヒ素などの不純物を注入してソースあるいはドレインである n 型拡散層 12 を形成する。さらに、メモリセル及び選択トランジスタのゲート電極間、及びゲート電極とソース線 SL との間を、シリコン酸化膜などの層間絶縁膜 18 で埋め込む。

## 【 0 0 9 4 】

続いて、メモリセル及び選択トランジスタのゲート電極上、ソース線 S L 上、及び層間絶縁膜 1 8 上を、例えば膜厚 5 n m ~ 5 0 n m 程度のシリコン窒化膜などからなるバリア絶縁膜 1 9 で覆う。

## 【 0 0 9 5 】

その後、図 2 3 に示すように、シリコン酸化膜などの層間絶縁膜 2 0 を堆積し、CMP 法によってこの層間絶縁膜 2 0 を平坦化する。さらに、層間絶縁膜 2 0 内に、n 型拡散層 1 2 に接続されたビット線コンタクト B L C を形成する。このビット線コンタクト B L C 上及び層間絶縁膜 2 0 上にビット線 B L を形成し、さらにこのビット線 B L 上及び層間絶縁膜 2 0 上に絶縁膜 2 1 を形成する。

10

## 【 0 0 9 6 】

この後の工程は図示しないが、上部配線、及びパッシベーション膜などを形成して N A N D 型 E E P R O M を完成させる。

## 【 0 0 9 7 】

この第 2 の実施の形態においても、ソース線の導電材料がメモリセル及び選択トランジスタの制御ゲート電極と同一の層に同一の材料で形成されているため、第 1 の実施の形態と同様の効果が得られる。さらに、この第 2 の実施の形態では、メモリセルのゲート電極がインターポリ絶縁膜の無い単層構造となっているため、選択トランジスタ領域とソース線領域でインターポリ絶縁膜をエッチングする必要がなく、工程を簡略化できる。

## 【 0 0 9 8 】

なお、前述した第 2 の実施の形態では、図 2 3 に示したように、トンネル絶縁膜 3 1、電荷蓄積層 3 2、及びブロック絶縁膜 3 3 の積層膜からなるゲート絶縁膜をゲート電極間に残存させた例を示した。しかし、図 2 4 に示すように、ゲート電極間の前記ゲート絶縁膜を除去するような構成としてもよい。または、ブロック絶縁膜 3 3 のみ、または、ブロック絶縁膜 3 3 及び電荷蓄積層 3 2 の一部を除去してもよい。

20

## 【 0 0 9 9 】

以下に前記第 2 の実施の形態の N A N D 型 E E P R O M の動作について説明しておく。

## 【 0 1 0 0 】

消去動作では、例えば制御ゲート電極 1 6 を 0 V とした状態で、半導体基板 1 1 に高電圧（例えば 5 V ~ 2 0 V）が印加される。これにより、半導体基板 1 1 から電荷蓄積層 3 2 にホールが注入される。また別の方法としては、半導体基板 1 1 に対して拡散層電位を正にバイアスして、ホットホールを発生させる。そして、制御ゲート電極 1 6 を、半導体基板 1 1 に対して負にバイアスすることにより、前記ホットホールを電荷蓄積層 3 2 に注入することで消去動作が行われる。

30

## 【 0 1 0 1 】

また、書き込み動作では、例えば半導体基板 1 1 を 0 V とした状態で、制御ゲート電極 1 6 に高電圧（例えば 5 V ~ 2 0 V）が印加される。これにより、半導体基板 1 1 から電荷蓄積層 3 2 に電子が注入されることで、書き込み動作が行われる。また別の方法としては、ソース電位に対してドレイン電位を正にバイアスして、チャンネルで加速されたホットエレクトロンを発生させる。そして、制御ゲート電極 1 6 を、ソース電位に対して正にバイアスすることにより、前記ホットエレクトロンを電荷蓄積層 3 2 に注入することで、書き込み動作が行われる。

40

## 【 0 1 0 2 】

また、読み出しでは、ビット線 B L をプリチャージした後にフローティング状態にし、読み出し選択されたメモリセルの制御ゲート電極 1 6 の電圧を読み出し電圧 V ref、それ以外のメモリセルの制御ゲート電極 1 6 の電圧を非選択読み出し電圧 V read とする。さらに、選択トランジスタ S G S、S G D の制御ゲート電極 1 6 の電圧を電源電圧 V cc とし、ソース線 S L を 0 V とする。そして、読み出し選択されたメモリセルに電流が流れるか否かをビット線 B L で検出することにより、読み出し動作が行われる。すなわち、選択されたメモリセルがしきい値電圧  $V_{th} > V_{ref}$ （書き込み状態）ならば、メモリセルはオフにな

50

るのでビット線 B L はプリチャージ電位を保つ。

【 0 1 0 3 】

これに対して、選択されたメモリセルがしきい値電圧  $V_{th} < V_{ref}$  (読み出し状態) ならばメモリセルはオンするので、ビット線 B L の電位はプリチャージ電位から  $V$  だけ低下する。この電位変化をセンスアンプで検知することによってメモリセルのデータが読み出される。

【 0 1 0 4 】

以上説明したようにこの第 2 の実施の形態では、ソース線 S L の高さが高くなるのを抑制してビット線コンタクトのアスペクト比の増大を防止できる。さらに、ゲート電極のパターニング工程におけるリソグラフィマージンの低下を抑制することができる。また、ソース線を選択トランジスタおよびメモリセルと同時に形成するので工程を削減することが可能となる。さらに、メモリセルのゲート電極がインターポリ絶縁膜の無い単層構造となっているため、選択トランジスタ領域とソース線領域でインターポリ絶縁膜をエッチングする必要がなく、工程を簡略化できる。

【 0 1 0 5 】

[ 第 3 の実施の形態 ]

次に、この発明の第 3 の実施の形態の半導体装置について説明する。

【 0 1 0 6 】

この第 3 の実施の形態の前記第 1 及び第 2 の実施の形態と異なる点は、メモリセル及び選択トランジスタのゲート電極加工後にソース線を加工している点である。以下、前記第 1 の実施の形態における構成と同様の部分には同じ符号を付してその説明は省略し、異なる構成部分のみを説明する。

【 0 1 0 7 】

図 2 5 は、第 3 の実施の形態の N A N D 型 E E P R O M の構成を示す回路図である。図 2 6 ( a ) は、前記第 3 の実施の形態の N A N D 型 E E P R O M のレイアウト図であり、図 2 6 ( b ) は図 2 6 ( a ) に示すレイアウト図中の A - A 線に沿った断面図である。なお、図 2 5 に示す回路図、及び図 2 6 ( a ) に示すレイアウト図は前記第 1 の実施の形態と同様である。

【 0 1 0 8 】

図 2 6 ( b ) に示すように、p 型半導体基板または p 型ウェル領域 (以下、半導体基板) 1 1 には、ソースあるいはドレイン領域である n 型拡散層 1 2 が離間して配置されている。n 型拡散層 1 2 間の半導体基板 1 1 上には、トンネル絶縁膜 1 3 を介して浮遊ゲート電極 1 4 が形成されている。この浮遊ゲート電極 1 4 上には、インターポリ絶縁膜 1 5 を介して制御ゲート電極 1 6 が形成されている。さらに、制御ゲート電極 1 6 上には、シリサイド層 3 6 が形成されている。これらにより、メモリセルトランジスタ M 0、M 1、...、M 1 5 の電流通路の一端及び他端が接続されて、N A N D セルが構成されている。前記制御ゲート電極 1 6 は、膜厚 1 0 n m ~ 3 0 0 n m 程度の不純物を高濃度にドーピングした多結晶シリコン膜であり、シリサイド層 3 6 は膜厚 1 0 n m ~ 3 0 0 n m 程度の N i S i、または M o S i、T i S i、C o S i などのシリコンの金属化合物である。

【 0 1 0 9 】

なお、メモリセルトランジスタ M 0、M 1、...、M 1 5 の制御ゲート電極 1 6 及びシリサイド層 3 6 が、それぞれワード線 W L 0、W L 1、...、W L 1 5 に相当する。

【 0 1 1 0 】

前記 N A N D セルの一端には、前述したトンネル絶縁膜 1 3、浮遊ゲート電極 1 4、インターポリ絶縁膜 1 5、制御ゲート電極 1 6、及びシリサイド層 3 6 を有する選択トランジスタ S G D が形成されている。さらに、選択トランジスタ S G D の一端には、n 型拡散層 1 2 およびビット線コンタクト B L C を介して他のブロックの選択トランジスタ S G D が形成されている。

【 0 1 1 1 】

また、N A N D セルの他端には、前述したトンネル絶縁膜 1 3、浮遊ゲート電極 1 4、イ

10

20

30

40

50

ンターポリ絶縁膜 15、制御ゲート電極 16、及びシリサイド層 36 を有する選択トランジスタ S G S が形成されている。

【 0 1 1 2 】

これら選択トランジスタ S G D、S G S におけるインターポリ絶縁膜 15 は、一部分が除去されており、浮遊ゲート電極 14 と制御ゲート電極 16 とが導通している。よって、選択トランジスタ S G D の浮遊ゲート電極 14、制御ゲート電極 16、及びシリサイド層 36 が選択線 S S L に相当し、選択トランジスタ S G S の浮遊ゲート電極 14、制御ゲート電極 16、及びシリサイド層 36 が選択線 G S L に相当する。さらに、選択トランジスタ S G S の一端には、ソース線 S L が形成されている。

【 0 1 1 3 】

前記ソース線 S L の断面構造は以下のようにになっている。半導体基板 11 には、n 型拡散層 12 が形成されており、この n 型拡散層 12 上には層間絶縁膜 18、20 及びバリア絶縁膜 19 が形成されている。n 型拡散層 12 上の層間絶縁膜 18、20 及びバリア絶縁膜 19 には、n 型拡散層 12 に達する溝が形成されており、この溝内にはポリシリコン膜 35 が埋め込まれている。このポリシリコン膜 35 上には、シリサイド層 36 が形成されている。

【 0 1 1 4 】

前記ポリシリコン膜 35 及びシリサイド層 36 はソース線 S L を構成しており、このソース線 S L と n 型拡散層 12 とが電氣的に接続されている。ソース線 S L の半導体基板 11 面からの高さは、メモリセル及び選択トランジスタのゲート電極の半導体基板 11 面からの高さとはほぼ同一である。またソース線 S L のシリサイド層 36 は選択トランジスタ S G S、S G D のシリサイド層 36 およびメモリセル M 0 ~ M 15 のシリサイド層 36 と同層に形成されている。

【 0 1 1 5 】

さらに、図 26 ( b ) に示すように、層間絶縁膜 37、ビット線コンタクト B L C、ビット線 B L、及び絶縁膜 21 が形成されている。

【 0 1 1 6 】

次に、前記第 3 の実施の形態の半導体装置の製造方法について説明する。

【 0 1 1 7 】

図 27 ( a ) ~ 図 27 ( c )、図 28 ( a ) ~ 図 28 ( c )、図 29 ( a )、及び図 29 ( b ) は、前記第 3 の実施の形態の半導体装置の製造方法を示す各工程の断面図である。これらの図は、図 26 ( a ) に示すレイアウト図中の A - A 線に沿った断面図である。

【 0 1 1 8 】

まず、メモリセルトランジスタ M 0 ~ M 15 及び選択トランジスタ S G D、S G S のゲート電極を加工する。メモリセルは、半導体基板 11 上に、トンネル絶縁膜 13、多結晶シリコン膜 14、インターポリ絶縁膜 15、及び多結晶シリコン 16 の順序で積層された構造を有している。また、選択トランジスタは、半導体基板 11 上に、トンネル絶縁膜 13、多結晶シリコン膜 14、インターポリ絶縁膜 15、及び多結晶シリコン 16 の順序で積層された構造を有している。この選択トランジスタでは、インターポリ絶縁膜 15 の一部分が除去されており、多結晶シリコン 14 と多結晶シリコン 16 とが導通している。多結晶シリコン膜 14、16 には不純物がドーピングされており、多結晶シリコン膜 14 の膜厚は 10 nm ~ 200 nm 程度であり、多結晶シリコン膜 16 の膜厚は 10 nm ~ 300 nm 程度である。

【 0 1 1 9 】

その後、図 27 ( a ) に示すように、メモリセル及び選択トランジスタのゲート電極間の半導体基板 11 に、リンまたはヒ素などの不純物を注入してソースあるいはドレインである n 型拡散層 12 を形成する。さらに、メモリセル及び選択トランジスタのゲート電極間を、シリコン酸化膜などの層間絶縁膜 18 で埋め込む。

【 0 1 2 0 】

続いて、メモリセル及び選択トランジスタのゲート電極上、及び層間絶縁膜 18 上を、例

10

20

30

40

50

えば膜厚5nm～50nm程度のシリコン窒化膜などからなるバリア絶縁膜19で覆う。なお、メモリセル及び選択トランジスタのゲート電極とバリア絶縁膜19との間には、膜厚が10nm～100nm程度のシリコン酸化膜またはシリコン窒化膜などからなるキャップ絶縁膜17が形成されている。

#### 【0121】

次に、図27(b)に示すように、シリコン酸化膜などの層間絶縁膜20を堆積し、CMP法によってこの層間絶縁膜20を平坦化する。さらに、図27(c)に示すように、ソース領域の層間絶縁膜20及びバリア絶縁膜19をエッチング除去し、ソース線を埋め込むための溝34を形成する。図ではソース線溝34は半導体基板11に対して垂直に加工されているが、テーパ形状にした場合には、導電材料で埋め込むときの埋め込み性が向上する効果がある。

10

#### 【0122】

続いて、図27(c)に示した構造上に、図28(a)に示すように、不純物をドーブした多結晶シリコン膜35を堆積する。そして、図28(b)に示すように、この多結晶シリコン膜35をCMP法などの方法によりエッチバックする。これにより、層間絶縁膜20の溝34内に埋め込まれた、ソース線を構成するポリシリコン膜35が形成される。このとき、ソース線を構成するポリシリコン膜35の高さは、メモリセル及び選択トランジスタのゲート電極の高さによって決定される。

#### 【0123】

次に、メモリセル及び選択トランジスタのゲート電極を覆っているバリア絶縁膜19及びキャップ絶縁膜17を、ウェットエッチングまたは異方性エッチングにより除去する。これにより、図28(c)に示すように、ゲート電極16及びソース線を構成する多結晶シリコン膜35は剥き出しになる。このとき、ソース線35の半導体基板からの高さは、選択トランジスタおよびメモリセルの高さとほぼ同一になるが、好ましくは選択トランジスタやメモリセルよりも10nm～100nm程度高くなることソース線の低抵抗化のためには望ましい。これは、図28(b)のように、ソース線35を選択トランジスタおよびメモリセルのゲート電極よりも、キャップ絶縁膜17とバリア絶縁膜19の膜厚分だけ高く形成することで実現される。

20

#### 【0124】

続いて、図28(c)に示した構造上に、ニッケル(Ni)、モリブデン(Mo)、チタニウム(Ti)、及びコバルト(Co)などの金属膜を堆積した後、アニールを行う。これにより、図29(a)に示すように、ゲート電極及びソース線を構成する多結晶シリコン膜16、35の上層を、NiSi、MoSi、TiSi、CoSiなどのシリコン金属化合物36にシリサイド化する。

30

#### 【0125】

次に、図29(a)に示した構造上に、シリコン酸化膜などの層間絶縁膜37を堆積し、CMP法によってこの層間絶縁膜37を平坦化する。さらに、層間絶縁膜18、20、37内に、n型拡散層12に接続されたビット線コンタクトBLCを形成する。ビット線コンタクトBLC上及び層間絶縁膜37上にビット線BLを形成し、さらにこのビット線BL上及び層間絶縁膜37上に絶縁膜21を形成する。

40

#### 【0126】

この後の工程は図示しないが、上部配線、及びパッシベーション膜などを形成してNAND型EEPROMを完成させる。

#### 【0127】

このような構成を有する半導体装置及びその製造方法では、第1、第2の実施の形態と比較して、ソース線SLを構成する多結晶シリコン膜35と半導体基板11との間のトンネル絶縁膜(ゲート絶縁膜)13を除去する必要がないため、工程が削減される。また、トンネル絶縁膜13の除去後のパターンとソース線SLの多結晶シリコン膜35との合わせずれ余裕が不要なので、NAND型EEPROMの面積を縮小することができる。

#### 【0128】

50

図38(b)で示した従来例と異なる点は、ソース線SLを構成する埋め込み導電材が積層構造になっている点である。ソース線が有する積層構造の上部の導電材料は、NiSi、またはMoSi、TiSi、CoSiなどのシリコン金属化合物(シリサイド)である。よって、従来例における単層の多結晶シリコンからなるソース線と比較して抵抗率が低いために、ソース線の高さを低く形成することが可能である。好ましくは、ソース線の高さを選択トランジスタ及びメモリセルのゲート電極と同一にするとよい。この実施の形態で示した製造方法を用いれば、ソース線の高さが選択トランジスタおよびメモリセルゲートによって規定されるため、ソース線の高さを安定して製造することが可能となり、ソース線抵抗のばらつきが減少するため、特にデータ読み出し時の不揮発性メモリの特性ばらつきを減少できる。

10

## 【0129】

さらに、ソース線SLが持つ積層構造の上部に形成される導電材料であるシリサイドは、メモリセル及び選択トランジスタのゲート電極の上部に形成される導電材料と同一の材料であり、製造過程においても同一工程にてシリサイド化される。これより、製造プロセスを簡略化することが可能である。また、ソース線SLの抵抗率が選択線SSL、GSL及びワード線WL0~WL15と同じになるので回路設計が容易になる。

## 【0130】

また、この第3の実施の形態では、メモリセルは前記第1の実施の形態と同様に浮遊ゲート型のものを示したが、前記第2の実施の形態と同様にMONOS型のものでもよい。

20

## 【0131】

また、選択トランジスタ間には、例えば膜厚5nm~50nm程度のシリコン窒化膜などからなるバリア絶縁膜19が配置されている。このバリア絶縁膜19は、ビット線コンタクトBLCが素子分離溝に落ち込むのを防ぐためのエッチングストップパとして働く。

## 【0132】

この第3の実施の形態の半導体装置では、前述したように、ソース線SLの形成材料として多結晶シリコンよりも導電率の高いシリサイド層を用いている。このため、図38(b)に示した従来の半導体装置よりもソース線の抵抗率を小さくできるため、ソース線の高さを低くすることが可能である。これにより、ビット線BLも従来の半導体装置より低く形成でき、ビット線コンタクトBLCのアスペクト比も小さくできる。この結果、半導体装置の加工が容易になり、製品歩留まりが向上する。

30

## 【0133】

この実施の形態におけるNAND型EEPROMの書き込み、消去、読み出し動作は、第1または第2の実施例と同じであるので説明を省略する。

## 【0134】

以上説明したようにこの第3の実施の形態では、ソース線を形成する導電材料を積層構造として、ソース線抵抗を小さくすることで、ソース線SLの高さが高くなるのを抑制してビット線コンタクトのアスペクト比の増大を防止できるため加工が容易となる。さらに、ソース線を形成する導電材料の一部が選択トランジスタおよびメモリセルの制御ゲート(つまり選択線およびワード線)と同層に形成されているため、工程が簡略化され、またソース線抵抗率が選択線およびワード線抵抗率と一致し、回路設計が容易となる。

40

## 【0135】

## [第4の実施の形態]

次に、この発明の第4の実施の形態の半導体装置について説明する。

## 【0136】

この第4の実施の形態では、前記第3の実施の形態と同様に、ソース線SLがメモリセル及び選択トランジスタのゲート電極加工後に形成される。さらに、ソース線は積層構造の導電膜を有しており、上部の導電膜は不純物をドーブした多結晶シリコンよりも抵抗率の低い導電材料からなる。前記第3の実施の形態と異なるのは、上部の導電膜が、メモリセル及び選択トランジスタの制御ゲート電極を構成する導電膜と同一の層に、ダマシン法を用いた同一の工程にて形成されている点である。

50

## 【 0 1 3 7 】

図 3 0 は、第 4 の実施の形態の N A N D 型 E E P R O M の構成を示す回路図である。図 3 1 ( a ) は、前記第 4 の実施の形態の N A N D 型 E E P R O M のレイアウト図であり、図 3 1 ( b ) は図 3 1 ( a ) に示すレイアウト図中の A - A 線に沿った断面図である。

## 【 0 1 3 8 】

ソース線 S L の上部に形成される導電膜 4 1 は、タングステンシリサイド ( W S i ) などのシリコン金属化合物、または C u 、 A l 、 W などの金属 4 1 である。この導電膜 4 1 は、前記第 3 の実施の形態のように、多結晶シリコンのシリサイド化によって形成されたのではなく、ゲート電極のキャップ絶縁膜 1 7 を除去した後に導電膜を埋め込むダマシン法によって形成されたものである。ダマシン法で形成する場合、シリサイド化を用いて形成する場合に比べて、製造コストが安価で制御性良く製造可能な利点がある。

10

## 【 0 1 3 9 】

次に、前記第 4 の実施の形態の半導体装置の製造方法について説明する。

## 【 0 1 4 0 】

図 3 2 ( a ) ~ 図 3 2 ( c ) 、 図 3 3 ( a ) ~ 図 3 3 ( c ) 、 図 3 4 ( a ) 、 及び図 3 4 ( b ) は、前記第 4 の実施の形態の半導体装置の製造方法を示す各工程の断面図である。これらの図は、図 3 1 ( a ) に示すレイアウト図中の A - A 線に沿った断面図である。

## 【 0 1 4 1 】

まず、メモリセルトランジスタ M 0 ~ M 1 5 及び選択トランジスタ S G D 、 S G S のゲート電極と、ソース線 S L を加工する。メモリセルのゲート電極は、半導体基板 1 1 上に、トンネル絶縁膜 1 3 、多結晶シリコン膜 1 4 、インターポリ絶縁膜 1 5 、及び多結晶シリコン 1 6 の順序で積層された構造を有している。また、選択トランジスタは、半導体基板 1 1 上に、トンネル絶縁膜 1 3 、多結晶シリコン膜 1 4 、インターポリ絶縁膜 1 5 、及び多結晶シリコン 1 6 の順序で積層された構造を有している。この選択トランジスタでは、インターポリ絶縁膜 1 5 の一部分が除去されており、多結晶シリコン 1 4 と多結晶シリコン 1 6 とが導通している。多結晶シリコン膜 1 4 、 1 6 には不純物がドーブされており、多結晶シリコン膜 1 4 の膜厚は 1 0 n m ~ 2 0 0 n m 程度であり、多結晶シリコン膜 1 6 の膜厚は 1 0 n m ~ 3 0 0 n m 程度である。

20

## 【 0 1 4 2 】

その後、図 3 2 ( a ) に示すように、メモリセル及び選択トランジスタのゲート電極間の半導体基板 1 1 に、リンまたはヒ素などの不純物を注入してソースあるいはドレインである n 型拡散層 1 2 を形成する。さらに、メモリセル及び選択トランジスタのゲート電極間を、シリコン酸化膜などの層間絶縁膜 1 8 で埋め込む。

30

## 【 0 1 4 3 】

続いて、メモリセル及び選択トランジスタのゲート電極上、及び層間絶縁膜 1 8 上を、例えば膜厚 5 n m ~ 5 0 n m 程度のシリコン窒化膜などからなるバリア絶縁膜 1 9 で覆う。なお、メモリセル及び選択トランジスタのゲート電極とバリア絶縁膜 1 9 との間には、膜厚が 1 0 n m ~ 1 0 0 n m 程度のシリコン酸化膜またはシリコン窒化膜などからなるキャップ絶縁膜 1 7 が形成されている。

## 【 0 1 4 4 】

次に、図 3 2 ( b ) に示すように、シリコン酸化膜などの層間絶縁膜 2 0 を堆積し、C M P 法によってこの層間絶縁膜 2 0 を平坦化する。さらに、図 3 2 ( c ) に示すように、ソース領域の層間絶縁膜 2 0 及びバリア絶縁膜 1 9 をエッチング除去し、ソース線を埋め込むための溝 3 4 を形成する。図ではソース線溝 3 4 は半導体基板 1 1 に対して垂直に加工されているが、テーパー形状にした場合には、導電材料で埋め込むときの埋め込み性が向上する効果がある。

40

## 【 0 1 4 5 】

続いて、図 3 2 ( c ) に示した構造上に、不純物をドーブした多結晶シリコンを堆積する。そして、図 3 3 ( a ) に示すように、この多結晶シリコン膜を C M P 法などの方法によりエッチバックする。これにより、層間絶縁膜 2 0 の溝 3 4 内に埋め込まれた、ソース線

50

を構成するポリシリコン膜35が形成される。このとき、ポリシリコン膜35のエッチバック量は、30nm以上であることが望ましい。エッチバック量が多いほど、後の工程で埋め込まれる抵抗率の低い導電膜が多く埋め込まれるため、ソース線の抵抗を低くできる。一方、抵抗率のばらつきを小さくするにはエッチバック量は少ない方が望ましく、両者の兼ね合いで最適なエッチバック量を決定する。

**【0146】**

次に、図33(b)に示すように、メモリセル及び選択トランジスタのゲート電極を覆っているバリア絶縁膜19及びキャップ絶縁膜17を、ウェットエッチングまたは異方性エッチングにより除去する。これにより、ゲート電極及びソース線を構成する多結晶シリコン膜16、35は剥き出しになる。

10

**【0147】**

続いて、図33(b)に示した構造上に、図33(c)に示すように、タングステンシリサイド(WSi)などのシリコン金属化合物、またはCu、Al、Wなどの金属41を堆積する。その後、図34(a)に示すように、堆積したシリコン金属化合物または金属41を、CMP法などの方法によりエッチバックする。

**【0148】**

次に、図34(a)に示した構造上に、シリコン酸化膜などの層間絶縁膜37を堆積し、CMP法によってこの層間絶縁膜37を平坦化する。さらに、層間絶縁膜18、20、37内に、n型拡散層12に接続されたビット線コンタクトBLCを形成する。ビット線コンタクトBLC上及び層間絶縁膜37上にビット線BLを形成し、さらにこのビット線BL上及び層間絶縁膜37上に絶縁膜21を形成する。

20

**【0149】**

この後の工程は図示しないが、上部配線、及びパッシベーション膜などを形成してNAND型EEPROMを完成させる。

**【0150】**

この第4の実施の形態では、メモリセルは前記第1の実施の形態と同様に浮遊ゲート型のものを示したが、前記第2の実施の形態と同様にMONOS型のもでもよい。

**【0151】**

また、選択トランジスタ間には、例えば膜厚5nm~50nm程度のシリコン窒化膜などからなるバリア絶縁膜19が配置されている。このバリア絶縁膜19は、ビット線コンタクトBLCが素子分離溝に落ち込むのを防ぐためのエッチングストッパとして働く。

30

**【0152】**

この第4の実施の形態においても、ソース線SLは積層構造の導電膜を有しており、上部の導電膜は不純物をドーブした多結晶シリコンよりも導電率の高い導電材料からなるため、第3の実施の形態と同様の効果が得られる。さらに、第4の実施の形態では、前述したようにソース線の上部の導電膜がダマシン法を用いて埋め込まれているため、シリサイド化を用いた場合に比べて、製造コストが安価で制御性良く製造できる。また、この実施の形態で示した製造方法を用いれば、ソース線の高さが選択トランジスタおよびメモリセルゲートによって規定されるため、ソース線の高さを安定して製造することが可能となり、ソース線抵抗のばらつきが減少するため、特にデータ読み出し時の不揮発性メモリの特性ばらつきを減少できる。

40

**【0153】**

この実施の形態におけるNAND型EEPROMの書き込み、消去、読み出し動作は、第1または第2の実施の形態と同じであるので説明を省略する。

**【0154】**

以上説明したようにこの第4の実施の形態では、ソース線を形成する導電材料を積層構造として、ソース線抵抗を小さくすることで、ソース線SLの高さが高くなるのを抑制してビット線コンタクトのアスペクト比の増大を防止できるため加工が容易となる。さらに、ソース線を形成する導電材料の一部が選択トランジスタおよびメモリセルの制御ゲート(つまり選択線およびワード線)と同層に形成されているため、工程が簡略化され、またソ

50



ース線抵抗率が選択線およびワード線抵抗率と一致し、回路設計が容易となる。

【 0 1 5 5 】

[ 第 4 の実施の形態の変形例 ]

図 3 5 に、前記第 4 の実施の形態の変形例を示す。第 4 の実施の形態と同様にソース線は積層構造となっている。積層構造の下部層 3 5 ( n 型拡散層 1 2 と接する部分 ) は例えば、不純物を添加した多結晶シリコンであり、上部層 4 1 は多結晶シリコンよりも抵抗率の低い材料によって形成される。ソース線の上部層 4 1 の材料としては、例えば膜厚 1 0 n m ~ 3 0 0 n m 程度の N i S i 、または M o S i 、 T i S i 、 C o S i などのシリコンの金属化合物が用いられる。または、例えば、タングステンシリサイド ( W S i ) などのシリコン金属化合物、または C u 、 A l 、 W などの金属が用いられる。

10

【 0 1 5 6 】

メモリセルおよび選択トランジスタの制御ゲート電極 1 6 は、ソース線の上部層 4 1 と同層には形成されていない点が第 4 の実施の形態とは異なる。

【 0 1 5 7 】

本変形例では、ソース線の上部層は選択トランジスタやメモリセルの制御ゲート 1 6 と別層に形成されている。従って、選択トランジスタおよびメモリセル部を覆うバリア絶縁膜 1 9 やキャップ絶縁膜 1 7 を剥離する工程が不要であるため、工程を簡略化することができる。

【 0 1 5 8 】

また、第 4 の実施の形態と同様に、ソース線を形成する導電材料を積層構造として、ソース線抵抗を小さくすることで、ソース線 S L の高さが高くなるのを抑制して、ビット線コンタクトのアスペクト比の増大を防止できるため、加工が容易となる。さらに、ソース線の高さが選択トランジスタおよびメモリセルゲートによって規定されるため、ソース線の高さを安定して製造することが可能となり、ソース線抵抗のばらつきが減少するため、特にデータ読み出し時の不揮発性メモリの特性ばらつきを減少できる。なお、この変形例は、メモリセルの浮遊ゲート型に限らず、M O N O S 型にも適用できる。

20

【 0 1 5 9 】

前述した第 1 ~ 第 4 の実施の形態及び変形例では、図 3 6 ( a ) 示したような N A N D 型 E E P R O M の共通ソース線 S L を例にとって説明したが、これに限るわけではない。例えば、図 3 6 ( b ) に示した N O R 型 E E P R O M や、図 3 6 ( c ) に示した A N D 型 E E P R O M の共通ソース線を第 1 ~ 第 4 の実施の形態及び変形例に示したような積層構造としてもよい。また、第 1、第 2 の実施の形態では、浮遊ゲートまたは制御ゲート電極に対して自己整合的に素子分離領域を形成する S A - S T I (Self Align - Shallow Trench Isolation) 法を用いて形成しているが、素子分離領域を形成した後にゲート絶縁膜およびゲート電極を形成してもよい。

30

【 0 1 6 0 】

また、メモリセルトランジスタは浮遊ゲート型等の積層ゲート構造でもよいし、M O N O S 型等の単層ゲート構造でもよい。さらに、選択トランジスタとメモリセルトランジスタは同一の構造をとってもよいし、異なる構造をとってもよい。さらに、選択線とワード線は同一の構造をとってもよいし、異なる構造をとってもよい。例えば、第 1 の実施の形態の選択トランジスタのゲート電極 1 4 とゲート電極 1 6 を接続せずに、浮遊ゲート電極と同層に形成したゲート電極 1 4 を選択線として用いてもよい。これらの変形例を用いても、共通ソース線を積層構造として、従来の多結晶シリコンによる単層構造の場合よりも抵抗率を小さくすることで、ソース線の高さが高くなるのを抑制してビット線コンタクトのアスペクト比の増大を防止できるため、加工が容易となる。また好ましくはソース線の高さが選択トランジスタやメモリセルトランジスタの高さで規定される構造とすることで、高さばらつきを減少させ、ソース線抵抗のばらつきが軽減されるため、素子特性のばらつきを抑制できる。さらに好ましくは、ソース線の一部または全部を、選択線 ( 選択トランジスタの制御ゲート電極 ) やワード線 ( メモリセルトランジスタの制御ゲート線 ) と同層に形成することで、工程数が減り、加工が容易になるので、製造コストが低下し、歩留ま

40

50

りが向上する。

【0161】

また、前述した各実施の形態はそれぞれ、単独で実施できるばかりでなく、適宜組み合わせることも可能である。さらに、前述した各実施の形態には種々の段階の発明が含まれており、各実施の形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【0162】

【発明の効果】

以上述べたようにこの発明によれば、ソース線を形成する導電材料を積層構造として、ソース線抵抗を小さくすることで、ソース線SLの高さが高くなるのを抑制してビット線コンタクトのアスペクト比の増大を防止できるため加工が容易となる。さらに、ソース線を形成する導電材料の一部または全部が選択トランジスタおよびメモリセルの制御ゲート（つまり選択線およびワード線）と同層に形成されているため、工程が簡略化され、またソース線抵抗率が選択線およびワード線抵抗率と一致するため、回路設計が容易となる。さらに、ゲート電極のパターニング工程における露光裕度などのリソグラフィマージンの低下を抑制することができる半導体装置及びその製造方法を提供することが可能である。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態の半導体装置の構成を示す回路図である。

【図2】(a)は前記第1の実施の形態の半導体装置のレイアウト図であり、(b)及び(c)は前記レイアウト図中のA-A線に沿った断面図である。

【図3】前記第1の実施の形態の半導体装置の製造方法を示す第1工程の断面図である。

【図4】前記第1の実施の形態の半導体装置の製造方法を示す第2工程の断面図である。

【図5】前記第1の実施の形態の半導体装置の製造方法を示す第3工程の断面図である。

【図6】前記第1の実施の形態の半導体装置の製造方法を示す第4工程の断面図である。

【図7】前記第1の実施の形態の半導体装置の製造方法を示す第5工程の断面図である。

【図8】前記第1の実施の形態の半導体装置の製造方法を示す第6工程の断面図である。

【図9】前記第1の実施の形態の半導体装置の製造方法を示す第7工程の断面図である。

【図10】前記第1の実施の形態の半導体装置の製造方法を示す第8工程の断面図である。

【図11】前記第1の実施の形態の半導体装置の製造方法を示す第9工程の断面図である。

【図12】前記第1の実施の形態の半導体装置の製造方法を示す第10工程の断面図である。

【図13】この発明の第1の実施の形態の変形例の半導体装置の構成を示す断面図である。

【図14】この発明の第2の実施の形態の半導体装置の構成を示す回路図である。

【図15】(a)は前記第2の実施の形態の半導体装置のレイアウト図であり、(b)及び(c)は前記レイアウト図中のA-A線に沿った断面図である。

【図16】前記第2の実施の形態の半導体装置の製造方法を示す第1工程の断面図である。

【図17】前記第2の実施の形態の半導体装置の製造方法を示す第2工程の断面図である。

【図18】前記第2の実施の形態の半導体装置の製造方法を示す第3工程の断面図である。

【図19】前記第2の実施の形態の半導体装置の製造方法を示す第4工程の断面図である。

【図20】前記第2の実施の形態の半導体装置の製造方法を示す第5工程の断面図である。

【図21】前記第2の実施の形態の半導体装置の製造方法を示す第6工程の断面図である。

【図22】前記第2の実施の形態の半導体装置の製造方法を示す第7工程の断面図である。

【図23】前記第2の実施の形態の半導体装置の製造方法を示す第8工程の断面図である。

【図24】前記第2の実施の形態の半導体装置の製造方法を示す第9工程の断面図である。

【図25】前記第2の実施の形態の半導体装置の製造方法を示す第10工程の断面図である。

【図26】前記第2の実施の形態の半導体装置の製造方法を示す第11工程の断面図である。

【図27】前記第2の実施の形態の半導体装置の製造方法を示す第12工程の断面図である。

【図28】前記第2の実施の形態の半導体装置の製造方法を示す第13工程の断面図である。

【図29】前記第2の実施の形態の半導体装置の製造方法を示す第14工程の断面図である。

【図30】前記第2の実施の形態の半導体装置の製造方法を示す第15工程の断面図である。

【図31】前記第2の実施の形態の半導体装置の製造方法を示す第16工程の断面図である。

【図32】前記第2の実施の形態の半導体装置の製造方法を示す第17工程の断面図である。

【図33】前記第2の実施の形態の半導体装置の製造方法を示す第18工程の断面図である。

【図34】前記第2の実施の形態の半導体装置の製造方法を示す第19工程の断面図である。

【図35】前記第2の実施の形態の半導体装置の製造方法を示す第20工程の断面図である。

10

20

30

40

50

【図 2 2】前記第 2 の実施の形態の半導体装置の製造方法を示す第 7 工程の断面図である。

【図 2 3】前記第 2 の実施の形態の半導体装置の製造方法を示す第 8 工程の断面図である。

【図 2 4】この発明の第 2 の実施の形態の変形例の半導体装置の構成を示す断面図である。

【図 2 5】この発明の第 3 の実施の形態の半導体装置の構成を示す回路図である。

【図 2 6】( a ) は前記第 3 の実施の形態の半導体装置のレイアウト図であり、( b ) は前記レイアウト図中の A - A 線に沿った断面図である。

【図 2 7】前記第 3 の実施の形態の半導体装置の製造方法を示す第 1 工程の断面図である。

10

【図 2 8】前記第 3 の実施の形態の半導体装置の製造方法を示す第 2 工程の断面図である。

【図 2 9】前記第 3 の実施の形態の半導体装置の製造方法を示す第 3 工程の断面図である。

【図 3 0】この発明の第 4 の実施の形態の半導体装置の構成を示す回路図である。

【図 3 1】( a ) は前記第 4 の実施の形態の半導体装置のレイアウト図であり、( b ) は前記レイアウト図中の A - A 線に沿った断面図である。

【図 3 2】前記第 4 の実施の形態の半導体装置の製造方法を示す第 1 工程の断面図である。

20

【図 3 3】前記第 4 の実施の形態の半導体装置の製造方法を示す第 2 工程の断面図である。

【図 3 4】前記第 4 の実施の形態の半導体装置の製造方法を示す第 3 工程の断面図である。

【図 3 5】この発明の第 4 の実施の形態の変形例の半導体装置の構成を示す回路図である。

【図 3 6】この発明の実施の形態が適用される不揮発性メモリの回路図である。

【図 3 7】従来の半導体装置の構成を示す回路図である。

【図 3 8】( a ) は従来の前記半導体装置のレイアウト図であり、( b ) は前記レイアウト図中の 3 8 B - 3 8 B 線に沿った断面図である。

30

【符号の説明】

M 0 ~ M 1 5 ... メモリセルトランジスタ

S G D、S G S ... 選択トランジスタ

W L 0 ~ W L 1 5 ... ワード線

S S L ... 選択線

G S L ... 選択線

B L ... ビット線

S L ... ソース線

B L C ... ビット線コンタクト

1 1 ... p 型半導体基板 ( または p 型ウェル領域 )

40

1 2 ... n 型拡散層

1 2 ' ... n 型拡散層

1 3 ... トンネル絶縁膜

1 4 ... 浮遊ゲート電極 ( 導電膜 )

1 5 ... インターポリ絶縁膜

1 6 ... 制御ゲート電極 ( 導電膜 )

1 7 ... キャップ絶縁膜

1 8 ... 層間絶縁膜

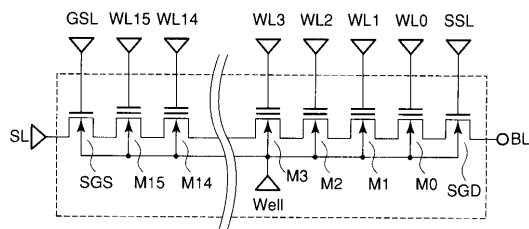
1 9 ... バリア絶縁膜

2 0 ... 層間絶縁膜

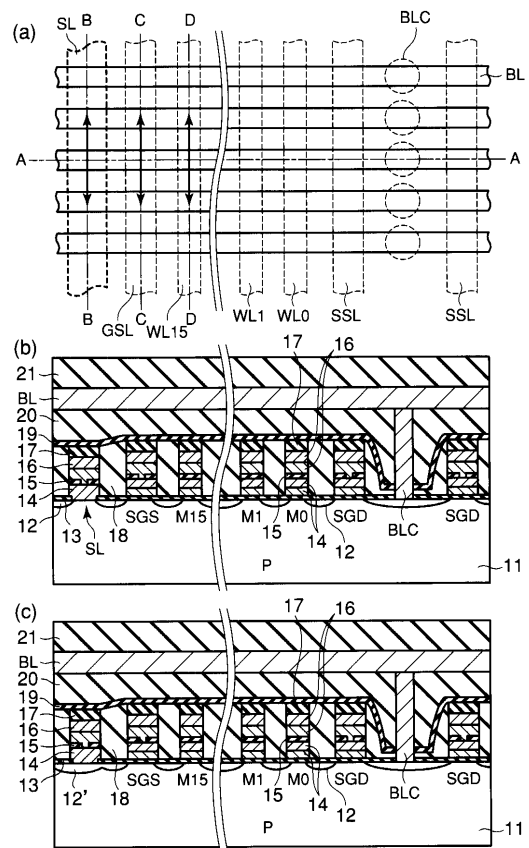
50

- 2 1 ... 絶縁膜
- 2 2 ... ストップ絶縁膜
- 2 3 ... マスク絶縁膜
- 2 4 ... 絶縁膜
- 2 4 A ... 素子分離溝
- 3 1 ... トンネル絶縁膜
- 3 2 ... 電荷蓄積層
- 3 3 ... ブロック絶縁膜
- 3 4 ... 溝
- 3 5 ... 多結晶シリコン膜
- 3 6 ... シリサイド層
- 3 7 ... 層間絶縁膜
- 4 1 ... 導電膜 (シリコン金属化合物または金属)

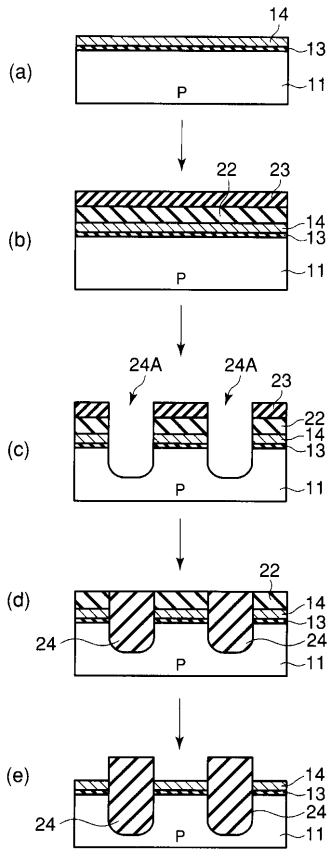
【図 1】



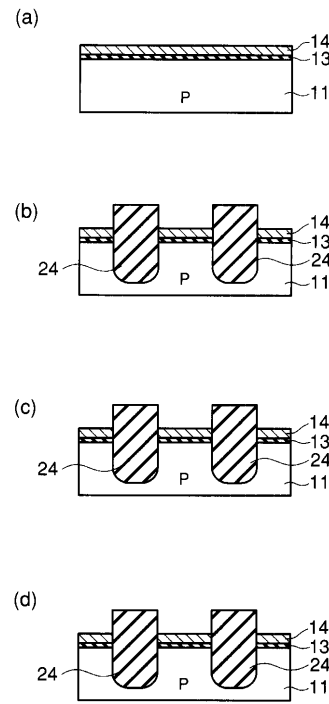
【図 2】



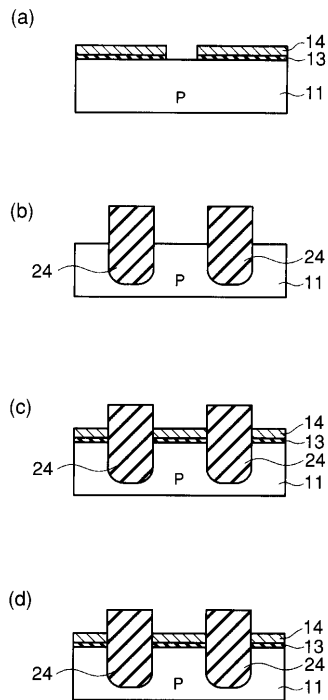
【 図 3 】



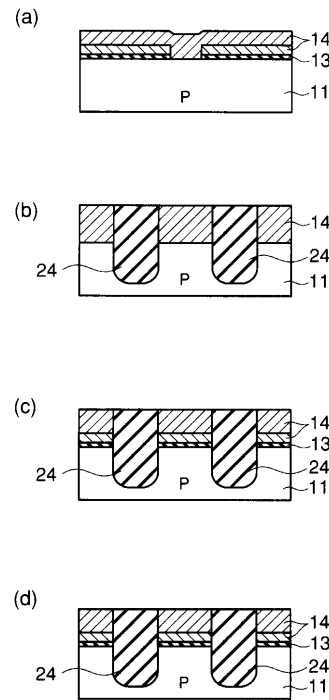
【 図 4 】



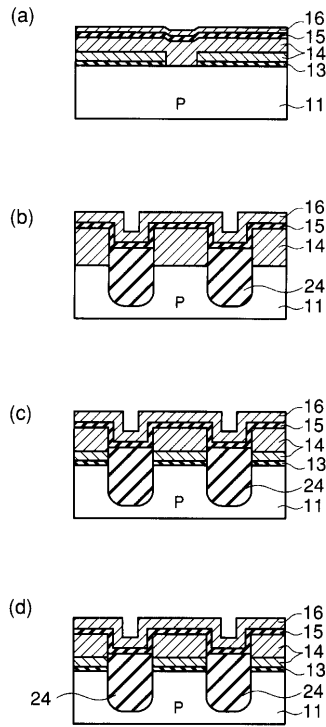
【 図 5 】



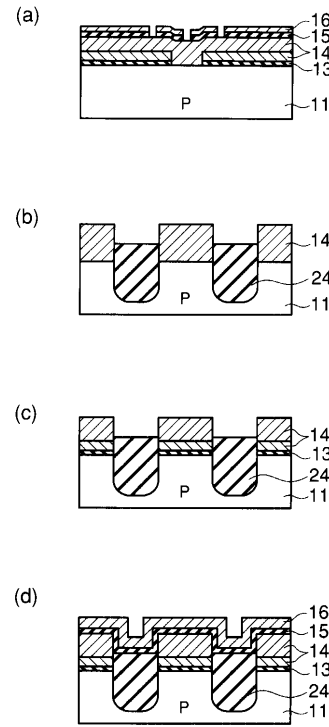
【 図 6 】



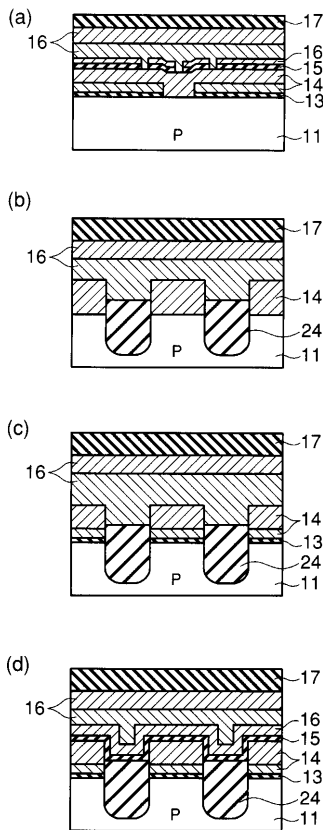
【 図 7 】



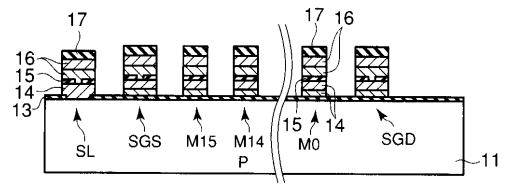
【 図 8 】



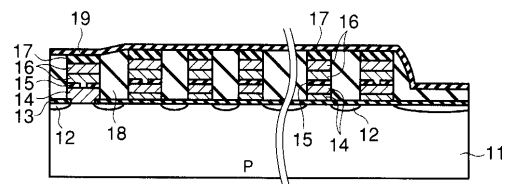
【 図 9 】



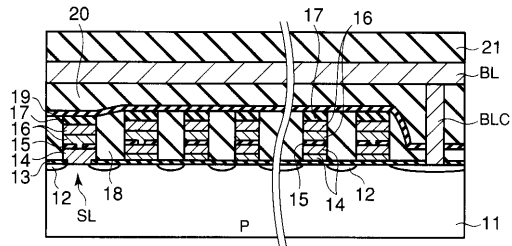
【 図 10 】



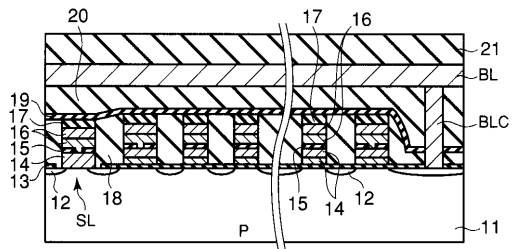
【 図 11 】



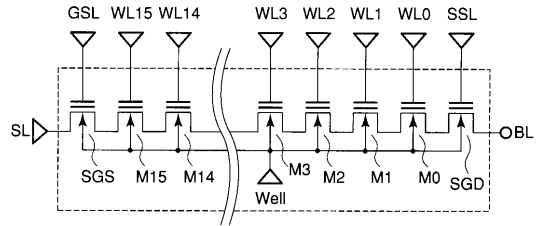
【 図 1 2 】



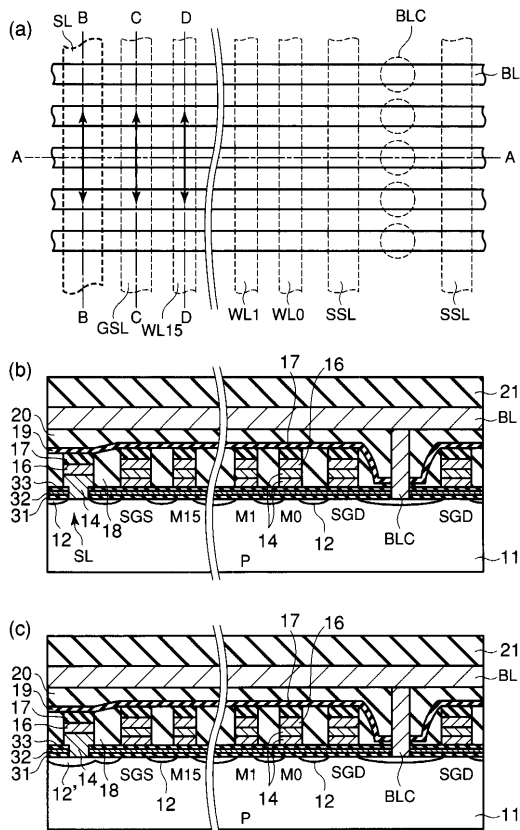
【 図 1 3 】



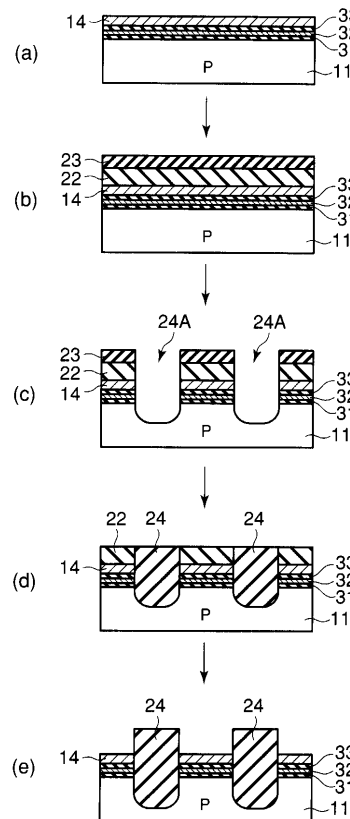
【 図 1 4 】



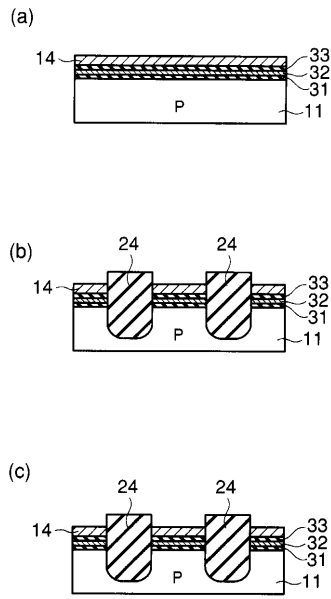
【 図 1 5 】



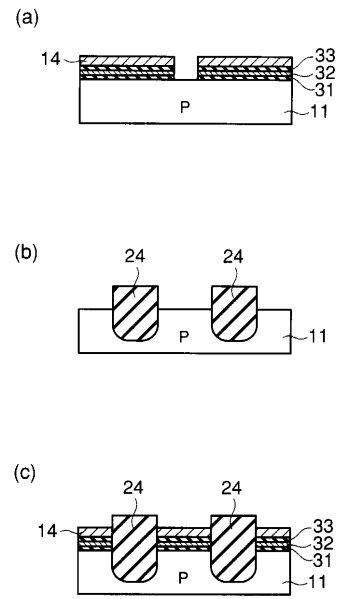
【 図 1 6 】



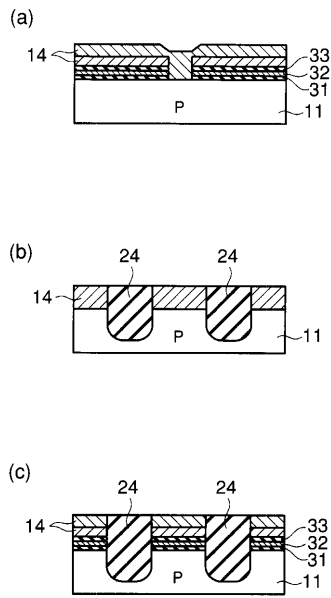
【図 17】



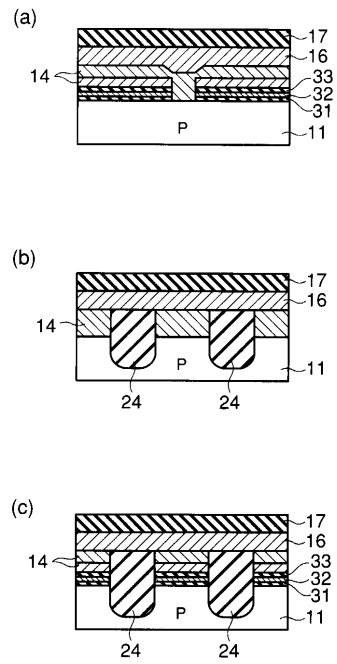
【図 18】



【図 19】

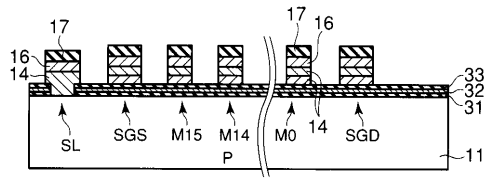


【図 20】

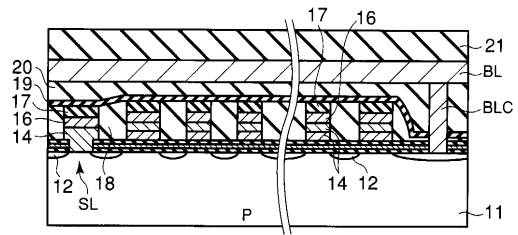




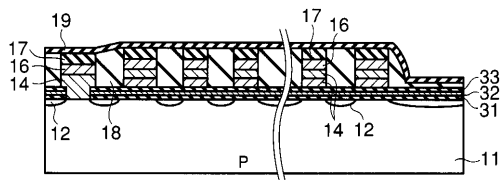
【図 2 1】



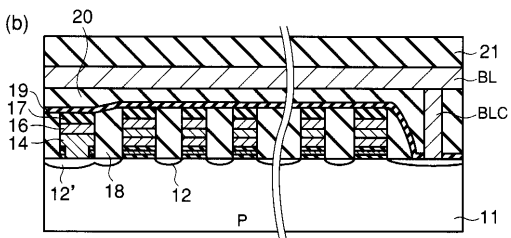
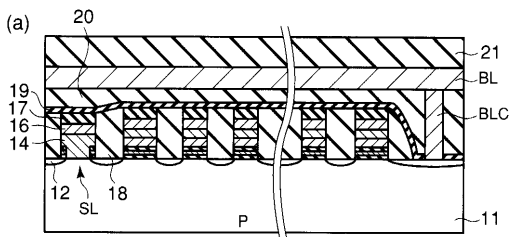
【図 2 3】



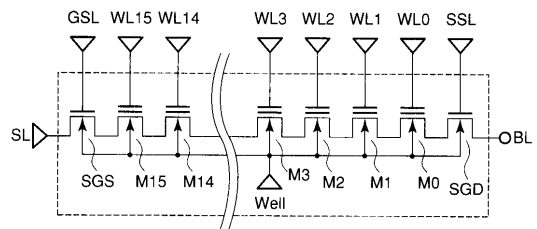
【図 2 2】



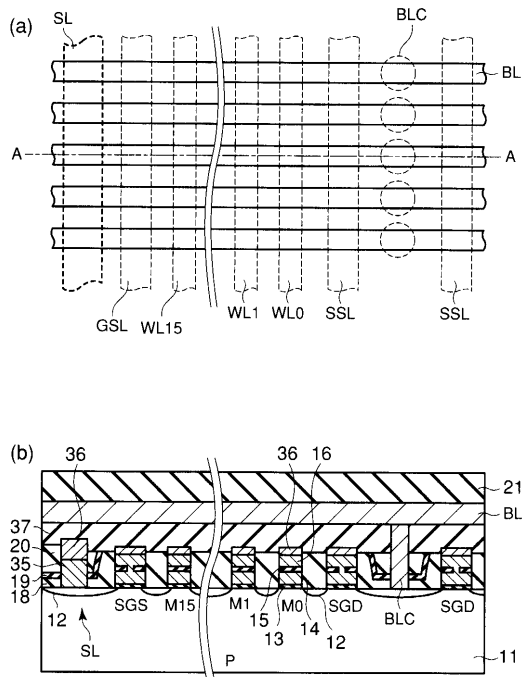
【図 2 4】



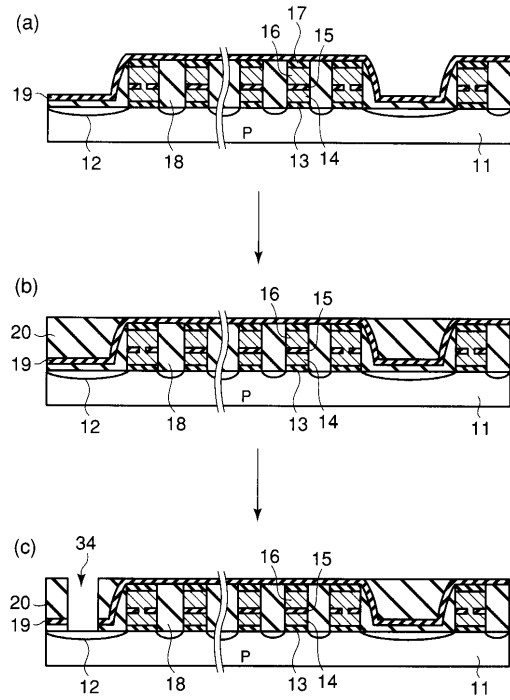
【図 2 5】



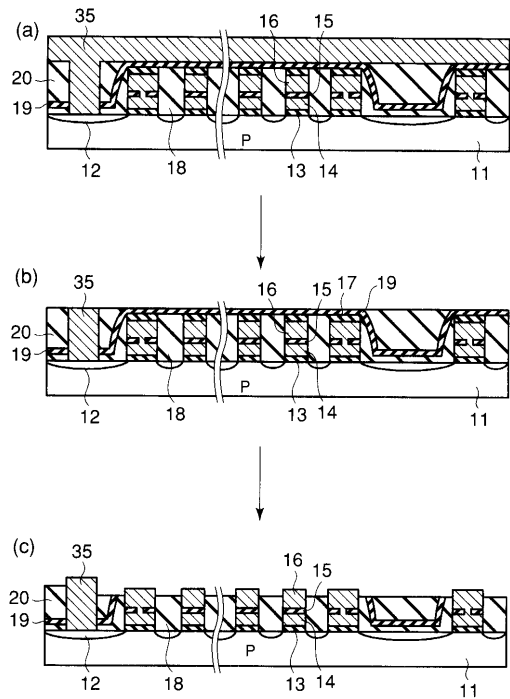
【図 26】



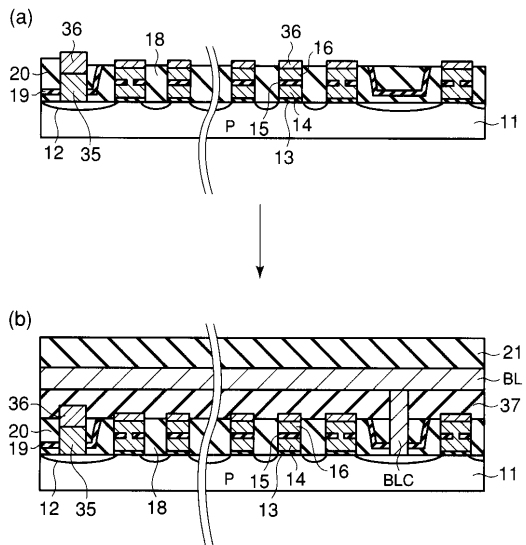
【図 27】



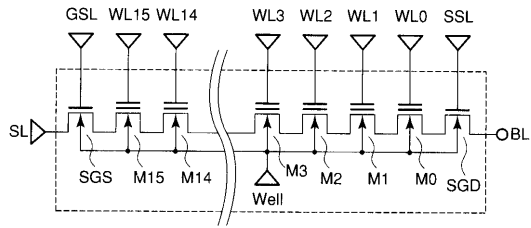
【図 28】



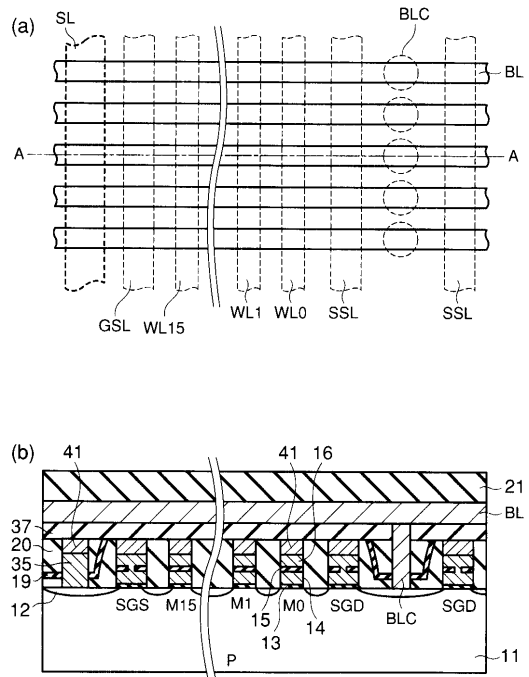
【図 29】



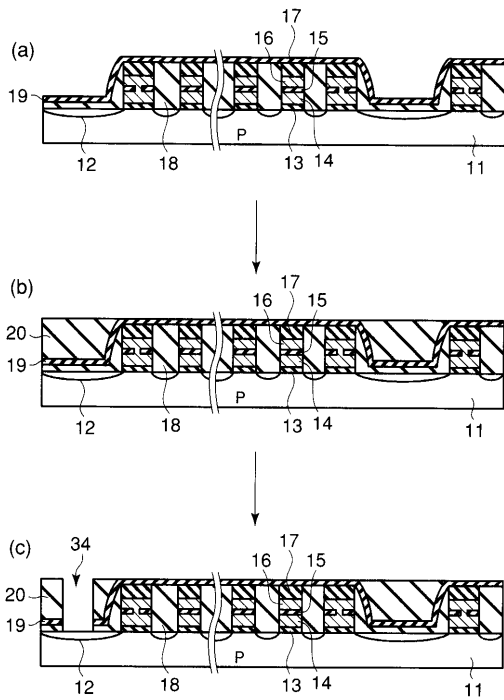
【図 30】



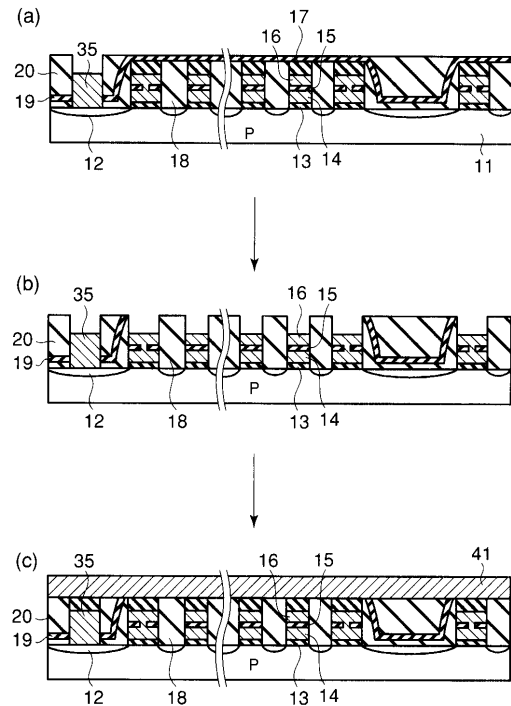
【図 31】



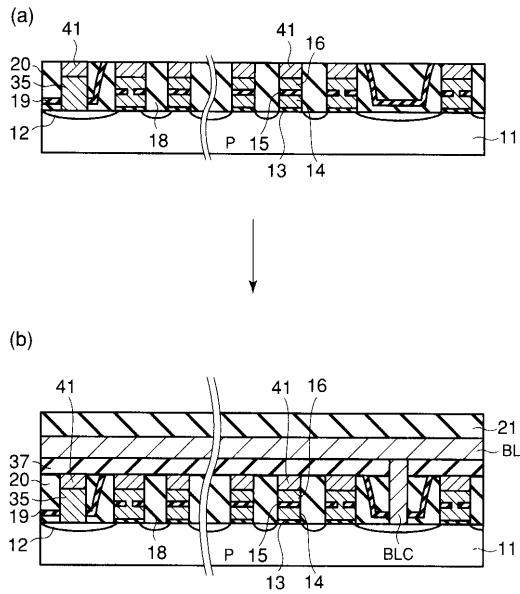
【図 32】



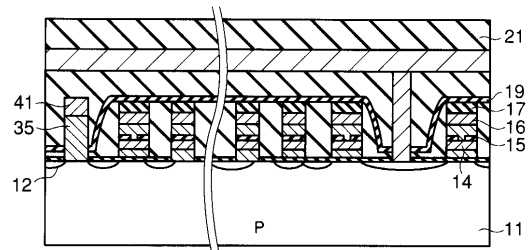
【図 33】



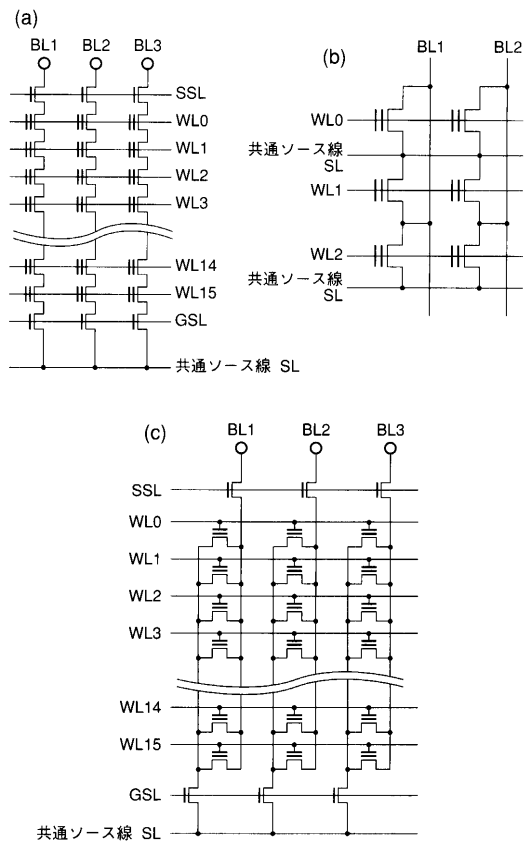
【図34】



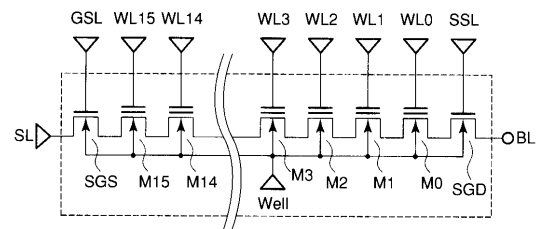
【図35】



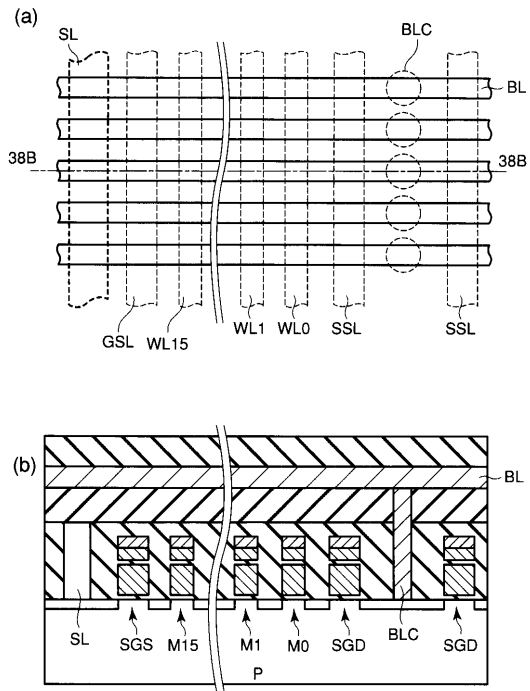
【図36】



【図37】



【 図 38 】



---

フロントページの続き

- (72)発明者 合田 晃  
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
- (72)発明者 野口 充宏  
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

審査官 栗野 正明

- (56)参考文献 特開 2 0 0 0 - 2 6 9 3 6 5 ( J P , A )  
特開平 1 1 - 1 8 6 5 2 8 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/8247

H01L 27/115

H01L 29/788

H01L 29/792