



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 202113818 A

(43) 公開日：中華民國 110 (2021) 年 04 月 01 日

(21) 申請案號：109119276

(22) 申請日：中華民國 109 (2020) 年 06 月 09 日

(51) Int. Cl. : **G11C7/06 (2006.01)**

(30) 優先權：2019/06/11 美國 16/438,090

(71) 申請人：美商應用材料股份有限公司 (美國) APPLIED MATERIALS, INC. (US)
美國(72) 發明人：郭 法蘭克征溫 GUO, FRANK TZEN-WEN (US) ; 阿亞葛瑞珊葛梅莉 布瓦內斯
瓦里 AYYAGARI-SANGAMALLI, BHUVANESHWARI (US) ; 沙奇德 安加德 B
SACHID, ANGADA B. (IN) ; 亞歷山大 布萊希 ALEXANDER, BLESSY (US)

(74) 代理人：李世章；彭國洋

申請實體審查：有 申請專利範圍項數：20 項 圖式數：6 共 40 頁

(54) 名稱

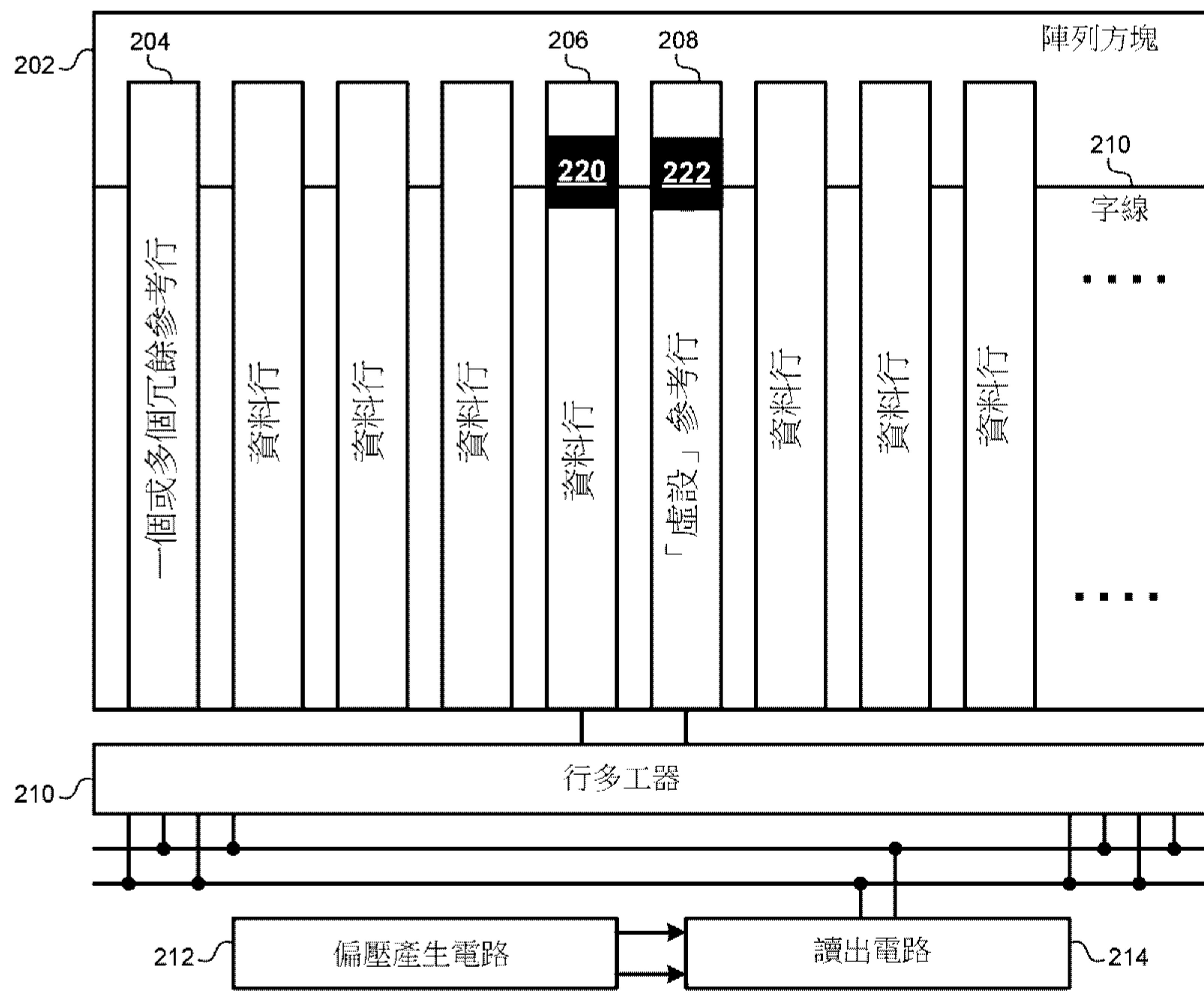
不受雜訊和變化影響的窄範圍讀出放大器

(57) 摘要

本案提供一種記憶體電路，包括記憶體陣列，記憶體陣列具有提供參考信號的一個或多個參考行和資料行，資料行在由讀取操作選擇時提供資料信號。記憶體電路還包括：第一電路，第一電路從參考信號和資料信號中去除共同信號分量；以及第二電路，第二電路將參考信號調整為邏輯 1 信號位準和邏輯 0 信號位準之間。記憶體電路還包含讀出放大器，讀出放大器確定資料信號代表邏輯 1 還是邏輯 0，此是使用在去除共同信號分量以及在被調整之後的參考信號，以及在去除共同信號分量之後的資料信號來實現的。

A memory circuit includes a memory array with one or more reference columns providing a reference signal and a data column providing a data signal when selected by a read operation. The memory circuit also includes a first circuit that removes a common signal component from the reference signal and from the data signal, along with a second circuit that adjusts the reference signal to be between a logic 1 signal level and a logic 0 signal level. The memory circuit also includes a sense amplifier that determines whether the data signal represents a logic 1 or a logic 0 using the reference signal after the common signal component is removed and after being adjusted, along with the data signal after having the common signal component removed.

指定代表圖：



符號簡單說明：

200:記憶體架構

202:記憶體陣列

204:參考行

206:資料行

208:參考行

210:行多工器

212:偏壓產生電路

214:讀出電路

圖2



202113818

【發明摘要】**【中文發明名稱】** 不受雜訊和變化影響的窄範圍讀出放大器**【英文發明名稱】** NARROW RANGE SENSE AMPLIFIER WITH IMMUNITY TO NOISE AND VARIATION**【中文】**

本案提供一種記憶體電路，包括記憶體陣列，記憶體陣列具有提供參考信號的一個或多個參考行和資料行，資料行在由讀取操作選擇時提供資料信號。記憶體電路還包括：第一電路，第一電路從參考信號和資料信號中去除共同信號分量；以及第二電路，第二電路將參考信號調整為邏輯 1 信號位準和邏輯 0 信號位準之間。記憶體電路還包含讀出放大器，讀出放大器確定資料信號代表邏輯 1 還是邏輯 0，此是使用在去除共同信號分量以及在被調整之後的參考信號，以及在去除共同信號分量之後的資料信號來實現的。

【英文】

A memory circuit includes a memory array with one or more reference columns providing a reference signal and a data column providing a data signal when selected by a read operation. The memory circuit also includes a first circuit that removes a common signal component from the reference signal and from the data signal, along with a second circuit that adjusts the reference signal to be between a logic 1 signal level and a logic 0 signal level. The memory circuit also includes a sense amplifier that determines whether the data signal represents a logic 1 or a logic 0 using the reference signal after the common signal component is removed and after being adjusted, along with the data signal after having the common signal component removed.

【指定代表圖】第（ 2 ）圖。

【代表圖之符號簡單說明】

200：記憶體架構

202：記憶體陣列

204：參考行

206：資料行

208：參考行

210：行多工器

212：偏壓產生電路

214：讀出電路

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 不受雜訊和變化影響的窄範圍讀出放大器

【英文發明名稱】 NARROW RANGE SENSE AMPLIFIER WITH IMMUNITY TO NOISE AND VARIATION

【技術領域】

【0001】 本揭示內容涉及具有抗雜訊和變化的窄範圍讀出放大器。

【先前技術】

【0002】 現代電腦記憶體使用讀出放大器作為用於從記憶體讀取資料的電路系統的一部分。讀出放大器的作用是感測來自位線的低功率信號，位線代表存儲在記憶體單元中的單個資料位元（1或0）。隨後，讀出放大器將較小的電壓擺幅放大到邏輯位準，邏輯位準可以由與記憶體連接的數位邏輯正確識別和解釋。通常，透過記憶體陣列中的行多工器包括用於記憶體單元的行的讀出放大器。高效能記憶體需要讀出放大器，讀出放大器以最小的感測延遲和低功耗實現最大的電壓差放大位準。

【發明內容】

【0003】 在一些具體實施例中，記憶體電路可以包括記憶體陣列，記憶體陣列具有提供參考信號的一個或多個參考行和複數個資料行。複數個資料行可包含在由讀取操作選擇時提供資料信號的資料行。記憶體電路還可以包括：第一電路，第一電路從參考信號和資料信號中去除共同信號分量；第二電路，第二電路將參考信號調整為邏輯1信號位

準和邏輯 0 信號位準之間；以及讀出放大器，讀出放大器確定資料信號代表邏輯 1 還是邏輯 0。可在由第一電路去除共同信號分量之後和在由第二電路調整之後，讀出放大器可使用參考信號。讀出放大器亦可在由第一電路去除共同信號分量之後使用資料信號。

【0004】 在一些具體實施例中，一種從記憶體電路讀取資料的方法可以包括以下步驟：從位於記憶體陣列中的一個或多個參考行接收參考信號；以及從記憶體陣列中的複數個資料行中的資料行接收資料信號。在由讀取操作選擇時，資料行可提供資料信號。方法可以另外包括從參考信號和資料信號中去除共同信號分量的步驟。方法可以進一步包括將參考信號調整為在邏輯 1 信號位準和邏輯 0 信號位準之間的步驟。方法可以進一步包含下列步驟：在去除共同信號分量之後並且在被調整為介於邏輯 1 信號位準和邏輯 0 信號位準之間之後，提供參考信號給讀出放大器。方法亦可包含在去除共同信號分量之後將資料信號提供給讀出放大器的步驟。

【0005】 在任何具體實施例中，可以以任何組合包括（但不限於）以下任何特徵。讀出放大器可為鎖存放大器。記憶體陣列可包含磁阻隨機存取記憶體（MRAM）陣列。一個或多個參考行可包含位於記憶體陣列的大略中心處的參考行。一個或多個參考行可包含複數個參考行，且其中藉由使來自複數個參考行的子集的電流平均化來產生參考信號。一個或多個參考行可包含第一參考行與第二參考行，

第一參考行提供參考信號，且第二參考行作為用於第一參考行的預備方案。記憶體陣列中的複數個資料行可包含經配置以輸出所儲存的邏輯位準的複數個位元單元，且一個或多個參考行可包含經配置以輸出邏輯 0 信號位準的複數個位元單元。藉由將參考信號減少至邏輯 1 信號位準與邏輯 0 信號位準之間的大略中心信號位準，而調整參考信號。藉由將信號注入參考信號而減少參考信號，其中注入參考信號的信號的量是由疊接電晶體對控制。藉由將信號注入參考信號與資料信號而從參考信號和資料信號去除共同信號分量，其中注入參考信號與資料信號的信號的量是由疊接電晶體對控制。

【圖式簡單說明】

【0006】 參照說明書的其餘部分與圖式，可進一步理解各具體實施例的本質與優點，其中在附圖中使用類似的元件符號指代類似的部件。在一些情況下，將子標籤與附圖標記相關聯以表示多個相似部件中的一個。當在沒有說明現有子標籤的情況下參考附圖標記時，意在指代所有這樣的多個相似部件。

【0007】 圖 1 A 根據一些具體實施例示出了經典 M R A M 單元的圖。

【0008】 圖 1 B 根據一些具體實施例示出了用於 M R A M 單元的現代設計。

【0009】 圖 1 C 根據一些具體實施例示出了讀出放大器的示意圖。

【0010】 圖 2 根據一些具體實施例示出了記憶體架構的圖。

【0011】 圖 3 根據一些具體實施例示出了調節提供給讀出放大器的參考電流和資料電流的讀出電路的一部分。

【0012】 圖 4 根據一些具體實施例示出了偏壓產生電路。

【0013】 圖 5 根據一些具體實施例示出了用於產生用於居中電流的附加參考偏壓的電路。

【0014】 圖 6 根據一些具體實施例示出了用於從記憶體電路讀取資料的方法的流程圖。

【實施方式】

【0015】 本文描述了具有抗雜訊和製程變化的窄範圍讀出放大器的具體實施例。電阻記憶體單元在由讀出放大器測量到的導通電阻和截止電阻之間的比率非常小。此外，製程變化可能導致讀出放大器使用的參考電流獨立於從記憶體陣列接收的資料信號而漂移。在本文描述的具體實施例中，「虛設」參考行可以被放置在記憶體陣列中以提供參考信號，參考信號跟踪在資料信號中也發生的製程、電壓和/或溫度變化。參考信號和資料信號都可以在被傳遞到讀出放大器之前進行預處理，以從參考信號和資料信號中去除共同信號分量，並增加導通狀態電阻和截止狀態電阻之間的比率。參考信號也可以在導通狀態和截止狀態的信號位準之間定中心。

【0016】 在過去的 20 年中，傳統的隨機存取記憶體 (RAM) 設計 (例如快閃記憶體、動態 RAM (DRAM)、靜態 RAM (SRAM) 等) 主導了電腦記憶體市場。但是，電阻存儲

技術代表了一種新興且可行的替代方案，在某些應用中可能會表現良好。電阻式隨機存取記憶體（**ReRAM** 或 **RRAM**）表示一種非易失性電腦記憶體，其藉由更改跨諸如介電固態材料等材料的電阻來進行操作。一種稱為磁阻隨機存取記憶體（**MRAM**）的特殊類型的電阻存儲技術，將資料存儲在會影響電路電阻的磁疇中。長期以來，人們一直認為 **MRAM** 可能最終會超越電腦記憶體中的競爭技術。像 **SRAM** 和 **DRAM** 一樣，**MRAM** 是對稱記憶體，可以高速讀寫。**MRAM** 也是非易失性的，因此當從記憶體單元斷電時內容不會丟失。但是，快閃 **RAM**、**SRAM**、**DRAM** 和其他非磁性記憶體仍然具有實際優勢，這妨礙了 **MRAM** 在電腦記憶體中的廣泛使用。本文描述的具體實施例克服了當前 **MRAM** 設計中存在的一些技術挑戰。

【0017】 圖 1 A 根據一些具體實施例示出了經典 **MRAM** 單元 100 的圖。**MRAM** 技術利用一對磁鐵的相對極性來存儲單個位元的資訊。當兩個磁鐵以極性對齊的方式串聯放置時，流過這兩個磁鐵的電流的電阻將相當低。例如，將兩個磁鐵串聯放置使得一個磁鐵的南極與另一磁鐵的北極串聯連接，可以產生相對較低的第一電阻。反之，將兩個磁鐵串聯放置使得一個磁鐵的南極與另一磁鐵的南極串聯連接，可以產生比第一電阻相對較高的第二電阻。藉由改變一對磁鐵中一個磁鐵的極性來改變電路中電阻的能力，為 **MRAM** 單元技術提供了基礎。簡而言之，低電阻磁性電路可以表示邏輯 0，而高電阻磁性電路可以表示邏輯 1。

【0018】 M R A M 單元 1 0 0 可以包括固定狀態磁鐵 1 0 8 和自由狀態磁鐵 1 0 4 ， 以控制 M R A M 單元 1 0 0 的電阻並因此表示不同的邏輯狀態。固定狀態磁鐵 1 0 8 可以具有在 M R A M 單元 1 0 0 的操作期間不改變的磁極性。因此，固定狀態磁鐵 1 0 8 中的電子可以沿不變的單個方向旋轉（例如，從北向南看時為順時針方向）。另一方面，自由狀態磁鐵 1 0 4 中的電子可以改變以表示不同的邏輯位準。

【0019】 M R A M 單元 1 0 0 的一些具體實施例，可以使用電流來翻轉自由狀態磁鐵 1 0 4 中的電子的自旋方向。這些電流可以通過位線（bit line）1 0 2 和字線（word line）1 1 0 提供。自由狀態磁鐵 1 0 4 和固定狀態磁鐵 1 0 8 可以由隧道勢壘（tunnel barrier）1 0 6 分開，並且兩個磁鐵都可以設置在位線 1 0 2 和字線 1 1 0 之間。藉由如圖 1 所示使電流在位線 1 0 2 中從左向右流動並且在字線 1 1 0 上從頁面流出，可以使自由狀態磁鐵 1 0 4 中的電子自旋沿順時針方向旋轉。此極化可以表示邏輯 1 值。反之，若使電流在位線 1 0 2 中從右向左流動並在字線 1 1 0 上流入頁面，則可以使自由狀態磁鐵 1 1 4 中的電子自旋沿逆時針方向旋轉。此極化可以表示邏輯 0 值。當位線 1 0 2 和 / 或字線 1 1 0 中的電流截止時，自由狀態磁鐵 1 0 4 中的電子自旋得以維持，這提供了 M R A M 單元 1 0 0 的「記憶」功能，直到隨後的電流被施加到位線 1 0 2 和字線 1 1 0 上以改變自由狀態磁鐵 1 0 4 的極性為止。

【0020】 可以藉由使電流流過固定狀態磁鐵 108、隧道勢壘 106 和自由狀態磁鐵 104，來執行讀取由 MRAM 單元 100 存儲的邏輯值的操作。可以藉由導通由 MRAM 單元 100 底部的基板 122 中的汲極 118 和源極 120 形成的電晶體，來施加此讀取電流。電晶體的閘極 114 可以由讀取字線形成。為了避免混淆，一些實現方式可以將字線 110 稱為「寫入字線」並將閘極 114 稱為「讀取字線」。當向閘極 114 施加電壓（例如 1.8 V）時，電流從汲極 118 通過基板 122 流向電晶體的源極 120。在離開電源 120 之後，電流可以繼續流過導體 116 進入固定狀態磁鐵 108、流過隧道勢壘 106、流過自由狀態磁鐵 104 並最終流過位線 102。當流過自由狀態磁鐵 104 和固定狀態磁鐵 108 時，可以測量通過磁鐵 104、108 的電流和 / 或跨磁鐵 104、108 的電壓降以確定相對電阻。當在第一（例如相對較低的）電流位準上測量電流時，MRAM 單元 100 的狀態可以解釋為存儲邏輯 0 值。當在第二（例如相對較高的）電流位準上測量電流時，MRAM 單元 100 的狀態可以解釋為存儲邏輯 1 值。

【0021】 MRAM 技術面臨許多固有的挑戰，可能會阻止其在某些應用中使用。例如，可能需要在各個 MRAM 單元之間保持某種程度的分離或隔離，以使一個單元中的磁極化不影響相鄰單元中的磁極化。此外，大型外部磁源也可能會干擾內部 MRAM 單元狀態。然而，新興的電阻式存儲技術的主要挑戰之一，涉及通常伴隨記憶體單元行的讀出放大器電路系統。

【0022】 當將電壓施加到閘極 114 以讀取 M R A M 單元 100 的狀態時，所得電流從位線 102 流出到讀出放大器中。隨後，讀出放大器測量所得電流與參考電流之間的差，以確定 M R A M 單元 100 是處於高電阻狀態還是處於低電阻狀態。然而，電阻記憶體單元的邏輯 0 和邏輯 1 狀態之間的電阻差異可能很小，這導致記憶體單元的導通狀態和截止狀態之間的電阻比非常小。電信號傳播通過的 C M O S 電路系統中的製程變化，可能非常接近狀態之間的電阻窗口，因此製程變化會侵蝕很小的用於檢測邏輯 0 和邏輯 1 狀態之間的電阻差異之間的裕量。在如此小的電阻比的情況下，能夠以高速區分邏輯狀態的讀出放大器中的讀出電路，代表了由本文描述的具體實施例解決的技術挑戰。特定而言，這些具體實施例提出了可以伴隨讀出放大器來感測非常小的電流比，並且不受 C M O S 電路系統中的雜訊和製程變化影響的電路系統。

【0023】 圖 1 B 根據一些具體實施例示出了用於 M R A M 單元 170 的現代設計。此設計使用磁隧道接面 (M T J) 和自旋極化電流，來翻轉其中一個磁性層中電子的自旋。字線 176 在具有汲極 172 和源極 174 的電晶體的閘極上延伸。字線 176 可以啟動此電晶體以存取 M R A M 單元 170 的內容。如上所述，M R A M 單元 170 可以包括固定狀態磁鐵 180 和自由狀態磁鐵 182。

【0024】 為了改變 M R A M 單元 170 的記憶狀態，可以施加極化電流以翻轉自由狀態磁鐵 182 中的電子的自旋。電子

具有自旋特性，特性描述了電子固有的少量角動量。極化電流是其中電子在一個方向或另一個方向上具有主要自旋取向的一種電流。此極化電流可以使自由狀態磁鐵 182 中的電子採用相似的自旋取向。因此，這可能導致自由狀態磁鐵的方向發生翻轉。

【0025】 類似於圖 1 A 中的 M R A M 單元 100，在圖 1 B 中的 M R A M 單元 170 在固定狀態磁鐵 180 和自由狀態磁鐵 182 之間包括勢壘氧化物層 186。隧道磁阻是 M T J 中發生的磁阻效應。勢壘氧化物 186 可以足夠薄以使得電子可以在固定狀態磁鐵 180 和自由狀態磁鐵 182 之間隧穿。因此，可以產生自旋極化電流並使其通過固定狀態磁鐵 108。M T J 允許電子自旋的角動量透過 M T J 傳遞到自由狀態磁鐵 182 中，從而改變其電子自旋。此處理在低電阻狀態和高電阻狀態之間改變電阻。

【0026】 圖 1 C 根據一些具體實施例示出了讀出放大器 150 的示意圖。此讀出放大器 150 包括參考電流輸入 160 和資料電流輸入 162。一些具體實施例可以在連接器 146 處包括用於讀出放大器的致能輸入。致能輸入可以對讀出放大器供電和 / 或使讀出放大器與參考電流輸入 160 和資料電流輸入 162 斷開，以提供快速的讀出放大器響應。讀出放大器 150 包括六個用作差動放大器 164 的電晶體，用於檢測參考電流輸入 160 和資料電流輸入 162 之間的微小差異。輸入 144 可以用於控制由三個 P M O S 電晶體組成的感測均衡電路 166，這三個 P M O S 電晶體將趨於將讀出電路

的兩側拉至由連接的電源提供的相同電勢。這允許讀出放大器 150 用作鎖存讀出放大器。兩個輸出 140、142 代表在通過各自的升壓反相器之後的讀出放大器 150 的反相和同相輸出。

【0027】 圖 2 根據一些具體實施例示出了記憶體架構 200 的圖。記憶體架構 200 可以包括一個或多個記憶體陣列 202。每個記憶體陣列 202 可以包括複數個資料行 206，並且複數個資料行 206 中的每個可以包括複數個資料位元。複數個資料行 206 中的資料位元可以由字線 210 和位線（未示出）單獨地定址。如在大多數傳統記憶體陣列中一樣，來自記憶體陣列 202 的輸出可以在進入讀出放大器之前通過行多工器 210。

【0028】 記憶體架構 200 與傳統記憶體架構的不同之處在於，許多不同的方式提高了讀出放大器的讀出能力。首先，可以藉由濾除資料電流線和參考電流線中的共同電流分量，來提高邏輯位準 1（例如高電阻狀態）和邏輯位準 0（例如低電阻狀態）之間的電流比。第二，偏壓產生電路 212 和讀出電路 214 可以為讀出放大器提供對製程變化和記憶體讀取干擾的抵抗力。第三，記憶體陣列塊 202 可以包括一個或多個「虛設」參考行，其可以用於生成用於讀出放大器的參考電流。這允許參考電流跟隨製程、電壓和 / 或溫度（PVT）的變化，此變化將非常接近在複數個資料行 206 中可能發現的變化。下面將更詳細地描述記憶體架構 200 中的這些特徵中的每一個。

【0029】 可以將「虛設」或「參考」陣列行放置在記憶體陣列 202 中，以提供參考電流，此參考電流經受與習知資料行 206 相同的製程和時序變化。例如，由於參考行 204 可以在與資料行 206 相同的矽基板上製造並且使用相同的生產製程，因此由生產製程引起的 PVT 變化在資料行 206 和參考行 208 兩者中可以實質相同。例如，若 PVT 變化導致來自資料行 206 的電流略高於目標值，則來自參考行 208 的對應參考電流將類似地略高於目標值。若記憶體陣列塊 202 的溫度升高/降低，從而影響資料行 206 的內部電阻和/或電流，則來自參考行 208 的參考電流將以相同的方式受到影響，因為其電路系統經受到相同的溫度變化的影響。藉由將參考行 208 放置在記憶體陣列塊 202 中，來自參考行 208 的參考信號的變化可以跟蹤來自資料行 206 的資料信號中發生的任何變化。

【0030】 在一些具體實施例中，可以使用至少一個參考行 208。參考行 208 可以放置在記憶體陣列塊 202 的大略中心。隨著記憶體陣列塊的大小增加，可以將附加參考行 208 添加到記憶體陣列塊 202。行多工器 210 可以從參考行 208 之一中選擇一個參考電流，此參考行實體上最接近正在讀取的資料行 206。這可以最小化參考信號和資料信號所遍歷的跡線長度的差異。一些具體實施例可以將記憶體陣列塊 202 劃分為不同的扇區，並且每個扇區可以在此扇區的資料行 206 的中間具有其自己的對應參考行 208。

【0031】 一些具體實施例可以包括冗餘參考行 204。在（主要）參考行 208 發生故障的情況下，冗餘參考行 204 可以用作預備方案。替代地或附加地，冗餘參考行 204 可以提供用於確定參考電流的附加資料點。例如，來自複數個參考行（例如參考行 208 和冗餘參考行 204）的參考電流，可以被平均或以其他方式組合在一起以產生用於讀取操作的參考電流。

【0032】 每個參考行 208 可以包括與在資料行 206 中找到的位元單元 222 相似的複數個位元單元 220。一些具體實施例可以允許參考行 208 中的位元單元 220 被編程為邏輯 0 或邏輯 1 值，就像資料行 206 中的位元單元 222 一樣。一些具體實施例可以將參考行 208 中的位元單元 220 編程為被設置為邏輯 0 狀態。由於電流位準和製程特性，邏輯 0 狀態可能比邏輯 1 狀態更穩定。由於 MRAM 單元中磁鐵的極性，在讀取操作期間，邏輯 1 狀態更容易受到干擾。相比較而言，邏輯 0 狀態具有較高的電流和較低的電阻，因此在讀取操作期間較不易受到干擾。

【0033】 在一些環境中，特定的「虛設」參考行 208 可以內置到陣列塊 202 中，而不用作常規資料行 206。因此，不能在記憶體架構 200 的外部介面上使用標準讀/寫操作來定址或讀取參考行 208。反之，這些參考行 208 僅可以藉由內部操作來讀取以將參考電流提供給讀出電路 214。替代或另外地，一些具體實施例可以使用參考行 208，其可以在外部定址和/或從中讀取或寫入。這允許將參考行 208 中的

值動態地設置為預設邏輯0信號位準以外的值。一些具體實施例還可以使用一般資料行206作為參考行。例如，可以從特定資料行208讀取資料信號，並且可以從附近的可用作參考行的資料行讀取參考信號。這些具體實施例不需要將「虛設」參考行添加到普通資料行之外的陣列塊202。

【0034】 圖3根據一些具體實施例示出了調節提供給讀出放大器150的參考信號350和資料信號352的讀出電路214的一部分。讀出電路214的此部分可以被稱為參考生成電路300。參考生成電路300可以基於三個疊接(cascoding)電晶體電路結構。電晶體328、330的第一疊接組可以用作電晶體對，以將最終資料信號352和參考信號350饋送到讀出放大器150中。

【0035】 第二組疊接電晶體324、326可以用於從來自資料行和參考行的參考信號350和資料信號352兩者中過濾或去除共同信號分量。濾波信號可以從兩個PMOS電晶體316、318提供的調節電流源產生。例如，透過電晶體316產生並由電晶體324修改的電流可以產生濾波電流，濾波電流與發送到讀出放大器150的參考信號350一起注入。類似地，透過電晶體318生成並由電晶體326修改的電流可以生成濾波電流，濾波電流與發送到讀出放大器150的資料信號352一起注入。可以匹配這些電晶體，以使注入電流對於資料電流352和參考電流350都是相同的。電晶體328、330可以用於將濾波電流注入介面連接到資料信號352中以及參考信號350線至讀出放大器150。因為電晶體

316、318 提供穩定的電流源，所以可以從參考信號 350 和資料信號 352 兩者注入（即「減去」）相同的電流。

【0036】 這些電晶體 316、324、318、326 以及下面描述的相關聯的偏壓電路可以被統稱為「第一電路」，其從參考信號和資料信號中去除共同信號分量。儘管此示例使用參考電流和資料電流，但是其他具體實施例不限於此。一些具體實施例可以替代地測量電壓、電阻、功率、電感和 / 或可用於表示邏輯位準的任何其他電特性。因此，信號可以被統稱為「參考信號」和「資料信號」，並且「信號」可以包括電流和可以在電路中測量的任何其他電特性。

【0037】 第三組疊接電晶體可以包括電晶體 320、322。這些電晶體 320、322 可用於藉由注入參考居中（reference centering）信號以生成最終參考信號 350 來調整來自參考行的信號。如上所述，參考行可以提供在邏輯 0 處的資料位元輸出的參考信號。為了創建可以檢測資料信號 352 中的邏輯 1 和邏輯 0 位準的參考電流 350，可以調節提供給讀出放大器 150 的參考信號 350。例如，電晶體 320 和電晶體 312 可以用於生成參考信號的參考居中信號。參考信號 350 可能需要足夠大以檢測邏輯 0 位準，但也需要足夠小以檢測邏輯 1 位準。理想地，參考信號 350 可以被設置為在邏輯 0 單元的信號和邏輯 1 單元的信號之間的大約一半，從而將參考信號 350 放置在這兩個可能的資料信號值的中心。

【0038】 以類似於電晶體 324、326 注入電流的方式，可以使用電晶體 320、322 注入和調節居中信號。注入的居中信號，例如居中電流，可以由用作電流源的電晶體 312、314 產生。在一些具體實施例中，不需要向此疊接電路的資料側供電，且因此可以不需要將電流注入到資料信號 352 中以使參考信號居中。僅參考信號 350 可能需要在邏輯 0 和邏輯 1 電流位準之間居中；資料電流 352 可能不需要類似地居中。相反的，電晶體 314、322 可被構造為虛設電晶體，以維持整個電路中的負載平衡。藉由使用電晶體 320、312 注入居中信號，可以針對每個陣列行自動修整 (auto-trimmed) 參考信號 350。如上所述，這些具體實施例解決的關鍵技術挑戰之一是創建緊密的感測窗口，其跟隨讀出放大器所使用的參考信號和來自資料行的信號之間的變化。由居中電流執行的這種自動修整，確保邏輯 0 和邏輯 1 之間的窗口跟隨資料信號 352 中的 PVT 變化。這些電晶體 312、320 (以及可選地 314、322) 可以被稱為「第二電路」，其將參考信號調整為在邏輯 1 信號位準和邏輯 0 信號位準之間。

【0039】 對於 MRAM 記憶體單元，可以使用以下等式描述隧道磁阻 (TMR)。

$$TMR = \frac{R_{ap} - R_p}{R_p}$$

在此等式中， R_{ap} 代表針對記憶體單元的反並聯狀態的邏輯 1 高電阻， R_p 代表針對記憶體單元的並聯狀態的邏輯 0 低電阻。例如，若 TMR 為 1.5，則 1/0 狀態之間的電阻比 R_{ap} / R_p

將為約 2.5。考慮到影響這些電阻值的製程變化以及位線、字線和行多工器上的其他 CMOS 電路變化，最壞情況下的電阻比最終可能遠低於 2.5。另外，參考電流 350 也可能由於其自身的 PVT 變化而偏移，這增加了對 MRAM 讀出放大器的挑戰。

【0040】 在讀取操作期間，讀出放大器在流過位線、行多工器和讀出電路之後，可以如上所述接收流過 MRAM 位元單元的電流。讀出放大器使用以上提供的參考信號 350 檢測到的電流，可以由以下等式表徵。

$$\frac{I_p}{I_{ap}} = \frac{I_p - I_{ref}}{I_{ap} - I_{ref}}$$

在此等式中， I_p 和 I_{ap} 是對應於 R_p 和 R_{ap} 電阻的電流，並且 I_{ref} 是上述參考信號 350 的電流。此等式表明， I_{ref} 與 I_{ap} 越近，電流比就越大。

【0041】 圖 3 所示的參考生成電路 300 的效果是將參考電流定中心在記憶體陣列的資料行輸出的邏輯位準之間，使得參考電流 350 在資料電流 352 由於 PVT 變化而漂移時跟隨資料電流 352。儘管使用 MRAM 陣列作為示例描述了這些具體實施例，但是其他電阻記憶體技術也可以受益於使用參考生成電路 300 和本文所述的其他電路。例如，圖 2 中所描繪的記憶體陣列 202 可以包括 MRAM 陣列、電阻 RAM (ReRAM) 陣列、相變 RAM (PCRAM) 陣列和 / 或任何其他電阻記憶體結構。因此，以下描述的參考產生電路 300、參考行 208 和偏壓產生電路可以與任何類型的電阻記

憶體一起使用，並且不限於僅作為示例在此使用的MRAM記憶體。

【0042】 圖4根據一些具體實施例示出了偏壓產生電路400。偏壓產生電路400可以包括三個單獨的子電路：電流源420、疊接偏壓422和參考偏壓424。電流源420可以基於MRAM位元單元408的電阻產生電流。可以透過疊接偏壓電路422來參考電流源420，並且可以藉由電路424來參考電流源420，以生成用於偏壓疊接電路（ V_{cas} 402）並用於調節濾波電流的注入電流（ V_{inj} 406）的電壓位準。如上所述，可以基於一個或多個參考行中的虛設位元單元408、410、412來生成這些參考位準。這允許這些參考電壓自動跟隨資料位元單元中的PVT變化及其與讀出放大器相關的路徑。偏壓產生電路400的輸出可以直接饋入圖3的電路中，以控制共同信號分量的去除和參考電流的調節。特定而言， V_{cas} 輸出402可以連接到圖3中的輸入306，且 V_{inj} 輸出406可以連接到圖3中的輸入304。

【0043】 圖5根據一些具體實施例示出了用於產生用於居中電流的附加參考偏壓的電路500。 V_{WL} 信號連接到圖4中的對應的 V_{WL} 輸入404。 V_{WL} 信號可以用於接通和斷開圖4與圖5中的參考偏壓電路以節省功率。可以從上述記憶體電路中的字線信號產生此致能信號。這些電路使用來自位元單元508、510的邏輯1陣列電流與來自位元單元512、514的邏輯0陣列電流之間的差，來生成參考電流偏壓502。圖5的電路500中的端子可被連接到先前附圖中的對應端

子。例如，用於參考電流偏壓電壓的輸出 502 可以連接到圖 3 中的端子 302。用於疊接閘極偏壓電壓的端子 504 可以連接到圖 4 中的相應輸出 404。

【0044】 圖 6 根據一些具體實施例示出了用於從記憶體電路讀取資料的方法的流程圖。方法可以包括從位於記憶體陣列中的一個或多個參考行接收參考信號的步驟 (602)。記憶體陣列可以包括 MRAM 單元或任何其他類型的電阻性記憶體單元。一個或多個參考行可以位於整個記憶體陣列中，包括在記憶體陣列的大約中心處，或者以規則的間隔散佈在記憶體陣列內。可以基於與相應資料行的接近度，來選擇一個或多個參考行的子集用於讀取操作。例如，每個資料行可以被分配給在記憶體陣列的相同扇區中的特定參考行。一些具體實施例還可以選擇當那些資料行未被主動讀取時可以用作參考行的常規資料行。

【0045】 在一些具體實施例中，一個或多個參考行中的複數個可以用於生成參考信號。例如，來自複數個參考行的輸出電流可以被平均或以其他方式組合在一起，以產生最終參考信號。記憶體陣列還可以包括冗餘參考行，在主要參考行發生故障的情況下，它們可以用作主要參考行的預備方案。冗餘參考行輸出也可以與主參考行輸出求平均，以生成參考信號。存儲在一個或多個參考行中的值可以是可編程的，也可以被硬編碼到參考行中。一些具體實施例可以在參考行中的每個位元單元中使用邏輯位準 0。

【0046】 方法還可以包括從記憶體陣列中的複數個資料行中的一個資料行接收資料信號的步驟（604）。每個資料行可以包括數個位元單元，每個位元單元存儲邏輯0或邏輯1的表示。例如，每個位元單元可以設置自由狀態磁鐵的極性以存儲邏輯值的表示。可以藉由使用記憶體陣列的位線的讀取操作來選擇特定資料行。當選擇用於讀取操作時，資料行可以提供資料信號。在一些具體實施例中，資料信號和參考信號都可以包括電流和/或電壓值。例如，可以將電流從資料行提供給讀出放大器，以與參考電流進行比較。注意到，儘管在流程圖600中循序示出了步驟602和步驟604，但是這些步驟通常將並行執行。特定而言，參考信號和資料信號可以從記憶體陣列發送並由讀出放大器同時接收，從而消除了與不同信號相關聯的任何時序差異。

【0047】 方法可以另外包括從參考信號和資料信號中去除共同信號分量的步驟（606）。共同信號分量可以是從參考電流和資料電流中去除的共同電流分量。可以使用第一電路去除共同信號分量，第一電路包括用於參考電流的一對疊接電晶體和用於資料電流的一對疊接電晶體。成對的疊接電晶體可以匹配，以使它們從參考信號和資料信號中去除相同的共同信號。每對疊接電晶體可以包括串聯的NMOS和PMOS電晶體。上面在圖3中示出了用於去除共同信號分量的第一電路的示例。

【0048】 方法可以進一步包括將參考信號調整為在邏輯1信號位準和邏輯0信號位準之間的步驟（608）。例如，參

考信號可以從從參考行輸出的邏輯 0 接收的高信號位準減小。參考信號可以減小到在邏輯 1 信號位準和邏輯 0 信號位準之間的大略中點或居中。與用於去除共同信號分量的第一電路一樣，第二電路可以包括用於參考信號的串聯的 N M O S 和 P M O S 電晶體的疊接對。也可以為資料信號包括相應的電晶體，但是，這些電晶體不需要被供電，而是可以被包括為使得資料信號和參考信號的電路都匹配。上面在圖 3 中示出了用於調節參考信號的第二電路的示例。注意到，儘管在流程圖 6 0 0 中循序示出了步驟 6 0 6 和步驟 6 0 8，但是這些步驟也可以並行執行。特定而言，如圖 3 所示，可以同時使用疊接電晶體分支來去除共同信號分量並且可以並行地調整參考信號。

【0049】 方法還可以包括將參考信號提供給讀出放大器的步驟（6 1 0）。參考信號可以在去除共同信號分量之後並且在被調整為介於邏輯 1 信號位準和邏輯 0 信號位準之間之後被提供給讀出放大器。例如，當參考信號包括參考電流時，可以藉由將反向電流注入參考電流以減小參考信號位準來減小參考電流。當參考行輸出邏輯 0 信號位準時，從高邏輯 0 位準減小到邏輯 0 位準和邏輯 1 位準之間。

【0050】 方法可以另外包括將資料信號提供給讀出放大器的步驟（6 1 2）。如上所述，可以在去除共同信號分量之後將資料信號提供給讀出放大器。讀出放大器可以被配置為透過資料信號檢測從記憶體陣列接收的邏輯 1 和邏輯 0 信號之間的差異。可以藉由將參考信號與資料信號進行比較

來檢測這些差異。讀出放大器可以包括任何讀出放大器的配置，包括圖 1 C 所示的鎖存讀出放大器。注意到，儘管在流程圖 6 0 0 中循序地示出了步驟 6 1 0 和步驟 6 1 2，但是這些步驟通常將並行執行。特定而言，參考信號和資料信號可以由讀出放大器同時接收。因為兩個信號都由同一條寫入線啟動，所以它們通常將透過圖 3 的電路傳播並同時到達讀出放大器。

【0051】 應當理解，圖 6 中示出的具體步驟提供了根據各種具體實施例的從記憶體電路讀取資料的特定方法。根據替代具體實施例，也可以執行其他步驟順序。例如，替代具體實施例可以以不同順序執行以上概述的步驟。再者，第 6 圖圖示說明的個別步驟可包含多個子步驟，可由對個別步驟為適當的各種序列執行這些子步驟。再者，根據特定應用，可增加或去除額外步驟。在本發明技術領域中具有通常知識者將理解到許多變異、修改、以及替代方案。

【0052】 在前面的描述中，出於解釋的目的，闡述了許多具體細節以便提供對各種具體實施例的透徹理解。然而，對於本領域技術人員顯而易見的是，可以在沒有這些具體細節中的一些的情況下實踐具體實施例。在其他情況下，以框圖形式示出了公知的結構和設備。

【0053】 前述描述僅提供示例性具體實施例，而無意於限制本揭示內容的範圍、適用性或配置。相反的，示例性具體實施例的前述描述將為本領域技術人員提供用於實現示例性具體實施例的致能描述。應該理解的是，在不脫離所

附申請專利範圍所闡述的各種具體實施例的精神和範圍的情況下，可以對元件的功能和佈置進行各種改變。

【0054】 在前面的描述中給出了具體細節以提供對具體實施例的透徹理解。然而，本領域的普通技術人員將理解，可以在沒有這些具體細節的情況下實踐具體實施例。例如，電路、系統、網路、處理和其他部件可能已經以框圖形式被示出為部件，以避免不必要的細節模糊了具體實施例。在其他情況下，可能已經示出了公知的電路、處理、演算法、結構和技術而沒有不必要的細節，以避免使具體實施例晦澀難懂。

【0055】 另外，應當注意，各個具體實施例可能已經被描述為處理，處理被描繪為流程圖、流程圖、資料流程圖、結構圖或框圖。儘管流程圖可能將操作描述為順序處理，但是許多操作可以並行或同時執行。另外，可以重新安排操作順序。處理的操作完成後會終止，但可能會有圖中未包含的其他步驟。處理可以對應於方法、函數、過程、子例程、子程式等。當處理對應於函數時，其終止可以對應於此函數返回到調用函數或主函數。

【0056】 在前述說明書中，參考特定具體實施例描述了各種具體實施例的態樣，但是本領域技術人員將認識到，本發明不限於此。上述具體實施例的各種特徵和態樣可以單獨或共同使用。此外，在不脫離本說明書的更廣泛的精神和範圍的情況下，具體實施例可以在本文所述之外的任何

數量的環境和應用中使用。因此，說明書和附圖被認為是說明性的而不是限制性的。

【符號說明】

【0057】

1 0 0 : M R A M 單 元

1 0 2 : 位 線

1 0 4 : 自 由 狀 態 磁 鐵

1 0 6 : 隧 道 勢 壘

1 0 8 : 固 定 狀 態 磁 鐵

1 1 0 : 字 線

1 1 4 : 自 由 狀 態 磁 鐵

1 1 6 : 導 體

1 1 8 : 汲 極

1 2 0 : 源 極

1 2 2 : 基 板

1 4 0 : 輸 出

1 4 2 : 輸 出

1 4 4 : 輸 入

1 4 6 : 連 接 器

1 5 0 : 讀 出 放 大 器

1 6 0 : 參 考 電 流 輸 入

1 6 2 : 資 料 電 流 輸 入

1 6 6 : 感 測 均 衡 電 路

1 7 0 : M R A M 單 元

- 1 7 2 : 汲 極
- 1 7 4 : 源 極
- 1 7 6 : 字 線
- 1 7 8 : 選 擇 線
- 1 8 0 : 固 定 狀 態 磁 鐵
- 1 8 2 : 自 由 狀 態 磁 鐵
- 1 8 6 : 勢 壘 氧 化 物 層
- 2 0 0 : 記 憶 體 架 構
- 2 0 2 : 記 憶 體 陣 列
- 2 0 4 : 參 考 行
- 2 0 6 : 資 料 行
- 2 0 8 : 參 考 行
- 2 1 0 : 行 多 工 器
- 2 1 2 : 偏 壓 產 生 電 路
- 2 1 4 : 讀 出 電 路
- 3 0 0 : 參 考 生 成 電 路
- 3 0 2 : 端 子
- 3 0 4 : 輸 入
- 3 0 6 : 輸 入
- 3 1 2 : 電 晶 體
- 3 1 4 : 電 晶 體
- 3 1 6 : 電 晶 體
- 3 1 8 : 電 晶 體
- 3 2 0 : 電 晶 體

- 3 2 2 : 電 晶 體
- 3 2 4 : 電 晶 體
- 3 2 6 : 電 晶 體
- 3 2 8 : 電 晶 體
- 3 3 0 : 電 晶 體
- 3 5 0 : 參 考 信 號
- 3 5 2 : 最 終 資 料 信 號
- 4 0 0 : 偏 壓 產 生 電 路
- 4 0 2 : V c a s 輸 出
- 4 0 4 : V W L 輸 入
- 4 0 6 : V i n j 輸 出
- 4 0 8 : 模 擬 位 元 單 元
- 4 1 0 : 模 擬 位 元 單 元
- 4 1 2 : 模 擬 位 元 單 元
- 4 2 0 : 電 流 源
- 4 2 2 : 疊 接 偏 壓
- 4 2 4 : 參 考 偏 壓
- 5 0 0 : 電 路
- 5 0 2 : 參 考 電 流 偏 壓
- 5 0 8 : 位 元 單 元
- 5 1 0 : 位 元 單 元
- 5 1 2 : 位 元 單 元
- 5 1 4 : 位 元 單 元
- 6 0 0 : 流 程 圖

602-612: 步驟

【生物材料寄存】

國內寄存資訊(請依寄存機構、日期、號碼順序註記)

無

國外寄存資訊(請依寄存國家、機構、日期、號碼順序註記)

無

【發明申請專利範圍】

【請求項 1】 一種記憶體電路，包含：

一記憶體陣列，該記憶體陣列包含：

一個或多個參考行，提供一參考信號；

複數個資料行，其中該些資料行包含在由一讀取操作選擇時提供一資料信號的一資料行；

一第一電路，從該參考信號和該資料信號去除一共同信號分量；

一第二電路，將該參考信號調整為在一邏輯 1 信號位準和一邏輯 0 信號位準之間；以及

一讀出放大器，確定該資料信號是代表一邏輯 1 還是一邏輯 0，此是使用以下者來實現：

在由該第一電路去除該共同信號分量之後和在由該第二電路調整之後的該參考信號；以及

在由該第一電路去除該共同信號分量之後的該資料信號。

【請求項 2】 如請求項 1 所述之記憶體電路，其中該讀出放大器包含一鎖存放大器。

【請求項 3】 如請求項 1 所述之記憶體電路，其中該記憶體陣列包含一磁阻隨機存取記憶體（MRAM）陣列。

【請求項 4】 如請求項 1 所述之記憶體電路，其中該一個或多個參考行包含位於該記憶體陣列的一大略中心處的一參考行。

【請求項 5】 如請求項 1 所述之記憶體電路，其中該一個

或多個參考行包含複數個參考行，且其中藉由使來自該些參考行的一子集的電流平均化來產生該參考信號。

【請求項 6】 如請求項 1 所述之記憶體電路，其中該一個或多個參考行包含一第一參考行與一第二參考行，該第一參考行提供該參考信號，且該第二參考行作為用於該第一參考行的一預備方案。

【請求項 7】 如請求項 1 所述之記憶體電路，其中該記憶體陣列中的該些資料行包含經配置以輸出所儲存的邏輯位準的複數個位元單元，且該一個或多個參考行包含經配置以輸出該邏輯 0 信號位準的複數個位元單元。

【請求項 8】 如請求項 1 所述之記憶體電路，其中藉由將該參考信號減少至該邏輯 1 信號位準與該邏輯 0 信號位準之間的一大略中心信號位準，而調整該參考信號。

【請求項 9】 如請求項 8 所述之記憶體電路，其中藉由將一信號注入該參考信號而減少該參考信號，其中注入該參考信號的該信號的一量是由一疊接電晶體對控制。

【請求項 10】 如請求項 1 所述之記憶體電路，其中藉由將一信號注入該參考信號與該資料信號而從該參考信號和該資料信號去除該共同信號分量，其中注入該參考信號與該資料信號的該信號的一量是由該等疊接電晶體對控制。

【請求項 11】 一種從一記憶體電路讀取資料的方法，該方法包含以下步驟：

從位於一記憶體陣列中的一個或多個參考行接收一參

考信號；

從該記憶體陣列中的複數個資料行中的一資料行接收一資料信號，其中在由一讀取操作選擇時該資料行提供該資料信號；

從該參考信號和該資料信號去除一共同信號分量；

將該參考信號調整為在一邏輯 1 信號位準和一邏輯 0 信號位準之間；

在去除該共同信號分量之後並且在被調整為介於該邏輯 1 信號位準和該邏輯 0 信號位準之間之後，提供該參考信號給一讀出放大器；以及

在去除該共同信號分量之後將該資料信號提供給該讀出放大器。

【請求項 12】如請求項 11 所述之方法，其中該讀出放大器包含一鎖存放大器。

【請求項 13】如請求項 11 所述之方法，其中該記憶體陣列包含一磁阻隨機存取記憶體（MRAM）陣列。

【請求項 14】如請求項 11 所述之方法，其中該一個或多個參考行包含位於該記憶體陣列的一大略中心處的一參考行。

【請求項 15】如請求項 11 所述之方法，其中該一個或多個參考行包含複數個參考行，且其中藉由使來自該些參考行的一子集的電流平均化來產生該參考信號。

【請求項 16】如請求項 11 所述之方法，其中該一個或多個參考行包含一第一參考行與一第二參考行，該第一參

考行提供該參考信號，且該第二參考行作為用於該第一參考行的一預備方案。

【請求項 17】如請求項 11 所述之方法，其中該記憶體陣列中的該資料行包含經配置以輸出所儲存的邏輯位準的複數個位元單元，且該一個或多個參考行包含經配置以輸出一邏輯 0 的複數個位元單元。

【請求項 18】如請求項 11 所述之方法，其中藉由將該參考信號減少至該邏輯 1 信號位準與該邏輯 0 信號位準之間的一大略中心信號位準，而調整該參考信號。

【請求項 19】如請求項 18 所述之方法，其中藉由將一信號注入該參考信號而減少該參考信號，其中注入該參考信號的該信號的一量是由一疊接電晶體對控制。

【請求項 20】如請求項 11 所述之方法，其中藉由將一信號注入該參考信號與該資料信號而從該參考信號和該資料信號去除該共同信號分量，其中注入該參考信號與該資料信號的該信號的一量是由該等疊接電晶體對控制。

【發明圖式】

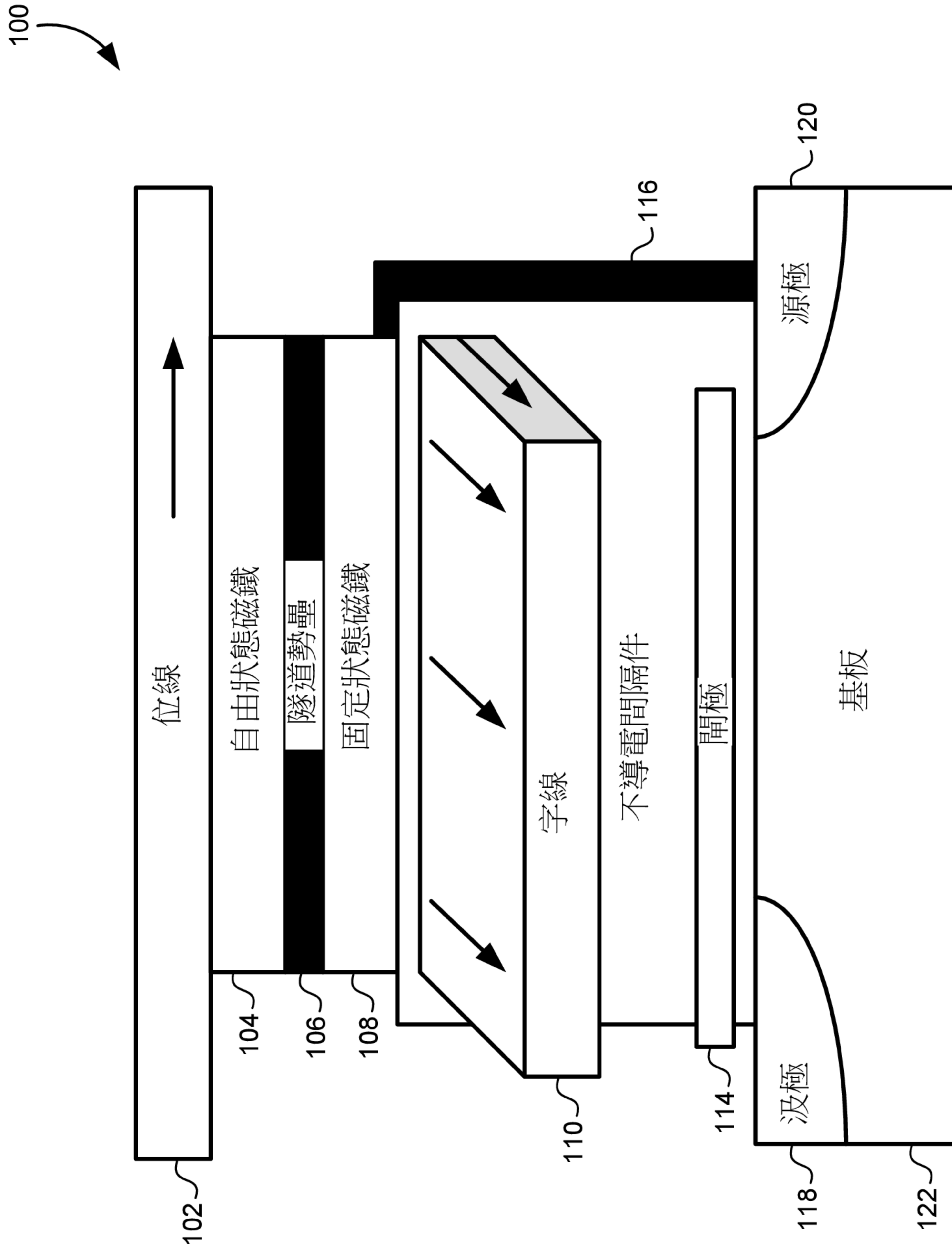


圖1A

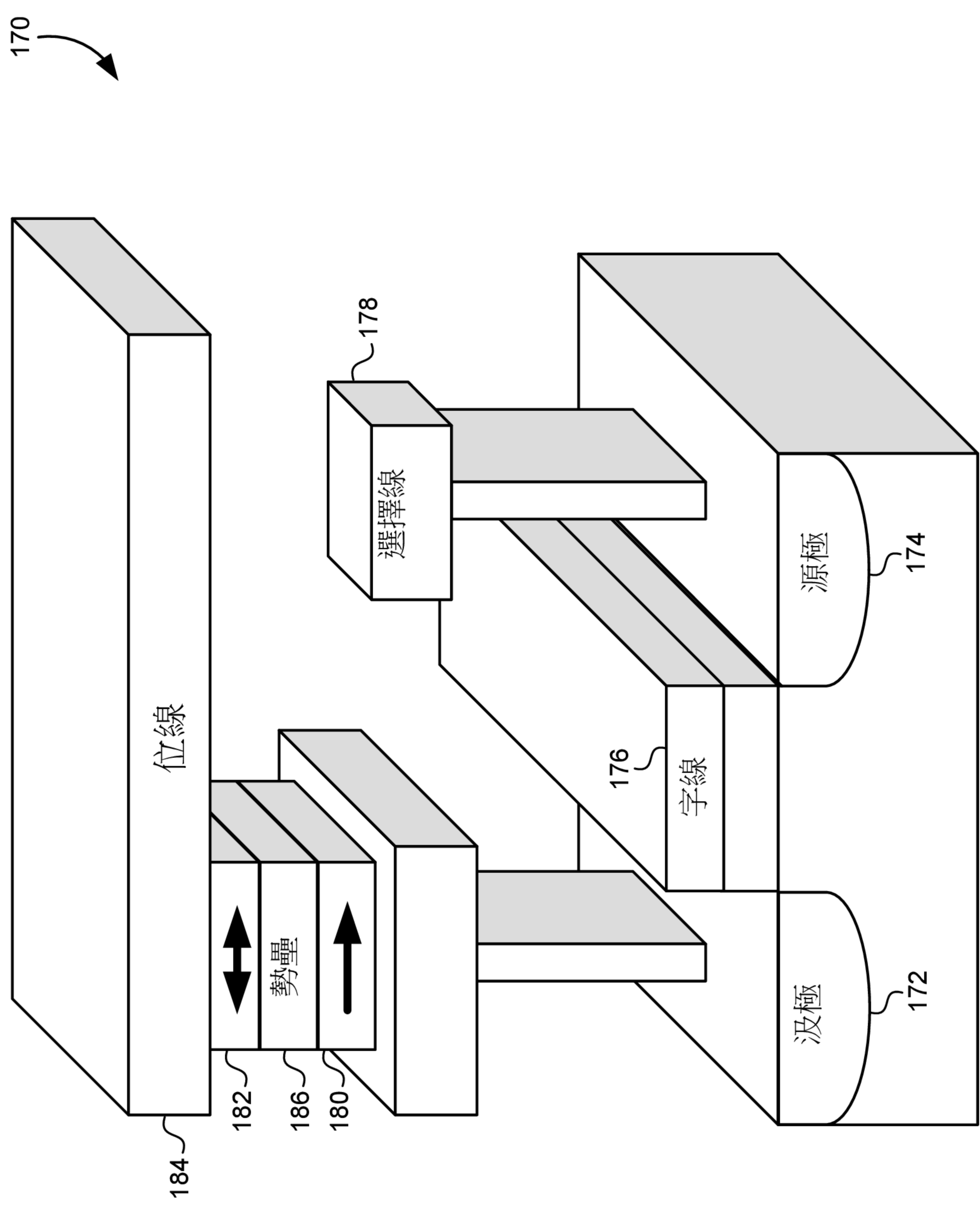


圖1B

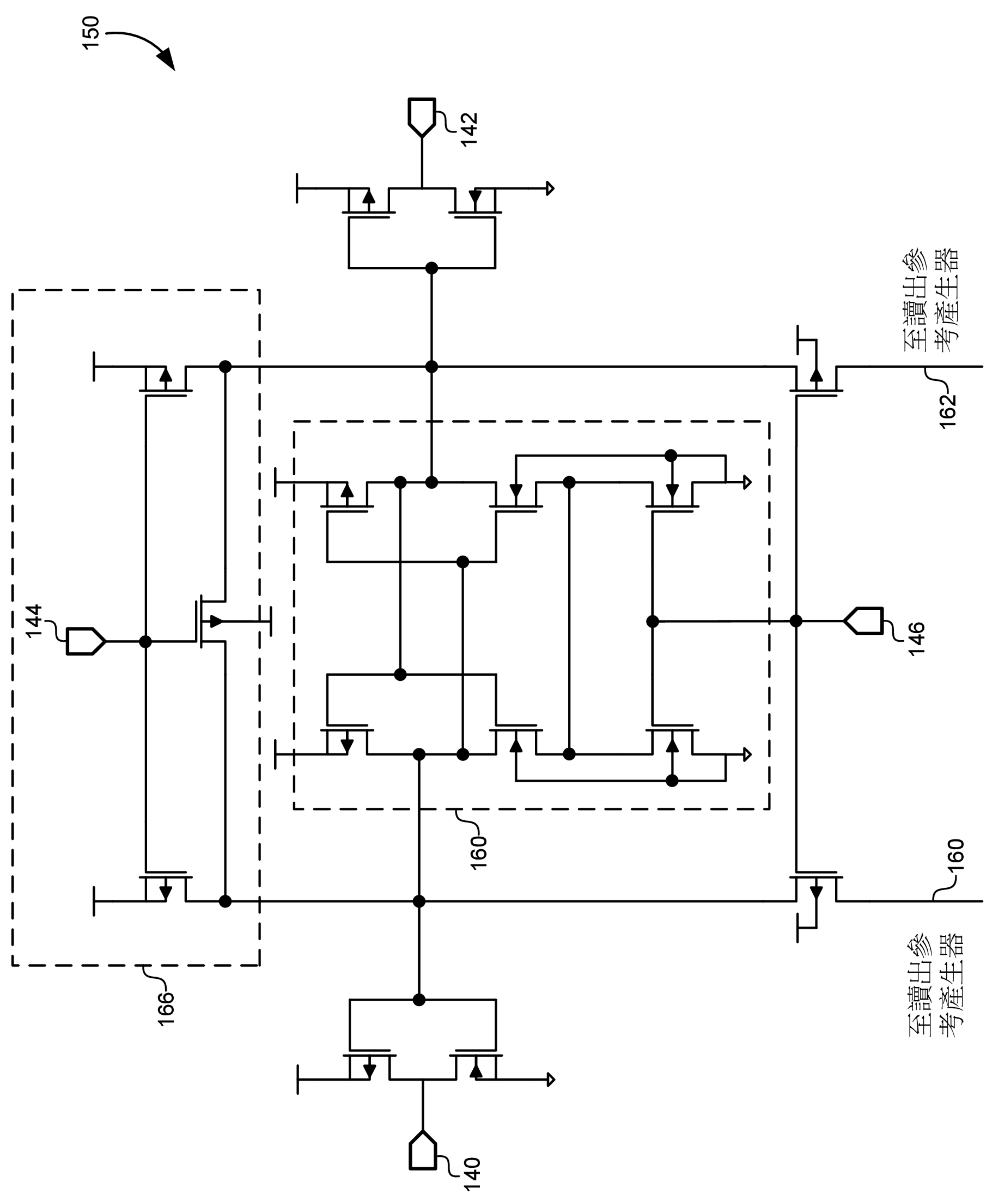


圖1C

200

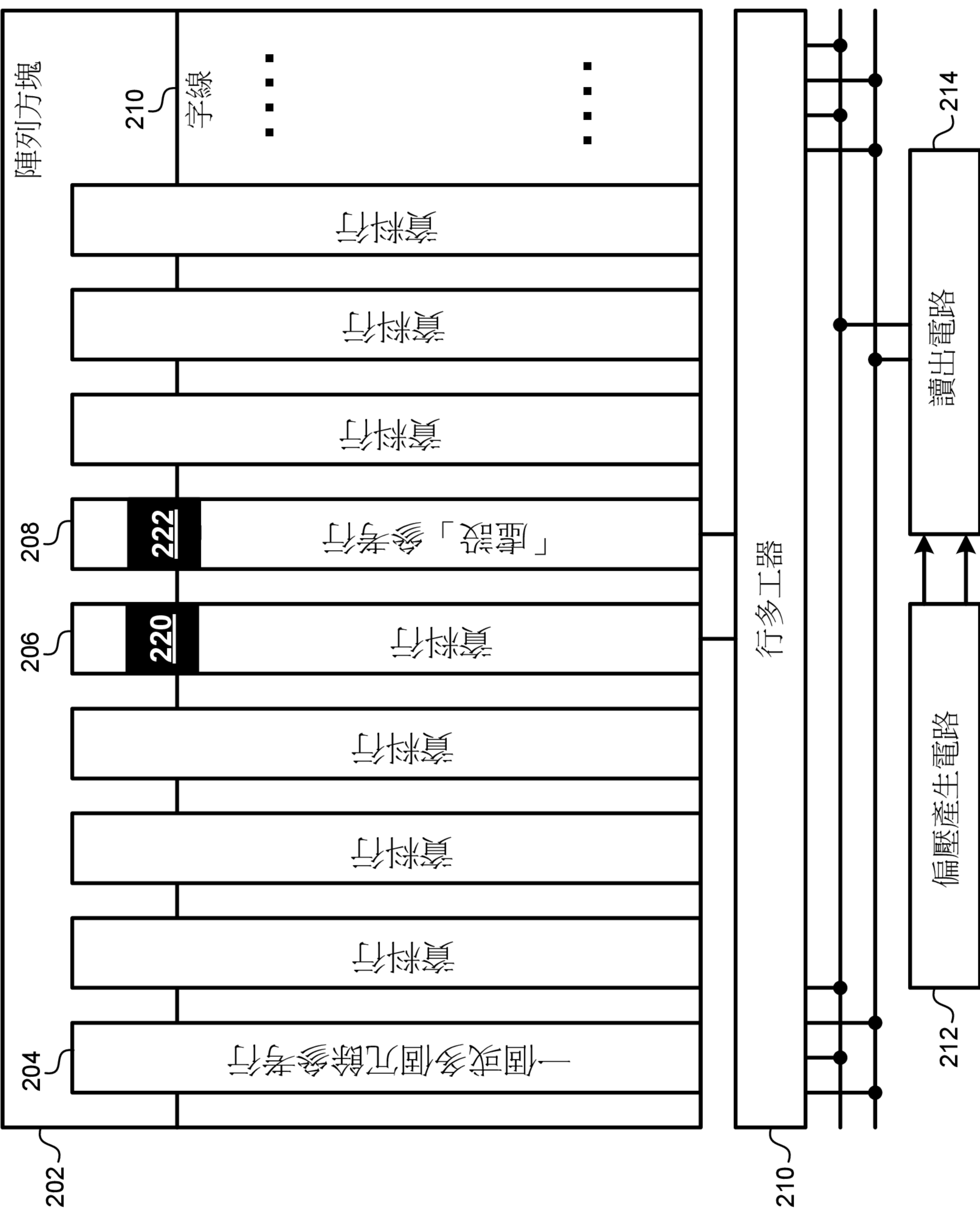


圖2

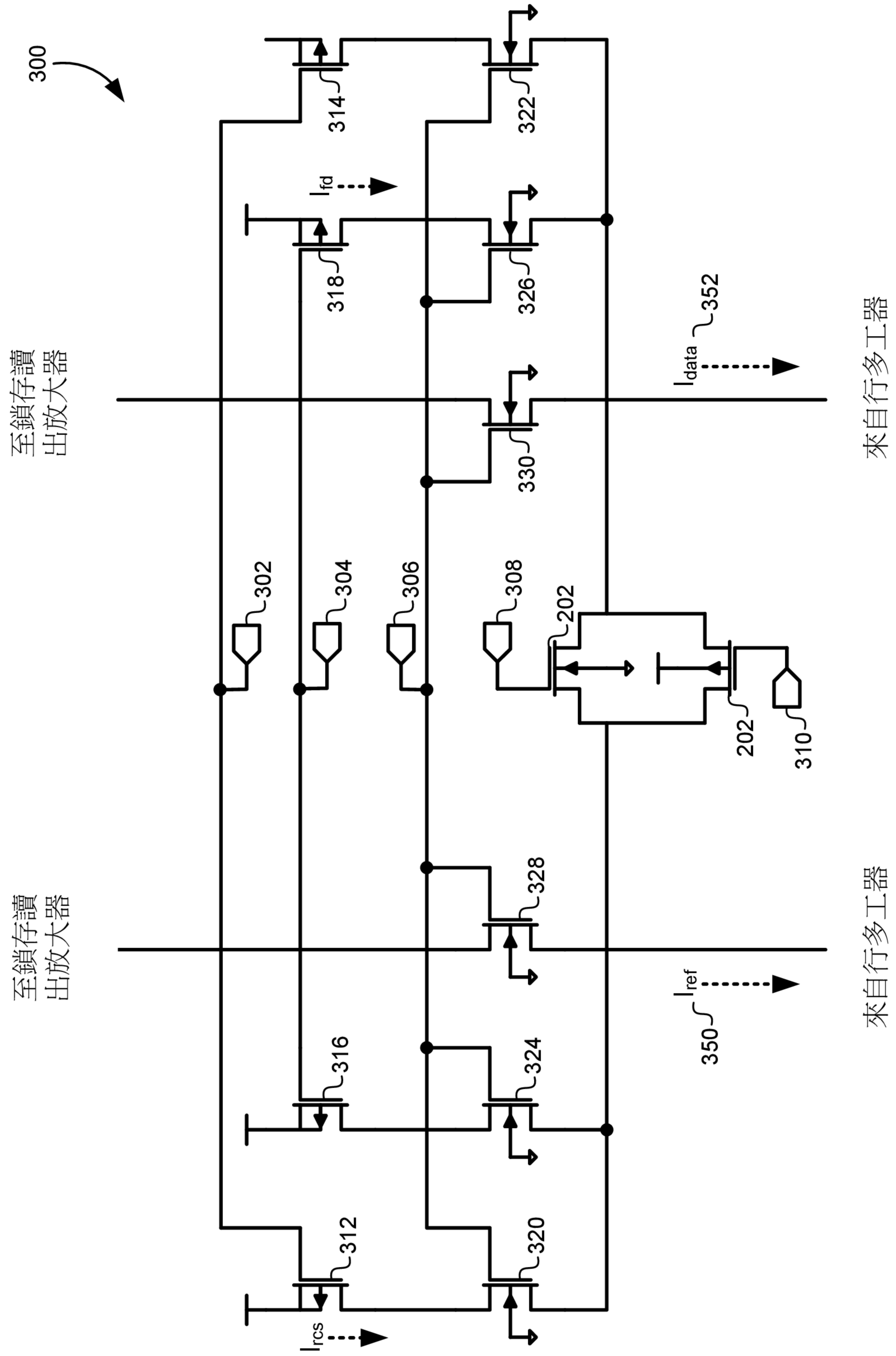


圖3

400

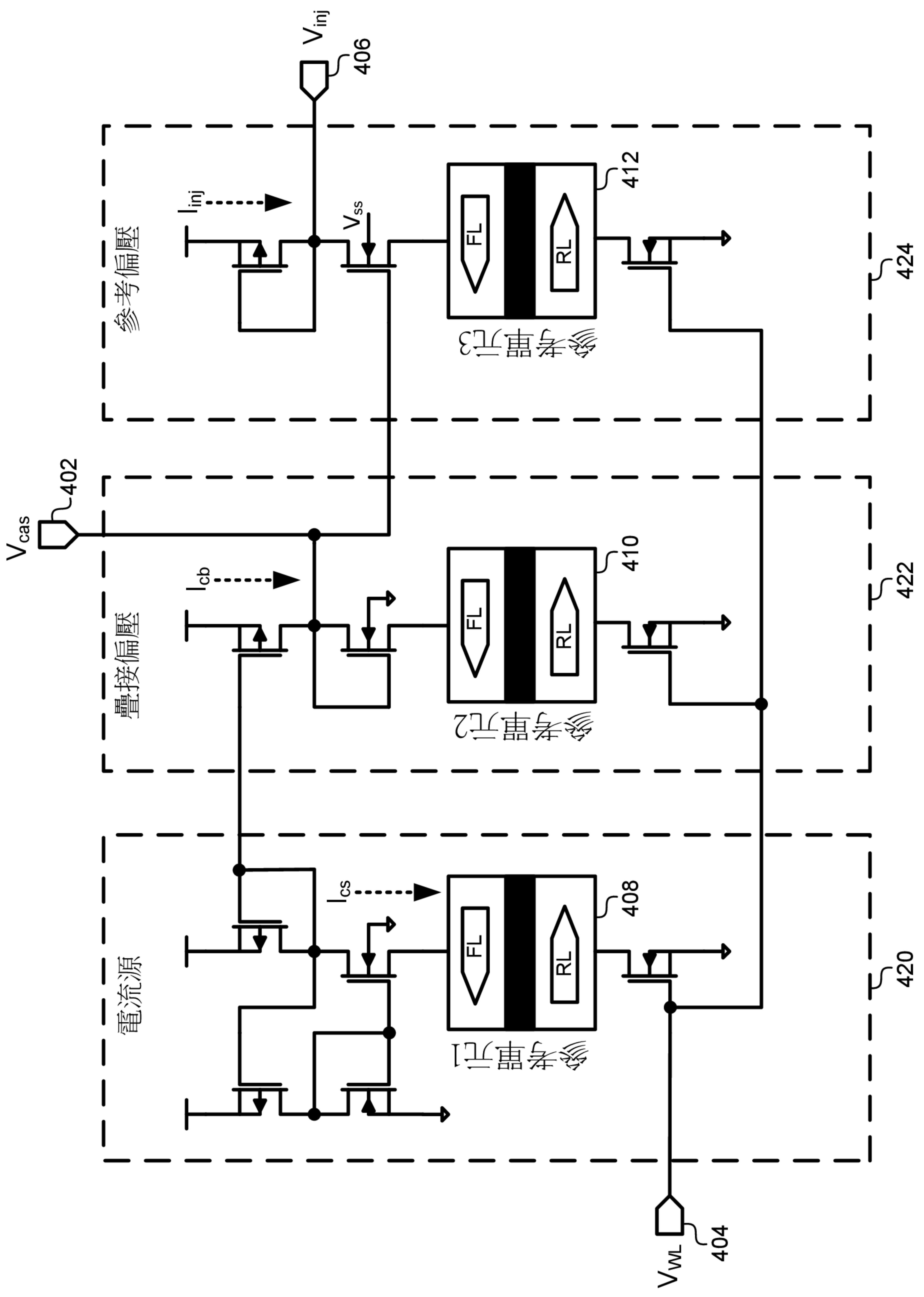


圖4

500

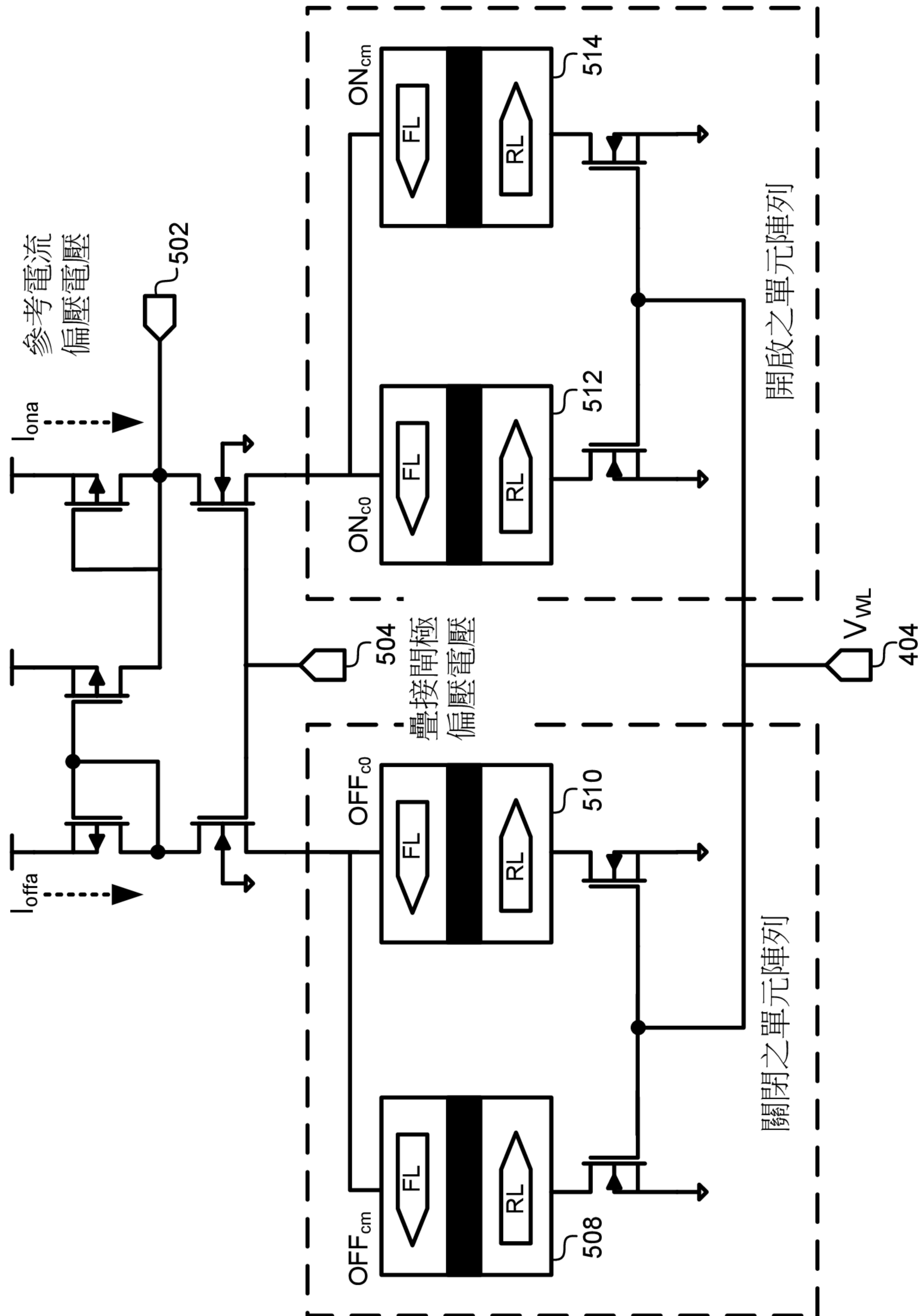


圖5

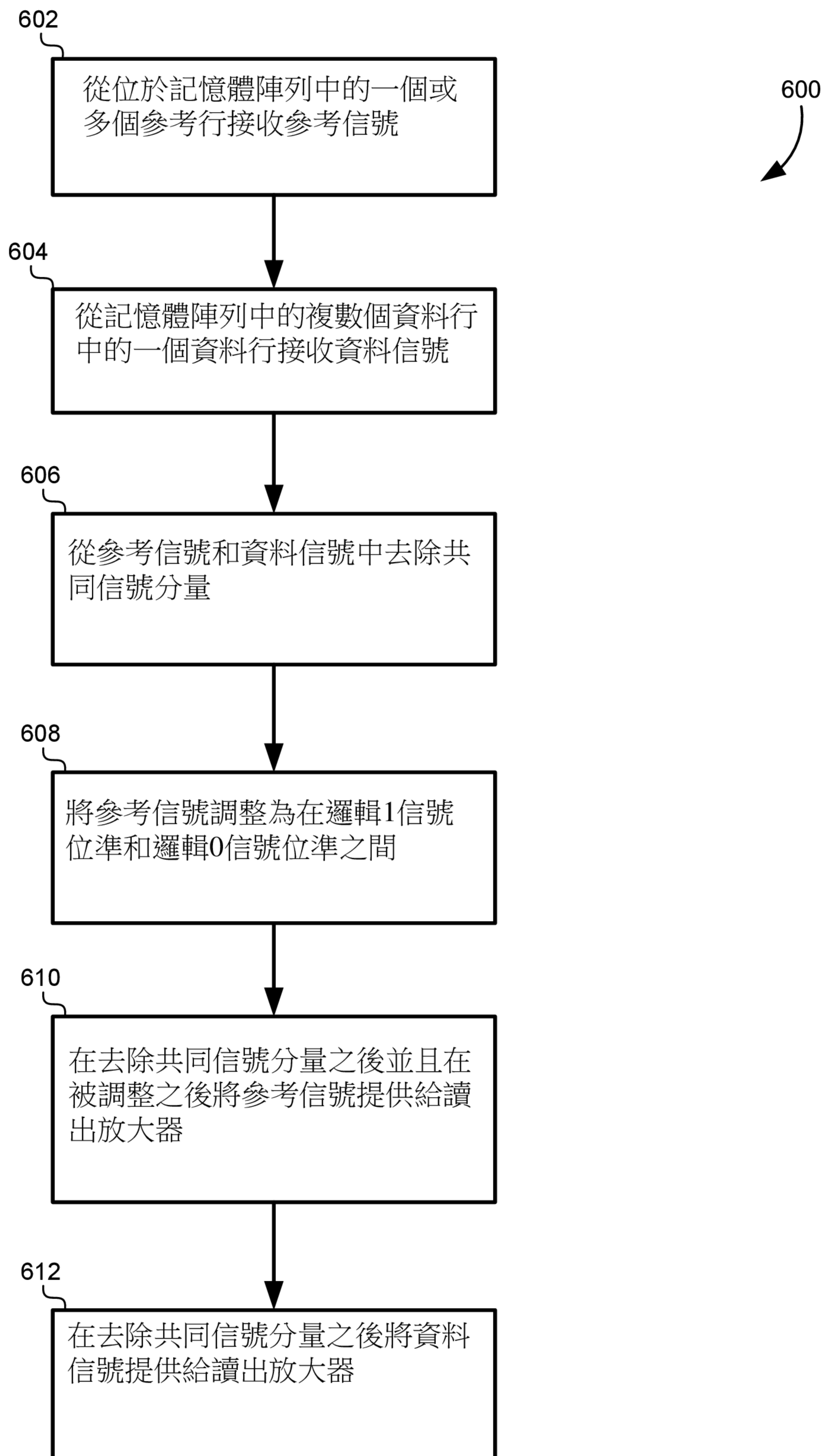


圖6