

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4006207号  
(P4006207)

(45) 発行日 平成19年11月14日(2007.11.14)

(24) 登録日 平成19年8月31日(2007.8.31)

(51) Int. Cl.	F I		
HO 1 L 27/146 (2006.01)	HO 1 L	27/14	A
HO 1 L 27/148 (2006.01)	HO 1 L	27/14	B
HO 4 N 5/335 (2006.01)	HO 4 N	5/335	F

請求項の数 6 (全 15 頁)

(21) 出願番号	特願2001-296449 (P2001-296449)	(73) 特許権者	000005049
(22) 出願日	平成13年9月27日(2001.9.27)		シャープ株式会社
(65) 公開番号	特開2003-101006 (P2003-101006A)		大阪府大阪市阿倍野区長池町22番22号
(43) 公開日	平成15年4月4日(2003.4.4)	(74) 代理人	100062144
審査請求日	平成16年6月18日(2004.6.18)		弁理士 青山 稜
		(74) 代理人	100084146
			弁理士 山崎 宏
		(72) 発明者	本間 充
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		(72) 発明者	橋口 和夫
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		審査官	恩田 春香
			最終頁に続く

(54) 【発明の名称】 電荷検出装置並びにそれを含むMOS型固体撮像装置およびCCD型固体撮像装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板の表面に形成された、信号電荷を供給する電荷供給部と、  
上記基板表面上に上記電荷供給部から所定距離だけ離間して形成された浮遊拡散領域を有し、この浮遊拡散領域と上記基板との間の接合容量によって信号電荷を蓄積し得る信号電荷蓄積部と、

上記電荷供給部と信号電荷蓄積部との間の基板上に設けられたゲート電極を有し、このゲート電極に与えられた電位に応じて上記電荷供給部からの信号電荷を上記信号電荷蓄積部へ転送する転送部と、

上記信号電荷蓄積部に蓄積された信号電荷をリセットするリセット手段とを備えて、  
上記信号電荷蓄積部の浮遊拡散領域の電位に応じた出力信号を出力する電荷検出装置において、

上記転送部のゲート電極と上記信号電荷蓄積部の浮遊拡散領域とが、この浮遊拡散領域の静電ポテンシャルが深くなるように容量結合していることを特徴とする電荷検出装置。

【請求項2】

請求項1に記載の電荷検出装置において、

上記転送部のゲート電極と上記信号電荷蓄積部の浮遊拡散領域との間の容量結合は、上記ゲート電極を上記浮遊拡散領域上まで延在させて形成されていることを特徴とする電荷検出装置。

【請求項3】

10

20

請求項 1 に記載の電荷検出装置において、

上記転送部のゲート電極と上記信号電荷蓄積部の浮遊拡散領域との間の容量結合は、上記浮遊拡散領域に電氣的接続された金属配線を第 1 の多結晶シリコン層からなる上記ゲート電極上まで延在させて形成されていることを特徴とする電荷検出装置。

【請求項 4】

請求項 1 に記載の電荷検出装置において、

上記転送部のゲート電極と上記信号電荷蓄積部の浮遊拡散領域との間の容量結合は、第 1 の多結晶シリコン層からなる上記ゲート電極上に、上記浮遊拡散領域に電氣的接続された第 2 の多結晶シリコン層を設けて形成されていることを特徴とする電荷検出装置。

【請求項 5】

半導体基板上に複数個配列された単位セルを有する MOS 型固体撮像装置であって、  
上記各単位セルは、

半導体基板の表面に形成された、受光量に応じて信号電荷を発生する光電変換部と、  
上記基板表面に上記から所定距離だけ離間して形成された浮遊拡散領域を有し、この浮遊拡散領域と上記基板との間の接合容量によって信号電荷を蓄積し得る信号電荷蓄積部と、  
上記光電変換部と信号電荷蓄積部との間の基板上に設けられたゲート電極を有し、このゲート電極に与えられた電位に応じて上記光電変換部からの信号電荷を上記信号電荷蓄積部へ転送する転送部と、

上記信号電荷蓄積部に蓄積された信号電荷をリセットするリセット手段と、

上記信号電荷蓄積部の浮遊拡散領域の電位に応じた出力信号を出力する増幅手段と、

上記増幅手段からの出力信号を読み出す読み出し手段とを備え、

上記転送部のゲート電極と上記信号電荷蓄積部の浮遊拡散領域とが、この浮遊拡散領域の静電ポテンシャルが深くなるように容量結合していることを特徴とする MOS 型固体撮像装置。

【請求項 6】

半導体基板の表面に複数個配列された光電変換素子と、

上記各光電変換素子が発生した電荷を上記基板表面に沿って順次転送する CCD 部と、  
上記基板表面に上記 CCD 部の出力段から所定距離だけ離間して形成された浮遊拡散領域を有し、この浮遊拡散領域と上記基板との間の接合容量によって信号電荷を蓄積し得る信号電荷蓄積部と、

上記 CCD 部の出力段と信号電荷蓄積部との間の基板上に設けられたゲート電極を有し、このゲート電極に与えられた電位に応じて上記電荷供給部からの信号電荷を上記信号電荷蓄積部へ転送する転送部と、

上記信号電荷蓄積部に蓄積された信号電荷をリセットするリセット手段と、

上記信号電荷蓄積部の浮遊拡散領域の電位に応じた出力信号を出力する増幅手段と、

上記増幅手段からの出力信号を読み出す読み出し手段とを備え、

上記転送部のゲート電極と上記信号電荷蓄積部の浮遊拡散領域とが、この浮遊拡散領域の静電ポテンシャルが深くなるように容量結合していることを特徴とする CCD 型固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は電荷検出装置に関し、より詳しくは、半導体基板上に形成された浮遊拡散領域に信号電荷を受けて、その浮遊拡散領域の電位に応じた出力信号を出力する電荷検出装置に関する。また、この発明は、そのような電荷検出装置を含む MOS 型固体撮像装置および CCD 型固体撮像装置に関する。

【0002】

【従来の技術】

最近の固体撮像装置としては、図 13 に示すように、半導体基板 (p ウエル) 20 の表面に複数個配列された画素ユニット 210 (簡単のため 1 個のみを示す。) 内に、1 つのフ

10

20

30

40

50

フォトダイオード5と、4つのMOSトランジスタ1, 2, 3, 4とを備えた4トランジスタ方式のCMOSイメージセンサが広く用いられている。フォトダイオード(PD)5は、pウエル20の表面にn+層21を拡散して形成されている。なお、n+層21の表面にはp++層25が形成されて、いわゆる埋め込み構造になっている。6はフォトダイオード5のn+層21に接続されたカソード電極を示している。

#### 【0003】

この画素ユニット210内には、フォトダイオード5から所定距離だけ離間して形成された浮遊拡散領域(FD)22を有する信号電荷蓄積部7と、さらにこの信号電荷蓄積部7から所定距離だけ離間して形成されたn+層23からなるリセット部19とが形成されている。C<sub>FD</sub>は浮遊拡散領域22とpウエル20との間の接合容量を示している。

10

#### 【0004】

また、フォトダイオード5と信号電荷蓄積部7との間には、SiO<sub>2</sub>膜31を介して形成されたゲート電極32を有する転送トランジスタ1が構成されている。さらに、信号電荷蓄積部7とリセット部19との間には、転送トランジスタ1と同じ構造を持つリセットトランジスタ2が構成されている。3はC<sub>FD</sub>に蓄積された信号電荷を増幅する駆動トランジスタ、4はこの画素ユニット210の出力電圧を選択的に垂直信号線に出力するための読み出しトランジスタ、8は各画素の信号電荷を増幅して出力するための垂直信号線、9は定電流源として働く負荷トランジスタをそれぞれ示している。駆動トランジスタ3と負荷トランジスタ9とはソースフォロワ回路を構成している。駆動トランジスタ3のゲート電極に印加された信号電荷蓄積部7の電圧V<sub>FD</sub>は、このソースフォロワ回路で増幅されて垂直信号線8へ出力される。V<sub>RST</sub>はリセット電圧、V<sub>DD</sub>は電源電圧である。

20

#### 【0005】

このCMOSイメージセンサは、CMOSプロセスコンパチブル、つまり画素ユニット210内のMOSトランジスタが周辺回路のMOSトランジスタと同一工程で形成される。その結果、このCMOSイメージセンサは一つの集積回路チップで構成される。

#### 【0006】

このCMOSイメージセンサは、図3に示す動作タイミングにしたがって次のようにして駆動される。まず、時刻t<sub>0</sub>で読み出しトランジスタ4のゲートパルスSELをオン(高レベルのパルス)を印加)させ、読み出し状態にする。その後、時刻t<sub>1</sub>にリセットトランジスタ3のゲートパルスRSTをオンさせて、図14中に示す浮遊拡散領域22の電位V<sub>FD</sub>をリセット電位V<sub>RST</sub>に設定する(言い換えれば、信号電荷蓄積部7内の信号電荷を空にする)。これにより、このイメージセンサは出力信号として図3中に示す暗時電圧V<sub>RST2</sub>を出力する。動作開始から時刻t<sub>2</sub>にTGがオンするまでの蓄積期間中、PD5が光子hを受けて光電変換によりキャリアを発生させると、図14中に示すPD5内のn+層21に電子(エネルギーダイヤグラム中に斜線で示す)が蓄積されていく。しかしながら、PD5のn+層21と信号電荷蓄積部7の浮遊拡散領域22との間には転送トランジスタ1のゲート電極32の電位によるエネルギー障壁が形成されているため、この蓄積期間中、電子はPD5内に存在する。次いで、図3中に示す時刻t<sub>2</sub>で転送トランジスタ1のゲートパルスTGをオンさせて、ゲート電極32直下の障壁を取り除き、図14中に示すようにPD5中の電子を一気に浮遊拡散領域22へ転送させる(なお、TGはPD5中の電子を完全に転送させるように設定されるため、残像やノイズはPD5では発生しない)。浮遊拡散領域22に電子が転送されると、電子の数に応じて浮遊拡散領域22の電位V<sub>FD</sub>が変化する(変化後の電圧をV<sub>sig</sub>とする)。その変化後の電圧V<sub>sig</sub>をMOSトランジスタ3と定電流源9で構成されるソースフォロワ回路による動作で、MOSトランジスタ3のソースを介して、高レベルのゲートパルスSELによってオンしている読み出しトランジスタ4へ出力する。これにより、垂直信号線8に明時信号電圧V<sub>sig2</sub>を出力する。

30

40

#### 【0007】

垂直信号線8につながる図示しない出力回路が、相関二重サンプリング(CDS)を行い、前述の暗時信号電圧V<sub>RST2</sub>とこの明時信号電圧V<sub>sig2</sub>との差を取って増幅を行

50

う。これにより、上述のリセット動作によって信号電荷蓄積部7で発生したランダム性のkTCノイズが除去される。この結果、線形性の良い光電変換特性が得られる。

【0008】

【発明が解決しようとする課題】

ところで、半導体の微細加工技術の発展に伴い、将来的にMOS型固体撮像装置の電源電圧も低下する傾向にある。この電源電圧の低下によって、最大信号電圧（信号電荷蓄積部7で蓄積し得る最大信号）が低下するため、画素ユニット210で出力信号のダイナミックレンジ（S/N比（信号対ノイズ比）と等価である。）Dが確保できなくなる傾向が生じている。

【0009】

ここで、昇圧回路や電源を多数設けるなどの措置が考えられる。しかしながら、昇圧回路を設けると、その分レイアウト面積を占有してチップコストの増大を招く。また、電源を多数設けると外部にDC-DCコンバータ等が必要となり、カメラ全体での消費電力や部品個数が増えるという問題が生じる。

【0010】

そこで、この発明の課題は、半導体基板上に形成された浮遊拡散領域に信号電荷を受けて、その浮遊拡散領域の電位に応じた出力信号を出力する電荷検出装置であって、新たな問題を招くことなく簡単に、出力信号のダイナミックレンジを広げることができるものを提供することにある。

【0011】

また、この発明の課題は、そのような電荷検出装置を含むMOS型固体撮像装置およびCCD型固体撮像装置を提供することにある。

【0012】

【課題を解決するための手段】

上記課題を解決するため、この発明の電荷検出装置は、半導体基板の表面に形成された、信号電荷を供給する電荷供給部と、

上記基板表面に上記電荷供給部から所定距離だけ離間して形成された浮遊拡散領域を有し、この浮遊拡散領域と上記基板との間の接合容量によって信号電荷を蓄積し得る信号電荷蓄積部と、

上記電荷供給部と信号電荷蓄積部との間の基板上に設けられたゲート電極を有し、このゲート電極に与えられた電位に応じて上記電荷供給部からの信号電荷を上記信号電荷蓄積部へ転送する転送部と、

上記信号電荷蓄積部に蓄積された信号電荷をリセットするリセット手段とを備えて、上記信号電荷蓄積部の浮遊拡散領域の電位に応じた出力信号を出力する電荷検出装置において、

上記転送部のゲート電極と上記信号電荷蓄積部の浮遊拡散領域とが、この浮遊拡散領域の静電ポテンシャルが深くなるように容量結合していることを特徴とする。

【0013】

この明細書において、「信号電荷を供給する」とは、光電変換素子のように自ら信号電荷を発生して供給する場合と、CCD（電荷結合素子）のように別の要素から受け取った信号電荷を供給する場合とを含む。

【0014】

また、「静電ポテンシャルが深くなるように容量結合している」とは、静電ポテンシャル（つまり電位）に対する影響が実質的に無視できるような浮遊容量等による結合を含まない。例えば、浮遊拡散領域の電位のダイナミックレンジが1ボルト（V）である場合、容量結合による影響が0.1V以下であれば、その容量結合は「実質的に無視できる」に該当するものとする。

【0015】

この発明の電荷検出装置では、まず、信号電荷蓄積部の浮遊拡散領域の電位がリセット手段によってリセット電位に設定される。次に、例えば信号電荷が電子である場合は、転送

10

20

30

40

50

部のゲート電極に高レベルの電圧が印加されて、電荷供給部からの信号電荷が上記信号電荷蓄積部へ転送される。そして、信号電荷蓄積部の浮遊拡散領域の電位に応じた出力信号が出力される。このとき、転送部のゲート電極に高レベルの電圧が印加されているので、上記転送部のゲート電極と上記信号電荷蓄積部の浮遊拡散領域との間の容量結合によって、上記浮遊拡散領域の静電ポテンシャルが深くなっている。したがって、出力信号のダイナミックレンジが拡大される。

【0016】

なお、この電荷検出装置は、信号電荷が正孔である場合も同様の作用効果を奏する。ただし、電荷供給部からの信号電荷を上記信号電荷蓄積部へ転送するために、転送部のゲート電極に低レベルの電圧が印加される。

10

【0017】

一実施形態の電荷検出装置は、上記転送部のゲート電極と上記信号電荷蓄積部の浮遊拡散領域との間の容量結合は、上記ゲート電極を上記浮遊拡散領域上まで延在させて形成されていることを特徴とする。

【0018】

この一実施形態の電荷検出装置は、公知の製造プロセスにおいて上記ゲート電極のマスクパターンを変更することによって、簡単に作製される。

【0019】

一実施形態の電荷検出装置は、上記転送部のゲート電極と上記信号電荷蓄積部の浮遊拡散領域との間の容量結合は、上記浮遊拡散領域に電氣的接続された金属配線を第1の多結晶シリコン層からなる上記ゲート電極上まで延在させて形成されていることを特徴とする。

20

【0020】

この一実施形態の電荷検出装置は、公知の製造プロセスにおいて上記金属配線のマスクパターンを変更することによって、簡単に作製される。

【0021】

一実施形態の電荷検出装置は、上記転送部のゲート電極と上記信号電荷蓄積部の浮遊拡散領域との間の容量結合は、第1の多結晶シリコン層からなる上記ゲート電極上に、上記浮遊拡散領域に電氣的接続された第2の多結晶シリコン層を設けて形成されていることを特徴とする。

【0022】

この一実施形態の電荷検出装置は、公知の製造プロセスにおいて上記第2の多結晶シリコン層およびこの第2の多結晶シリコン層につながる金属配線のマスクパターン等を変更することによって、簡単に作製される。

30

【0023】

この発明のMOS型固体撮像装置は、半導体基板上に複数個配列された単位セルを有するMOS型固体撮像装置であって、

上記各単位セルは、

半導体基板の表面に形成された、受光量に応じて信号電荷を発生する光電変換部と、

上記基板表面に上記から所定距離だけ離間して形成された浮遊拡散領域を有し、この浮遊

拡散領域と上記基板との間の接合容量によって信号電荷を蓄積し得る信号電荷蓄積部と、

上記光電変換部と信号電荷蓄積部との間の基板上に設けられたゲート電極を有し、このゲ

ート電極に与えられた電位に応じて上記光電変換部からの信号電荷を上記信号電荷蓄積部へ転送する転送部と、

上記信号電荷蓄積部に蓄積された信号電荷をリセットするリセット手段と、

上記信号電荷蓄積部の浮遊拡散領域の電位に応じた出力信号を出力する増幅手段と、

上記増幅手段からの出力信号を読み出す読み出し手段とを備え、

上記転送部のゲート電極と上記信号電荷蓄積部の浮遊拡散領域とが、この浮遊拡散領域の静電ポテンシャルが深くなるように容量結合していることを特徴とする。

40

【0024】

この発明のMOS型固体撮像装置では、まず、信号電荷蓄積部の浮遊拡散領域の電位がリ

50

セット手段によってリセット電位に設定される。次に、例えば信号電荷が電子である場合は、転送部のゲート電極に高レベルの電圧が印加されて、光電変換部からの信号電荷が上記信号電荷蓄積部へ転送される。そして、増幅手段によって上記信号電荷蓄積部の浮遊拡散領域の電位に応じた出力信号が出力され、読み出し手段によって上記増幅手段からの出力信号が読み出される。このとき、転送部のゲート電極に高レベルの電圧が印加されているので、上記転送部のゲート電極と上記信号電荷蓄積部の浮遊拡散領域との間の容量結合によって、上記浮遊拡散領域の静電ポテンシャルが深くなっている。したがって、出力信号のダイナミックレンジが拡大される。

#### 【0025】

この発明のCCD型固体撮像装置は、半導体基板の表面に複数個配列された光電変換素子と、

上記各光電変換素子が発生した電荷を上記基板表面に沿って順次転送するCCD部と、  
上記基板表面上記CCD部の出力段から所定距離だけ離間して形成された浮遊拡散領域を有し、この浮遊拡散領域と上記基板との間の接合容量によって信号電荷を蓄積し得る信号電荷蓄積部と、

上記CCD部の出力段と信号電荷蓄積部との間の基板上に設けられたゲート電極を有し、このゲート電極に与えられた電位に応じて上記電荷供給部からの信号電荷を上記信号電荷蓄積部へ転送する転送部と、

上記信号電荷蓄積部に蓄積された信号電荷をリセットするリセット手段と、

上記信号電荷蓄積部の浮遊拡散領域の電位に応じた出力信号を出力する増幅手段と、

上記増幅手段からの出力信号を読み出す読み出し手段とを備え、

上記転送部のゲート電極と上記信号電荷蓄積部の浮遊拡散領域とが、この浮遊拡散領域の静電ポテンシャルが深くなるように容量結合していることを特徴とする。

#### 【0026】

この発明のCCD型固体撮像装置では、まず、信号電荷蓄積部の浮遊拡散領域の電位がリセット手段によってリセット電位に設定される。次に、例えば信号電荷が電子である場合は、転送部のゲート電極に高レベルの電圧が印加されて、光電変換素子からCCD部を経由した信号電荷が上記信号電荷蓄積部へ転送される。そして、増幅手段によって上記信号電荷蓄積部の浮遊拡散領域の電位に応じた出力信号が出力され、読み出し手段によって上記増幅手段からの出力信号が読み出される。このとき、転送部のゲート電極に高レベルの電圧が印加されているので、上記転送部のゲート電極と上記信号電荷蓄積部の浮遊拡散領域との間の容量結合によって、上記浮遊拡散領域の静電ポテンシャルが深くなっている。したがって、出力信号のダイナミックレンジが拡大される。

#### 【0027】

##### 【発明の実施の形態】

以下、この発明を図示の実施の形態により詳細に説明する。

#### 【0028】

##### (第1実施形態)

図2は、この発明の一実施形態の電荷検出装置を含むMOS型固体撮像装置(CMOSイメージセンサ)の概略回路構成を示している。このCMOSイメージセンサは、半導体基板(図1中に示すpウエル20)の表面に2次元行列状に配列された複数の画素ユニット10と、垂直クロックに基づいて行方向の選択を行う垂直シフトレジスタ13と、垂直方向に並ぶ各画素ユニット10につながる垂直信号線16と、この垂直信号線16に接続され列方向の選択を行う垂直選択トランジスタ17と、水平クロックに基づいて垂直選択トランジスタ17をオン、オフ制御する水平シフトレジスタ14と、水平信号線18と、出力回路15を備えている。水平クロックが定める1水平期間には、水平シフトレジスタ14によって或る列の垂直選択トランジスタ17のみがオンされ、残りの列の垂直選択トランジスタ17がオフされる。すなわち、或る列の垂直信号線16のみがオン状態の垂直選択トランジスタ17を介して水平信号線18に導通し、残りの列の垂直信号線16は水平信号線18から遮断される。この1水平期間に、垂直シフトレジスタ13によって順次選

扱された行の画素ユニット10の出力信号が垂直信号線16、オン状態の垂直選択トランジスタ17、水平信号線18を介して出力回路15に読み出される。電圧で読み出す時には列毎に配置した相関二重サンプリング(CDS)回路でCDSを行い、電流で読み出す時には、出力回路15でCDSを行って出力する。

#### 【0029】

図1は各画素ユニット10内の回路構成を示している。なお、理解の容易のため、図13中の要素と同一の要素には同一の符号を付している。この画素ユニット10は図13に示した画素ユニット210と同様に、1つのフォトダイオード5と、4つのMOSトランジスタ1, 2, 3, 4とを備えた4トランジスタ方式のものである。電荷供給部または光電変換部としてのフォトダイオード(PD)5は、pウエル20の表面にn+層21を拡散して形成されている。なお、n+層21の表面にはp++層25が形成されて、いわゆる埋め込み構造になっている。6はフォトダイオード5のn+層21に接続されたカソード電極を示している。

10

#### 【0030】

この画素ユニット10内には、フォトダイオード5から所定距離だけ離間して形成された浮遊拡散領域(FD)22を有する信号電荷蓄積部7と、さらにこの信号電荷蓄積部7から所定距離だけ離間して形成されたn+層23からなるリセット部19とが形成されている。C<sub>FD</sub>は浮遊拡散領域22とpウエル20との間の接合容量を示している。

#### 【0031】

また、フォトダイオード5と信号電荷蓄積部7との間には、SiO<sub>2</sub>膜31を介して形成されたゲート電極32を有する転送部としての転送トランジスタ1が構成されている。さらに、信号電荷蓄積部7とリセット部19との間には、転送トランジスタ1と同じ構造を持つリセットトランジスタ2が構成されている。転送トランジスタ1のゲート電極32と信号電荷蓄積部7の浮遊拡散領域22との間にキャパシタC<sub>c</sub>が付加されている。注目すべきは、このキャパシタC<sub>c</sub>は、ゲート電極32の電位によって浮遊拡散領域22の静電ポテンシャルが深くなるように積極的に設けられたものであり、単なる浮遊容量による容量結合ではない点である。

20

#### 【0032】

また、3はC<sub>FD</sub>に蓄積された信号電荷を増幅する駆動トランジスタ、4はこの画素ユニット10の出力電圧を選択的に垂直信号線に出力するための読み出しトランジスタ、8は各画素の信号電荷を増幅して出力するための垂直信号線(図1中の垂直信号線16に接続されている)、9は定電流源として働く負荷トランジスタをそれぞれ示している。駆動トランジスタ3と負荷トランジスタ9とはソースフォロワ回路を構成している。駆動トランジスタ3のゲート電極に印加された信号電荷蓄積部7の電圧V<sub>FD</sub>は、このソースフォロワ回路で増幅されて垂直信号線8へ出力される。V<sub>RST</sub>はリセット電圧、V<sub>DD</sub>は電源電圧である。

30

#### 【0033】

この画素ユニット10には、垂直シフトレジスタ13から3つの水平駆動パルス、すなわち、フォトダイオード5に蓄積された信号電荷を浮遊拡散領域22へ転送するためのパルスTGと、C<sub>FD</sub>に蓄積された信号電荷を初期化するためのパルスRSTと、この画素ユニット10の出力電圧を選択的に垂直信号線8に出力するためのパルスSELとが入力される。

40

#### 【0034】

このCMOSイメージセンサは、図3に示す動作タイミング(つまり、従来例と同じ動作タイミング)にしたがって次のようにして駆動される。まず、時刻t<sub>0</sub>で読み出しトランジスタ4のゲートパルスSELをオン(高レベルを印加)させ、読み出し状態にする。その後、時刻t<sub>1</sub>にリセットトランジスタ3のゲートパルスRSTをオンさせて、図4中に示す浮遊拡散領域22の電位V<sub>FD</sub>をリセット電位V<sub>RST</sub>に設定する(言い換えれば、信号電荷蓄積部7内の信号電荷を空にする)。これにより、このイメージセンサは出力信号として図3中に示す暗時電圧V<sub>RST2</sub>を出力する。動作開始から時刻t<sub>2</sub>に

50

Gがオンするまでの蓄積期間中、PD5が光子hを受けて光電変換によりキャリアを発生させると、図4中に示すPD5内のn+層21に電子(エネルギーダイヤグラム中に斜線で示す)が蓄積されていく。しかしながら、PD5のn+層21と信号電荷蓄積部7の浮遊拡散領域22との間には転送トランジスタ1のゲート電極32の電位によるエネルギー障壁が形成されているため、この蓄積期間中、電子はPD5内に存在する。次いで、図3中に示す時刻t2で転送トランジスタ1のゲートパルスTGをオン(高レベルVHiを印加)させて、ゲート電極32直下の障壁を取り除き、図5中に示すようにPD5中の電子を一気に浮遊拡散領域22へ転送させる(なお、TGはPD5中の電子を完全に転送させるように設定されるため、残像やノイズはPD5では発生しない。)。浮遊拡散領域22に電子が転送されると、電子の数に応じて浮遊拡散領域22の電位VFDが変化する(変化後の電圧をVsigとする。)。その変化後の電圧VsigをMOSトランジスタ3と定電流源9で構成されるソースフォロワ回路による動作で、MOSトランジスタ3のソースを介して、高レベルのゲートパルスSELによってオンしている読み出しトランジスタ4へ出力する。これにより、垂直信号線8に明時信号電圧Vsig2を出力する。

10

#### 【0035】

電圧で読み出す時には列毎に配置した相関二重サンプリング(CDS)回路でCDSを行い、電流で読み出す時には、出力回路15でCDSを行い、前述の暗時信号電圧VRS2とこの明時信号電圧Vsig2との差を取って出力する。これにより、上述のリセット動作や転送動作によって信号電荷蓄積部7で発生したランダム性のkTCノイズが除去される。この結果、線形性の良い光電変換特性が得られる。

20

#### 【0036】

ここで、このCMOSイメージセンサでは、転送トランジスタ1のゲートパルスTGをオン(高レベルVHiを印加)したとき、ゲート電極32と浮遊拡散領域22との間の容量結合Ccによって、浮遊拡散領域22の静電ポテンシャルが深くなっている。したがって、図5中にDで示すように、出力信号のダイナミックレンジが拡大される。

#### 【0037】

具体例を挙げると、容量結合Ccによるポテンシャル差Vは、次式(1)で表される。

#### 【0038】

$$V = V_{Hi} \times (C_c / (C_{FD} + C_c)) \quad \dots (1)$$

例えば、

30

$$V_{Hi} = V_{DD} = V_{RS} = V_{TG} = 3.3 \text{ V}$$

$$V_{RS} = 2.3 \text{ V}$$

$$C_{FD} = 3 \text{ fF}$$

$$C_c = 3 \text{ fF}$$

とすると、

$$V = 1.65 \text{ V}$$

となる。つまり、ゲート電極32と浮遊拡散領域22との間の容量結合Ccによって浮遊拡散領域22のポテンシャルが1.65Vだけ深くなる。そして、その分だけダイナミックレンジが拡大される。この例では、3.3V駆動であることを考慮すると、ダイナミックレンジを50%も大幅に拡大することができる。

40

#### 【0039】

なお、従来技術では、読み出し後の出力回路での増幅の障害とならないようにとの観点から、図13から分かるように、ゲート電極32と浮遊拡散領域22との間のオーバーラップや、ゲート電極32と金属配線42(浮遊拡散領域22にコンタクト41を介してつながるもの)との間のオーバーラップは極力排除され、それに伴う容量結合は排除されている。このため、浮遊拡散領域22のポテンシャルが実質的に影響を受けることはなく、出力信号のダイナミックレンジDが拡大されることはない。しかしながら、相関二重サンプリング(CDS)を行えば、容量結合Ccによる電位シフトの影響は除去されるので、容量結合Ccによる電位シフトが出力信号の線形性を損なうことはない。この点に着目したことが本発明の創出につながっている。

50

## 【 0 0 4 0 】

このように、このCMOSイメージセンサによれば、駆動電圧レベルを上げることなく、出力信号のダイナミックレンジを向上させることができる。逆に、従来例と同一のマージンを確保するだけで良ければ、駆動電圧レベルを低くすることができる。

## 【 0 0 4 1 】

図6～図10はそれぞれ上記キャパシタ $C_c$ の具体的な構造を示している。

## 【 0 0 4 2 】

図6に示す例では、上記キャパシタ $C_c$ は、ゲート電極32を浮遊拡散領域22上まで延在させて形成されている。浮遊拡散領域22上まで延在したゲート電極(符号32Aで示す)と浮遊拡散領域22との間にはゲート絶縁膜32Aが存在している。キャパシタ $C_c$ は、ゲート電極32Aと浮遊拡散領域22との対向部分によって構成されている。このようにした場合、キャパシタ $C_c$ は、画素ユニットの面積増大を招くことなく、公知の製造プロセスにおいて上記ゲート電極のマスクパターンを変更することによって、簡単に作製される。

10

## 【 0 0 4 3 】

図7に示す例では、上記キャパシタ $C_c$ は、浮遊拡散領域22にコンタクト41を介して電氣的接続された金属配線42を第1の多結晶シリコン層からなるゲート電極32上まで延在させて形成されている。ゲート電極32上まで延在した金属配線(符号42Aで示す)とゲート電極32との間には、図示しない層間絶縁膜が存在している。キャパシタ $C_c$ は、延在した金属配線42Aとゲート電極32との対向部分によって構成されている。このようにした場合、キャパシタ $C_c$ は、画素ユニットの面積増大を招くことなく、公知の製造プロセスにおいて上記金属配線のマスクパターンを変更することによって、簡単に作製される。

20

## 【 0 0 4 4 】

図8に示す例では、上記キャパシタ $C_c$ は、第1の多結晶シリコン層からなるゲート電極32上に、浮遊拡散領域22にコンタクト41、ゲート電極32上まで延在した金属配線42Aおよびコンタクト41Aを介して電氣的接続された第2の多結晶シリコン層35を設けて形成されている。ゲート電極32と第2の多結晶シリコン層35との間、第2の多結晶シリコン層35と金属配線42Aとの間には、それぞれ図示しない層間絶縁膜が存在している。キャパシタ $C_c$ は、第2の多結晶シリコン層35とゲート電極32との対向部分によって構成されている。このようにした場合、キャパシタ $C_c$ は、画素ユニットの面積増大を招くことなく、公知の製造プロセスにおいて第2の多結晶シリコン層、コンタクト、および金属配線のマスクパターンを変更することによって、簡単に作製される。

30

## 【 0 0 4 5 】

図9に示す例は、図6の例と図7の例とを組合わせたものである。キャパシタ $C_c$ は、ゲート電極32Aと浮遊拡散領域22との対向部分によって構成される容量 $C_{c1}$ と、延在した金属配線42Aとゲート電極32Aとの対向部分によって構成される容量 $C_{c2}$ とを並列接続したものとなる。このようにした場合、キャパシタ $C_c$ は、画素ユニットの面積増大を招くことなく、公知の製造プロセスにおいて上記ゲート電極、金属配線のマスクパターンを変更することによって、簡単に作製される。

40

## 【 0 0 4 6 】

図10に示す例は、図6の例と図8の例とを組合わせたものである。キャパシタ $C_c$ は、ゲート電極32Aと浮遊拡散領域22との対向部分によって構成される容量 $C_{c1}$ と、第2の多結晶シリコン層35とゲート電極32Aとの対向部分によって構成される容量 $C_{c3}$ とを並列接続したものとなる。このようにした場合、キャパシタ $C_c$ は、画素ユニットの面積増大を招くことなく、公知の製造プロセスにおいて上記ゲート電極、第2の多結晶シリコン層、コンタクト、および金属配線のマスクパターンを変更することによって、簡単に作製される。

## 【 0 0 4 7 】

このように、このCMOSイメージセンサは、CMOSプロセスコンパチブル、つまり画

50

素ユニット10内のMOSトランジスタが周辺回路のMOSトランジスタと同一工程で形成される。その結果、このCMOSイメージセンサは一つの集積回路チップで構成される。

#### 【0048】

(第2実施形態)

図12は、この発明の一実施形態の電荷検出装置を含むCCD型固体撮像装置(インターライン型CCDイメージセンサ)の概略回路構成を示している。このCCDイメージセンサは、半導体基板(図11中に示すpウエル120)の表面に2次元行列状に配列された複数の画素110と、各画素110からの信号電荷を垂直転送パルス  $V_1, V_2, \dots, V_m$  に基づいて垂直CCDに転送し、かつ垂直方向に順次転送する複数の垂直CCD 120と、各垂直CCD 120からの信号電荷を水平転送パルス  $H_1, H_2, \dots, H_n$  に基づいて水平方向に順次転送する水平CCD 112と、この水平CCD 112からの信号電荷を水平信号線118を介して受けて増幅する出力回路115を備えている。各画素110は光電変換素子としてのフォトダイオードを含んでいる。垂直CCD 120と水平CCD 112とは、信号電荷を転送する転送部を構成している。

10

#### 【0049】

図11に示すように、上記出力回路115は、水平CCD 112の出力段(第n段)から所定距離だけ離間して形成された浮遊拡散領域(FD) 122を有する信号電荷蓄積部107と、さらにこの信号電荷蓄積部107から所定距離だけ離間して形成されたn+層123からなるリセット部119とが形成されている。 $C_{FD}$  は浮遊拡散領域122とpウエル120との間の接合容量を示している。

20

#### 【0050】

また、水平CCD 112の出力段(第n段)と信号電荷蓄積部107との間には、 $SiO_2$  膜131を介して形成されたゲート電極132を有する転送部としての転送トランジスタ101が構成されている。さらに、信号電荷蓄積部107とリセット部119の間には、転送トランジスタ1と同じ構造を持つリセットトランジスタ102が構成されている。転送トランジスタ101のゲート電極132と信号電荷蓄積部107の浮遊拡散領域122との間に、第1実施形態におけるものと同様に、キャパシタ $C_c$  が付加されている。このキャパシタ $C_c$  は、ゲート電極132の電位によって浮遊拡散領域122の静電ポテンシャルが深くなるように積極的に設けられたものであり、単なる浮遊容量による容量結合ではない。

30

#### 【0051】

また、103は $C_{FD}$  に蓄積された信号電荷を増幅する駆動トランジスタ、104はこのイメージセンサの出力電圧を選択的に垂直信号線に出力するための読み出しトランジスタ、108は各画素の信号電荷を増幅して出力するための出力信号線、109は定電流源として働く負荷トランジスタをそれぞれ示している。駆動トランジスタ103と負荷トランジスタ109とはソースフォロワ回路を構成している。駆動トランジスタ103のゲート電極に印加された信号電荷蓄積部107の電圧 $V_{FD}$  は、このソースフォロワ回路で増幅されて出力信号線108へ出力される。 $V_{RST}$  はリセット電圧、 $V_{DD}$  は電源電圧である。

40

#### 【0052】

この出力回路115は、第1実施形態における画素ユニット110と同様に動作する。まず、リセットパルス  $RST$  によって、信号電荷蓄積部107の浮遊拡散領域122の電位 $V_{FD}$  がリセット電位 $V_{RST}$  に設定される。次に、転送トランジスタ101のゲート電極132に高レベルの電圧  $TG = V_{Hi}$  が印加されて、画素110のフォトダイオードから垂直CCD 120と水平CCD 112を経由した信号電荷が信号電荷蓄積部107へ転送される。そして、MOSトランジスタ103と定電流源109で構成されるソースフォロワ回路による動作で、信号電荷蓄積部107の浮遊拡散領域122の電位 $V_{FD}$  に応じた出力信号が出力され、読み出しトランジスタ104によってその出力信号が読み出される。読み出された信号は、図示しない回路部が相関二重サンプリング(CDS)を行

50

って増幅する。

【0053】

ここで、このCCDイメージセンサでは、転送トランジスタ101のゲートパルスTGをオン(高レベルV<sub>Hi</sub>を印加)したとき、ゲート電極132と浮遊拡散領域122との間の容量結合C<sub>c</sub>によって、浮遊拡散領域122の静電ポテンシャルが深くなっている。したがって、図5中にDで示したのと同様に、出力信号のダイナミックレンジが拡大される。

【0054】

上記キャパシタC<sub>c</sub>の構造は、図6～図10に示したものと同一の構造を採用することができる。この結果、このCCDイメージセンサは、通常のCCDプロセスで作製でき、特にプロセスを変更する必要はない。

【0055】

【発明の効果】

以上より明らかかなように、この発明の電荷検出装置によれば、新たな問題を招くことなく簡単に、出力信号のダイナミックレンジを広げることができる。

【0056】

また、この発明のMOS型固体撮像装置およびCCD型固体撮像装置によれば、新たな問題を招くことなく簡単に、出力信号のダイナミックレンジを広げることができる。

【図面の簡単な説明】

【図1】 この発明の第1実施形態のMOS型固体撮像装置に含まれた画素ユニットの構成を示す図である。

【図2】 上記MOS型固体撮像装置の電圧で読み出す時の概略回路構成を示す図である。

【図3】 上記MOS型固体撮像装置の動作タイミングを示す図である。

【図4】 上記画素ユニットを構成する拡散領域のリセット時におけるポテンシャルダイアグラムを示す図である。

【図5】 上記画素ユニットを構成する拡散領域の転送時におけるポテンシャルダイアグラムを示す図である。

【図6】 キャパシタの構造例を示す図である。

【図7】 キャパシタの構造例を示す図である。

【図8】 キャパシタの構造例を示す図である。

【図9】 キャパシタの構造例を示す図である。

【図10】 キャパシタの構造例を示す図である。

【図11】 この発明の第2実施形態のCCD型固体撮像装置に含まれた出力回路の構成を示す図である。

【図12】 上記CCD型固体撮像装置の概略回路構成を示す図である。

を示す図である。

【図13】 従来のMOS型固体撮像装置に含まれた画素ユニットの構成を示す図である。

【図14】 上記画素ユニットを構成する拡散領域の転送時におけるポテンシャルダイアグラムを示す図である。

【符号の説明】

- 1, 101 転送トランジスタ
- 3, 103 駆動トランジスタ
- 4, 104 読み出しトランジスタ
- 5 フォトダイオード
- 7, 107 信号電荷蓄積部
- 22, 122 浮遊拡散領域
- 32, 132 ゲート電極
- 15, 115 出力回路

10

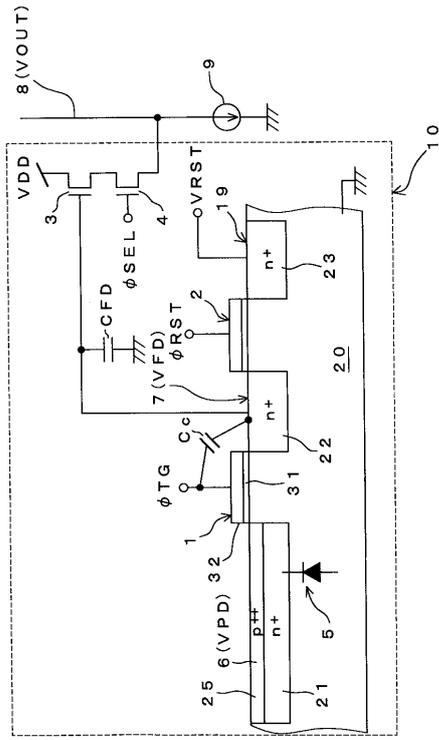
20

30

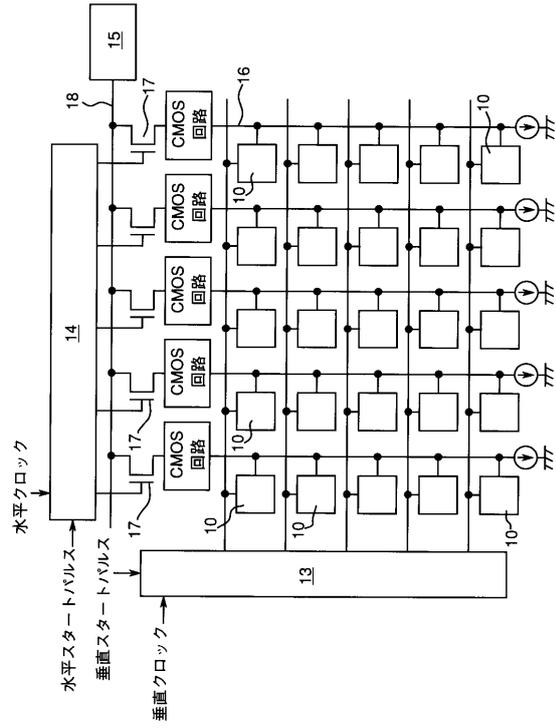
40

50

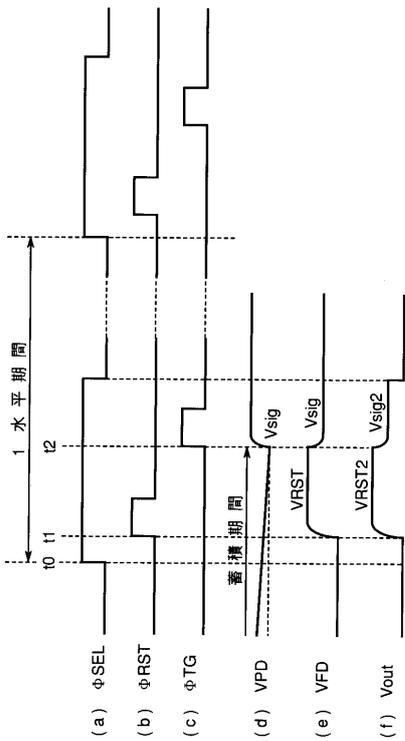
【 図 1 】



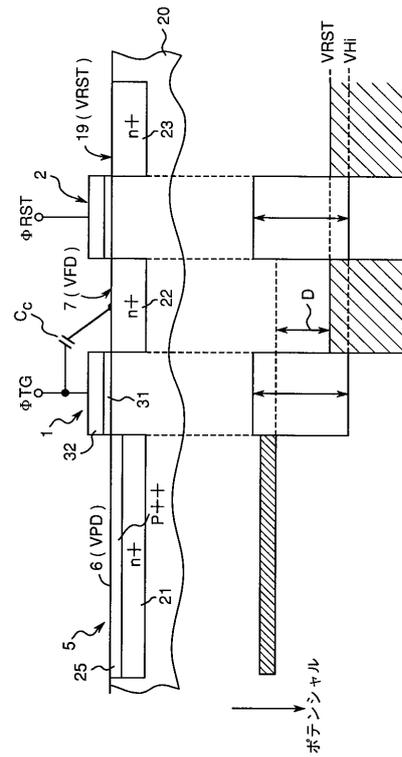
【 図 2 】



【 図 3 】



【 図 4 】







---

フロントページの続き

- (56)参考文献 特開平06 - 151798 (JP, A)  
特開平04 - 094547 (JP, A)  
特開昭64 - 64261 (JP, A)  
特開平05 - 121459 (JP, A)

- (58)調査した分野(Int.Cl., DB名)  
H01L 27/14- 27/148