

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7013898号
(P7013898)

(45)発行日 令和4年2月1日(2022.2.1)

(24)登録日 令和4年1月24日(2022.1.24)

(51)国際特許分類

F I

H 0 1 L	21/336 (2006.01)	H 0 1 L	29/78	6 5 8 A
H 0 1 L	29/78 (2006.01)	H 0 1 L	29/06	3 0 1 G
H 0 1 L	29/06 (2006.01)	H 0 1 L	29/06	3 0 1 V
H 0 1 L	29/739 (2006.01)	H 0 1 L	29/78	6 5 2 P
		H 0 1 L	29/78	6 5 3 A

請求項の数 1 (全10頁) 最終頁に続く

(21)出願番号	特願2018-15228(P2018-15228)
(22)出願日	平成30年1月31日(2018.1.31)
(65)公開番号	特開2019-134072(P2019-134072 A)
(43)公開日	令和1年8月8日(2019.8.8)
審査請求日	令和3年1月19日(2021.1.19)

(73)特許権者	000004260 株式会社デンソー 愛知県刈谷市昭和町1丁目1番地
(74)代理人	110000110 特許業務法人快友国際特許事務所
(72)発明者	紀国 雅宏 愛知県豊田市トヨタ町1番地 トヨタ自 動車株式会社内
審査官	上田 智志

最終頁に続く

(54)【発明の名称】 スイッチング素子の製造方法

(57)【特許請求の範囲】

【請求項1】

スイッチング素子の製造方法であって、
半導体基板にp型不純物を注入することによって、前記半導体基板の表面に露出するp型の外周領域と、前記表面に露出しており、前記外周領域から間隔を開けた位置に配置されており、前記外周領域よりもp型不純物濃度が高いp型の耐圧領域を形成する工程と、前記表面に露出しており、前記外周領域及び前記耐圧領域よりも浅い範囲に配置されており、前記外周領域を挟んで前記耐圧領域の反対側に配置されており、前記外周領域に接しているp型のボディ領域を形成する工程と、
前記半導体基板をドライエッチングすることによって、前記表面に第1ゲートトレンチと第2ゲートトレンチを形成する工程であって、前記ボディ領域が存在する範囲に第1ゲートトレンチを形成し、前記外周領域が存在する範囲に第2ゲートトレンチを形成する工程と、
前記第1ゲートトレンチ内と前記第2ゲートトレンチ内にゲート電極を形成する工程、
を有する製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書に開示の技術は、スイッチング素子の製造方法に関する。

【0002】

トレンチゲート型のスイッチング素子は、複数のゲートトレンチを有している。各ゲートトレンチ内に、ゲート電極が設けられている。各ゲートトレンチは、p型のボディ領域に接する位置に設けられる。また、スイッチング素子がオフしたときには、素子範囲（複数のゲートトレンチが設けられている範囲）の外周端に位置するゲートトレンチ近傍で電界が集中し易い。このような電界集中を抑制するために、多くのスイッチング素子は、外周端に位置するゲートトレンチに接するように、ボディ領域よりも深い位置まで伸びているp型の外周領域を有している。

【0003】

この種のスイッチング素子の製造工程では、ボディ領域と外周領域を形成した後に、ゲートトレンチが形成される。ゲートトレンチは、半導体基板の表面をドライエッチングすることによって形成される。素子範囲の中央部では、ボディ領域が存在する範囲にゲートトレンチ（以下、第1ゲートトレンチという）が形成される。また、素子範囲の外周端では、外周領域が存在する範囲にゲートトレンチ（以下、第2ゲートトレンチという）が形成される。その後、各ゲートトレンチ内にゲート電極が形成される。

10

【0004】

なお、特許文献1には、スイッチング素子の製造工程において、金属不純物等をゲッタリングするために、半導体基板の裏面にゲッタリング層を設ける技術が開示されている。

【先行技術文献】

【特許文献】

【0005】

【文献】特開2015-233146号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0006】

イオン注入によって外周領域を形成する際に、外周領域に金属不純物がゲッタリングされる場合がある。外周領域に多くの金属不純物がゲッタリングされると、外周領域が存在する範囲に第2ゲートトレンチを形成する際に、外周領域を好適にエッチングすることができない。すなわち、外周領域に多くの金属不純物がゲッタリングされると、外周領域をドライエッチングするとき金属不純物を除去できず、第2ゲートトレンチの加工の不良原因となる。したがって、本明細書では、第2ゲートトレンチをより好適に形成する技術を提案する。

30

【課題を解決するための手段】

【0007】

本明細書が提案するスイッチング素子の製造方法は、注入工程と、ボディ領域形成工程と、ドライエッチング工程と、ゲート電極形成工程を有する。前記注入工程では、半導体基板にp型不純物を注入することによって、前記半導体基板の表面に露出するp型の外周領域と、前記表面に露出しており、前記外周領域から間隔を開けた位置に配置されており、前記外周領域よりもp型不純物濃度が高いp型の耐压領域を形成する。前記ボディ領域形成工程では、前記表面に露出しており、前記外周領域及び前記耐压領域よりも浅い範囲に配置されており、前記外周領域を挟んで前記耐压領域の反対側に配置されており、前記外周領域に接しているp型のボディ領域を形成する。前記ドライエッチング工程では、前記半導体基板をドライエッチングすることによって、前記表面に第1ゲートトレンチと第2ゲートトレンチを形成する。ここでは、前記ボディ領域が存在する範囲に第1ゲートトレンチを形成し、前記外周領域が存在する範囲に第2ゲートトレンチを形成する。前記ゲート電極形成工程では、前記第1ゲートトレンチ内と前記第2ゲートトレンチ内にゲート電極を形成する。

40

【0008】

この製造方法では、イオン注入によって、外周領域と耐压領域を形成する。ここで、耐压領域は、外周領域よりも高いp型不純物濃度を有するように形成される。このため、注入工程では、半導体基板中の金属不純物が、p型不純物濃度が高い耐压領域にゲッタリング

50

され、外周領域にゲッタリングされ難い。その後、ドライエッチング工程で外周領域をドライエッチングするとき（すなわち、第2ゲートトレンチを形成するとき）に、外周領域内に存在する金属不純物が少ないので、第2ゲートトレンチを好適に形成することができる。すなわち、第2ゲートトレンチの形成不良を抑制することができる。したがって、この製造方法によれば、スイッチング素子を高い歩留まりで製造することができる。

【図面の簡単な説明】

【0009】

【図1】IGBT10の平面図（外周領域34とFLR36の配置を示す図）。

【図2】図1のII-II線におけるIGBT10の断面図。

【図3】IGBT10の製造工程の説明図。

10

【図4】IGBT10の製造工程の説明図。

【図5】外周領域34とFLR36の深さ方向（z方向）におけるp型不純物濃度分布を示すグラフ。

【図6】IGBT10の製造工程の説明図。

【図7】IGBT10の製造工程の説明図。

【図8】IGBT10の製造工程の説明図。

【発明を実施するための形態】

【0010】

図1、2に示す実施形態のIGBT（insulated gate bipolar transistor）10は、半導体基板12と、半導体基板12の上面12a及び下面12bに設けられた電極、絶縁膜を有している。なお、以下では、上面12aに平行な一方向をx方向といい、上面12aに平行でx方向に直交する方向をy方向といい、半導体基板12の厚み方向をz方向という。図1は、半導体基板12の内部に設けられた外周領域34とFLR（field limiting ring）36の配置を示している。図1に示すように、半導体基板12は、外周領域34と複数のFLR36を有している。外周領域34とFLR36は、共にp型領域である。図2に示すように、外周領域34とFLR36は、上面12aを含む範囲に配置されている。図1に示すように、外周領域34は、半導体基板12の中央部38を囲むように環状に伸びている。中央部38には、図2に示すエミッタ領域22、ボディ領域24、ゲートトレンチ40等が形成されている。以下では、中央部38と外周領域34を備える範囲を素子範囲14といい、素子範囲14の外側の範囲を外周耐圧範囲15という。FLR36は、外周耐圧範囲15に配置されている。各FLR36は、素子範囲14を囲むように環状に伸びている。各FLR36のp型不純物濃度は、外周領域34のp型不純物濃度よりも高い。

20

30

【0011】

図2に示すように、半導体基板12の上面12aに、エミッタ電極52と保護絶縁膜60が配置されている。エミッタ電極52は、素子範囲14内に配置されている。エミッタ電極52は、上面12aに接している。保護絶縁膜60は、外周耐圧範囲15内で上面12aを覆っている。半導体基板12の下面12bに、コレクタ電極56が配置されている。コレクタ電極56は、下面12bの全体に接している。

【0012】

図2に示すように、素子範囲14内に、エミッタ領域22とボディ領域24と上述した外周領域34が配置されている。

40

【0013】

エミッタ領域22は、n型領域である。エミッタ領域22は、半導体基板12の上面12aを含む範囲に配置されている。エミッタ領域22は、エミッタ電極52にオーミック接触している。

【0014】

ボディ領域24は、p型領域である。ボディ領域24は、2つのエミッタ領域22の間の位置から各エミッタ領域22の下側の位置まで分布している。ボディ領域24は、2つのエミッタ領域22の間の位置（すなわち、上面12a近傍）において高いp型不純物濃度

50

を有しており、エミッタ領域 2 2 よりも下側において低い p 型不純物濃度を有している。ボディ領域 2 4 は、2 つのエミッタ領域 2 2 の間の位置でエミッタ電極 5 2 にオーミック接触している。

【 0 0 1 5 】

図 2 に示すように、半導体基板 1 2 は、ドリフト領域 2 6、バッファ領域 2 7 及びコレクタ領域 2 8 を有している。ドリフト領域 2 6、バッファ領域 2 7 及びコレクタ領域 2 8 は、素子範囲 1 4 と外周耐圧範囲 1 5 に跨って分布している。

【 0 0 1 6 】

ドリフト領域 2 6 は、n 型不純物濃度が低い n 型領域である。ドリフト領域 2 6 は、素子範囲 1 4 内において、ボディ領域 2 4 に対して下側から接している。また、ドリフト領域 2 6 は、外周領域 3 4 と F L R 3 6 に接している。外周領域 3 4 と F L R 3 6 の間の間隔に、ドリフト領域 2 6 が分布している。ドリフト領域 2 6 によって F L R 3 6 が外周領域 3 4 から分離されている。また、ドリフト領域 2 6 によって、F L R 3 6 が互いから分離されている。

10

【 0 0 1 7 】

バッファ領域 2 7 は、ドリフト領域 2 6 よりも n 型不純物濃度が高い n 型領域である。バッファ領域 2 7 は、素子範囲 1 4 及び外周耐圧範囲 1 5 内において、ドリフト領域 2 6 に対して下側から接している。

【 0 0 1 8 】

コレクタ領域 2 8 は、p 型領域である。コレクタ領域 2 8 は、素子範囲 1 4 及び外周耐圧範囲 1 5 内において、バッファ領域 2 7 に対して下側から接している。コレクタ領域 2 8 は、半導体基板 1 2 の下面 1 2 b の略全域において、コレクタ電極 5 6 にオーミック接触している。

20

【 0 0 1 9 】

素子範囲 1 4 内の半導体基板 1 2 の上面 1 2 a には、複数のゲートトレンチ 4 0 が設けられている。各ゲートトレンチ 4 0 は、y 方向に長く伸びている。複数のゲートトレンチ 4 0 は、x 方向に間隔を開けて配置されている。各ゲートトレンチ 4 0 は、ボディ領域 2 4 の下端よりも深い位置まで伸びている。以下では、x 方向において最も外側に位置するゲートトレンチ 4 0 をゲートトレンチ 4 0 b といい、その他のゲートトレンチ 4 0 をゲートトレンチ 4 0 a という。各ゲートトレンチ 4 0 a は、エミッタ領域 2 2 とボディ領域 2 4 を貫通してドリフト領域 2 6 まで達している。ゲートトレンチ 4 0 b は、外周領域 3 4 に隣接する位置に配置されている。外周領域 3 4 と F L R 3 6 の下端は、ゲートトレンチ 4 0 の下端よりも下側に位置している。

30

【 0 0 2 0 】

各ゲートトレンチ 4 0 の内面は、ゲート絶縁膜 3 2 によって覆われている。各ゲートトレンチ 4 0 内に、ゲート電極 3 0 が配置されている。各ゲート電極 3 0 は、ゲート絶縁膜 3 2 によって半導体基板 1 2 から絶縁されている。各ゲート電極 3 0 の上面は、層間絶縁膜 6 2 によって覆われている。層間絶縁膜 6 2 によって、各ゲート電極 3 0 がエミッタ電極 5 2 から絶縁されている。

【 0 0 2 1 】

各エミッタ領域 2 2 は、ゲートトレンチ 4 0 a の上端部でゲート絶縁膜 3 2 に接している。ボディ領域 2 4 は、各エミッタ領域 2 2 の下側でゲート絶縁膜 3 2 に接している。ドリフト領域 2 6 は、ボディ領域 2 4 の下側でゲート絶縁膜 3 2 に接している。また、ボディ領域 2 4 は、ゲートトレンチ 4 0 b 内のゲート絶縁膜 3 2 に接している。

40

【 0 0 2 2 】

ゲート電極 3 0 に閾値以上の電位を印加すると、ボディ領域 2 4 にチャネルが形成され、チャネルを介してエミッタ領域 2 2 とドリフト領域 2 6 が接続される。これによって、I G B T がオンする。ゲート電極 3 0 の電位を閾値未満に低下させると、チャネルが消失し、I G B T がオフする。I G B T がオフすると、ドリフト領域 2 6 内で電位分布が発生する。I G B T 1 0 では、素子範囲 1 4 の外周端に位置するゲートトレンチ 4 0 b に接する

50

ように、外周領域 3 4 が設けられている。外周領域 3 4 からゲートトレンチ 4 0 b の周囲のドリフト領域 2 6 に空乏層が広がる。これによって、ゲートトレンチ 4 0 b 近傍における電界集中が抑制される。また、外周耐圧範囲 1 5 内では、F L R 3 6 によって外周側への空乏層の進展が促進される。これによって、外周耐圧範囲 1 5 内における電界集中が抑制される。したがって、I G B T 1 0 は、高い耐圧を有する。

【 0 0 2 3 】

次に、I G B T 1 0 の製造方法について説明する。まず、図 3 に示すように、ドリフト領域 2 6 によって構成されている半導体基板 1 2 (加工前の半導体基板 1 2) の上面 1 2 a に、酸化膜 8 0 を形成する。次に、酸化膜 8 0 上に、レジスト膜 8 2 を形成する。次に、レジスト膜 8 2 を、フォトリソグラフィによってパターンニングする。これによって、外周領域 3 4 及び F L R 3 6 を形成すべき領域の上部のレジスト膜 8 2 をメッシュ化する。なお、レジスト膜 8 2 のメッシュ化とは、レジスト膜 8 2 にメッシュ状の微小な開口部を設けることを意味する。図 3 では、メッシュ化されたレジスト膜 8 2 を、参照符号 8 2 a、8 2 b により示している。メッシュ状の開口部の面積比率を調整することで、イオン注入時にイオン透過率を変更することができる。レジスト膜 8 2 b は、レジスト膜 8 2 a よりも、開口部の面積比率が高く、イオン透過率が高い。レジスト膜 8 2 a は外周領域 3 4 を形成すべき範囲の上部に設けられ、レジスト膜 8 2 b は F L R 3 6 を形成すべき範囲の上部に設けられる。

【 0 0 2 4 】

次に、レジスト膜 8 2 を介して、半導体基板 1 2 に対して上側から p 型不純物 (例えば、ボロン) をイオン注入する。メッシュ化されていないレジスト膜 8 2 は、イオンを透過しない。メッシュ化されたレジスト膜 8 2 a、8 2 b は、イオンを透過する。このため、レジスト膜 8 2 a、8 2 b の下部に、p 型不純物が注入される。ここで、レジスト膜 8 2 b のイオン透過率がレジスト膜 8 2 a のイオン透過率よりも高いので、レジスト膜 8 2 b の下部にレジスト膜 8 2 a の下部よりも高濃度に p 型不純物が注入される。イオン注入が完了したら、レジスト膜 8 2 (8 2 a、8 2 b を含む) を除去する。

【 0 0 2 5 】

次に、半導体基板 1 2 をアニールすることで、半導体基板 1 2 に注入された p 型不純物を活性化する。その結果、図 4 に示すように、p 型の外周領域 3 4 と p 型の F L R 3 6 が形成される。レジスト膜 8 2 b を介して p 型不純物が注入された F L R 3 6 では、レジスト膜 8 2 a を介して p 型不純物が注入された外周領域 3 4 よりも p 型不純物濃度が高くなる。アニールによって p 型不純物を活性化させるときに、半導体基板 1 2 の内部に存在する金属不純物が、p 型領域 (すなわち、外周領域 3 4 と F L R 3 6) 内にゲッタリングされる。このとき、p 型不純物濃度が高い F L R 3 6 には、より多くの金属不純物がゲッタリングされる。F L R 3 6 に金属不純物がゲッタリングされることで、外周領域 3 4 周辺に存在する金属不純物の濃度が低くなる。このため、外周領域 3 4 にゲッタリングされる金属不純物が少なくなる。このように、アニール工程において、外周領域 3 4 への金属不純物のゲッタリングが抑制される。

【 0 0 2 6 】

図 5 は、外周領域 3 4 と F L R 3 6 の深さ方向 (z 方向) における p 型不純物濃度分布を示している。図 5 のグラフ 3 4 は外周領域 3 4 の p 型不純物濃度分布を示しており、グラフ 3 6 は F L R 3 6 の p 型不純物濃度分布を示している。図 5 に示すように、深さゼロ (すなわち、上面 1 2 a の位置) から深い方向に向かうにしたがって、p 型不純物濃度分布が徐々に低下する。何れの深さでも、F L R 3 6 の p 型不純物濃度は、外周領域 3 4 の p 型不純物濃度よりも高い。本明細書では、深さ 0.5 μm の位置の p 型不純物濃度を、表面濃度という。本実施形態では、外周領域 3 4 の表面濃度は約 $1.0 \times 10^{18} (\text{cm}^{-3})$ であり、F L R 3 6 の表面濃度は約 $1.0 \times 10^{19} (\text{cm}^{-3})$ である。

【 0 0 2 7 】

次に、半導体基板 1 2 に対してイオン注入することによって、図 6 に示すように、ボディ領域 2 4 とエミッタ領域 2 2 を形成する。ボディ領域 2 4 は、外周領域 3 4 を挟んで F L

10

20

30

40

50

R 3 6 の反対側に、外周領域 3 4 に接するように形成される。

【 0 0 2 8 】

次に、図 7 に示すように、半導体基板 1 2 の上面 1 2 a を選択的にドライエッチングすることによって、ゲートトレンチ 4 0 を形成する。ここでは、エミッタ領域 2 2 とボディ領域 2 4 を貫通してドリフト領域 2 6 に達するようにゲートトレンチ 4 0 a を形成する。また、外周領域 3 4 をエッチングしてゲートトレンチ 4 0 b を形成する。外周領域 3 4 に多量の金属不純物がゲッタリングされていると、金属不純物の影響によって外周領域 3 4 を好適にエッチングすることができない。しかしながら、本実施形態では、上述したように、外周領域 3 4 への金属不純物のゲッタリングが抑制されているので、外周領域 3 4 を好適にエッチングすることができる。したがって、ゲートトレンチ 4 0 b を好適に形成することができる。また、F L R 3 6 には多くの金属不純物がゲッタリングされているが、F L R 3 6 にはトレンチが形成されないので特に問題は生じない。

10

【 0 0 2 9 】

次に、図 8 に示すように、ゲートトレンチ 4 0 内に、ゲート絶縁膜 3 2 とゲート電極 3 0 を形成する。次に、従来公知の技術によって、層間絶縁膜 6 2、エミッタ電極 5 2、保護絶縁膜 6 0、バッファ領域 2 7、コレクタ領域 2 8、及び、コレクタ電極 5 6 等を形成する。その後、ダイシングによってウエハをチップに分割することで、図 1、2 に示す I G B T 1 0 が完成する。

【 0 0 3 0 】

以上に説明したように、この製造方法によれば、F L R 3 6 に金属不純物がゲッタリングされるので、外周領域 3 4 に金属不純物がゲッタリングされ難くなる。このため、外周領域 3 4 をドライエッチングしてゲートトレンチ 4 0 b を形成する際に、ゲートトレンチ 4 0 b を好適に形成することができる。したがって、ゲートトレンチ 4 0 b の形成不良による歩留まり低下を抑制することができる。この製造方法によれば、高い歩留まりで I G B T 1 0 を量産することができる。

20

【 0 0 3 1 】

なお、上述した実施形態では、ゲートトレンチ 4 0 b が外周領域 3 4 とボディ領域 2 4 の境界に設けられていた。しかしながら、外周領域 3 4 をドライエッチングしてゲートトレンチ 4 0 b を形成するのであれば、ゲートトレンチ 4 0 b に対して外周領域 3 4 がどのように配置されていてもよい。

30

【 0 0 3 2 】

また、上述した実施形態では、各ゲートトレンチ 4 0 が、y 方向に長く伸びていた。しかしながら、各ゲートトレンチ 4 0 が、x 方向に長く伸びていてもよい。

【 0 0 3 3 】

以上、実施形態について詳細に説明したが、これらは例示にすぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例をさまざまに変形、変更したものが含まれる。本明細書または図面に説明した技術要素は、単独あるいは各種の組み合わせによって技術有用性を発揮するものであり、出願時請求項記載の組み合わせに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成するものであり、そのうちの 1 つの目的を達成すること自体で技術有用性を持つものである。

40

【符号の説明】

【 0 0 3 4 】

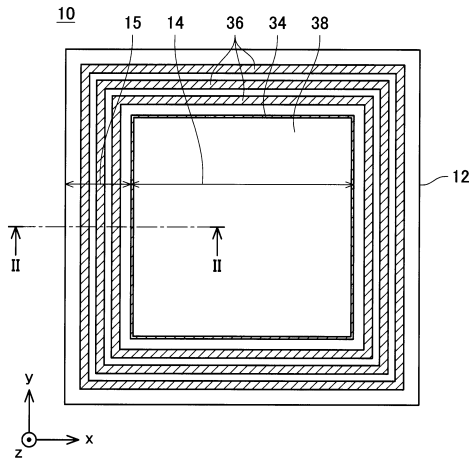
- 1 2 : 半導体基板
- 1 4 : 素子範囲
- 1 5 : 外周耐圧範囲
- 2 2 : エミッタ領域
- 2 4 : ボディ領域
- 2 6 : ドリフト領域
- 2 7 : バッファ領域

50

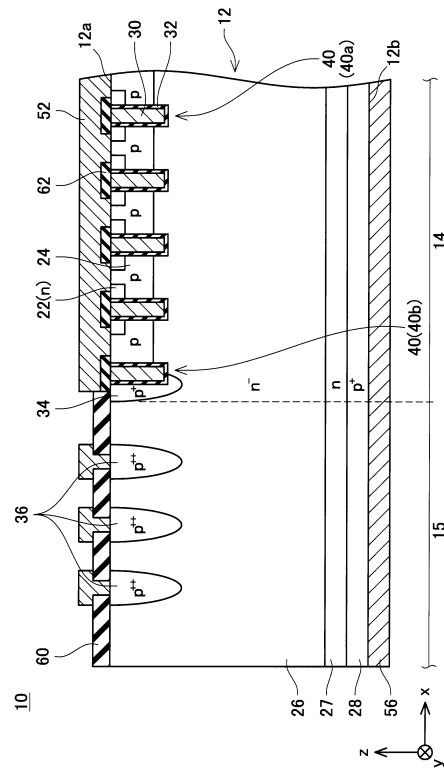
- 28 : コレクタ領域
- 30 : ゲート電極
- 32 : ゲート絶縁膜
- 34 : 外周領域
- 36 : F L R
- 40 : ゲートトレンチ
- 52 : エミッタ電極
- 56 : コレクタ電極
- 60 : 保護絶縁膜
- 62 : 層間絶縁膜

【図面】

【図1】



【図2】



10

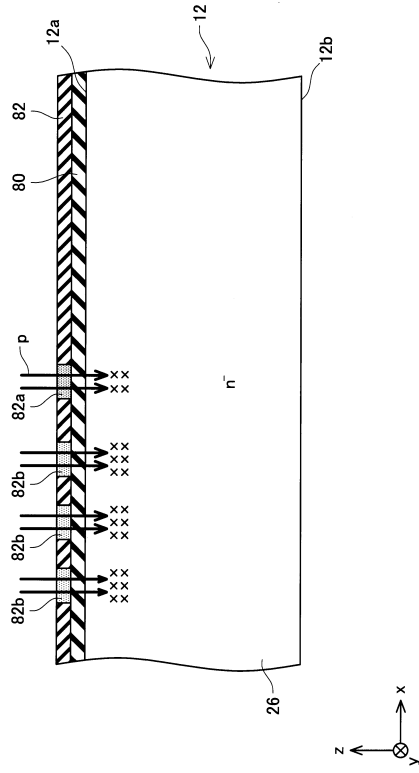
20

30

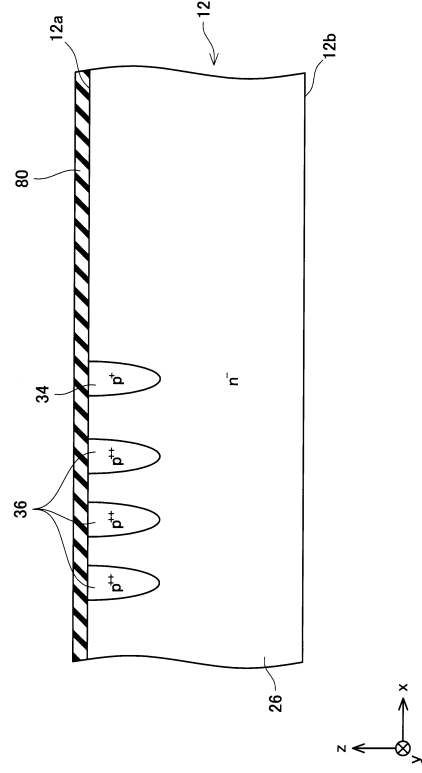
40

50

【図3】



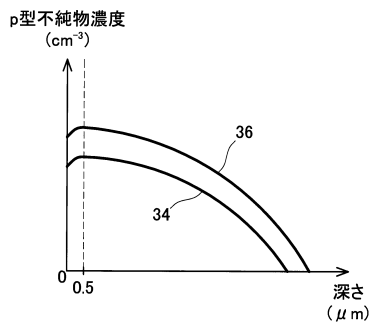
【図4】



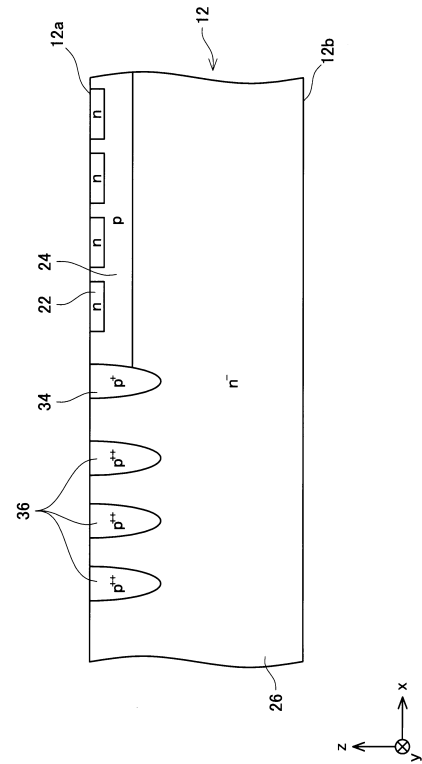
10

20

【図5】



【図6】

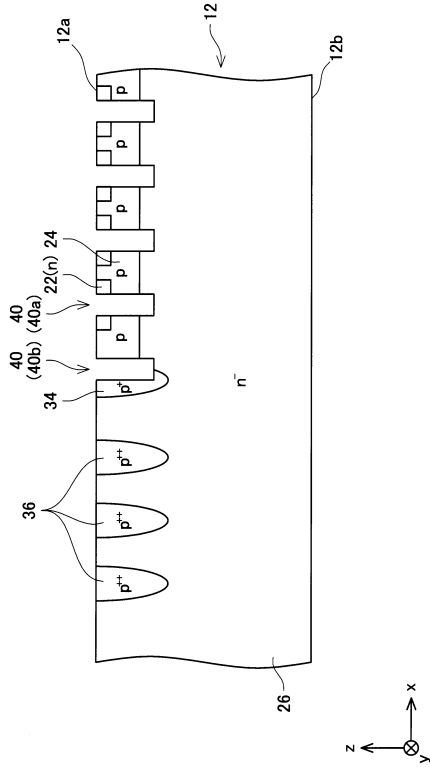


30

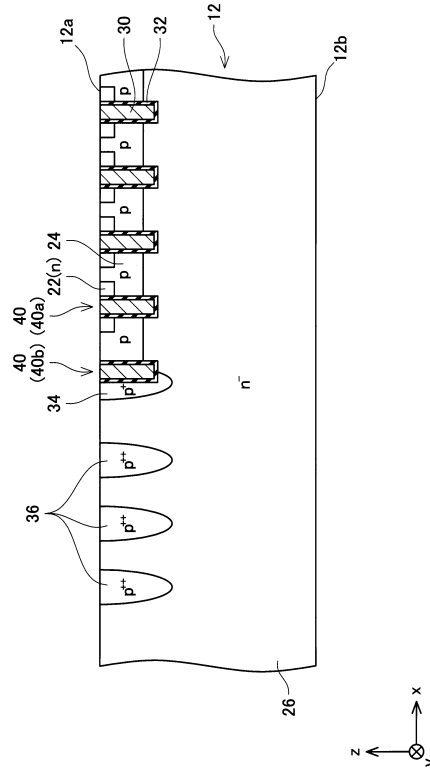
40

50

【 7 】



【 8 】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L	29/78	6 5 5 F
H 0 1 L	29/78	6 5 8 G

(56)参考文献

特開 2 0 1 7 - 1 6 2 9 9 3 (J P , A)

特開 2 0 1 0 - 1 8 6 8 0 5 (J P , A)

特開 2 0 1 0 - 1 6 1 2 4 0 (J P , A)

米国特許出願公開第 2 0 1 5 / 0 1 7 1 1 9 8 (U S , A 1)

(58)調査した分野 (Int.Cl. , D B 名)

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 9 / 0 6

H 0 1 L 2 9 / 7 3 9

H 0 1 L 2 9 / 7 8