

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
H01L 27/04
H01L 27/108

(45) 공고일자 1995년07월26일
(11) 공고번호 특1995-0008248

(21) 출원번호	특 1992-0026700	(65) 공개번호	특 1994-0016764
(22) 출원일자	1992년 12월 30일	(43) 공개일자	1994년 07월 25일
(71) 출원인	현대전자산업주식회사 김주용 경기도 이천군 부발읍 아미리 산 136-1		

(72) 발명자 김대영
경기도 이천군 대월면 사동 2리 327-23 장미APT 3-301
김재갑
경기도 이천군 이천읍 갈산리 606 현대APT 203-206
(74) 대리인 이권희, 서종완

실사관 : 김정옥 (책자공보 제4061호)

(54) 반도체 소자의 캐패시터 제조방법

요약

내용 없음.

대표도

도 1

명세서

[발명의 명칭]

반도체 소자의 캐패시터 제조방법

[도면의 간단한 설명]

제1도 내지 제4도는 본 발명에 의한 반도체 소자의 캐패시터를 형성하는 단계를 나타낸 단면도.

* 도면의 주요부분에 대한 부호의 설명

- 1 : 반도체 기판
- 2 : 소자분리 절연막
- 3 : 소오스
- 3' : 드레인
- 4 : 게이트 산화막
- 5 : 게이트 전극용 워드 라인
- 6 : 제1절연층
- 7 : 제1실리콘층
- 8 : 제2절연층
- 9 : 제1감광막 패턴
- 10 : 제2실리콘층
- 11 : 제2감광막 패턴
- 12 : 저장 전극

[발명의 상세한 설명]

본 발명은 반도체 소자의 캐패시터 제조방법에 관한 것으로, 특히 디램셀의 저장전극의 표면적을 극대화시키는 캐패시터용량을 얻을 수 있는 반도체 소자의 캐패시터를 제조하는 방법에 관한 것이다.

일반적으로 반도체 소자가 고집적화되어 감에 따라 상대적으로 단위셀 면적이 줄어들고, 이로인하여 캐패시터가 차지하는 면적도 줄어든다.

이와같은 좁은 면적에서 반도체 소자의 디램셀 동작에 필요한 캐패시터 용량을 확보하기 위해 한정된 영역에서 최대의 표면적을 갖는 캐패시터가 필요하다.

따라서, 본 발명은 반도체 소자의 캐패시터 제조시 저장전극의 표면적을 제한된 면적내에서 최대로 하여 고속적 용량을 갖는 캐패시터를 제조하는 방법을 제공함에 그 목적이 있다.

이하, 본 발명을 첨부한 도면을 참조하여 상세히 설명하기로 한다.

제1 내지 제4도는 본 발명에 의한 반도체 소자의 캐패시터를 형성하는 단계를 나타낸 단면도이다. 여기서 주지할점은 비트라인 콘택을 도시하지 않았지만 캐패시터 하부나 상부에 형성할 수 있다는 점이다.

제1도는 반도체기판(1)의 일정부분에 소자분리 절연막(2), 게이트 산화막(4), 게이트전극용 위드라인(5), 소오스 및 드레인(3 및 3')을 순차적으로 형성하고, 전체적으로 제1절연층(6)을 형성한 다음 저장전극 콘택마스크(도시 않음)를 이용하여 소오스(3) 상부의 제1절연층(6)을 식각하여 저장전극 콘택홀을 형성하며, 후공정으로 전반적으로 저장전극용 제1실리콘층(7)을 증착한 다음 그 상부에 제2절연층(8)을 형성하고, 상기 제2절연층(8) 상부에 제1저장전극 마스크용 제1감광막패턴(9)을 형성한 상태의 단면도이다.

상기 제1절연층(6)과 제2절연층(8)은 그 식각비가 높은 물질로 이루어져야 한다.

제2도는 상기 제1감광막패턴(9)을 마스크로 하여 제2절연층(8)의 노출된 부분을 비등방성 식각으로 수직하게 하부의 제1실리콘층(7)이 노출될때 까지 식각한 후, 다시 등방성 식각으로 제1실리콘층(7)의 노출된 부분과 패턴된 제2절연층(8)의 하부 일정부분까지 제1실리콘층(7)을 식각한 다음, 상기 제1감광막 패턴(9)을 제거한 상태의 단면도이다.

상기 제1실리콘층(7)의 등방성 식각은 SF₆ 개스로 사용하는 건식방법 또는 제1 및 2절연층(6 및 8)과 제1실리콘층(7)의 식각비율이 다르되 제1실리콘층(7)이 빨리 식각되도록 한 습식방법으로 가능하다.

제3도는 상기 제2도 공정후 전반적으로 저장전극용 제2실리콘층(10)을 소정의 두께로 증착하고, 그 상부에 제2저장전극 마스크용 제2감광막패턴(11)을 형성한 상태의 단면도이다.

상기 제2저장전극 마스크는 상기 제1감광막패턴(9)을 형성하기 위한 제1저장전극 마스크와 동일크기의 마스크를 사용할 수 있으나, 제2감광막패턴(11)을 형성할 때 제1도의 마스크정렬(align)때보다 약간 좌, 우로 마스크를 이동시켜 제2감광막패턴(11)을 형성한다.

제4도는 상기 제2감광막패턴(11)을 마스크로 하여 노출된 제2실리콘층(10)을 식각하여 제1 및 제2절연층(6 및 8)이 노출되게 한다음, 상기 제2감광막패턴(11)을 제거하고, 노출된 제2절연층(8) 뿐만 아니라 제1 및 2실리콘층(7 및 10)으로 둘러싸인 제2절연층(8)을 등방성 식각방식으로 완전히 제거함으로써, 핀(Fin)구조보다 표면적인 증대된 저장전극을 형성시킨 상태의 단면도이다.

상기 제2절연층(9)을 등방성 식각방식에 의해 제거할때 노출된 제1절연층(6)이 식각되어 반도체 소자의 신뢰도를 저하시킬 수 있으므로 제2절연층(8)과 제1절연층(6)은 그 식각비율이 차이가 나는 물질이어야 한다.

상술한 바와 같이 본 발명은 핀구조 보다 표면적을 증대시킨 저장전극을 형성한 후, 그 표면에 유전체 및 플레이트 전극을 형성하여 캐패시터를 제조함으로써, 캐패시터의 축전용량을 제한된 면적내에서 크게 확보할 수 있다.

(57) 청구의 범위

청구항 1

반도체 소자의 캐패시터 제조방법에 있어서, 반도체 기판상에 위드라인용 게이트 전극을 포함하는 트랜지스터를 형성하고 그 상부에 전면적으로 제1절연층(6)을 형성한 다음, 예정된 부분의 제1절연층(6)을 제거하여 저장전극용 콘택홀을 형성하고, 전체구조 상부에 저장전극용 제1실리콘층(7)을 증착한 다음, 그 상부에 제2절연층(9)을 형성하는 단계와, 상기 제2절연층(8) 상부에 제1저장전극 마스크용 제1감광막패턴(8)을 형성하는 단계와, 상기 제1감광막패턴(9)을 마스크로 하여 제2절연층(8)의 노출된 부위를 비등방성 식각방식으로 하부의 제1실리콘층(7)이 노출될때까지 식각한후, 다시 등방성 식각방식으로 상기 노출된 제1실리콘층(7)뿐만 아니라 패턴된 제2절연층(8) 하부의 일정부분까지 제1실리콘층(7)을 식각 한 다음, 상기 제1감광막패턴(9)을 제거하는 단계와, 상기 전체구조 상부에 저장전극용 제2실리콘층(10)을 소정의 두께로 증착한 다음, 그 상부에 제2저장전극 마스크용 제2감광막패턴(11)을 제2실리콘층(10)의 상부면 일정부분이 노출되도록 형성하는 단계와, 상기 제2감광막패턴(11)을 마스크로 하여 노출된 제2실리콘층(10)을 식각하여 제1 및 제2절연층(6 및 8)이 노출되게 한다음, 상기 노출된 제2절연층(8) 뿐만 아니라 제1 및 2실리콘층(7 및 10)으로 둘러싸인 제2절연층(8)을 등방성 식각방식으로 완전히 제거하여 상기 제1 및 2실리콘층(7 및 10)사이에서 공간이 형성된 핀구조의 저장전극(12)을 형성하는 단계를 포함하는 것을 특징으로 하는 캐패시터 제조방법.

청구항 2

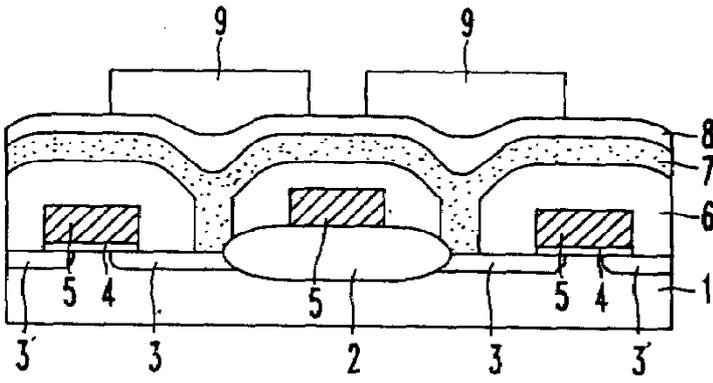
제1항에 있어서, 상기 제1절연층(6)의 식각비가 상기 제2절연층(8)의 식각비보다 큰 것을 특징으로 하는 캐패시터 제조방법.

청구항 3

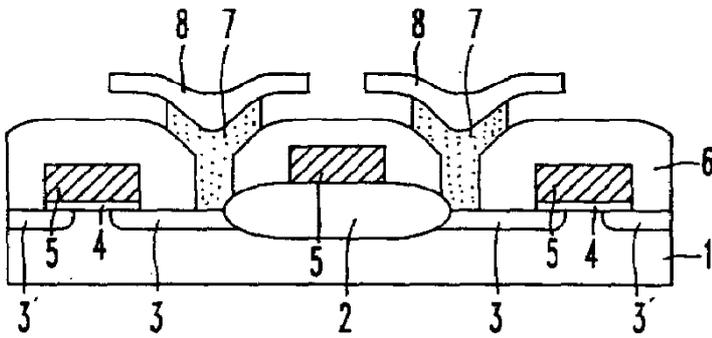
제1항에 있어서, 상기 제2저장전극 마스크는 제2저장전극 마스크와 동일한 것을 사용하되, 마스크 정렬시 좌, 우로 약간 이동시켜 배열시키는 것을 특징으로 하는 캐패시터 제조방법.

도면

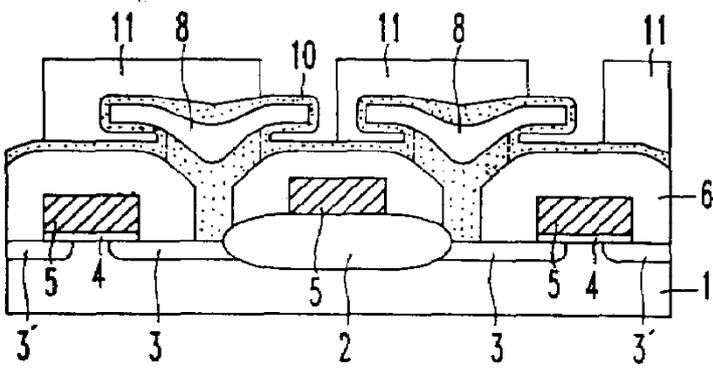
도면1



도면2



도면3



도면4

