

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-15438
(P2012-15438A)

(43) 公開日 平成24年1月19日(2012.1.19)

(51) Int.Cl. F I テーマコード(参考)
H O 1 L 33/60 (2010.01) H O 1 L 33/00 4 3 2 5 F O 4 1

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21) 出願番号 特願2010-152764 (P2010-152764)
(22) 出願日 平成22年7月5日(2010.7.5)

(71) 出願人 000001960
シチズンホールディングス株式会社
東京都西東京市田無町六丁目1番12号
(71) 出願人 000131430
シチズン電子株式会社
山梨県富士吉田市上暮地1丁目2番1号
(74) 代理人 100126583
弁理士 官島 明
(74) 代理人 100100871
弁理士 土屋 繁
(72) 発明者 今津 健二
山梨県富士吉田市上暮地1丁目2番1号
シチズン電子株式会社内
Fターム(参考) 5F041 AA03 CA04 CA13 CA40 DA04
DA09 DA20 DA43 DA83

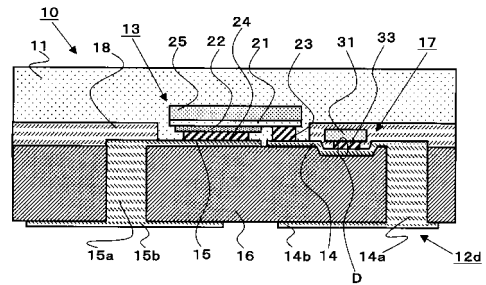
(54) 【発明の名称】 半導体発光装置

(57) 【要約】

【課題】熱伝導性や生産性、実装面積に対するメリットから回路基板上にLED素子とともに、静電気による破壊を防止するためのツェナーダイオードをフリップチップ実装することがある。このときツェナーダイオードの反射率が低いためLED装置の発光効率が低下する。

【解決手段】回路基板12の上面にLED素子13をフリップチップ実装するとともに、回路基板12の上面に設けられた凹部にツェナーダイオード17をフリップチップ実装し、白インク18で回路基板12の上面とともにツェナーダイオード17を覆う。この結果、ツェナーダイオード17による反射損失がなくなるのでLED装置10の発光効率が改善する。

【選択図】 図8



【特許請求の範囲】

【請求項 1】

回路基板上に半導体発光素子とともに保護素子がフリップチップ実装される半導体発光装置において、

前記半導体発光素子と前記保護素子が前記回路基板の電極と接続するためのバンプを備え、

前記回路基板が凹部を有し、該凹部に前記保護素子が配置され、該保護素子を白インクで覆うことを特徴とする半導体発光装置。

【請求項 2】

前記回路基板の実装面において前記回路基板と前記半導体発光素子の電極同士が接続する領域に導電性のポストを備えることを特徴とする請求項 1 に記載の半導体発光装置。

10

【請求項 3】

前記バンプが電解メッキ法で形成した金バンプであり、前記回路基板の電極と金錫共晶で接合することを特徴とする請求項 1 又は 2 のいずれか一項に記載の半導体発光装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、回路基板上に半導体発光素子と保護素子とがともにフリップチップ実装される半導体発光装置に関する。

20

【背景技術】

【0002】

半導体発光装置（以後とくに断らない限り LED 装置と呼ぶ）は熱伝導性や生産性、実装面積効率などを改善するため半導体発光素子（以後とくに断らない限り LED 素子と呼ぶ）をフリップチップ実装することがある。また LED 装置は、発光効率を改善するため LED 素子が実装された回路基板の表面に反射性微粒子とバインダーを混練した白インクを塗布することがある。例えば、フリップチップ実装ではないが、特許文献 1 の図 7 及び段落（0020）には、白色系の樹脂からなる反射膜 30（白インク）により発光素子 14（LED 素子）から発せられる光を上方に向けて反射させることができる発光ダイオード 11（LED 装置）が記載されている。

30

【0003】

発光効率の改善とは別に LED 装置は静電気や高電圧サージによる LED 素子の破壊が課題になっている。このため LED 装置にツェナーダイオード等の保護素子を備えることがある。ところが保護素子は反射率が低いため LED 素子に隣接させると LED 装置の発光効率を低下させてしまう。この課題に加え実装領域が負担となるため回路基板の裏側や反射カップの内側に保護素子を実装することが提案されている。例えば特許文献 2 には絶縁基板（回路基板）の上面に LED チップ（LED 素子）を実装し、下面にツェナーダイオードチップを実装して実装領域の課題解決を図っている。特に図 3 には、フェースダウンボンディング（フリップチップ実装）で絶縁基板 10 の上面に LED チップ 3 を実装し、絶縁基板 10 の下面に形成した凹部にツェナーダイオードチップ 5 をワイヤーボンディング実装した様子が示されている。

40

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2009 - 176847 号公報（図 7，（0020））

【特許文献 2】特開 2001 - 36140 号公報（図 3）

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献 2 のように回路基板の裏面に保護素子を設ける LED 装置は、回路基板が厚く

50

なったり、その形状が複雑になったりする。また回路基板の両面にそれぞれLED素子と保護素子を実装するので製造工程が煩瑣になる。フリップチップ実装は実装面積効率が良いことから、生産性を鑑みると回路基板の同一面上にLED素子と保護素子をフリップチップ実装することが好ましいが、保護素子の実装領域が暗くなるという課題が残る。また反射カップのように保護素子を隠す部材を備えないLED装置も多い。そこで本発明は、この課題に鑑みてなされたものであり、回路基板の同一面上に半導体発光素子と保護素子とともにフリップチップ実装しても、保護素子による発光効率の低下のない半導体発光装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

上記課題を解決するため本発明は、回路基板上に半導体発光素子とともに保護素子がフリップチップ実装される半導体発光装置において、

前記半導体発光素子と前記保護素子が前記回路基板の電極と接続するためのバンプを備え、

前記回路基板が凹部を有し、該凹部に前記保護素子が配置され、該保護素子を白インクで覆うことを特徴とする。

【0007】

前記回路基板の実装面において前記回路基板と前記半導体発光素子の電極同士が接続する領域に導電性のポストを備えることが好ましい。

【0008】

前記バンプが電解メッキ法で形成した金バンプであり、前記回路基板の電極と金錫共晶で接合することが好ましい。

【発明の効果】

【0009】

本発明の半導体発光装置は、熱伝導性や生産性、実装面積効率が優れているフリップチップ実装を採用しても、回路基板に凹部を設け、保護素子をこの凹部に配置し白インクで埋設しているので、保護素子による発光効率の低下がなくなるという効果を発揮する。

【図面の簡単な説明】

【0010】

【図1】本発明の第1実施形態におけるLED装置の斜視図。

【図2】図1のLED装置の斜視図。

【図3】図2のLED装置の回路図。

【図4】図2のLED素子をバンプ面から見た平面図。

【図5】図2のLED素子の断面図。

【図6】図3のツェナーダイオードをバンプ面から見た平面図。

【図7】図3のツェナーダイオードの断面図。

【図8】図1のLED装置の断面図。

【図9】図8のDで示す領域の拡大図。

【図10】図1のLED装置を製造するための説明図。

【図11】図10で用いた集合基板の平面図。

【図12】本発明の第2実施形態におけるLED装置の断面図。

【図13】図12のLED装置を製造するための説明図。

【発明を実施するための形態】

【0011】

以下、添付図1～13を参照しながら本発明の好適な実施形態について詳細に説明する。なお図面の説明において、同一または相当要素には同一の符号を付し、重複する説明は省略する。また説明のため部材の縮尺は適宜変更している。

(第1実施形態)

【0012】

添付図1～11を参照して本発明の第1実施形態を詳細に説明する。図1は本実施形態

10

20

30

40

50

のLED装置（半導体発光装置）の外観を説明するために描いたLED装置10の斜視図である。LED装置10は回路基板12の上に蛍光体を含む樹脂層11が積層している。樹脂層11は蛍光体を含むシリコン樹脂からなる。

【0013】

図2により図1のLED装置10に実装されたLED素子13とツェナーダイオードの実装状況を概説する。図2は図1のLED装置10から樹脂層11を剥がしとった状態のLED装置20の斜視図である。図2に示すように回路基板12上に白インク18が塗布されている。白インク18はLED素子13の周囲に開口部18bがある。ツェナーダイオードは白インクに埋設されているため図示していないが、図中LED素子13に隣接し奥側に配置されている。また回路基板12の上面には-電極（図示せず）と+電極（図示せず）が形成されており、LED素子13のn側パンプ（カソード電極、図示せず）及びp側パンプ（アノード電極、図示せず）、並びにツェナーダイオードの二つのパンプ（図示せず）がそれぞれ-電極と+電極に接続している。

10

【0014】

図3によりLED装置20の回路を説明する。図3はLED装置20の回路図である。LED素子13のアノード及びカソードはそれぞれ+電極15及び-電極14と接続する。ツェナーダイオード17は、LED素子13の順方向（図の左から右）を向くツェナーダイオード素子17aと逆方向を向くツェナーダイオード素子17bがカソード同士を接続するようにして向かい合ったものであり、ツェナーダイオード素子17a及びツェナーダイオード素子17bのアノードはそれぞれ+電極15及び-電極14と接続する。なおツェナーダイオード17は、たまたま現在生産されているウェハーをフリップチップに流用したため2素子構造となってしまったものである。フリップチップ実装専用のウェハーを起こせば逆方向のツェナーダイオード素子17bだけで済むようになり、このときは+電極15とツェナーダイオード素子17bのカソードが接続する。

20

【0015】

図3において、-電極14に+方向の大きなサージが入ると、サージ電流は、まずツェナーダイオード素子17b、次にツェナーダイオード素子17aを経由して+電極15に抜ける。+電極15に-方向の大きなサージが入る場合も同様である。このようにしてLED素子13はサージ（静電気も含む）から守られる。

【0016】

図4によりLED素子13の電極面を説明する。図4はLED素子13を電極面側から眺めた平面図である。n型半導体層21は、上層にあるp型半導体層22から一部分が露出している。n側パンプ23はn型半導体層21に接続し、p側パンプ24はp型半導体層22に接続している。なおn側パンプ23はp側パンプ24より平面積が小さく、n側パンプ23およびp側パンプ24は電解メッキ法で形成した金パンプである。

30

【0017】

図5によりLED素子13の断面を説明する。図5は図4のB-B線に沿ったLED素子13の断面図である。なおn側パンプ23とp側パンプ24が同時に図示できるように図4ではB-B線を曲げている。図5に示すようにサファイア基板25の下にn型半導体層21があり、さらにn型半導体層21の下面にはp型半導体層22がある。n型半導体層21とp型半導体層22にはそれぞれn側パンプ23とp側パンプ24が付着している。サファイア基板25は厚さが200~300 μm 、n型半導体層21は厚さが5 μm 程度、p型半導体層22は厚みが1 μm 程度であり、n側パンプ及びp側パンプ23, 24は厚さが10~30 μm である。発光層（図示せず）は、n型半導体層21とp型半導体層22の境界部にあり、平面的な形状は概ねp型半導体層22に等しい。

40

【0018】

図6によりツェナーダイオード17の電極面を説明する。図6はツェナーダイオード17を電極面側から眺めた平面図である。保護膜36上には図3で述べた-電極14及び+電極15（図示せず）と接続するパンプ33及びパンプ34がある。ツェナーダイオード17は、2個のツェナーダイオード素子17a, 17bが向かい合ったものなのでパンプ

50

33, バンプ34が特性上の違いを持たないにもかかわらず、ダイオードの一種であることを示すため便宜上バンプ33, 34の大きさを変えている。

【0019】

図7によりツェナーダイオード17の断面を説明する。図7は図6のC-C線に沿ったツェナーダイオード17の断面図である。n型のSi基板31の下部に二つのp型半導体領域32a, 32bがある。Si基板31及びp型半導体領域32a, 32bの下面を覆う保護膜36は、p型半導体領域32a, 32bに開口部があり、それぞれの開口部32a, 32bはアルミ電極35a, 35bで覆われている。このアルミ電極35a, 35bにはそれぞれバンプ34, 33が接続している。

【0020】

図8によりLED装置10の積層構造を説明する。図8は、図2のA-A線に沿うようにして描いた図1のLED装置10の断面図である。なおLED素子13のn及びp側バンプ23, 24とツェナーダイオード17のバンプ33と回路基板12のスルーホール14a, 15aを同時に図示できるように図2においてA-A線を屈曲させた。またLED素子13の断面は図5と同じものであり、ツェナーダイオード17の断面は図7より簡略化している。

【0021】

回路基板12は板材16と-及び+電極14, 15、スルーホール電極14a, 15a、出力電極14b, 15bからなっている。板材16の上面に形成された-電極14及び+電極15は、マザー基板(図示せず)の電極と接続するため板材16の下面に形成された出力電極14b, 15bとそれぞれスルーホール14a, 15aで接続している。また回路基板12には凹部があり、その凹部に-電極14と+電極15(図示せず)が設けられている。ツェナーダイオード17は凹部においてフリップチップ実装され、バンプ33, 34(図示せず)がそれぞれ-及び+電極14, 15と接続している。LED素子13もフリップチップ実装され、n側バンプ23及びp側バンプ24がそれぞれ-及び+電極14, 15と接続している。白インク18は、LED素子13の実装領域を除き、ツェナーダイオード17の実装領域(凹部)を含む回路基板12の上面全体を覆っている。蛍光体を含む樹脂層11は白インク18、LED素子13、及びLED素子13の周囲を覆っている。

【0022】

回路基板12の板材16は厚さが300 μ mでアルミナからなる。-及び+電極14, 15と出力電極14b, 15bは厚さが10 μ m程度でニッケルと金を積層した銅箔である。スルーホール14a, 15aは直径が200 μ mで銅ペーストが充填されている。凹部は深さが200 μ m程度で周囲が斜面になっている。白インク18は、酸化チタンの微粒子とオルガノポリシロキサン或いはシリコン樹脂からなるバインダーを混練したもので、ツェナーダイオード17の上面部の厚さが30 μ m以上になるように塗布されている。樹脂層11は厚さが400 μ m程度でシリコンからなる。

【0023】

図9により回路基板12からツェナーダイオード17のp型半導体領域32bに至る積層構造を詳細に説明する。図9は図8のDで囲んだ領域の拡大図である。回路基板12の板材16上には、-電極14、金錫共晶層33c、金バンプ部33b、UBM(アンダーバンプメタル)層33a、アルミ電極35b、p型半導体領域32bが積層している。バンプ33は、金錫共晶層33c、金バンプ部33b、UBM層33aの積層物である。金錫共晶層33cは厚さが2~3 μ mでバンプ33と-電極14を接合する。金錫共晶接合は融点を300~420に設定できるため、250前後のリフロー温度でLED装置10をマザー基板に実装するときに、共晶接合部が固体のまま維持されることから有利な接合法である。金バンプ部33bは厚さが10~30 μ mである。UBM層33aは、ウェハー状態で金バンプ部33bを電解メッキ法により形成するときの共通電極(メッキ電極ともいう)がバンプ33(及びバンプ34)同士を分離する際に残ったものであり、厚さが0.3 μ mで、TiWとAuの2層構造になっている。またアルミ電極35bは厚

10

20

30

40

50

さが 1 μm 程度である。

【 0 0 2 4 】

図 1 0 により本実施形態の LED 装置 1 0 の製造方法を説明する。図 1 0 は本実施形態の LED 装置 1 0 を製造する工程の説明図である。(a) は粘着シート 4 1 の下面に接着した多数のツェナーダイオード 1 7 を集合基板 4 2 の電極と位置合わせする工程を示している。粘着シート 4 1 下面においてツェナーダイオード 1 7 は予め集合基板 4 2 の電極ピッチに合わせて配列している。集合基板 4 2 には切断分離すると回路基板となる回路基板領域が多数配列しており、各回路基板領域には凹部や、- 及び + 電極 1 4 , 1 5、スルーホール 1 4 a , 1 5 a (図示せず)、出力電極 1 4 b , 1 5 b (図示せず) が形成されている。(b) はツェナーダイオード 1 7 を集合基板 4 2 の電極と接合する工程を示している。位置合わせが完了したら集合基板 4 2 を加熱台 4 4 上に載せ、ヘッド 4 3 で粘着シート 4 1 の上から加圧する。ヘッド 4 3 で集合基板 4 2 を固定したら接合部が 3 0 0 よりやや高い温度を数秒維持できるように加熱台 4 4 の温度を上昇させる。加熱が終わり集合基板 4 2 が冷却したら加圧を止め集合基板 4 2 を取り出す。(c) は粘着シート 4 1 を剥がす工程を示している。粘着シート 4 1 は加熱により粘着力を失うようにしてあるので集合基板 4 2 から簡単に粘着シート 4 1 を剥がすことができる。(d) はメタルマスク (図示せず) を用いた印刷法により集合基板 4 2 上に白インク 1 8 を塗布する工程を示している。(e) は (a) と同様に多数の LED 素子 1 3 を粘着シート 4 5 に配置し集合基板 4 2 の電極と位置合わせする工程を示している。(f) は (b) と同様に多数の LED 素子 1 3 を接合する工程を示している。(g) は (c) と同様に粘着シート 4 5 を剥がす工程を示している。(h) は集合基板 4 2 上に樹脂層 1 1 d を形成する工程を示している。LED 素子 1 3 及びツェナーダイオード 1 7 が接合した集合基板 4 2 を金型に装填し、集合基板 4 2 を樹脂で覆ってから金型とともに樹脂を加熱し硬化させる。(i) はダイシング機により集合基板 4 2 を切断し、個片化して LED 装置 1 0 を得る工程を示している。

【 0 0 2 5 】

図 1 1 により、図 1 0 (a) の状態にある集合基板 4 2 について説明する。図 1 1 は集合基板 4 2 の一部分を拡大した平面図である。集合基板 4 2 には点線で示した切断線 4 8 があり、切断線 4 8 により囲まれた領域が回路基板領域である。図 1 0 (i) の個片化する工程において切断線 4 8 で個々の回路基板領域が分割される。各回路基板領域には、- 及び + 電極 1 4 , 1 5 が形成されている。同様に各領域には出力電極 1 4 b , 1 5 b (図示せず) とスルーホール 1 4 a , 1 5 a (図示せず) も形成されている。参考のためひとつの回路基板領域に、凹部 4 9 (実線) と、LED 素子 1 3 とツェナーダイオード 1 7 が実装される領域 1 3 a , 1 7 c (点線で囲んだ白抜きの図形) を示した。

【 0 0 2 6 】

電解メッキ法は厚みの制御が容易であり、底面が概ね平面となる。例えば、LED 素子 1 3 の n 側及び p 側パンプ 2 3 , 2 4 よりもツェナーダイオード 1 7 のパンプ 3 3 , 3 4 を薄くすれば、ツェナーダイオード 1 7 の上面を容易に下げられる。パンプ 3 3 , 3 4 のコアとなる部材は金に限らず半田や銅、アルミニウムなど他の金属材料であっても良い。金パンプであれば前述のように金錫共晶による接合が適用できるのでリフロー時の安定性が保証される。

【 0 0 2 7 】

本実施形態では図 8 に示されるように LED 素子 1 3 とツェナーダイオード 1 7 が隣接している。従来はツェナーダイオードの裏面の反射率が低く、ツェナーダイオードの実装領域が暗くなっていたため、ツェナーダイオードを LED 素子から遠く離れた位置に配置することがあった。これは静電気による破壊に対し LED 装置を弱くする要因となっていた。いっぽう本実施形態は、ツェナーダイオード 1 7 の実装領域に暗い部分が生じなかったことで LED 素子 1 3 とツェナーダイオード 1 7 を近接させることが可能となり、静電耐圧が向上するという副次的な効果も現れた。

(第 2 実施形態)

【 0 0 2 8 】

10

20

30

40

50

添付図 1 2 , 1 3 を参照しながら、本発明の第 2 実施形態について詳細に説明する。LED 装置の外観、回路基板 1 2、回路、LED 素子 1 3 及びツェナーダイオード 1 7 は第 1 実施形態と等しい。なお説明のなかでサフィックスをつけて第 2 実施形態であることを明示している部分がある。

【 0 0 2 9 】

図 1 2 により本実施形態の LED 装置 1 0 a (サフィックス変更) の断面を説明する。図 1 2 も図 2 の A - A 線に沿うようにして描いた LED 装置 1 0 a の断面図である (なお本実施形態は開口部 1 8 b (図 2) が無い) 。回路基板 1 2 は、LED 素子 1 3 の n 側及び p 側パンプ 2 3 , 2 4 と - 及び + 電極 1 4 , 1 5 の間に金からなる柱状の配線 (以後ポストと呼ぶ) 5 1 , 5 2 を備えている。白インク 1 8 a はポスト 5 1 , 5 2 を除き、ツェナーダイオード 1 7 d の実装領域を含む回路基板 1 2 上面に塗布されており、その上面とポスト 5 1 , 5 2 の上面は高さが等しい。ポスト 5 1 , 5 2 は高さが数十 μ m 程度であり、金以外に銅などでも良い。ツェナーダイオード 1 7 d は第 1 実施形態におけるツェナーダイオード 1 7 よりもポスト 5 1 , 5 2 の分、Si 基板 3 1 a ないしパンプ 3 3 a を厚くできる。とくに Si 基板 3 1 a を厚く出来ることは加工を容易にする。樹脂層 1 1 は白インク 1 8 a と LED 素子 1 3 を覆っている。

10

【 0 0 3 0 】

図 1 3 により本実施形態の LED 装置 1 0 a の製造方法を説明する。図 1 3 は本実施形態の LED 装置 1 0 a を製造する工程の説明図である。(a) のツェナーダイオード 1 7 d と集合基板 4 2 の電極とを置合わせする工程、(b) のツェナーダイオード 1 7 d を集合基板 4 2 の電極の接合する工程は、第 1 実施形態と同等である。(c) は粘着シート 4 1 を剥がし、電解メッキ法でポスト 5 1 , 5 2 を形成する工程を示している。電解メッキ法は以下ようになる。先ず回路基板 1 2 の上面全体にスパッタ法で共通電極を形成してから、ポスト 5 1 , 5 2 を形成する領域が開いたレジスト膜を形成する。その後回路基板 1 2 を電解液に浸し、通電してポスト 5 1 , 5 2 を成長させる。最後にレジストを除去し、ポスト 5 1 , 5 2 をエッチングマスクとして共通電極を除去する。(d) は集合基板 4 2 上に白インク 1 8 a を形成する工程を示している。まずポスト 5 1 , 5 2 が覆われるまで白インク 1 8 a を集合基板 4 2 上面に塗布する。白インク 1 8 a を硬化させたらポスト 5 1 , 5 2 の上面が現れるまで白インク 1 8 a を研磨する。(e) ~ (i) の工程は第 1 実施形態と同等である。

20

30

【 0 0 3 1 】

本実施形態の LED 装置 1 0 a は白インク 1 8 a と LED 素子 1 3 の周囲に隙間がないため、第 1 実施形態の LED 装置 1 0 に比べ反射領域が大きくなっている。このことから第 1 実施形態の LED 装置 1 0 よりも発光効率が向上する。また白インク 1 8 a が LED 素子 1 3 c の底面側に存在しているため、LED 素子 1 3 の底面から回路基板 1 2 方向に出射する光を白インク 1 8 a が遮る。この遮光作用より第 1 実施形態の場合より樹脂など光で劣化する材料がさらに使い易くなる。

【 符号の説明 】

【 0 0 3 2 】

- 1 0 , 1 0 a ... LED 装置 (半導体発光装置) 、
- 1 1 ... 樹脂層、
- 1 2 ... 回路基板、
- 1 3 ... LED 素子 (半導体発光素子) 、
- 1 3 a ... LED 素子の実装領域、
- 1 4 ... - 電極、
- 1 4 a , 1 5 a ... スルーホール、
- 1 4 b , 1 5 b ... 出力電極、
- 1 5 ... + 電極、
- 1 6 ... 板材、
- 1 7 , 1 7 d ... ツェナーダイオード (保護素子) 、

40

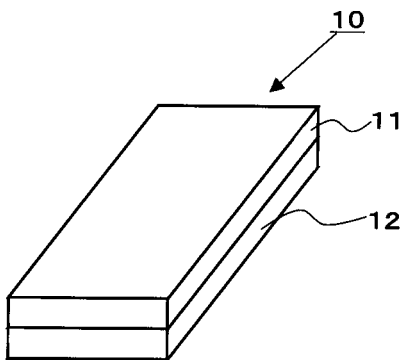
50

- 17 a , 17 b ... ツェナーダイオード素子
- 17 c ... ツェナーダイオードの実装領域、
- 18 ... 白インク、
- 18 b ... 開口部、
- 21 ... n 型半導体層、
- 22 ... p 型半導体層、
- 23 ... n 側バンプ、
- 24 ... p 側バンプ、
- 25 ... サファイア基板、
- 31 , 31 a ... Si 基板、
- 32 a , 32 b ... p 型半導体領域、
- 33 , 34 ... バンプ、
- 33 a ... 金錫共晶層、
- 33 b ... 金バンプ部、
- 33 c ... UBM 層、
- 35 a、35 b ... アルミ電極、
- 36 ... 保護膜、
- 41 , 45 ... 粘着シート、
- 42 ... 集合基板、
- 43 , 46 ... ヘッド、
- 44 , 47 ... 加熱台、
- 48 ... 切断線、
- 49 ... 凹部、
- 51 , 52 ... ポスト。

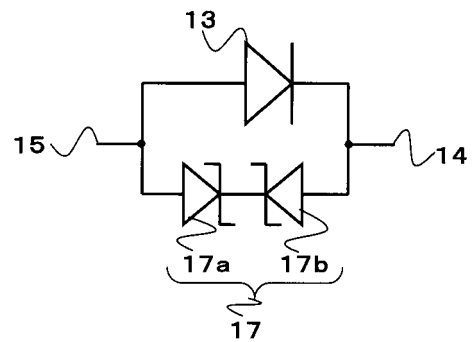
10

20

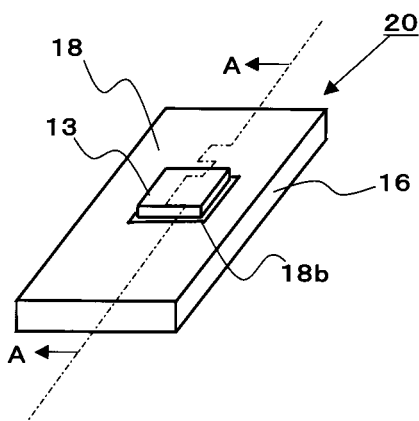
【 図 1 】



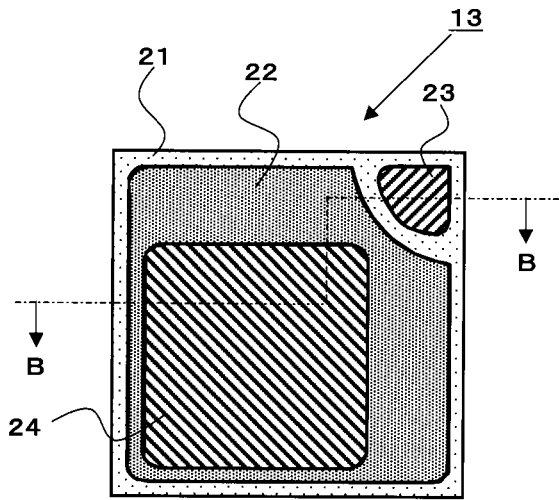
【 図 3 】



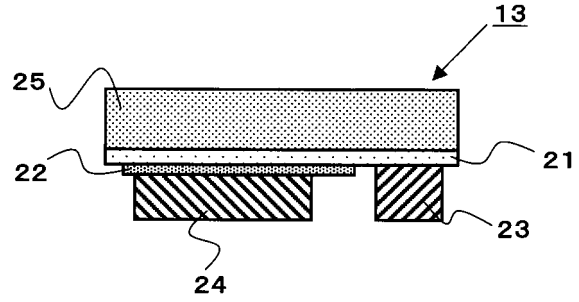
【 図 2 】



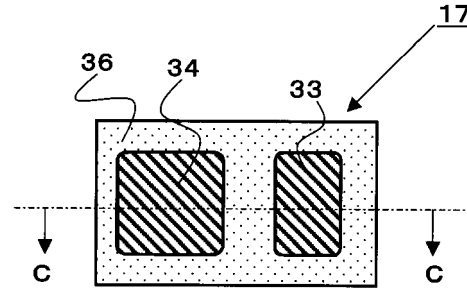
【 図 4 】



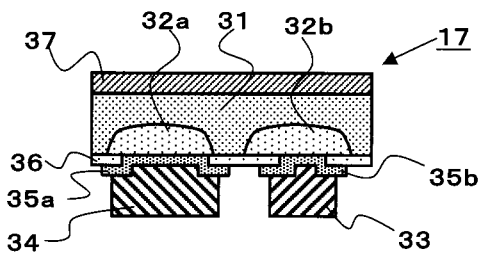
【 図 5 】



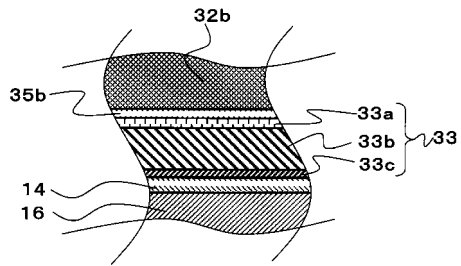
【 図 6 】



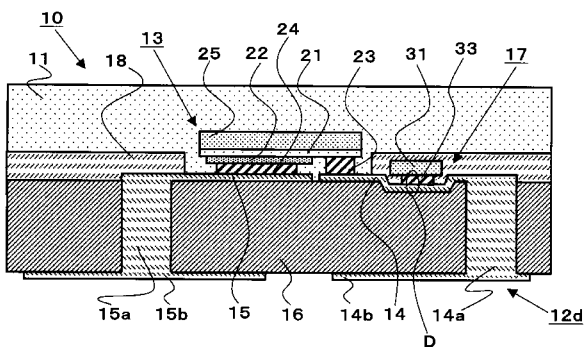
【 図 7 】



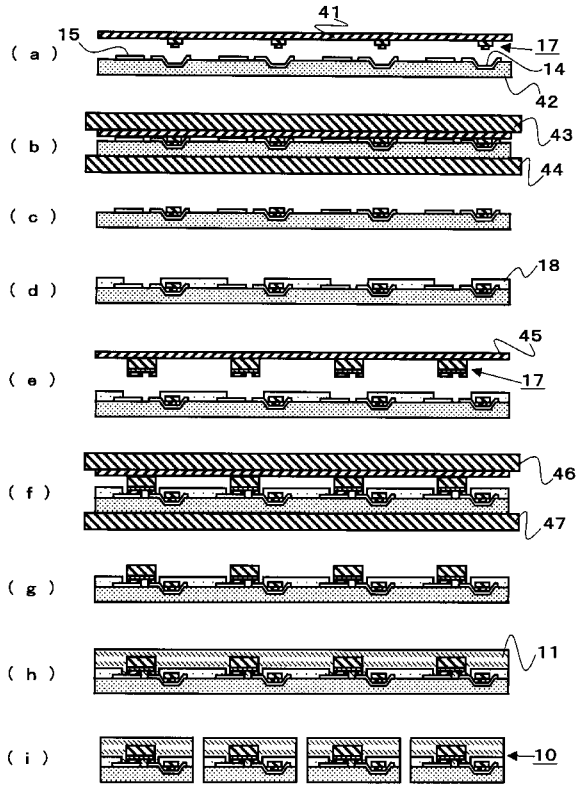
【 図 9 】



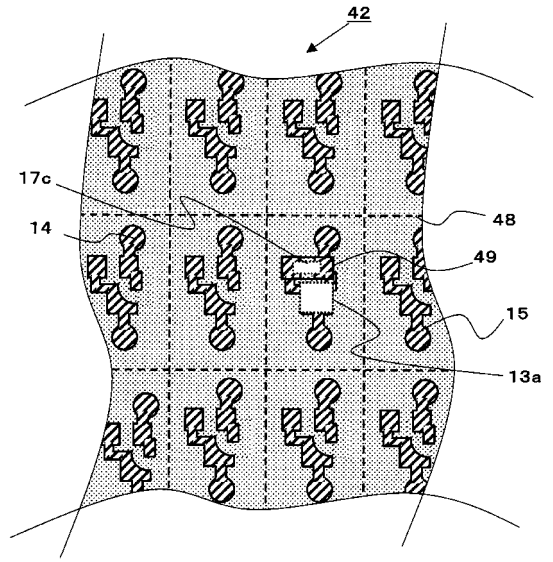
【 図 8 】



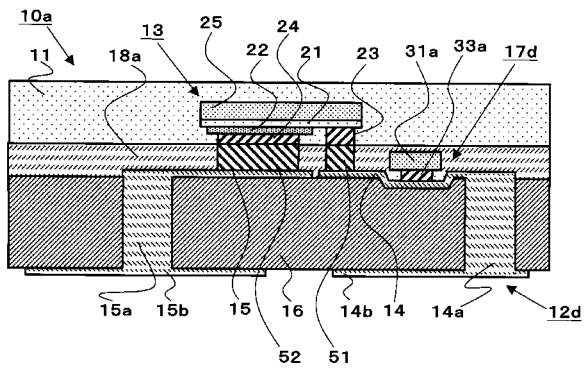
【図10】



【図11】



【図12】



【図13】

