

公告本

申請日期	85.7.29.
案 號	85109306
類 別	H01L 21/31

Int. Cl.

(以上各欄由本局填註)

A4
C4
305038

305038

發 明 專 利 說 明 書									
一、發明 名稱	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 15%; text-align: center;">中 文</td> <td>半導體、半導體基板表面之氧化膜的形成方法</td> </tr> <tr> <td style="text-align: center;">英 文</td> <td></td> </tr> </table>	中 文	半導體、半導體基板表面之氧化膜的形成方法	英 文					
中 文	半導體、半導體基板表面之氧化膜的形成方法								
英 文									
二、發明 創作人	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 15%; text-align: center;">姓 名</td> <td>1. 小林 光 2. 米田 健司 3. 名村 高</td> </tr> <tr> <td style="text-align: center;">國 籍</td> <td>日 本</td> </tr> <tr> <td style="text-align: center;">住、居所</td> <td>1. 日本國京都府京都市東山區本町9丁目106號 2. 日本國京都府京都市南區久世上久世町139-2號 日光住宅南桂514號 3. 日本國京都府京都市左京區下鴨中川原4鴨住宅101號</td> </tr> </table>	姓 名	1. 小林 光 2. 米田 健司 3. 名村 高	國 籍	日 本	住、居所	1. 日本國京都府京都市東山區本町9丁目106號 2. 日本國京都府京都市南區久世上久世町139-2號 日光住宅南桂514號 3. 日本國京都府京都市左京區下鴨中川原4鴨住宅101號		
姓 名	1. 小林 光 2. 米田 健司 3. 名村 高								
國 籍	日 本								
住、居所	1. 日本國京都府京都市東山區本町9丁目106號 2. 日本國京都府京都市南區久世上久世町139-2號 日光住宅南桂514號 3. 日本國京都府京都市左京區下鴨中川原4鴨住宅101號								
三、申請人	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 15%; text-align: center;">姓 名 (名稱)</td> <td>1. 松下電子工業股份有限公司 2. 小林 光</td> </tr> <tr> <td style="text-align: center;">國 籍</td> <td>日 本</td> </tr> <tr> <td style="text-align: center;">住、居所 (事務所)</td> <td>1. 日本國大阪府高槻市幸町1-1 2. 日本國京都府京都市東山區本町9丁目106號</td> </tr> <tr> <td style="text-align: center;">代 表 人 姓 名</td> <td>1. 森和弘</td> </tr> </table>	姓 名 (名稱)	1. 松下電子工業股份有限公司 2. 小林 光	國 籍	日 本	住、居所 (事務所)	1. 日本國大阪府高槻市幸町1-1 2. 日本國京都府京都市東山區本町9丁目106號	代 表 人 姓 名	1. 森和弘
姓 名 (名稱)	1. 松下電子工業股份有限公司 2. 小林 光								
國 籍	日 本								
住、居所 (事務所)	1. 日本國大阪府高槻市幸町1-1 2. 日本國京都府京都市東山區本町9丁目106號								
代 表 人 姓 名	1. 森和弘								

經濟部中央標準局員工消費合作社印製

裝 訂 線

305058

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

日本 國(地區) 申請專利，申請日期：1995.08.01 案號：7-196726，有 無主張優先權

有關微生物已寄存於：，寄存日期：，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

[發明之技術領域]

本發明係有關一種使用於半導體積體電路等中之金屬-氧化膜-半導體裝置，亦即MOS(金屬氧化物半導體)裝置，特別是可應用於MOS電晶體及MOS容量之極薄氧化膜及容量氧化膜等之半導體，及半導體基板表面之氧化膜的形成方法。

[習用技術之說明]

按，半導體裝置，特別是MOS電晶體、MOS容量之閘氧化膜及容量氧化膜中，通常為矽裝置之場合，係使用二氧化矽膜(以下稱為氧化膜)。此等氧化膜被要求具有高的絕緣破壞耐壓、高的絕緣破壞電荷量。因此，晶圓之洗淨，係非常重要的過程之一。晶圓在能被在洗淨的同時，又被要求能具有低的固定電荷密度、低的界面能級密度等之高品質。另一方面，伴隨着裝置之微細化、高積體化，閘氧化膜或容量氧化膜厚將會薄膜化，例如，在 $0.1\mu\text{m}$ 以下之設計規定下，被要求有 4nm 以下之極薄閘氧化膜。迄今為止，MOS電晶體之閘氧化膜，係採用在 600°C 以上之高溫下，將半導體基板暴露於乾燥氧或水蒸氣等之氧化性氣氛中形成(例如VLSI Technology一書，S.M. Sze編集，1983年，p.131~168)。

又，除了熱氧化以外，業界也曾採用的是，將一矽烷熱分解，予以堆積於基板表面之化學氣相成長法。又，作為在低溫下令氧化膜成長之方法，有將半導體基板浸漬於

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(二)

氧化性強之硝酸等的藥液中，而形成化學氧化膜之方法，或是利用陽極氧化形成氧化膜之方法；然而，化學氧化膜其可生長之膜厚範圍受限制，而有無法令一定以上之膜厚生長的問題點，此外，利用陽極氧化，雖然膜厚之控制範圍較為廣大，但是，界面特性或是絕緣破壞特性等之電氣特性並不充份。此外，作為在低溫下形成氧化膜之方法，包括一面照射紫外線一面進行熱氧化之方法，或是在電漿中氧化之方法，但是，不管是任何一種方法，均難以將薄的高品質之氧化膜，以控制性良好且再現性良好之方式形成。

[發明之解決課題]

然而，根據習用之較高溫下的熱氧化，在4nm以下之氧化膜形成時，會有缺乏膜厚之控制性的問題。又，為了提高高膜厚之控制性，若進行低溫下之氧化，在形成之氧化膜的膜質之層面，會有界面能級密度高及固定電荷密度高等之問題。又，由化學氣相成長法所堆積之氧化膜也是，在膜厚控制性及膜質之層面，也有相同之問題，特別是，若產生界面能級密度，不僅會劣化電晶體之熱載子特性，同時還會造成電晶體之臨限值電壓的不安定性、載子移動度之降低等，特別是在微細之裝置方面的致命之問題。再者，因元件之微細化之故，熱處理過程之減少也被要求，特別是裝置之設計自由度及過程之自由度的層面，根據習用之以較高溫之熱氧化膜形成閘氧化膜的方法，必須

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

在金屬配線以前形成閘氧化膜。迄今為止，為了在金屬配線中實現低電阻，係使用鋁或鋁合金，鋁合金之熔點係低至 660°C 左右，再者，若考慮因熱處理所造成之鋁配線表面的異常突出的產生，金屬配線後之熱處理，有必要抑制於 400°C 以下。因此，在使用習用之熱氧化法的場合，在金屬配線過程之後形成閘氧化膜有所困難。又，於熱氧化膜形成中，於 400°C 以下之溫度下，氧化膜厚即使以1小時程度之熱處理也在 1nm 以下，難以形成作為閘氧化膜可利用之膜厚。

✓ 本發明之目的係解決上述習用氧化膜形成方法之問題，提供一種不使用高溫加熱即可在半導體體基板之表面控制性良好地形成高品質之氧化膜，同時在金屬配線以後可形成閘氧化膜之半導體，以及半導體基板表面之氧化膜之形成方法。

[課題之解決手段]

為了達成上述目的，本發明之半導體，係在半導體基板表面至少含有氧化膜及金屬薄膜之半導體，其特徵係在：

上述金屬薄膜係厚度為 $0.5\sim 30\text{nm}$ 範圍的具有氧化觸媒機能之金屬，上述氧化膜係含有由具有上述氧化觸媒機能之金屬所形成的膜之厚度為 $1\sim 20\text{nm}$ 範圍之膜者。

較佳的是，上述半導體中，氧化膜係由第一氧化膜及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

第二氧化膜所形成，第一氧化膜之厚度，係在 $0.1 \sim 2.5$ nm之範圍，第二氧化膜之厚度，係在 $0.9 \sim 18.5$ 之範圍內者。

又，較佳的是，於上述半導體中，具有氧化觸媒機能之金屬薄膜，係由白金及鈱所選出之至少一種金屬者。

又，較佳的是，上述半導體中，具有氧化觸媒機能之金屬薄膜，係由蒸鍍法所形成者。

較佳的是，上述半導體中，半導體基板係由單晶矽、多晶矽，非晶矽，砷化鎵及磷化銻所選出之至少一種材料者。

又，較佳的是，於上述半導體中，第二氧化膜之膜厚，係較第一氧化膜之膜厚為厚，且在 $1 \sim 20$ nm之範圍內者。

其次，本發明半導體基板表面之氧化膜之製法，其特徵係在：

於半導體基板表面形成氧化膜時，先於半導體基板上形成厚度為 $0.1 \sim 2.5$ nm範圍之第一氧化膜，然後再於上述第一氧化膜上形成厚度為 $0.5 \sim 30$ nm範圍之具有氧化觸媒機能之金屬薄膜，而後再於 600°C 以下之溫度，於氧化氣氛中進行熱處理，形成第二氧化膜者。

較佳的是，於上述製法中，在半導體基板上形成第一氧化膜之方法，半導體基板係藉浸漬於由下列A~I選出之至少一種液體中而形成：

五、發明說明(5)

- A · 熱濃硝酸
- B · 濃硫酸與過氧化氫水之加熱溶液
- C · 塩酸與過氧化氫水之加熱溶液
- D · 過氧化氫水
- E · 臭氧溶解水
- F · 硝酸與硫酸之加熱液
- G · 氫氟酸
- H · 沸水
- I · 氨水與過氧化氫水之加熱溶液。

使用上述 A ~ I 之液體，係因適於將例如矽等之半導體基板氧化。

又，於上述製法中，在半導體基板上形成氧化膜之方法，可將半導體基板暴露於臭氧氣體中，或是一面照射紫外線一面暴露於臭氧氣體中而形成。若以氣相形成氧化膜，有使塵埃等之污染物不致附着之優點。

又，較佳的是，於上述半導體及氧化膜之形成方法中，具有氧化觸媒機能之金屬膜，係白金或鈱者。這是因為，此觸媒具有優異之在低溫下氧化之機能。

再者，較佳的是，於上述半導體及其氧化膜之形成方法中，具有氧化觸媒機能之金屬薄膜，係藉蒸鍍法形成。這是因為，膜厚可薄且均一地形成。

又，較佳的是，於上述製法中，在氧化氣氛中進行熱處理時，氧化氣氛係由下述 a ~ g 所選出之至少一種氣氛

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

:

- a · 乾燥氧氣氛
- b · 乾燥氧與非氧化性氣體之混合氣體氣氛
- c · 含水蒸氣之氧氣氛
- d · 含水蒸氣之氧與非氧化性氣體之混合氣體氣氛
- e · 臭氧氣體氣氛或含臭氧氣體之氣氛
- f · 含 N_2O 之氧氣氛
- g · 含 NO 之氧氣氛。

藉由一氧化處理，可將第二氧化膜有效率且合理地形成。

另，較佳的是，於上述製法中，氧化氣氛中之熱處理溫度，係在 $25 \sim 600^\circ C$ 之範圍內。這是因為，可達成本發明之目的。

又，較佳的是，於上述半導體及其氧化膜之形成方法中，半導體基板係由單晶矽、多晶矽、非晶矽、砷化鎵及磷化銻所選出之至少一種材料者。這是因為，其作為半導體基板之應用範圍廣。

另，較佳的是，於上述製法中在半導體基板表面上形成氧化膜之前，預先將存在於半導體基板表面之自然氧化膜及／或雜質予以除去。這是因為，為了在矽表面形成高品質之極薄氧化膜，而預先形成潔淨之矽表面。

又，較佳的是，於上述製法中，第二氧化膜之膜厚，較第一氧化膜之膜厚為厚，且在 $1 \sim 20 \text{ nm}$ 之範圍內。

五、發明說明(7)

最終所獲得之氧化膜的厚度若在上述範圍內時，對於MOS電晶體、MOS容量之極薄閘氧化膜及容量氧化膜等有用。

又，於上述製法中，可將氧化氣氛中之熱處理，在半導體基板表面形成金屬配線後實施。

根據上述本發明之半導體，係在半導體基板表面至少含有氧化膜及金屬薄膜之半導體，上述金屬薄膜係厚度為 $0.5 \sim 30 \text{ nm}$ 範圍之具有氧化觸媒機能的金屬，且上述氧化膜係含有由上述具有氧化觸媒機能之金屬所形成的膜之厚度為 $1 \sim 20 \text{ nm}$ 範圍的膜，藉此，可實現在不使用高溫加熱之下，能在半導體基板之表面高控制性地形成高品質之氧化膜，且在金屬配線後可形成閘氧化膜之半導體。

其次，根據本發明半導體基板表面之氧化膜之製法，係先在半導體基板上形成厚度為 $0.1 \sim 2.5 \text{ nm}$ 範圍之第一氧化膜，然後在上述第一氧化膜上形成厚度為 $0.5 \sim 30 \text{ nm}$ 範圍之具有氧化觸媒機能之金屬薄膜，而後再於 600°C 以下之溫度下之氧化氣氛中進行熱處理，形成第二氧化膜，藉此，可有效率且合理地半導體基板上，高品質且高控制性地形成薄且均一品質之氧化膜。

根據本發明製法之氧化膜的形成方法，係在清潔之半導體基板上，形成薄之均質的氧化膜之後，形成成為氧化觸媒之金屬薄膜，藉此，可將金屬薄膜正下方之半導體基

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

板，在室溫(25℃)~600℃之低溫下氧化。此時所形成之氧化膜，膜厚控制性高，可形成1~20nm程度之薄氧化膜。又，依此所形成之氧化膜，可獲得界面特性佳者，可形成界面能級密度低之高品質氧化膜。此時所形成之氧化膜之膜質，可藉最先形成之薄氧化膜的形成方法改變，又，氧化速度可依熱處理溫度及氧化性氣氛之種類而變化。於本發明之一種更佳之條件下，可將半導體基板在室溫(25℃)~400℃之範圍的溫度下氧化。

[實施例]

以下，茲以實施例將本發明具體說明之。

首先，茲將以本發明形成氧化膜之實施例，以圖1說明之，本實施例中，作為半導體基板係以矽基板為例，就形成MOS容量之過程說明之。首先，在矽基板1上形成分離區域2及活性區域4。活性區域4之表面，存在有自然氧化膜9(圖1(a))。作為矽基板，係使用p型(100)、10~15Ωcm之基板，在注入硼之通道阻絕劑後，作為分離區域2，將LOCOS(矽局部氧化)氧化膜以500nm之膜厚形成。

其次，為了洗淨活性區域4之表面，利用習知之RCA洗淨法(W. Kern, P. A. Plutien RCA Review 31, p. 187, 1970)，將晶圓洗淨後，予以浸漬於稀HF溶液(0.5體積% HF水溶液)中5分鐘，將矽表面之自然氧化膜9除去(圖1(b))。為了在矽表面形成高品質之極

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

薄氧化膜，必須有清潔之矽表面3，矽表面之自然氧化膜9的完全除去及矽表面之雜質去除，也屬重要。

其次，以超純水將晶圓作5分鐘沖洗(洗淨)後，將晶圓浸漬於115℃之熱硝酸中10分鐘，在矽基板上形成表面厚度為1.1nm之化學氧化膜(第一氧化膜)5(圖1(c))。於本實施例中，係在半導體基板之洗淨、自然氧化膜之除去後，以化學處理或低溫之熱處理在半導體表面形成薄的氧化膜5。作為半導體表面之化學處理方法，除了本實施例般之浸漬於熱濃硝酸中之方法外，還可採用例如浸漬於硫酸與過氧化氫水之混合溶液中之方法、浸漬於氨水與過氧化氫水之混合溶液中之方法、或是浸漬於將臭氧溶解成10幾ppm成之臭氧水中之方法等。根據本實施例，係藉濃硝酸形成不含重金屬等之清潔且高品質之化學氧化膜。又，此外，還可採用在氧中由400℃至室溫予以熱處理之方法、在臭氧氣氛中一面暴露晶圓一面由400℃至室溫予以熱處理之方法、或是一面照射紫外線一面在臭氧氣氛中將晶圓暴露之方法等。

上述說明之自然氧化膜的除去，在而後形成之第一氧化膜的特性上，扮演著重要之角色，此第一氧化膜係被要求清潔且具有均質。在表面之重金屬及自然氧化膜除去後，可再藉導入臭氧在晶圓表面形成超潔淨之薄的表面保護氧化膜，可獲得超清潔之晶圓表面。

其次，在矽基板上之第一氧化薄膜5上，作為具有氧

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

化觸媒機能之金屬膜，藉由電子束蒸鍍法，蒸鍍厚約為 3 nm 之白金 6 (圖 1 (d))。此時，白金係使用 99.99 重量 % 純度之白金。蒸鍍速度係 0.3 nm / 分鐘，作為蒸鍍中之矽基板的溫度，係採用 50 °C，壓力係 1×10^{-4} Pa。

而後，以電爐在加濕氣中以 300 °C 處理 1 小時。藉由此一加熱處理，矽氧化膜 7 係成長成 4.5 nm 之厚度 (圖 1 (e))。此時，矽基板 1 上係形成有厚度為 4.5 nm 之氧化膜 7 及厚度為 3 nm 之白金 6。又，作為具有氧化觸媒機能之金屬膜，除了白金以外，還可使用鈦。氧化膜 7 作為閘氧化膜也可利用。

其次，為了形成電極，以噴濺法將鋁 8 堆積 1 μ m (圖 1 (f))，再以習知之光學石版術將閘極圖案化後，再以習知之乾蝕技術，將鋁及白金蝕刻，形成閘極 10 (圖 (g))。根據本實施例，作為氧化觸媒係將白金膜原狀作為電極之一部份使用，但也可使用王水等將白金除去後，重新形成將作為閘極之導電性膜。

圖 2 係在洗淨除去自然氧化膜後，將矽基板表面清潔化之後，再浸漬於熱濃硝酸後所觀察到的 X 射線電子光譜。X 射線光電子光譜，係使用 VG 公司製之 ESCALAB 220 i-XL 測定。此時，作為 X 射線源，係使用能量為 1487 eV 之 Al 的 $K\alpha$ 線。光電子係由表面垂直方向觀測。高峰 (1) 係由來自矽基板之 Si 的 2p

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(11)

軌道之光電子所造成。高峰(2)係由來自矽氧化膜之Si的2p軌道之光電子所造成。高峰(2)與高峰(1)之面積強度的比可算出矽氧化膜之膜厚為1.1nm。此處,出自Si之2p軌道的光電子之在矽氧化膜中的平均自由行程係採2.7nm,矽基板中之平均自由行程係採2.6nm。(參見 R. FLITSCH AND S. I. Raider, Journal of the Vacuum Science and Technology 12卷(1975年) p 305)。

圖3係以濃硝酸形成矽氧化膜之後,將該試料導入電爐中,於加濕氧中以300℃加熱1小時,而後所測定之X射線光電子光譜。

圖3係以濃硝酸形成矽氧化膜後,將試料導入電爐,在加濕氧中以300℃加熱1小時,而後所測定之X線光電子光譜。高峰(2)與高峯(1)之面積強度比與圖2幾乎相同,由此可明瞭,矽氧化膜厚在300℃之氧化性氣氛中的加熱處理下,並未變化。此舉係意味著,以一般之熱氧化法,在300℃之低溫下,將矽氧化膜生長成作為MOS電晶體之閘氧化膜至少必要的2~6nm膜厚,完全無法達成。

圖4(a)中所示的是以熱濃硝酸形成矽氧化薄膜,在其上以電子束蒸鍍約3nm之白金膜,再將該試料導入電爐中,在加濕氧中以300℃下加熱1小時後,測得之X射線光電子光譜。X射線光電子光譜,係以島津製作所

五、發明說明 (12)

製之 ESCA 1000 測定。此時，作為 X 射線源，係使用能量為 1254 eV 之 Mg 的 $K\alpha$ 線。圖 4 (b) 係使用圖 4 (a) 之試料以 VG 公司製 ESCALAB 220i-XL 測定時之 X 射線電子光譜。由此光譜可知，矽氧化膜之高峯強度 (2) 增加，矽氧化膜生長。由圖 4 中之高峯 (2) 與高峯 (1) 之面積強度比可算出，矽氧化膜之膜厚為 4.5 nm。具體而言，確認若白金薄膜存在於矽氧化薄膜上的話，以 300℃ 程度之低溫加熱，矽氧化膜生長。

圖 5 中所示的是，以熱濃硝酸形成矽氧化膜，在其上以電子束蒸鍍約 3 nm 之白金膜，再將該試料於室溫下在加濕氣氛中，處理 1 小時後之 X 射線電子光譜圖。與圖 4 (a)、(b) 相較可明瞭，出自矽氧化膜之 Si 的 2p 軌道之光電子所造成的高峯 (2) 低，但是，與圖 3 之以熱濃硝酸形成矽氧化膜之後，不堆積白金直接導入電爐，在加濕氣氛中 300℃ 下作 1 小時加熱之場合的高峯 (2) 相較，圖 5 之高峯 (2) 較大，且在室溫下矽氧化膜也在生長。

圖 6 係將矽氧化膜之膜厚，相對加熱溫度繪成之圖。曲線 (a) 所示的是，藉由將矽晶圓浸漬於濃硝酸中形成矽氧化膜，而後將該試料導入電爐中，在加濕氣氛下以各種溫度加熱 1 小時後測定之 X 射線電子光譜的面積強度比，所求得之氧化膜厚。曲線 (b) 中所示的是，藉由將

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

矽晶圓浸漬於熱濃硝酸中形成矽氧化膜，再於其上以電子束蒸鍍法蒸鍍約 3 nm 之白金膜，而後再將試料導入電爐中，在加濕氧氣氛中之各種溫度下加熱 1 小時所得之結果。由曲線 (a) 可知，於矽氧化膜上未存在白金膜之場合，藉 300 °C 以下之低溫加熱處理，矽氧化膜之膜厚係在實驗誤差範圍內未變化。另一方面，由曲線 (b) 可知，若在矽氧化膜上存在有白金薄膜，藉由低溫之加熱處理，矽氧化膜成長。

圖 7 中所示的是，相對第一之氧化膜厚，藉由白金堆積後之熱處理所獲得的第二氧化膜厚之依存性。第一氧化膜，係白金堆積前所形成之氧化膜。此處，作為第一氧化膜，係取矽晶圓表面清潔化後，以 1 體積 % 氫氟酸 (HF) 水溶液蝕刻後立即之膜厚為 0 nm。又，於將塩酸：過氧化氫水：超純水分別以 1：1：5 之混合比混合成之液體，加熱於 80 °C 成之液體中，將矽晶圓浸漬 10 分鐘，令第一氧化膜厚生長成 0.5 nm。為了獲得 1.3 nm 之第一氧化膜厚，係將矽晶圓浸漬於 115 °C 之熱濃硝酸中 10 分鐘。

令在此等第一氧化膜上堆積白金 3 nm，在加濕氣氛中以 300 °C 加熱 1 小時的場合所獲得之氧化膜，作為第二氧化膜厚。在第一氧化膜為 0 nm 之場合，第二氧化膜完全不會生長，藉由矽基板與白金之反應，白金矽化物係形成於白金與矽基板之界面。然而，若第一氧化膜只形成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(14)

0.5 nm 之場合，白金與矽之反應不會發生，而形成 4.2 nm 之第二氧化膜。又，在第一氧化膜厚為 1.3 nm 之場合，第二氧化膜厚為 4.2 nm，並未變化。第一氧化膜除了可防止白金與矽之反應之外，還具有可令第二氧化膜生長之重要機能。根據發明人等之研究，當第一氧化膜為 0.1 nm 以上之場合，可阻止與白金之反應。然而，當第一氧化膜為 0 nm 之場合，却產生白金與矽之矽化反應。另一方面，在第一氧化膜厚的場合，如圖 7 所示，在 0.5 nm 與 1.3 nm 下，第二氧化膜厚並無差異，而較此更厚之場合也是，無法期待大幅之第二氧化膜厚之增加。又，若將此氧化膜形成極端厚時，與本發明形成薄的氧化膜之目的不符。是以，第一氧化膜之上限係 2.5 nm 左右。

圖 8 中所示的是，在第一氧化膜厚形成為 1.1 nm (以熱濃硝酸形成) 時，相對白金之膜厚的第二氧化膜。圖 8 中所示的是，代替白金使用鈮之場合的數據。當白金之膜厚為 0 nm 之場合 (白金未堆積)，第二氧化膜未生長之事實，已示於圖 3 中。當白金堆積成 0.5 nm 之場合，作為第二氧化膜，可獲得 2.1 nm 之膜厚。當令白金之膜厚增厚，在白金膜厚為 1.5 nm 之場合，可獲得第二氧化膜厚為 4.5 nm。又，若白金膜厚為 5 nm，可獲得第二氧化膜厚為 4.5 nm。又，若白金膜厚為 5 nm，第二氧化膜厚為 4.2 nm，當再令白金膜厚增加

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(15)

，第二氧化膜厚有減少的傾向。根據發明人等之研究，可有效地形成第二氧化膜之白金膜厚的上限，係30nm。當代替白金使用鈀之場合，相對3nm之鈀膜厚，第二氧化膜厚係生長至5.2nm，當鈀膜厚為10nm之場合，第二氧化膜厚係低至4.2nm。又，作為此時之熱處理，在加濕氣氛中，若為白金之場合，係在300℃下，若為鈀之場合，係在400℃下加熱1小時。又，第二氧化膜厚，針對白金之場合，係由X射線電子光譜，針對鈀之場合，係由電容(C)－電壓(V)測定。

圖9中所示的是，以本實施例所形成之白金3nm／氧化膜2.6nm／Si基板構造的界面能級密度的能量分布。此處所測定之具有2.6nm之極薄氧化膜的MOS裝置之界面能級分布，無法由習用之電容－電壓測定(C-V)或電導－電壓測定(G-V)等之電氣測定求得，因此，採用偏壓施加時之X射線光電子光譜測定此一方法(H. KOBAYASHI, Y. YAMASHITA, T. MORI, Y. NAKATO, K.H. PARK, Y. NISHIOKA, Surface Science) 326卷，(1995年)，p. 124; H. KOBAYASHI, T. MORI, K. NAMBA, Y. NAKATO, Solid State Communication) 92卷，(1994)年，p. 249)。

又，於上述本實施例之氧化處理中，利用熱濃硝酸作化學氧化膜(11nm)形成後，並未作熱處理。此時之界面能級，係夾著中央間隙分布，據信其係起因於Si之

五、發明說明(16)

懸掛鍵與氧化膜中之Si及氧原子作微弱之相互作用所引起。於本實施例所形成之氧化膜的界面能級密度，係較550℃所形成之3nm氧化膜或700℃之濕氧化所形成之3.5nm氧化膜為低。此點係表示，本實施例方法所形成之氧化膜，作為閘氧化膜具有充份之界面特性。是以，本實施例方法所形成之薄氧化膜，作為MOS電晶體或MOS容量之極薄閘氧化膜，係屬有用。本發明方法所形成之氧化膜，作為電晶體之閘氧化膜無疑可適用，其他亦可適用於各種用途。

圖10中所示的是，本發明應用於DRAM之疊層電容器的單元容量之例子。通常稱為存儲結點18之容量電極，係將含磷等之導電性雜質 $1 \times 10^{20} / \text{cm}^3$ (atom)程度之非晶矽所形成。在此等存儲結點上例如形成熱氧化膜之場合，藉由熱處理，非晶質矽膜之晶粒生長，導因於伴隨發生之應力的產生，存儲結點上所形成之容量絕緣膜的絕緣特性會破壞，是為其問題。如本發明般之利用400℃以下之低溫的氧化膜成長，非晶質矽之晶粒生長不會產生，且可控制性良好地形成厚度為2~4nm之極薄容量氧化膜19。此一場合下，單元容量之構造，係非晶質存儲結點18 / 本發明低溫氧化膜19 / 白金薄膜20 / 非晶質單元板21。此處，藉由白金薄膜20存在，可防止單元板之空乏化，也可確保單元容量。此外，藉由在多晶矽或非晶矽上以本發明方法形成氧化膜，可實

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(17)

現由此等導電膜所夾之構造之容量。又，於圖7中，11係p型矽基板，112係p型阱區域，13係分離區域，14係選擇電晶體（多晶矽化金屬閘）、14'係多晶矽膜，14''係鎢矽化物（ $WSix$ ）膜，15係拍頻線（多晶矽化金屬），15'係多晶矽膜，15''係鎢矽化物（ $WSix$ ）膜，16係源-汲 n^+ 擴散層，17係層間絕緣膜。

又，圖11係將本發明方法所形之氧化膜，應用於MOS電晶體之場合的實施例。在p型基板上，作元件分離形成後，在活性區域中作為臨限值電壓控制將硼以 $1 \times 10^{18} \text{ cm}^{-3}$ （atom）之濃度作離子植入後，將晶圓表面洗淨，再以無水HF氣體作約10秒之自然氧化膜的蝕刻（除去）後，再暴露於臭氧氣體中，在矽表面形成厚度為1nm之氧化膜。而後，以噴濺法將白金34堆積3nm，再於 100°C 、加濕氧氣氛中作1小時之熱處理，形成膜厚為2.2nm之閘氧化膜33。而後，將多晶矽膜35以習知之減壓氣相成長法在 530°C 下形成100nm。此時之堆積膜係非晶質，磷濃度為 $3 \times 10^{20} / \text{cm}^3$ （原子）。而後，以習知之光學石版術進行閘極之圖案化，再以習知之乾蝕技術進行閘極之非晶質矽35/白金34/閘氧化膜33之蝕刻。繼之，作為側壁36，將磷摻雜氧化物膜堆積之。於側壁蝕刻進行後，將源-汲38以離子植入形成。此外，在金屬配線過程後，形成M

五、發明說明 (18)

OS 電晶體，也可如本發明般之使用低溫氧化法達成。又，於圖 11 中，31 係 p 型矽基板，32 係 p 型阱區域，37 係源 - 汲 LDD 擴散層，38 係源 - 汲 n⁺ 擴散層。

如上所說明，於本發明上述實施例中，確認可將半導體基板以室溫 (25 °C) ~ 400 °C 之範圍的溫度作氧化處理。

[發明之效果]

如上所說明，根據本發明之半導體，係在半導體基板表面至少含有氧化膜及金屬薄膜之半導體，上述金屬薄膜係厚度為 0.5 ~ 30 mm 範圍之具有氧化觸媒機能的金屬，且上述氧化膜係含有由上述具有氧化觸媒機能的金屬所形成的膜之厚度為 1 ~ 20 mm 範圍之膜，藉此，可實現在不使用高溫加熱下，在半導體基板之表面控制性良好地形成高品質之氧化膜，且在金屬配線後可形成矽氧化膜之半導體。

其次，本發明半導體基板表面之氧化膜的製法，係在半導體基板上形成厚度為 0.1 ~ 2.5 mm 範圍之第一氧化膜，而後又在上述第一氧化膜上以厚度 1 ~ 30 mm 之範圍形成具有氧化觸媒機能之金屬薄膜，然後又以 600 °C 以下之溫度在氧化氣氛中進行熱處理形成第二氧化膜，藉此，可高效率且合理地半導體基板上，高品質且高控制性地形成薄且均一品質之氧化膜。

又，根據本發明較佳之氧化膜的形成方法，其係不將

五、發明說明(19)

半導體基板暴露於600℃以上之高溫，可在室溫~600℃程度之低溫下，高膜厚控制性地形成界面特性佳之高品質極薄氧化膜，可形成不致因熱經歷造成問題之高品質的極薄之閘氧化膜。再者，藉由將本發明般之氧化膜的的形成方法應用於多晶矽上、非晶矽上，可形成高性能之容量，同時，可活化低溫氧化之特徵，在金屬配線過程以後，可形成MOS電晶體，能夠大幅提高過程、裝置設計上自由度及性能。

[圖面之簡單說明]

圖1係使用本發明一實施例半導體基板之氧化方法形成MOS容量的場合之過程圖；(a)係在矽基板上形成分離區域及活性區域之過程，(b)係除去矽表面的自然氧化膜之過程，(c)係在矽基板表面形成化學氧化膜(第一氧化膜)之過程；(d)係作為具有氧化觸媒機能之金屬膜，形成白金膜之過程；(e)係形成在氧化氣氛中加熱處理之矽第二氧化膜之過程，(f)係形成電極膜之過程，(g)係形成閘極之過程。

圖2係同實施例中，進行洗淨除去自然氧化膜後，將矽基板表面清潔化之後，浸漬於熱濃硝酸後觀測之X射線光電子光譜。

圖3係同實施例中，以濃硝酸形成矽氧化膜後，將該試料導入電爐中，於加濕氣中作300℃之加熱，之後再測得之X射線光電子光譜。

五、發明說明 (20)

圖 4 (a) 、 (b) 係同實施例中，以熱濃硝酸形成矽氧化薄膜，於其上以電子束蒸鍍白金膜，再將該試料導入電爐中，於加濕氣中以 300 °C 加熱，然後再測得之 X 射線光電子光譜。

圖 5 係同實施例中，以熱濃硝酸形成矽氧化薄膜，於其上將白金膜以電子束蒸鍍後，再將試料於加濕氣氛中以室溫處理，而後再測得之 X 射線電子光譜。

圖 6 係由本發明方法所形成之一個實施例的氧化膜厚與氧化溫度之關係圖。

圖 7 係由本發明方法所形成之一個實施例的氧化膜厚與第一氧化膜厚之關係圖。

圖 8 係由本發明方法所形成之一個實施例的氧化膜厚與白金及鈀膜厚之關係圖。

圖 9 係由本發明方法所形成之一個實施例的氧化膜之界面能級密度分布圖。

圖 10 係由本發明方法所形成之氧化膜應用於 D R A M 容量絕緣膜的例子之斷面圖。

圖 11 係由本發明方法所形成之氧化膜應用於 M O S 電晶體的例子之斷面圖。

[符號之說明]

- 1 · 矽基板 (半導體基板)
- 2 · 分離氧化膜
- 3 · 清潔之半導體表面

五、發明說明(ㄗ)

- 4 · 半導體表面之活性區域
- 5 · 清潔之半導體表面上生長之氧化膜 (第一氧化膜)
- 6 · 白金薄膜
- 7 · 氧化膜 (第二氧化膜)
- 8 · 金屬堆積膜 (噴濺鋁合金)
- 9 · 半導體表面之自然氧化膜
- 1 0 · 金屬閘極
- 1 1 · p 型矽基板
- 1 2 · p 型阱區域
- 1 3 · 分離區域
- 1 4 · 選擇電晶體 (多晶矽化金屬閘)
- 1 4 ' △ 多晶矽膜
- 1 4 ' ' 鎢矽化物 (W S i x) 膜
- 1 5 · 拍頻線 (多晶矽化金屬)
- 1 5 ' △ 多晶矽膜
- 1 5 ' ' 鎢矽化物 (W S i x) 膜
- 1 6 · 源 - 汲 n + 擴散層
- 1 7 · 層間絕緣膜
- 1 8 · 非晶質存儲結點
- 1 9 · 低溫氧化膜
- 2 0 · 白金薄膜
- 2 1 · 非晶質單元板
- 3 1 · p 型矽基板

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

- 3 2 · p 型 阱 區 域
- 3 3 · 閘 氧 化 膜
- 3 4 · 白 金
- 3 5 · 閘 極 之 非 晶 質 矽
- 3 6 · 側 壁
- 3 7 · 源 - 汲 L D D 擴 散 層
- 3 8 · 源 - 汲 n + 擴 散 層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱:)

半導體、半導體基板表面之氧化膜的形成方法

本發明提供一種半導體，係在半導體基板 1 之表面，至少含有氧化膜 6 及金屬薄膜 7 之半導體。上述金屬薄膜係厚度為 $0.5 \sim 330 \text{ nm}$ 範圍之具有氧化觸媒機能的金屬，上層氧化膜係形成為包含由上述具有氧化觸媒機能之金屬所形成的膜之厚度為 $1 \sim 20 \text{ nm}$ 範圍之膜，藉此，可在不利用高溫加熱之狀況下在半導體基板之表面高控制性地形成高品質之氧化膜，同時可在金屬配線以後，形成開氧化膜。

本發明係在半導基板 1 上，形成厚度為 $0.1 \sim 2.$

英文發明摘要(發明之名稱:)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、中文發明摘要(發明之名稱:)

5 nm 範圍之第一氧化膜，然後，再於第一氧化膜 5 上以蒸鍍法形成厚度為 0.5 ~ 30 nm 範圍之具有氧化觸媒機能之金屬薄膜(例如白金膜)，而後再以 25 ~ 600 °C 之溫度在氧化氣氛中進行熱處理形成第二氧化膜 7。

英文發明摘要(發明之名稱:)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種半導體，係在半導體基板表面依序含有氧化膜及金屬薄膜之半導體，其特徵係在：

上述金屬薄膜係厚度為 $0.5 \sim 30 \text{ nm}$ 範圍的具有氧化觸媒機能之金屬，上述氧化膜係含有由具有上述氧化觸媒機能之金屬所形成的厚度為 $1 \sim 20 \text{ nm}$ 範圍之膜者。

2. 依申請專利範圍第 1 項所述之半導體，其中該氧化膜係由第一氧化膜及第二氧化膜所形成，第一氧化膜之厚度，係在 $0.1 \sim 2.5 \text{ nm}$ 之範圍，第二氧化膜之厚度，係在 $0.9 \sim 18.5$ 之範圍內者。

3. 依申請專利範圍第 1 項所述之半導體，其中該具有氧化觸媒機能之金屬薄膜，係由白金及鈮所選出之至少一種金屬者。

4. 依申請專利範圍第 3 項所述之半導體，其中該具有氧化觸媒機能之金屬薄膜，係由蒸鍍法所形成者。

5. 依申請專利範圍第 1 項所述之半導體，其中該半導體基板係由單晶矽、多晶矽、非晶矽、砷化鎵及磷化銻所選出之至少一種材料者。

6. 依申請專利範圍第 1 項所述之半導體，其中該第二氧化膜之膜厚，係較第一氧化膜之膜厚為厚，且在 $1 \sim 20 \text{ nm}$ 之範圍內者。

7. 一種半導體基板表面之氧化膜之形成方法，其特徵係在：

六、申請專利範圍

於半導體基板表面形成氧化膜時，先於半導體基板上形成厚度為 0.1 ~ 2.5 nm 範圍之第一氧化膜，然後再於上述第一氧化膜上形成厚度為 0.5 ~ 30 nm 範圍之具有氧化觸媒機能之金屬薄膜，而後再於 600 °C 以下之溫度，於氧化氣氛中進行熱處理，形成第二氧化膜者。

8. 依申請專利範圍第 7 項所述之半導體基板表面之氧化膜之形成方法，其中在半導體基板上形成第一氧化膜之方法，半導體基板係藉浸漬於由下列 A ~ I 之至少一種液體中而形成：

- A. 熱濃硝酸
- B. 濃硫酸與過氧化氫水之加熱溶液
- C. 塩酸與過氧化氫水之加熱溶液
- D. 過氧化氫水
- E. 臭氧溶解水
- F. 硝酸與硫酸之加熱液
- G. 氫氟酸
- H. 沸水
- I. 氨水與過氧化氫水之加熱溶液。

9. 依申請專利範圍第 7 項所述之半導體基板表面之氧化膜之形成方法，其中，在半導體基板上形成氧化膜之方法，係將半導體基板暴露於臭氧氣體中，或是一面照射紫外線一面暴露於臭氧氣體中而形成者。

10. 依申請專利範圍第 7 項所述之半導體基板表面

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

之氧化膜之形成方法，其中具有氧化觸媒機能之金屬薄膜，係由白金及鈱所選出之至少一種金屬者。

1 1 · 依申請專利範圍第 7 項所述之半導體基板表面之氧化膜之形成方法，其中該具有氧化觸媒機能之金屬薄膜，係藉蒸鍍法形成。

1 2 · 依申請專利範圍第 7 項所述之半導體基板表面之氧化膜之形成方法，其中在氧化氣氛中進行熱處理時，氧化氣氛係由下述 a ~ g 所選出之至少一種氣氛：

- a · 乾燥氧氣氛
- b · 乾燥氧與非氧化性氣體之混合氣體氣氛
- c · 含水蒸氣之氧氣氛
- d · 含水蒸氣之氧與非氧化性氣體之混合氣體氣氛
- e · 臭氧氣體氣氛或含臭氧氣體之氣氛
- f · 含 N_2O 之氧氣氛
- g · 含 NO 之氧氣氛。

1 3 · 依申請專利範圍第 7 項所述之半導體基板表面之氧化膜之形成方法，其中該氧化氣氛中之熱處理溫度，係在 $25 \sim 600^\circ C$ 之範圍內者。

1 4 · 依申請專利範圍第 7 項所述之半導體基板表面之氧化膜之形成方法，其中該半導體基板係由單晶矽、多晶矽、非晶矽、砷化鎵及磷化銻所選出之至少一種材料者。

1 5 · 依申請專利範圍第 7 項所述之半導體基板表面

六、申請專利範圍

之氧化膜之形成方法，其中在半導體基板表面形成氧化膜之前，預先將半導體基板表面存在之自然氧化膜或雜質予以除去者。

16. 依申請專利範圍第7項所述之半導體基板表面之氧化膜之形成方法，其中該第二氧化膜之膜之膜厚，較第一氧化膜之膜厚為厚，且在1~20nm之範圍內者。

17. 依申請專利範圍第7項所述之半導體基板表面之氧化膜之形成方法，其中該氧化氣氛中之熱處理，係在半導(體)基板表面形成金屬配線後實施者。

(請先閱讀背面之注意事項再填寫本頁)

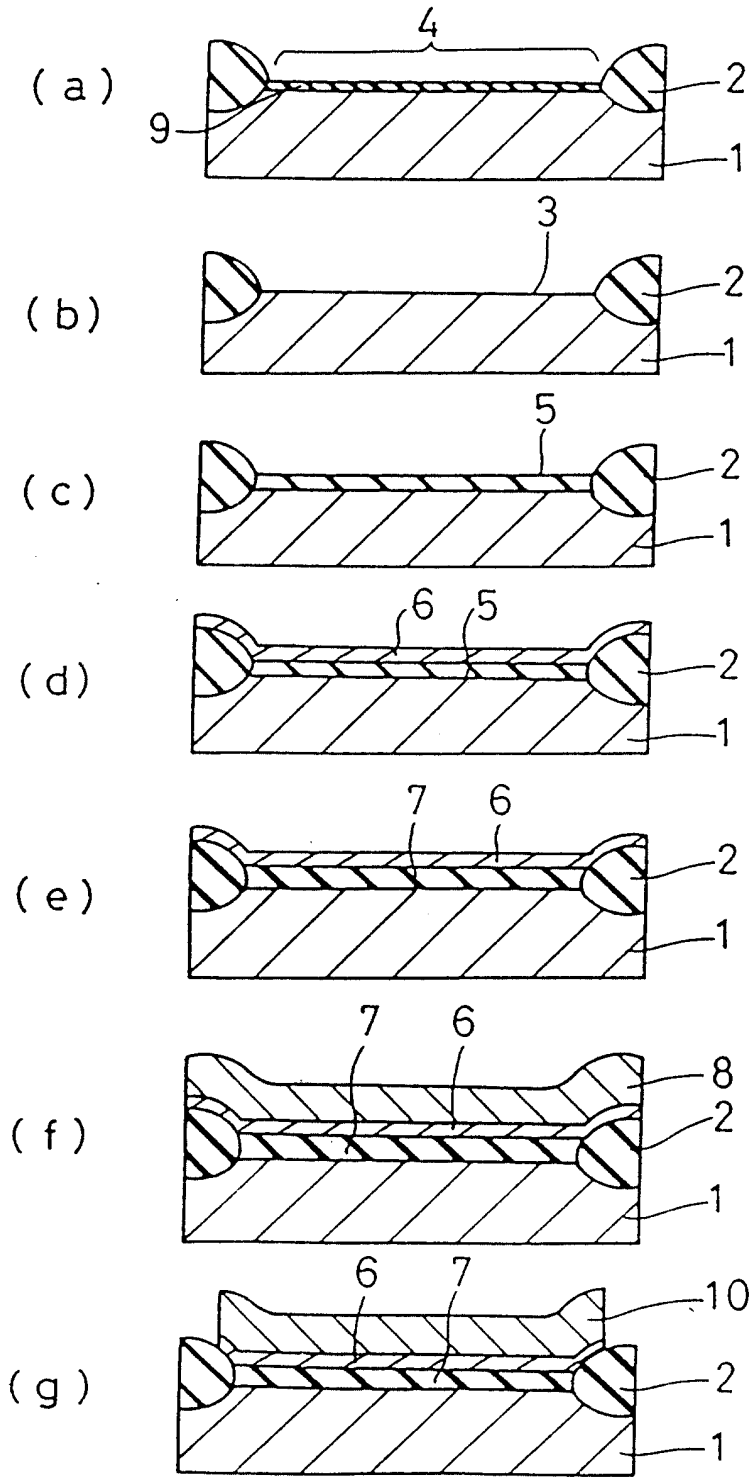
裝

訂

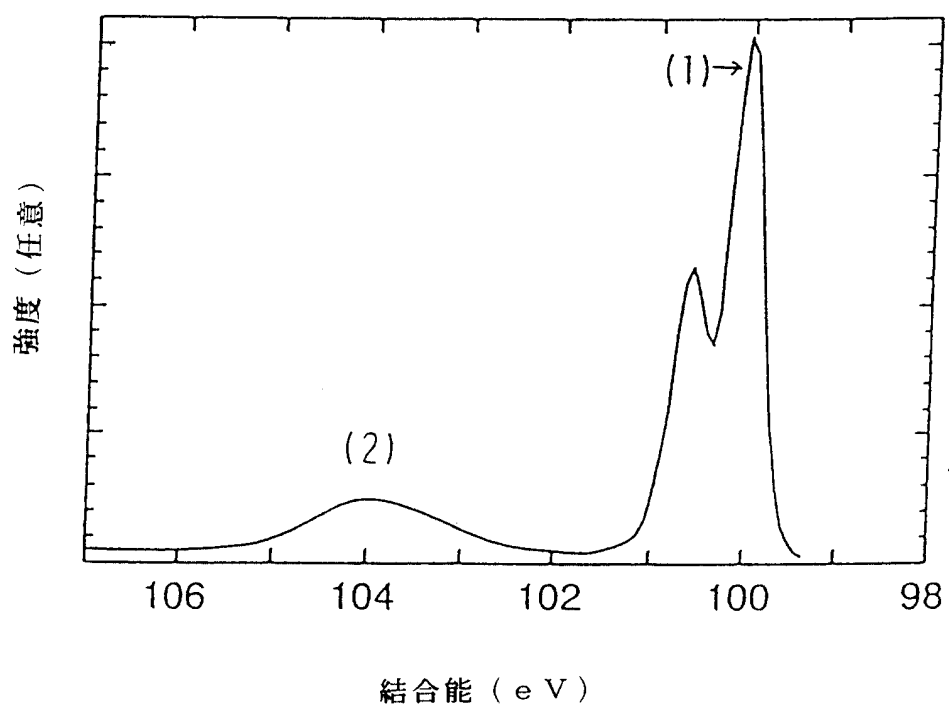
線

85109206

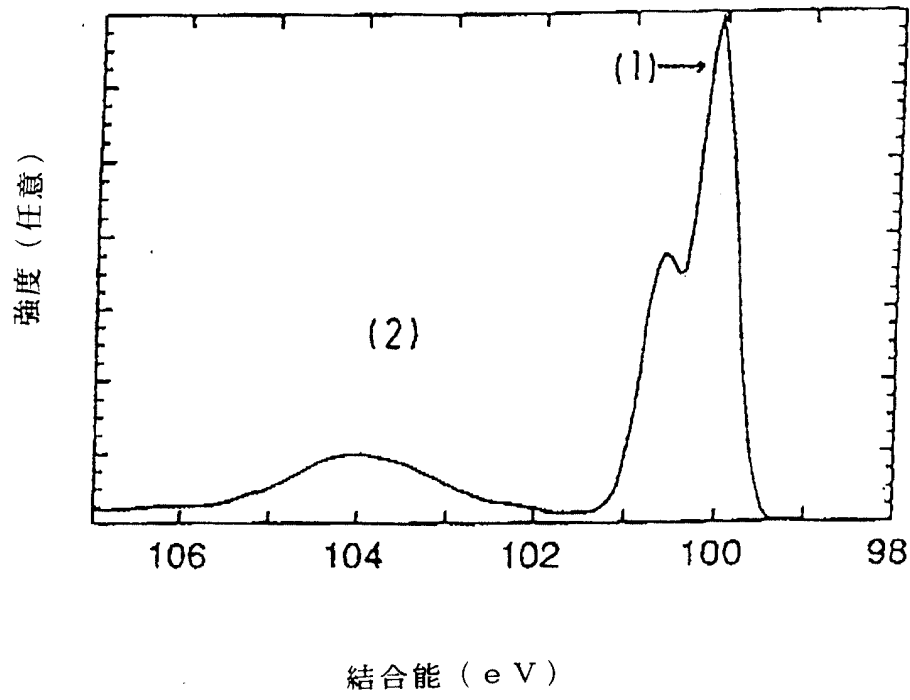
305058



第 1 圖

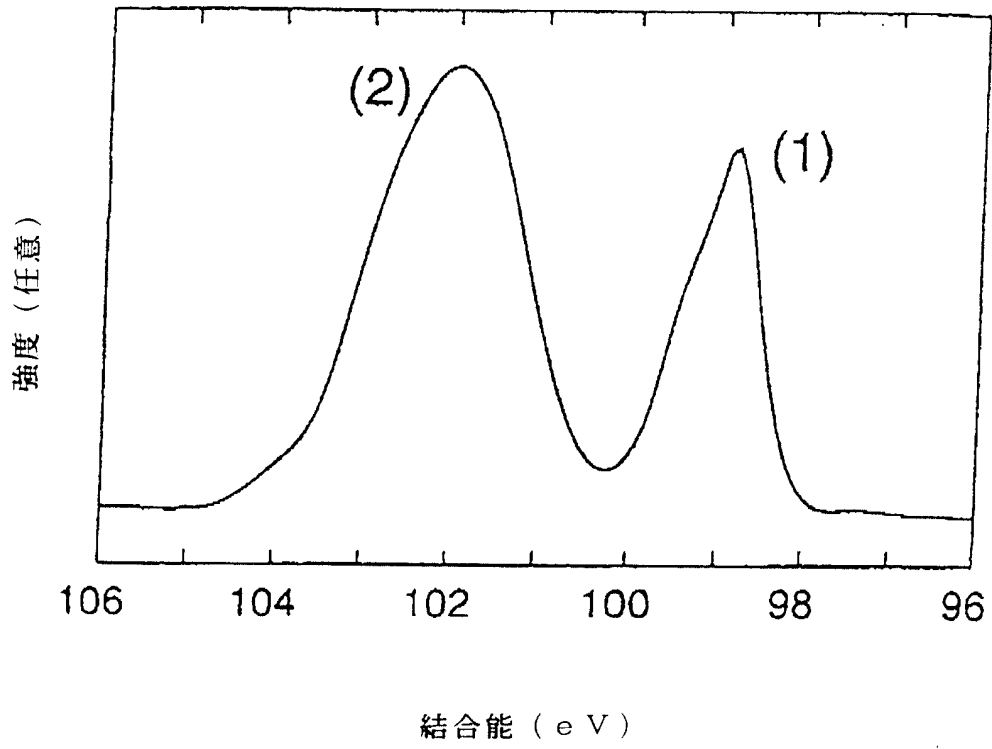


第 2 圖



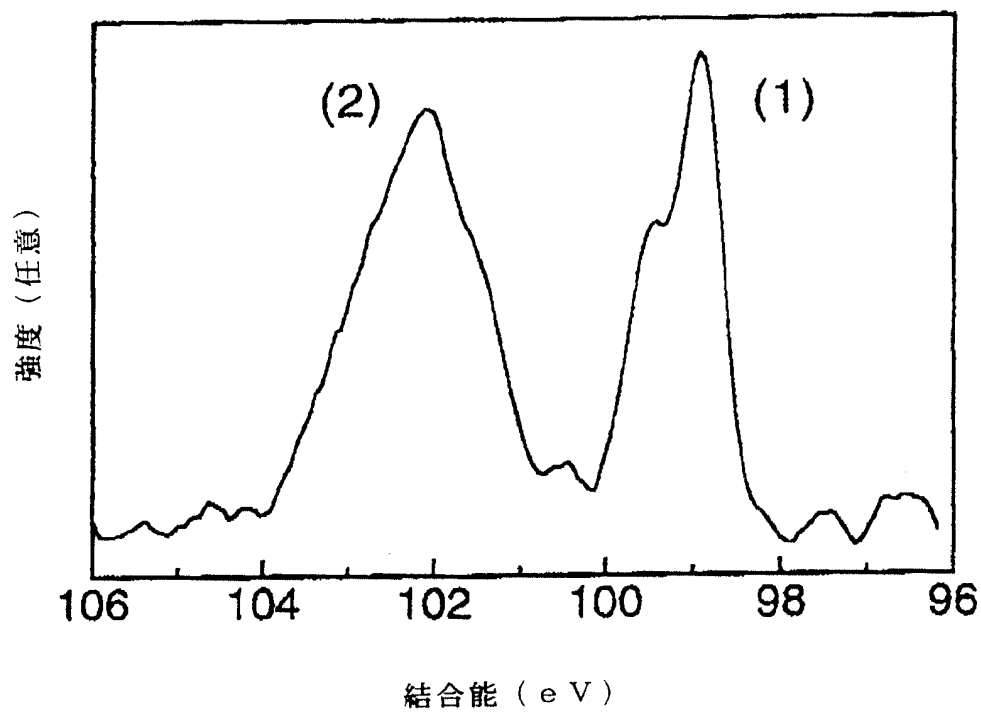
第 3 圖

305058

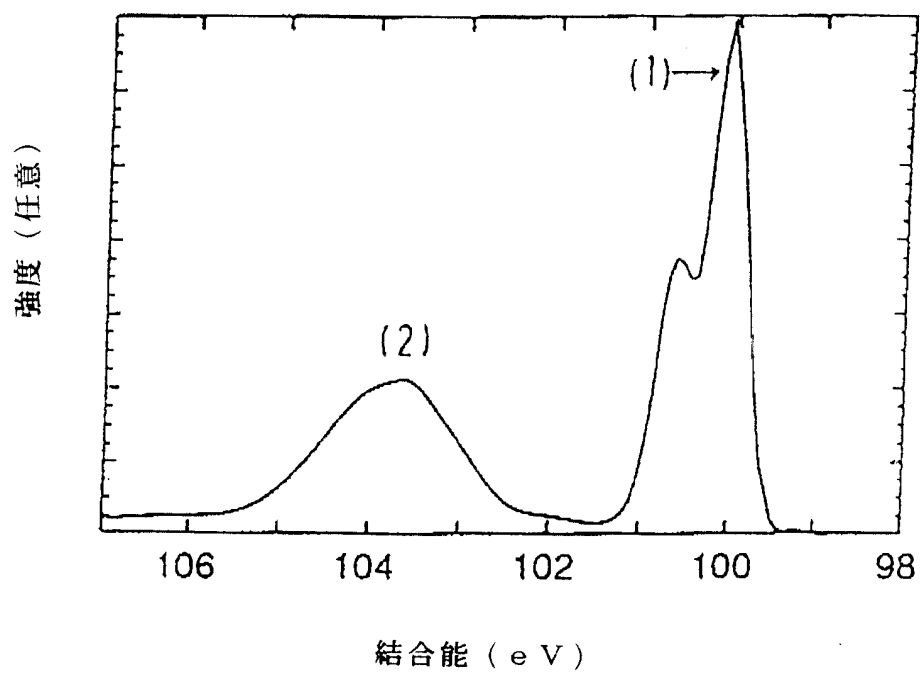


第4(a)圖

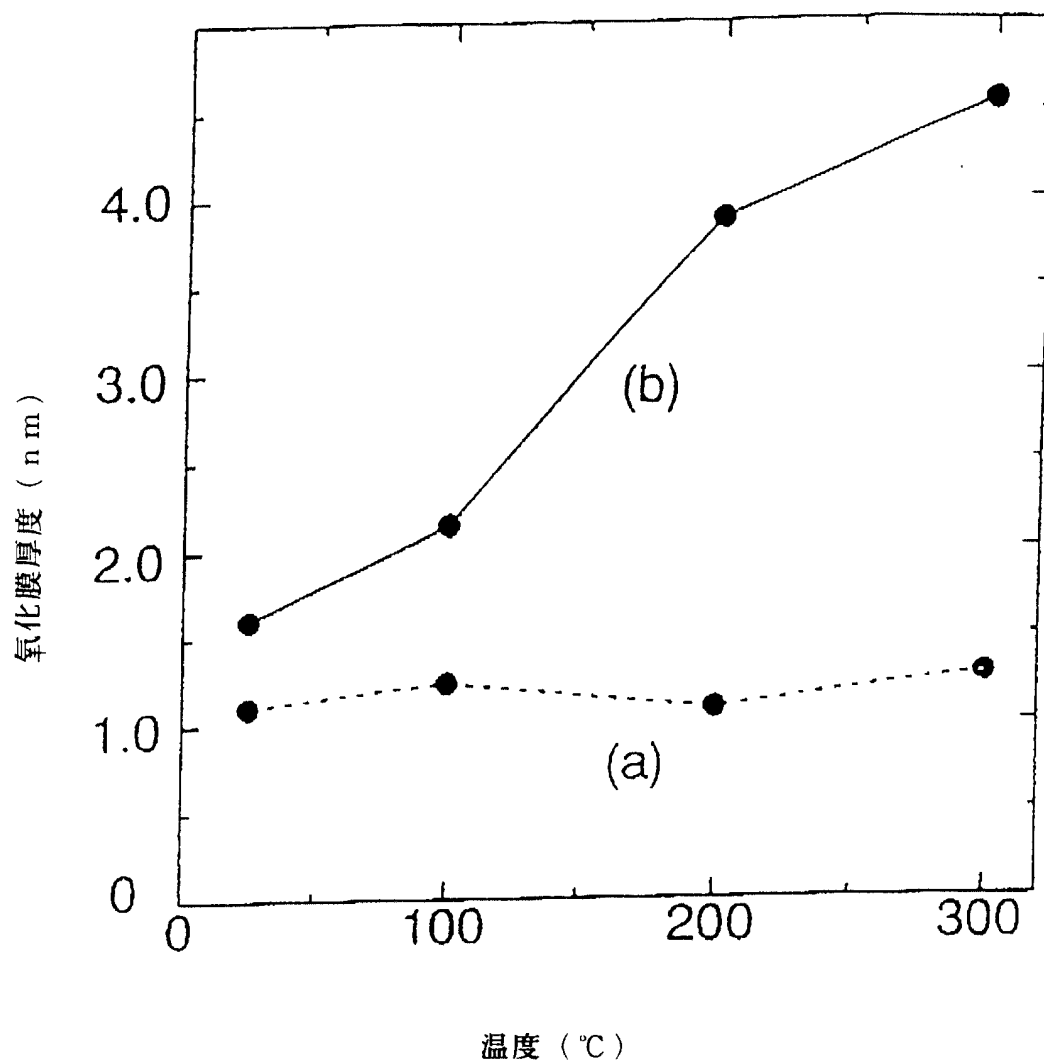
305058



第4(b)圖



第 5 圖

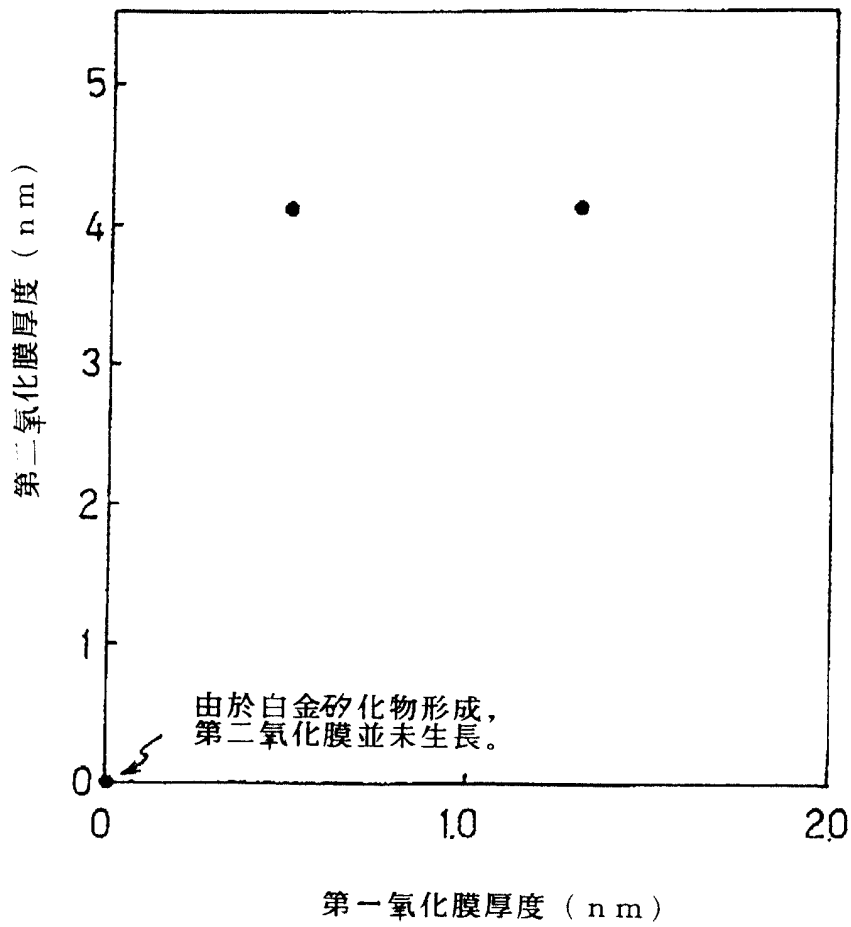


(a) 係白金膜未存在於矽氧化膜上時，
氧化膜厚度之變化。

(b) 係白金膜存在於矽氧化膜上時，
氧化膜厚度之變化。

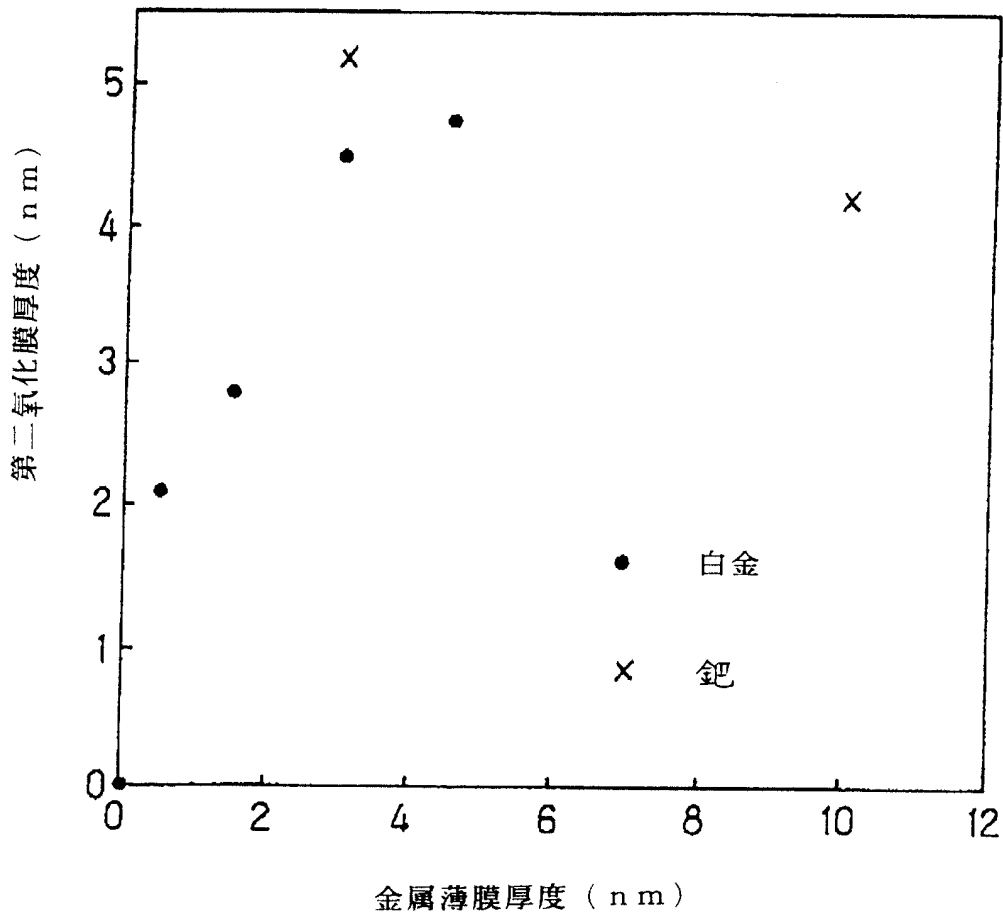
第 6 圖

白金膜厚度：3.0 nm 熱處理條件：300°C，1小時

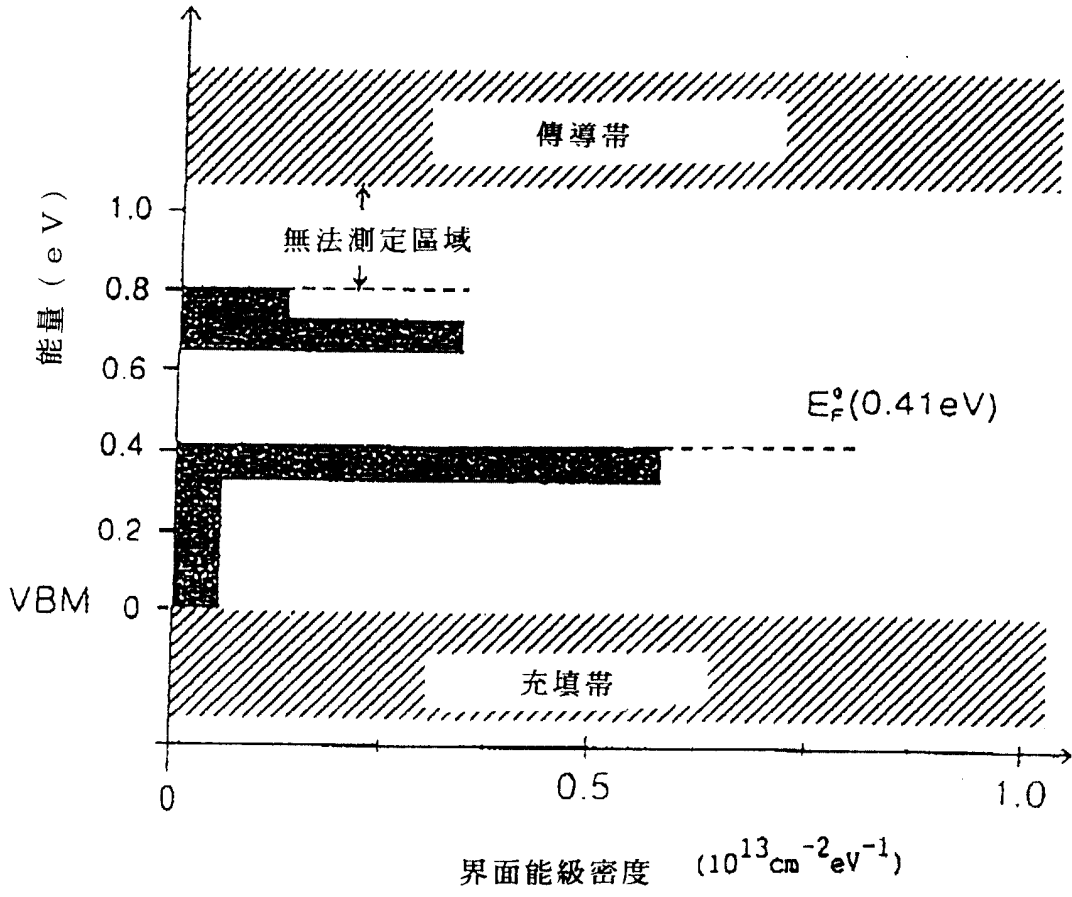


第 7 圖

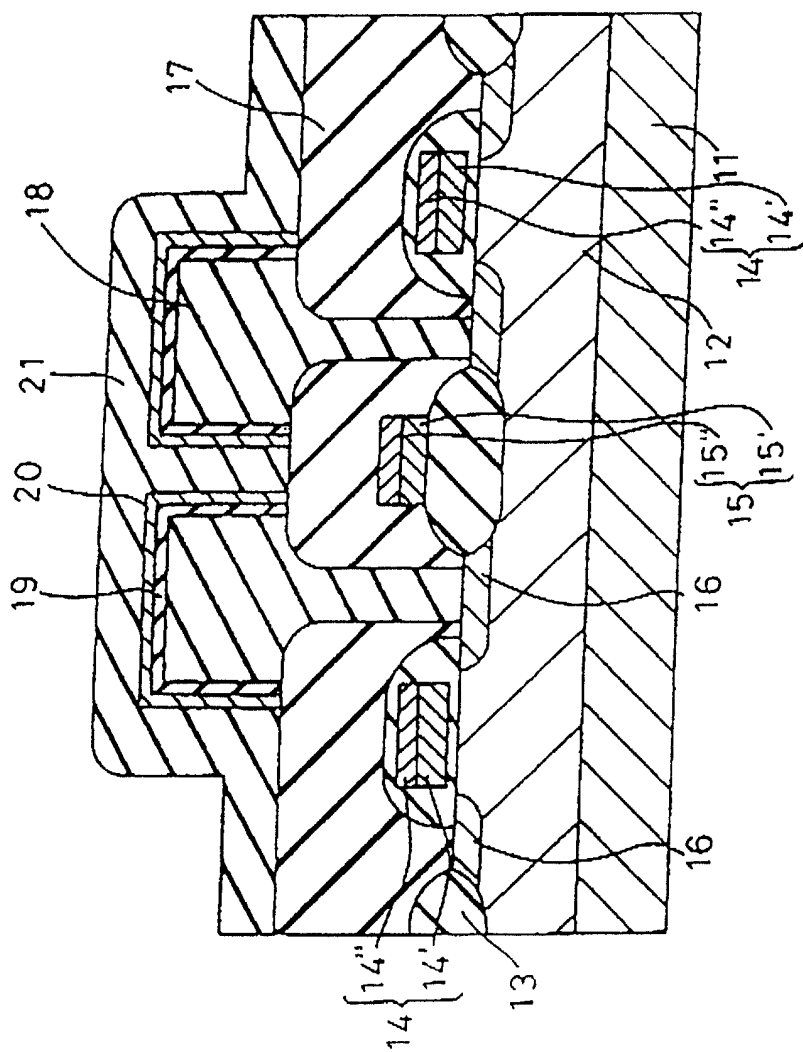
第一氧化膜厚度 1.1 nm (由加熱之濃硝酸熱處理形成, 條件:
300°C (白金), 400°C (鈮)
1 小時)



第 8 圖

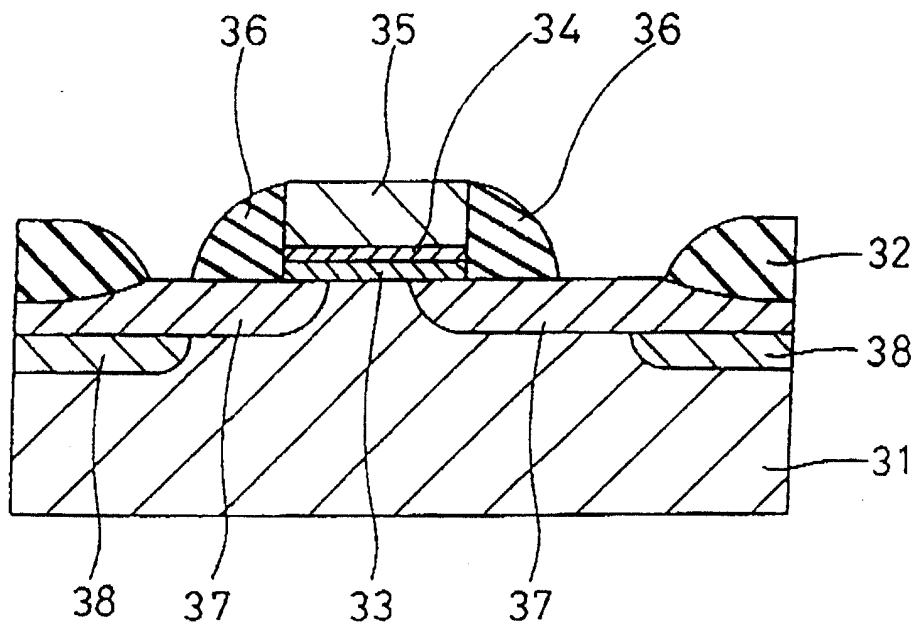


第 9 圖



第 10 圖

305058



第 11 圖