

圖 1

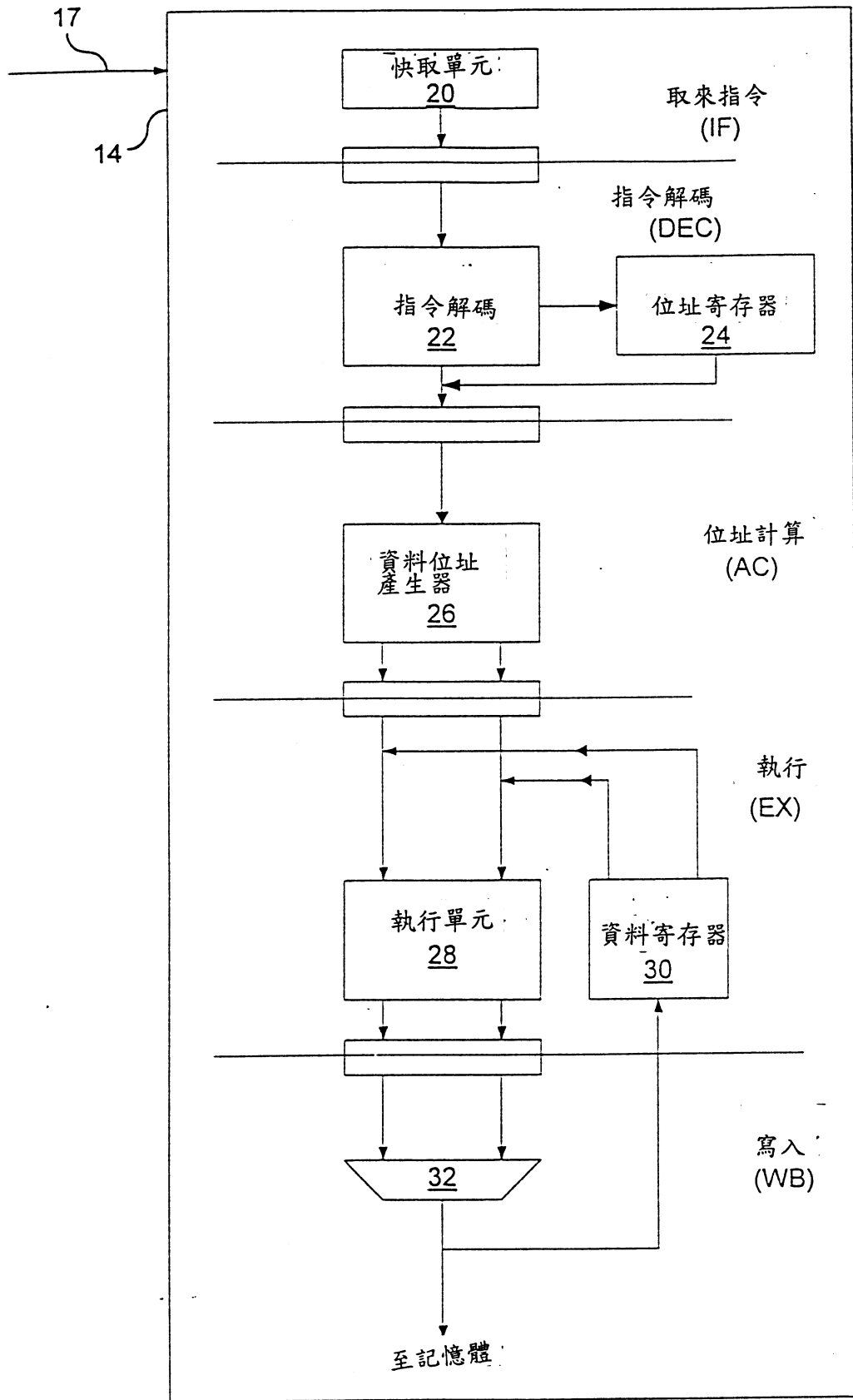


圖 2

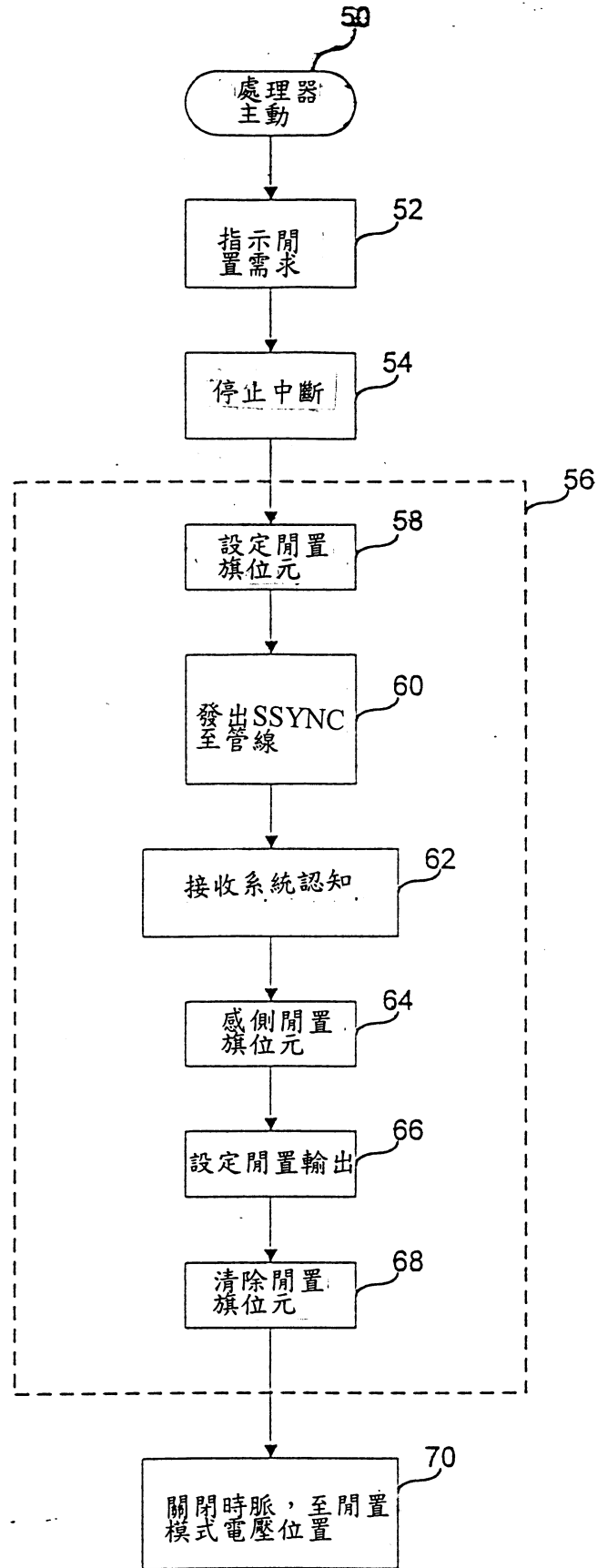


圖 3

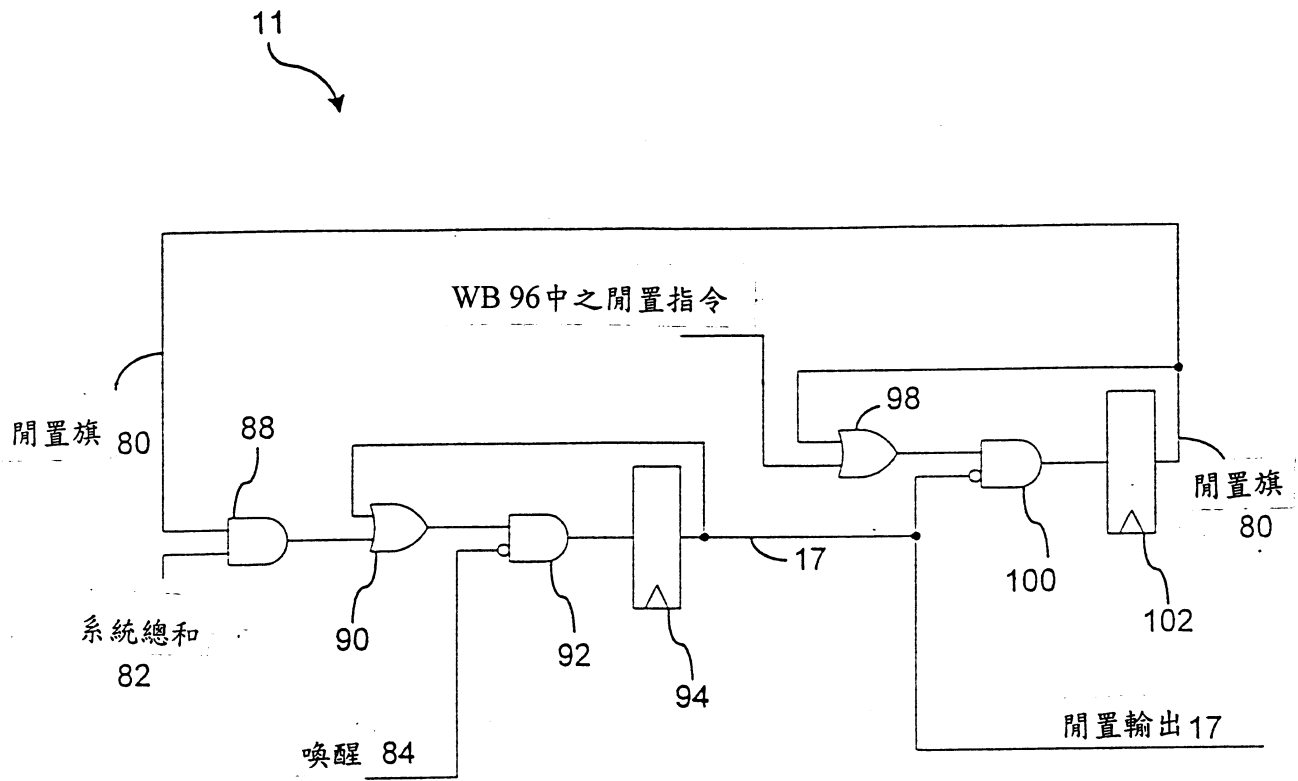


圖 4

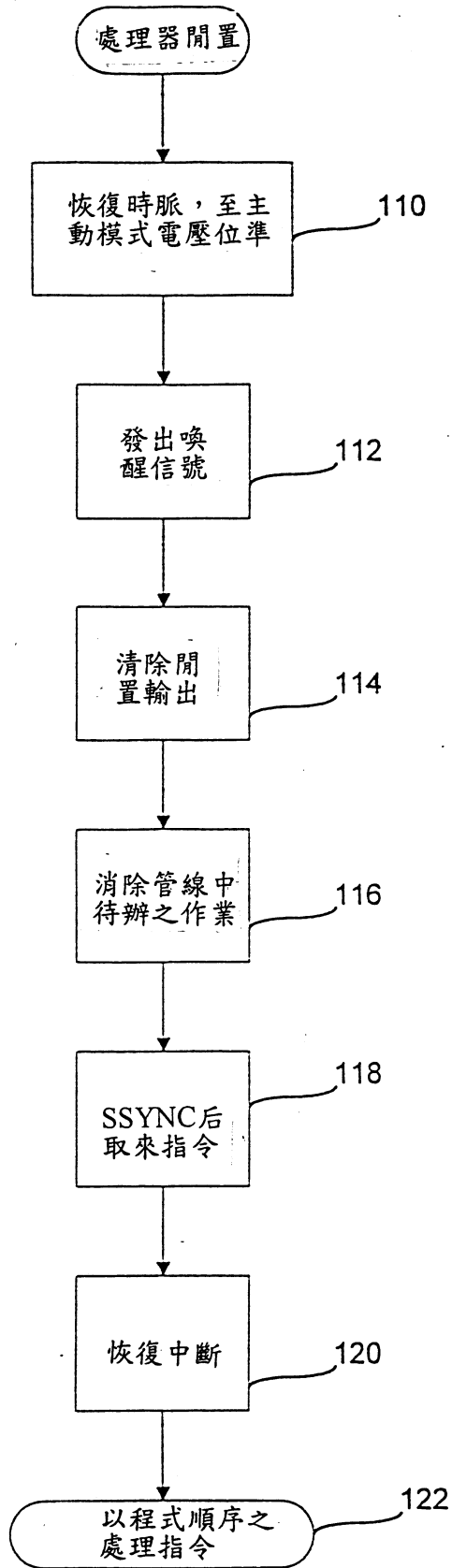


圖 5

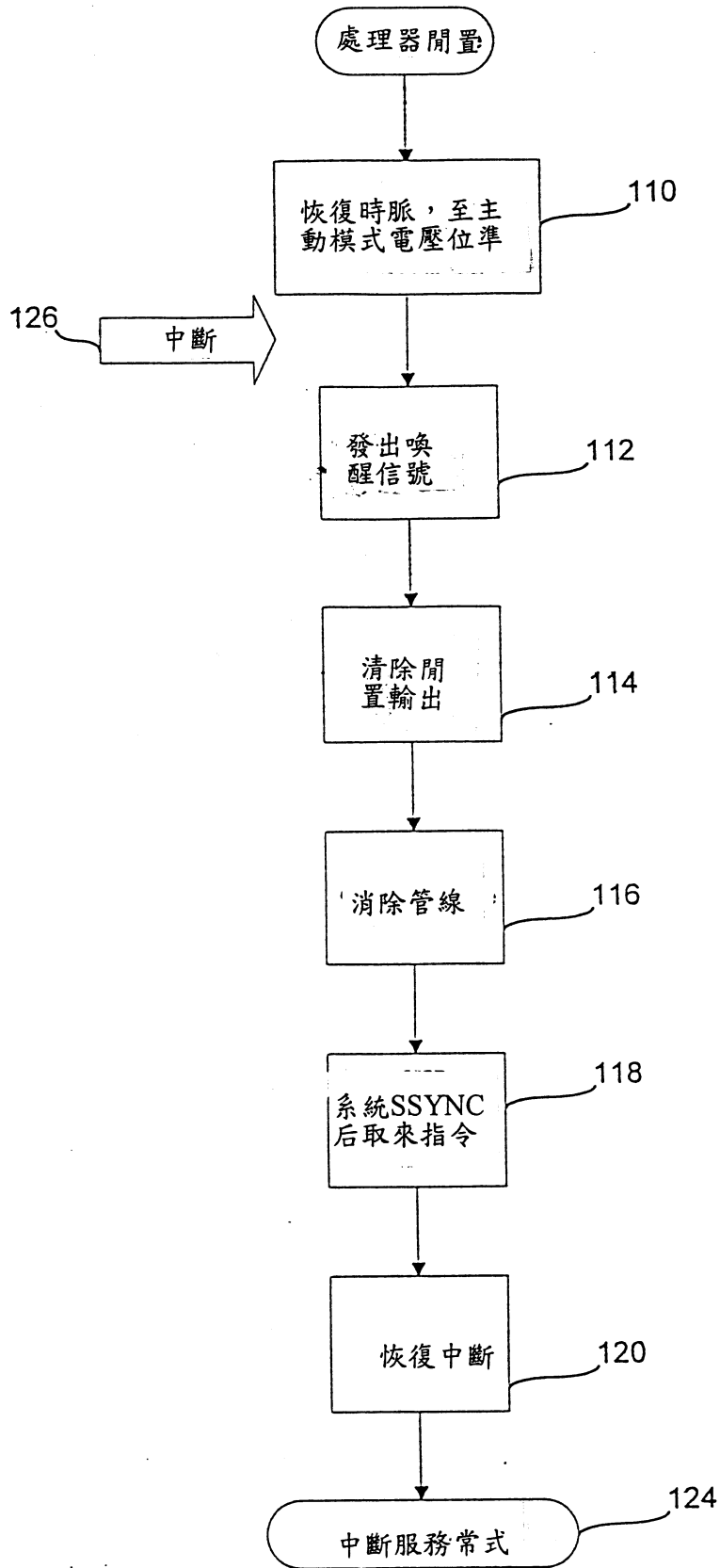


圖 6

# 公告本

94年7月11日修正  
補充

1282918

申請日期	90.11.12
案 號	90128004
類 別	G06F 1/00

A4  
C4  
中文說明書替換本(94年7月)

(以上各欄由本局填註)

發 明 專 利 說 明 書 新 型		
一、發明名稱	中 文	用以置一處理器於一閒置狀態之方法、裝置及系統
	英 文	"METHOD, DEVICE, AND SYSTEM FOR PLACING A PROCESSOR IN AN IDLE STATE "
二、發明人	姓 名	1. 查理 P. 洛西 CHARLES P. ROTH 2. 拉維 P. 辛格 RAVI P. SINGH 3. 湯瑪斯 杜馬進 THOMAS TOMAZIN 4. 大衛 B. 威特 DAVID B. WITT 5. 拉維 柯拉高勒 RAVI KOLAGOTLA 6. 朱安 里維拉 JUAN REVILLA 1.3.4.6. 均美國 2.5. 均印度
	國 籍	
住、居所	住、居所	1. 美國德州奧斯汀市帝徹斯特廣場13305號 2. 美國德州奧斯汀市梅翠克大道12349號 3. 美國德州奧斯汀市亞拉利亞大道8112號 4. 美國德州奧斯汀市派西芳德大道6318號 5. 美國德州奧斯汀市裘利維爾路11500號 6. 美國德州奧斯汀市奧斯楚港灣路10016號
	代 表 人 姓 名	
三、申請人	姓 名 (名稱)	1. 美商英特爾公司 INTEL CORPORATION 2. 美商亞拿羅設計公司 ANALOG DEVICES, INC.
	國 籍	1. 美國 2. 美國
住、居所 (事務所)	住、居所 (事務所)	1. 美國加州聖塔卡拉瓦市米遜大學路2200號 2. 美國麻州諾伍市科技路1號
	代 表 人 姓 名	1. 湯姆士 C. 雷納德 THOMAS C. REYNOLDS 2. 威廉 A. 威斯 WILLIAM A. WISE

74942-940708.doc

裝 訂 線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權  
美國 2000年11月13日 09/711,496 有 無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝  
訂  
線



## 五、發明說明 ( 1 )

## 背景

本發明係關於置一可程式處理器於一閒置狀態。

一可程式處理器，如供電腦數位信號處理系統之微處理器，其可每秒處理數百萬次之電子作業。某些應用中，處理器可在一固定時間，執行數項作業，但處理器仍保持全功率以備實施所需作業。其功率消耗在處理器併入一以電池供電裝置時，甚不理想。

## 圖式說明

圖1為一方塊圖以說明一管線可程式處理器之一例。

圖2為一流程圖，說明執行管線之一例。

圖3為一流程圖，說明置一處理器於閒置狀態方法。

圖4為閒置處理器之邏輯圖。

圖5為一流程圖，說明將處理器自閒置狀態返回之方法。

圖6為一流程圖，說明將處理器自閒置狀態返回之方法。

## 詳細說明

在某些情況下，處理器之作業如能停止則甚為理想。當處理器之作業停止時，至處理器之功率可降低，因而可提高能源效率及增加電池壽命。下述之技術可提供方法以建立處理器之閒置狀態，其中，處理器執行甚少，或不處理作業，此時，處理器不提取執行指令，及/或忽略中斷。本發明亦揭示自處理器之閒置狀態之"喚醒"及返回主動狀態之技術。

## 五、發明說明( 2 )

圖1為一方塊圖，說明具有一執行管線14及控制單元12之可程式處理器10。控制單元12在一時脈週期期間，控制指令及資料通過管線14之流程。例如，當處理一指令時，控制單元12可指揮管線14之各組件以解碼指令，並執行對應之作業，如將結果寫入記憶體。處理器10之許多作業係由時脈控制器15供應之時脈信號所驅動。

以"閒置輸出"17代表之一連接，耦合管線14至閒置處理器11，如圖1所示，其為控制單元12之一部份。閒置處理器11使發生閒置狀態。此外，閒置處理器11可宣稱閒置輸出位元17，以指示一閒置狀態。閒置輸出17可能使管線14暫停並導致管線14之作業中斷。作業之暫停可置處理器10於閒置狀態之一部份。閒置處理器11及閒置輸出17將詳述於下。

在某些應用中，可程式處理器10係與主處理器18配合。處理器10可為主處理器18之附屬或伴隨。在另一應用中，可程式處理器10可不與另一處理器配合。圖1中所示之系統係供說明，但非限制本發明之範圍。再者，可能之應用包括圖1未示出之額外組件，如靜態隨機存取記憶體、匯流排控制器、中斷處理器及輸入/輸出裝置等。

主處理器18可感測閒置輸出17。藉由感測閒置輸出17，主處理器18偵測處理器10是否為閒置或主動。主處理器18尚能適於以一喚醒信號84宣稱以喚醒處理器10。

## 五、發明說明 ( 3 )

儲存於指令快取記憶體16之指令可載入管線14之第一級，再經由隨後之各級處理。各級實際上可與其他級同時處理。資料可在系統之時脈週期下，在管線14內各級間傳遞。指令之結果可在快速一連串之處理後出現在管線14之終端。

圖2說明一範例管線14。管線14可有五級：指令提取(IF)、指令解碼(DEC)、位址計算(AC)、執行(EX)及寫回(WB)。指令可由提取單元20在第一級(IF)及位址寄存器24內之解碼器22在第二級(DEC)時，自記憶體提取，或自指令高速緩存器16提取。在次一時脈週期，結果傳輸至第三級(AC)，其中資料位址產生器26計算任何用以執行作業之記憶體位址。執行期間(EX)，執行單元28可實施作業如加或乘二數字。最後級期間(WB)，結果可寫入記憶體或資料寄存器30中。

包括可程式處理器10之應用也許遇到一情況，其中處理器10沒有工作可執行，但仍消耗功率。此情況下，讓處理器進入低功率閒置模式較為理想，或主處理器18在一段時間過後，處理器10沒有工作可執行時，亦進入閒置狀態，雖然本發明之範圍並不限於此方面。圖3說明一程序，主動狀態(50)之處理器10以此程序進入一低功率模式。當閒置已由使用者或主處理器18指出時(52)，處理器10可禁止中斷(54)。禁止中斷之方法為執行一CLI(清除中斷)指令，

## 五、發明說明 ( 4 )

其可修改該中斷處理器使用之中斷遮罩。執行CLI指令之結果，處理器10可忽視中斷而進入閒置狀態。處理器10處於一閒置狀態時亦忽視中斷。

處理器10將置本身於一已知的閒置狀態(56)。將處理器10置於一閒置狀態，可使處理器10在稍後時間，自閒置狀態離開，而不需實施再設定。圖3顯示將處理器10置於閒置狀態(56)之方法。一閒置請求可經管線14發出一閒置指令而指出(52)。如下所述，閒置指令可導致設定一閒置旗標位元80(圖4)(58)。閒置旗標位元80可指出，處理器10已進入閒置狀態。閒置旗標位元80可儲存記憶體元件，如寄存器102(圖4)。

閒置指令可在管線14中以系統同步(SSYNC)指令(60)予以追隨。通常，一SSYNC指令可規定所有待實施之作業，必須在次一作業開始前完成。一般而言，SSYNC指令可使已在管線14中之指令出現，但仍可暫停管線14，不能自快速緩存器16取出指令，直到系統82(見圖1及4)認可已收到。系統認可82可指出所有待實施作業已完成。換言之，經管線14發出SSYNC可能使管線14暫停，而導致IF級、DEC級及AC級不啟動，而使在前之指令完成實施。例如，SSYNC前之指令要求系統匯流排不被暫停，而准予完成指令，因而維持匯流排協定。SSYNC可在EX級暫停到系統收到SSYNC指令。

## 五、發明說明 ( 5 )

SSYNC指令可執行置處理器10於閒置狀態以外之作業，但是當執行與閒置指令合併時，該指令設定閒置旗標位元80(58)，SSYNC指令導致一閒置狀態，如下所述。SSYNC指令可在處理器10內產生一已知狀態，因為SSYNC指令暫停管線14直到SSYNC指令前所有作業已完成。此外，當SSYNV指令到達WB級時，SSYNC指令可"消除"或取消所有或一些管線14中之作業。

系統確認信號82可用以指示在SSYNC指令前之指令已由處理器10及系統中其他組件執行，如由主處理器18及匯流排控制器執行。處理器10收到系統確認信號82後，SSYNC指令將進入WB級並完成執行。因為閒置指令已設定閒置旗標位元80(58)，但管線14可能仍保留在暫停，SSYNC指令可能保留在EX級。系統確認信號82可由閒置處理器11(62)接收。此外，閒置旗標位元80可被感測到(64)，而導致在閒置輸出17之閒置信號輸出宣稱(66)。管線14可保留為暫停，直到閒置輸出17被宣稱。由於管線14已暫停，SSYNC指令可在EX級暫停而無法進入WB級。

閒置處理器11可清除閒置旗標位元(68)。閒置旗標位元80(64)之偵測，設定閒置輸出17(66)及清除閒置旗位元80(68)可由閒置處理器11中之邏輯實施，如下所述。此外，主處理器18可感測出閒置輸出17，其可感測出處理器10為閒置狀態，並關閉至處理器10(70)之時脈。除關閉時脈之外，

## 五、發明說明 ( 6 )

主處理器 18 可降低至處理器 10(70)之功率，即設定一電壓供應為"閒置模式電壓位準"。此閒置電壓位準通常較處理器 10 作業之"主動模式電壓位準"為小，但足夠保留寄存器中之狀態。因為功率消耗與電壓之平方成正比，一特殊實施例中降低主動模式電壓位準，如自 1.3V 降至閒置模式電壓位準之 0.7V，可節省大幅功率。藉由時脈關閉及降低功率，而使處理器 10 處於一低功率閒置模式。

圖 4 為根據本發明一實施例之閒置處理器 11 之一邏輯圖。圖 4 說明一用以實施上述技術之方法。當處理器 10 為主動時，圖中所有位元終止宣稱。閒置旗位元 80 可能未被設定以及閒置輸出引線 17 可能未被宣稱。當閒置指令進入 WB 級，一位元於元件符號 96 處被宣稱。該位元可藉由一像是寄存器 102 之儲存元件而被鎖存。在次一時脈週期，寄存器 102 可設定閒置旗標位元 80。閒置旗標位元 80 因為反饋至 OR 閘 98 而可保留，直到閒置輸出 17 被宣稱。

當閒置旗標位元 80 已宣稱 AND(88)，至 SSYNC 82 之一確認係被收到，一高位元可能被產生，其鎖存於寄存器 94 中。在次一時脈週期中，閒置輸出 17 可被設定。高位元輸出 17 可被反相並通過至 AND 閘 100，其安置一經宣稱之位元於寄存器 102 中，導致閒置旗標位元 80 在次一時脈週期時被清除。閒置輸出 17 因為至 OR 閘 90 之反饋而可保持為高，直到一喚醒信號 84 被宣稱。直到喚醒信號 84 被宣稱，則處理器

## 五、發明說明 ( 7 )

10可保持為閒置。

圖5說明處理器返回一主動狀態之方法的實施例。主處理器18可恢復時脈至處理器10及可恢復功率供應至一作業位準，例如藉由設定電源供應至主動模式電壓位準(110)。主處理器18亦可產生一喚醒信號84(112)。如圖4所示，喚醒信號84係被反相並送至AND閘92，終止宣稱一可被鎖存於寄存器94中之位元，於隨後之時脈週期(114)清除輸出位元17。

清除閒置輸出17可使管線14自暫停被釋放。因系統確認82已發出，SSYNC指令進入WB級，消除管線14(116)中所有作業。此時，根據SSYNC指令(118)，自指令快速緩存區16提取指令，進入管線14之指令流再度開始。接著SSYNC之後的指令為典型的一STI(恢復中斷)指令，其可恢復中斷任務(120)。管線14於是可程式順序處理指令(122)，即為，當喚醒時，處理器10可繼續當處理器10進入閒置模式所停止之作業。

當處於閒置模式時，處理器10可忽視中斷。處理器10亦可忽視時脈恢復前所收到之中斷(110)。時脈恢復後，中斷可被捕獲，但直到中斷恢復前，可能無動作(120)。中斷恢復(120)後，中斷可由處理器10之中斷處理器以一般方式處理。

圖6說明處理器返回主動狀態之另一實施例。圖6相似

## 五、發明說明 ( 8 )

於圖 5，除了主處理器 18 產生一中斷 (126)。在時脈恢復 (110) 後及中斷遮罩恢復前 (120)，中斷可發生於如圖 6 所示中的任何級。如上所述，當控制權已由中斷處理器轉移至中斷服務常式 (124)，中斷可被捕獲但不會動作直到中斷恢復前 (120)。結果，處理器 10 可執行中斷服務常式之指令 (124)，而非以程式順序來處理指令。

本發明數實施例已敘述如上。此等及其他實施例均在以下申請專利範圍之內。

## 圖式元件符號說明

10 可程式處理器	28 執行單元
11 閒置處理器	30 資料暫存器
12 控制單元	80 閒置旗標
14 管線	82 系統確認
15 時脈控制器	84 喚醒
16 指令快取	88 AND 閘
17 閒置輸出	90 OR 閘
18 主處理器	92 AND 閘
20 提取單元	94 暫存器
22 指令解碼	98 OR 閘
24 地址寄存器	100 AND 閘
26 資料位址產生器	102 暫存器



四、中文發明摘要 (發明之名稱：用以置一處理器於一閒置狀態之方法、裝置及系統 )

在一實施例中，本發明揭示一種方法，用以置一可程式處理器於一低功率閒置狀態，以及使該處理器返回一主動狀態。

英文發明摘要 (發明之名稱： "METHOD, DEVICE, AND SYSTEM FOR PLACING A PROCESSOR IN AN IDLE STATE " )

In one embodiment, a method is described herein for placing a programmable processor in a low-power idle state and returning the processor to an active state.

## 六、申請專利範圍

1. 一種用以置一處理器於一閒置狀態之方法，包含：

藉由透過該處理器之一執行管線來傳送一閒置指令以置該處理器於一閒置狀態，及暫停該管線提取新指令；

當在該閒置狀態時，停止對該處理器之中斷；及

宣稱在該處理器之一輸出終端之一信號為該閒置狀態。

2. 如申請專利範圍第1項之方法，尚含停止對該處理器之時脈信號輸入。

3. 如申請專利範圍第1項之方法，尚含降低對該處理器之功率輸入。

4. 如申請專利範圍第1項之方法，尚包含：

設定一閒置旗標；

經由該管線傳送一系統同步指令，用以暫停該管線提取新指令，該系統同步指令導致產生一確認信號於該管線中該系統同步指令前之所有未決指令被完成之後；及

基於感測該閒置旗標及該確認信號，將該處理器置於一閒置狀態。

5. 如申請專利範圍第4項之方法，其中在該確認信號產生前，該系統同步指令之處理導致處理器進入一已知狀態，其中該已知狀態允許該處理器脫離該閒置狀態而不需經歷一重置。

## 六、申請專利範圍

6. 如申請專利範圍第4項之方法，尚含當該系統同步指令到達該管線中之一寫回(WB)級時，取消管線中之所有作業。
7. 如申請專利範圍第1項之方法，尚包含接收一喚醒信號，以致使該處理器脫離該閒置狀態。
8. 如申請專利範圍第1項之方法，尚包含接收一喚醒信號以恢復對該處理器之中斷，並繼續當該處理器置於該閒置狀態時所停止之作業。
9. 一種用以暫停一執行管線之裝置，該裝置包含：
  - 一執行管線，其包含複數個級，該等級包括一指令提取級；及
  - 一閒置處理器，耦合至該執行管線；其中該閒置處理器適於暫停該執行管線提取一新指令，以響應一閒置指令與一系統同步確認。
10. 如申請專利範圍第9項之裝置，該閒置處理器包含一輸出終端，其中該閒置處理器適於在該輸出終端上宣稱一信號，以響應該閒置指令與該系統同步確認。
11. 如申請專利範圍第10項之裝置，其中該輸出終端係耦合至一記憶體元件。
12. 如申請專利範圍第9項之裝置，該閒置處理器包含一喚醒輸入終端，該閒置處理器適於中斷該執行管線之暫停，以響應在該喚醒輸入終端所接收之一信號。
13. 如申請專利範圍第9項之裝置，其中該閒置處理器適於

## 六、申請專利範圍

設定一閒置旗位元以響應該閒置指令，以及清除該閒置旗標位元，以響應一系統同步之確認。

14.一種用以置一第一處理器於一閒置狀態之系統，該系統包含：

一第一處理器，該第一處理器適於進入該閒置狀態及供應一閒置輸出信號至一執行管線；

一第二處理器，其耦合至該第一處理器；

一時脈適於供應一時脈信號至該第一處理器；及

其中該第一處理器包括一執行管線及耦合至該執行管線之一閒置處理器；

其中，該第二處理器停止供應至該第一處理器之該時脈信號，以響應感測該閒置輸出信號而致使該第一處理器進入該閒置狀態。

15.如申請專利範圍第14項之系統，其中該第一處理器適於在該閒置狀態時，忽視自該第二處理器發出之中斷。

16.如申請專利範圍第14項之系統，其中該第二處理器適於供應一喚醒信號至該第一處理器，且該第一處理器適於在該第一處理器感測出該喚醒信號時，脫離該閒置狀態。

17.一種使一處理器脫離一閒置狀態之方法，包含：

供應時脈信號至一處理器，其中該處理器係處於一閒置狀態且不響應中斷；

發送信號至該處理器以脫離該閒置狀態；

## 六、申請專利範圍

- 取消在該處理器之一執行管線中的全部動作；及  
恢復該處理器對於中斷之響應。
18. 如申請專利範圍第17項之方法，尚包含以一正常作業位準供應電源至該處理器。
19. 如申請專利範圍第17項之方法，尚包含：  
供應一中斷至該處理器；及  
在該處理器對中斷之響應恢復後，轉移控制至一中斷服務常式。
20. 如申請專利範圍第17項之方法，尚包含在該取消在該執行管線中的全部動作之步驟後提取一恢復指令。
21. 如申請專利範圍第20項之方法，該經提取之恢復指令恢復該處理器對中斷之響應。
22. 如申請專利範圍第17項之方法，其中該處理器供應一閒置輸出信號，該方法尚包含清除該閒置輸出信號。
23. 一種用以置一處理器由一第一模式進入一第二模式之方法，該方法包含：  
操作一處理器於一第一模式下；  
藉由透過該處理器之一執行管線傳送一閒置指令以置該處理器於一第二模式下，以及暫停該管線提取新指令；  
其中該處理器在該第二模式較在該第一模式消耗較少功率；及  
在該第二模式下，停止對該處理器之中斷。

## 六、申請專利範圍

24. 如申請專利範圍第23項之方法，尚包含停止輸入至該處理器之時脈信號。
25. 如申請專利範圍第23項之方法，尚包含降低對該處理器之電源供應。
26. 如申請專利範圍第23項之方法，其中該處理器包括一執行管線，其中該執行管線在該處理器處於該第二模式時不執行動作。
27. 如申請專利範圍第23項之方法，尚包含在該處理器處於該第二模式時發出一輸出信號，以指出該處理器係處於該第二模式下。
28. 如申請專利範圍第23項之方法，尚包含：  
    當該處理器處於該第二模式時，發出一輸入信號至該處理器；  
    返回該處理器至該第一模式以響應該輸入信號；及  
    啟動中斷至處理器。
29. 如申請專利範圍第28項之方法，其中該處理器包括一執行管線，返回該處理器至該第一模式尚包含取消在該執行管線中之所有作業以響應該輸入信號之接收。