

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95103999

※ 申請日期：95.2.7

※ IPC 分類：H01L 23/64 H05K 1/16

## 一、發明名稱：(中文/英文)

具有使用混合材料嵌入式電容之印刷電路板及其製造方法

Printed Circuit Board Having Embedded Capacitors Using Hybrid Material And  
Method of Manufacturing The Same

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

三星電機公司 / SAMSUNG ELECTRO-MECHANICS CO., LTD.

代表人：(中文/英文) 姜皓文 / KANG, HO MOON

住居所或營業所地址：(中文/英文)

大韓民國 京畿道 水原市 靈通區 梅灘3洞 314 郵便番號：443-743

314, Maetan-3dong, Yeongtong-gu, Suwon-si, Gyeonggi-do 443-743, Republic of Korea

國籍：(中文/英文) 大韓民國 / Republic of Korea

## 三、發明人：(共 3 人)

姓名：(中文/英文)

1. 金泰慶 / KIM, TAE KYOUNG

2. 吳濬祿 / OH, JUN ROK

3. 金鎮哲 / KIM, JIN CHEOL

國籍：(中文/英文) 1.2.3. 大韓民國 / Republic of Korea

四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

韓國； 2005年4月28日； 10-2005-0035626

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

一般而言，本發明係關於一種具有使用混合材料嵌入式電容之印刷電路板（PCB）及其製造方法。更特別地，  
5 本發明係關於一種具有嵌入式電容之PCB，在其中的一混合材料包含液晶聚合物及分散於其中的高頻率陶瓷粉末，形成一薄片形狀以應用在一電容器層中，然後被嵌入在該PCB中，相較於傳統的具有嵌入式電容之PCB，從而減小因溫度所引起的電容量變化，並經由一低的逸散因子，  
10 降低信號傳送耗損，以及一製造此PCB的方法。

### 【先前技術】

一般而言，電容器以電場的形式儲存能量。當一直流電源被供應到一電容器時，該電容器被充電，但該電流動  
15 停止。另一方面，如果一交流電源被連結到一電容器，當該電容被充電以及放電時，該電流通過該電容器係依據該被供應的交流電信號的頻率，以及該電容的值。

如此，具有該上述特性的電容器扮演一被動元件，實質上使用在不同的用途中，舉例如，耦合以及去耦、濾波器、  
20 器、阻抗匹配、訊號比對、充電泵，以及電與電流調節，例如、數位電路、類比電路，以及高頻電路。此外，該電容器，被製造成各式各樣的形式，例如晶片或盤狀物，且此電容器被使用在固設於PCB上的狀態。

該電容器在一電子電路中，依據其電容量以及溫度穩

定性，主要被分類為兩大種類，那就是，一電容器，例如具有低溫度穩定性以及高電容量的 B (A) 以及 F 型式 MLCC (多層陶瓷電容器)，以及一電容器，例如具有低電容量以及高溫度穩定性的 C 型式 MLCC。前者主要是使用於去耦合以及旁通，而後者被使用於訊號比對以及阻抗匹配。

雖然被動元件，例如電容器已經被製造成各式各樣的形式，例如晶片或盤狀物，以被固設於在 PCB 上迄今，電子裝置近來被要求微型化以及結構複雜化，並因此，該用於固設該被動元件在 PCB 上的面積減小。此外，當隨著高速電子裝置頻率增加，寄生阻抗 (parasitic impedance) 經由導線、錫料等等產生，其介於該被動元件以及 IC 之間，因而導致了數個問題。為了解決該問題，各式各樣的嘗試曾被做過，主要最重要的是經由該 PCB，以及電子與電子元件的製造，以嵌入該電容器在該 PCB 中。

然而，由於大部分材料製造業者用於具有嵌入式電容之 PCB 的開發迄今，因該溫度以及濕度，具有不穩定的電容量，他們僅僅有限地研究使用在去耦合以及旁通。

就這一點而言，圖 1A 到 1E 連續地說明製造一習知的具有嵌入聚合物厚膜電容器之 PCB 製程。依照該習知製程，一聚合物電容器糊狀物塗覆在一基板上，然後使用熱 (或固化) 乾燥，以完成包含嵌入聚合物厚膜電容器的 PCB，其係參考圖式以具體敘述之。

之 PCB，製造嵌入分離式電容器的方法被揭露，其曾被美國摩托羅拉公司（Motorola Co. Ltd., USA.）獲得專利。該上述方法包含塗敷一含有陶瓷粉末之光介電樹脂在一基板上，壓合銅箔在該樹脂層上以形成上電極以及下電極，形成一電路圖案，然後蝕刻該光介電樹脂，以完成該分離的電容器。

此外，有一經由各自獨立地於 PCB 的內層中包含具有電容性質的介電層，以便被用來代替固設在該 PCB 上之去耦電容器，來製造此嵌入式電容器的方法被提及，其曾被美國山米訥公司（Sanmina Co. Ltd., USA.）獲得專利。在此方法中，該介電層係包含供電電極以及接地電極，而被結合在該 PCB 的內層中，以獲得一電力分配去耦電容器。

為達到上述技術各種製程正在研究中，而每一個製程具體的方法被變更修改。

就這一點而言，美國專利第 5,079,069 號，授予 Howard 等人，揭露一使用在電容 PCB 中之電容器薄板及製造方法，其中該”借入電容器”的觀念被使用，以製造該 PCB，其包含一結構上不易彎曲的電容器薄膜層，此薄膜層由兩個傳導層以及一介電層夾在介於該二層之間所組成，其在操作中連接大量的裝置。

並且，美國專利第 5,010,641 號，授予 Sisler 等人，揭露製造一多層 PCB，以消除需要旁通電容器的方法，其經由提供一個或更多完全固化的電源接地面之三明

治式組件，其係與 PCB 之其他部分固化的組件層與電路圖案形成的組件一起壓合。

依據該習知技術，該厚膜主要地是以環氧樹脂以及陶瓷粉末形成。在該薄膜的例子中，陶瓷，例如鈦酸鋇，係通過一薄膜製程形成一薄膜，其曾被發明用以嵌入一電容器，以使用在去耦以及旁路中。雖然此一薄膜具有相對高的電容量，它有因溫度而電容量巨大變化的限定，但也是一高的逸散因子，並因而不適合使用在嵌入已固設在用於高頻率電路中作為訊號比對以及阻抗匹配之該 PCB 上的電容器。

#### 【發明內容】

經由密集且徹底的研究具有嵌入式電容器的 PCB 而得到本發明，經由發明人針對避開該在相關技藝中遇到的問題實行，結果發現，高頻率陶瓷填充物可以被添加到在高頻率具有高介電性質之液晶聚合物中，以製備一混合材料，而被使用作為用於具有嵌入式電容器之 PCB 的介電層的材料，從而製造具有嵌入式電容器之 PCB，在其中固設於 PCB 上之一溫度補償 MLCC (C 型式 MLCC) 可以被嵌入在該 PCB 中。

因此，本發明的目的是提供一具有使用混合材料嵌入式電容器之 PCB，其可以因溫度以及溼度變化而僅僅微小地改變電容量，相較於習知的具有嵌入式電容器之 PCB，由於其低的逸散因子，可以使信號耗損以及熱放射減到最

小。

本發明之另一目的是提供一製造此 PCB 的方法。

本發明之再一目的是提供一適合使用在高頻率電流中，作為訊號比對以及阻抗匹配的具有嵌入式電容器之  
5 PCB。

本發明還另有一目的是提供一製造此 PCB 的方法。

為了實現上述目的，本發明提供一具有使用混合材料  
嵌入式電容器之 PCB，包含 (A) 一雙邊 CCL (銅箔基  
10 板)，其一銅箔形成一具有電路圖案的第一電路層，另一  
銅箔形成一具有電路圖案的第四電路層；(B) 一混合  
CCL，其包含一混合介電層，其包含液晶聚合物以及陶瓷  
粉末，且銅箔壓合於其兩表面上，此混合 CCL 的一銅箔  
15 形成一具有下電極以及電路圖案的第三電路層，另一銅  
箔，形成一具有上電極以及電路圖案的第四電路層，其形  
成的該第二電路層以及第三電路層中，第二電路層下電  
極，係相對於第三電路層上電極而言；(C) 一絕緣層，  
其係配置壓合於於 (A) 的 CCL 以及 (B) 的混合 CCL  
20 之間，以便放置該 CCL 的第一電路層以及該混合 CCL 的  
第二電路層，作為互相正對的內層；(D) 單邊 CCL，其  
係壓合於第三電路層以及第四電路層上；(E) 一盲孔以  
及一通孔，其係形成在該單邊 CCL 的預設部分；以及  
(F) 一電鍍層，其係電鍍在該盲孔與通孔中。

在本發明的 PCB 中，該液晶聚合物較佳地具有介電  
常數為 3.5 或更小，以及一逸散因子為 0.0007~0.002。

電層上，而形成相對於該第二電路層的下電極之一具有上電極以及電路圖案的第三電路層；(F)將該(D)的薄板的另一外銅箔形成一具有電路圖案的第四電路層；(G)壓合單邊CCL於該第三電路層以及第四電路層上；(H)於該單邊銅箔基板的預設部分形成一盲孔及一通孔；以及(I)電鍍該盲孔及通孔以連結該些層。

在本發明的方法中，該步驟(B)是較佳地在 $300\sim 350^{\circ}\text{C}$ 、 $400\sim 600\text{ N/cm}^2$ 下實施。

在本發明的方法中，該步驟(G)是較佳地使用一增層製程來實施。

### 【實施方式】

在此之後，伴隨著參考附加的圖式，將詳細說明本發明。

本發明提供一具有使用混合材料嵌入式電容之PCB，在其中經由添加高頻率陶瓷填充物到液晶聚合物得到一混合介電層，具有優良的高頻率性質被應用，從而展示一穩定的介電常數，以及低的逸散因子，適用於高頻率電路中作為訊號比對以及阻抗匹配。另外，提供此PCB的製造方法。

在本發明中，混合介電層經由將高頻率陶瓷填充物混合至液晶高分子聚合物中而形成。

液晶聚合物，是一熱塑性樹脂，具有一低的介電常數以及低的逸散因子，近幾年來，經由研究，此類液晶聚合



的 ZST、 $\text{CaCO}_3\text{-TiO}_2\text{-La}_2\text{O}_3\text{-Al}_2\text{O}_3$ 、 $\text{BaTiO}_3\text{-TiO}_2\text{-Nd}_2\text{O}_3\text{-Sm}_2\text{O}_3\text{-Bi}_2\text{O}_3$ 、 $\text{CaCO}_3\text{-TiO}_2\text{-Nd}_2\text{O}_3\text{-Li}_2\text{CO}_3$ ，以及以鋇為主的鈣鈦礦介電粉末，例如  $\text{BaO-ZnO-Ta}_2\text{O}_5$  的 BZT，以及  $\text{BaO-MgO-Ta}_2\text{O}_5$  的 BMT 所組成之群組。

5 關於這些陶瓷材料，典型地適用的高頻率陶瓷材料的種類及性質，被概括在下表 1 中。

表 1  
高頻率陶瓷粉末

材料	ZnO MgO SiO <sub>2</sub>	CaCO <sub>3</sub> TiO <sub>2</sub> MgO	BaTiO <sub>3</sub> TiO <sub>2</sub>	ZrO <sub>2</sub> SnO <sub>2</sub> TiO <sub>2</sub>	CaCO <sub>3</sub> TiO <sub>2</sub> La <sub>2</sub> O <sub>3</sub> Al <sub>2</sub> O <sub>3</sub>	BaTiO <sub>3</sub> TiO <sub>2</sub> Nd <sub>2</sub> O <sub>3</sub> Sm <sub>2</sub> O <sub>3</sub> Bi <sub>2</sub> O <sub>3</sub>	CaCO <sub>3</sub> TiO <sub>2</sub> Nd <sub>2</sub> O <sub>3</sub> Li <sub>2</sub> O <sub>3</sub>
燒結體密度 (g/cm <sup>3</sup> )	3.56	3.84	4.50	5.21	4.75	5.77	4.66
介電常數	6.43	21.09	36.65	37.36	44.88	92.03	117.32
Q'f <sub>0</sub>	113,745	57,024	44,436	41,808	41,164	6,712	1,132

陶瓷粉末較佳地具有一平均顆粒大小為 0.5~2 μm。

10 如果其平均顆粒大小是小於 0.5 μm，陶瓷粉末是難於分散。另一方面，如果其平均顆粒大小是大於 2 μm，其崩潰電壓是低於具有相同厚度的絕緣層。

陶瓷粉末是包含在介電層中，其量為 5~55 vol%，以經濟性地呈現所想要的性質。

15 本發明的混合介電層，可以依據如下所提到的典型的介電層製程被製備，但不限於此。

依據典型的介電層製程，陶瓷粉末被分散在液晶聚合物以及溶劑中以製備漿料，其隨後被形成為具有 10~300 μm 厚度的厚膜，根據所想要的電容量以及可用的區域，

在 PET 膜上塗佈一脫模劑，經由刮刀成型法作為一般的薄片形成製程。此厚膜使用熱乾燥，以從此漿料揮發溶劑，此後塗佈一脫模劑的 PET 膜被去除，以獲得一薄片形狀的混合介電層。

- 5 在本發明的較佳具體實例中，液晶聚合物，在 1 GHz 時具有介電常數為 2.96，以及逸散因子為 0.00099，是被溶解在一例如為 PFP（五氟酚）、PCP（五氯酚）等等之溶劑中，並使用一機械攪拌機以製備一溶液。在此溶液中考慮到液晶聚合物的量，以一適當量的陶瓷粉末添加到此
- 10 溶液，並隨後使用籃式砂磨分散以製備漿料。

此陶瓷粉末可以通過鍛燒，並隨後粉碎，如一般的陶瓷粉末製備製程被獲得，而具有一大小為約 1  $\mu\text{m}$ 。

- 以此製備之漿料塗覆到一塗佈脫模劑的 PET 膜，並使用刮刀成型法以製備一厚膜，隨後乾燥，以獲得一厚度為
- 15 大約 20  $\mu\text{m}$  的介電層。測量此獲得的混合介電層的介電性質。此結果總結在下表 2 中。

表 2

混合材料的介電性質

	A	B	C	D	E	F	G
陶瓷填充物	CaCO <sub>3</sub> TiO <sub>2</sub> MgO	BaTiO <sub>3</sub> TiO <sub>2</sub>	ZrO <sub>2</sub> SnO <sub>2</sub> TiO <sub>2</sub>	CaCO <sub>3</sub> TiO <sub>2</sub> La <sub>2</sub> O <sub>3</sub> Al <sub>2</sub> O <sub>3</sub>		BaTiO <sub>3</sub> TiO <sub>2</sub> Nd <sub>2</sub> O <sub>3</sub> Sm <sub>2</sub> O <sub>3</sub> Bi <sub>2</sub> O <sub>3</sub>	
陶瓷粉末量 (vol%)	30	30	30	30	15	30	45
1GHz 時的 介電常數	7.1	7.8	8.6	9.4	7.3	11.2	17.2

1GHz 時的 耗損值 (Df) ( $\times 10^{-3}$ )	1.3	1.4	1.8	2.1	2.9	2.4	2.2
厚度 ( $\mu\text{m}$ )	20	20	20	20	20	20	20
電容密度 (nF/in <sup>2</sup> )	1.35	1.49	1.64	1.79	1.39	2.13	3.28
TCC (ppm/ $^{\circ}\text{C}$ )	300	370	400	510	480	700	1,000

在案例中，一混合材料由一聚合物或感光性樹脂，例如環氧樹脂，以及陶瓷所組成，被使用在一習知的具有嵌入式電容之 PCB 中作為介電層，此介電常數隨溫度極大的變化，且逸散因子是高的。因此，在 PCB 中，其不可能嵌入電容器來用作訊號比對，因電容器已固設於 PCB 上。

然而，因為本發明的混合材料所形成的介電層相應於此溫度變化以及為 0.003 或更少的逸散因子，可以顯示一穩定的介電常數 (7~17.2)，如表 2 中所示，其適合使用於嵌入在電容器中以用作訊號比對，其一直固設於此 PCB 上。

參照於圖 2A 到 2I，說明本發明之一具有使用混合介電層嵌入式電容之 PCB 的製程。

圖 2A 到 2I 係本發明之具有嵌入式電容之 PCB 製程的連續剖面圖。

準備一雙邊 CCL，其具有一絕緣樹脂層 101 以及銅箔 102,103 在其兩側 (圖 2A)。

隨後，一個雙邊 CCL 的銅箔 102 被提供到一典型的微影製程，包含在一預設圖案中之一乾膜的應用，通過曝光以及顯影，移除與此蝕刻區域相應的乾膜，然後使用一蝕刻劑蝕至此蝕刻區域，以形成一包含電路圖案的第一電路層 102a,102b,102c (圖 2B)。

然後，一混合介電層 104 以一薄片形狀呈現，其分別經由將一具有介電常數為 5~120 以及  $Q \cdot f$  為 1,000~150,000 的陶瓷粉末，混合至液晶聚合物 (圖 2C) 中製備而得。較佳地，以一薄片形狀呈現的混合介電層 104，可經由混合液晶聚合物、溶劑以及陶瓷粉末製備成漿料，然後再以刮刀成型法製備而得，但不限於此製程。

就其本身而論，此混合介電層 104 具有一厚度為 10~300 $\mu\text{m}$ ，以保持中間層絕緣強度，並顯示必要的電容量。

隨後，銅箔 105,106 壓合於混合介電層 104 的兩側上 (圖 2D)。此薄片較佳地是在 300~350 $^{\circ}\text{C}$ 、400~600  $\text{N}/\text{cm}^2$  下使用一熱真空擠壓。如果此薄片的狀態落在上述範圍之外，例如，如果此溫度太低，此液晶聚合物作為熱塑性樹脂無法充分地溶解，並與此銅箔的黏著力減小。另外，如果溫度太高，由於樹脂的溢出，絕緣層流出銅箔因而變薄，而導致電容量密度與設計值不同。

然後，一個混合 CCL 的銅箔 106 使用包含在一預設圖案中有一乾膜塗覆的微影製程，通過曝光以及顯影，移

除與此蝕刻區域相應的乾膜，然後使用一蝕刻劑蝕刻此蝕刻區域，以形成一包含下電極 106a,106b 以及電路圖案（未顯示）的第二電路層（圖 2E）。

然後，具有第一電路層的 CCL，以及具有第二電路層  
5 的混合 CCL 與一絕緣層 107 一起壓合，舉例如，一預浸材，依據一典型的製程經由熱真空擠壓的使用配置於其間，如此具有電路圖案 102a,102b,102c 的第一電路層之 CCL 以及具有下電極 106a,106b 與電路圖案（未顯示）的第二電極之混合 CCL 被放置作為互相正對的內層（圖  
10 2F）。

隨後，為了形成一外銅箔 105，其提供至此薄板的介電層 104 上，以此方式獲得相對於下電極 106a,106b 的上電極 105a,105b，而介電層 104 配置於其間，此銅箔 105 使用包含在一預設圖案中有一乾膜塗覆的微影製程，  
15 通過曝光以及顯影，移除與此蝕刻區域相應的乾膜，然後使用一蝕刻劑蝕刻此蝕刻區域，以形成一第三電路層，其包含相對下電極 106a、106b 之上電極 105a,105b，以及電路圖案（未顯示）（圖 2G）。

同樣地，薄板的另一外銅箔 103 使用包含在一預設圖案中有一乾膜塗覆的微影製程，通過曝光以及顯影，移除與此蝕刻區域相應的乾膜，然後使用一蝕刻劑蝕刻此蝕刻區域，以形成一包含電路圖案 103a,103b,103c 的第四電路層（圖 2G）。

之後，單邊 CCL108+110,109+111，以 RCC（樹

脂塗佈的銅) 為材料製成，使用增層製程分別壓合於包含上電極 105a,105b 與電路圖案 (未顯示) 的第三電路層，以及包含電路圖案 103a,103b,103c 的第四電路層上(圖 2H)。

5 單邊 CCL108+110,109+111 的外層 110,111，使用上述微影製程，以形成電路圖案 110a,110b,111a,111b,111c,111d 等等。然後，使用一雷射鑽孔形成盲孔 113 以及使用機械鑽孔形成通孔 112，且此盲孔 113 以及通孔 112 經由無電電鍍法電鍍以連結中間層電路 (圖 10 2I)。

在此方法中，混合材料的電容器層形成，其係經由將高頻率陶瓷粉末混合至液晶聚合物中而嵌入在 PCB 中得到，從而完成一嵌入式電容器，其是有益的，因為相較於習知的具有嵌入式電容的 PCB，此電容量僅僅稍微地因溫度而變化，且此信號傳送耗損由於低的逸散因子是較低的。

此外，一溫度補償 MLCC (C 型式 MLCC)，其在此並非嵌入在 PCB 中，而是固設在 PCB 上，其可以被嵌入在 PCB 中，從而供應一具有嵌入式電容的 PCB，適合使用 20 用在高頻率電路中作為訊號比對以及阻抗匹配。

本發明的較佳實例，關於具有使用混合材料嵌入式電容之 PCB 以及製造此一 PCB 的方法，為了詳細說明的目的而被揭露，但不被解釋為對本發明的限制，且熟悉此項技藝者在不悖離本發明的精神下，將瞭解其不同的修飾、

增加以及取代的可能性。

如在此之前所描述，本發明提供一具有使用混合材料  
嵌入式電容器之 PCB 及其製造方法，根據本發明，一混  
合材料經由將高頻率陶瓷粉末添加至在高頻率具有高介電  
5 性質的液晶聚合物中而得到，其在具有嵌入式電容器之  
PCB 中被使用於作為介電層，從而完成嵌入式電容器層，  
其具有較低的逸散因子以及 TCC，結果在信號傳送上，與  
習知具有嵌入式電容器之 PCB 的介電層相較，減少了信  
號耗損。

10 另外，高頻率陶瓷填充物的種類與數量，以及此電極  
的面積可以被改變，並以此方式，本發明的電容器層可以  
與用於各式各樣電子系統所需的電容量以及逸散因子相符  
合。

因此，即使用在高頻率電路中作為訊號比對以及阻抗  
15 匹配的電容器，其由於因溫度而大的電容量變化，以及介  
電層高的逸散因子，而已經固設在 PCB 上，而仍可以被  
嵌入在 PCB 中。

在上述教導的啟發中，許多本發明的修飾與變動是可  
能的，而不會悖離本發明的範圍以及精神以揭露在隨後之  
20 申請專利範圍中。

#### 【圖式簡單說明】

圖 1A 到 1E 是連續地代表圖，展示一具有嵌入式高  
分子聚合物厚膜電容之 PCB 的習知製程。

圖 2A 到 2I 是連續地代表圖，展示一根據本發明，具有嵌入式電容之 PCB 製程。

【主要元件符號說明】

41	內層	42	PCB
43a,43b	陰極的銅箔	44a,44b	陽極的銅箔
45a,45b	電容器糊狀物	46a,46b	陽極
47a,47b	絕緣層	49a,49b	雷射盲孔
50a,50b	負端	51a,51b	正端
52a,52b	IC 晶片	101	絕緣樹脂層
102,103,105,106			銅箔
102a,102b,102c			第一電路層
103a,103b,103c			電路圖案
104	混合介電層	105a,105b	上電極
106a,106b	下電極	107	絕緣層
108,109	CCL	110,111	外層
110a,110b,111a,111b,111c,111d			電路圖案
112	通孔	113	盲孔



### 五、中文發明摘要：

本發明揭露一種具有使用混合材料嵌入式電容之印刷電路板及其製造方法。特別地，本發明提供一具有嵌入式電容之印刷電路板，其使用一材料用於一包含液晶聚合物及陶瓷粉末的混合介電層，以及一製造此印刷電路板的方法。

### 六、英文發明摘要：

Disclosed herein is a printed circuit board having embedded capacitors using a hybrid material and a method of manufacturing the same. Specifically, this invention provides a printed circuit board having embedded capacitors using a material for a hybrid dielectric layer including liquid crystal polymer and ceramic powder, and a method of manufacturing such a printed circuit board.

3.如申請專利範圍第1項中所述之印刷電路板，其中該陶瓷粉末具有一介電常數為5~120，以及 $Q \cdot f$ 為1,000~150,000。

4.如申請專利範圍第1項中所述之印刷電路板，其中該陶瓷粉末係選自由 $\text{BaTiO}_3\text{-TiO}_2$ 、 $\text{ZnO-MgO-SiO}_2$ 、 $\text{CaCO}_3\text{-TiO}_2\text{-MgO}$ 、 $\text{BaO-MgO-Ta}_2\text{O}_5$ 、 $\text{ZrO}_2\text{-SnO}_2\text{-TiO}_2$ 、 $\text{BaO-ZnO-Ta}_2\text{O}_5$ 、 $\text{CaCO}_3\text{-TiO}_2\text{-Nd}_2\text{O}_3\text{-Li}_2\text{CO}_3$ 、 $\text{BaTiO}_3\text{-TiO}_2\text{-Nd}_2\text{O}_3\text{-Sm}_2\text{O}_3\text{-Bi}_2\text{O}_3$ 、以及 $\text{CaCO}_3\text{-TiO}_2\text{-La}_2\text{O}_3\text{-Al}_2\text{O}_3$ 所組成之群組。

5.如申請專利範圍第1項中所述之印刷電路板，其中該陶瓷粉末具有一平均顆粒大小為0.5~2 $\mu\text{m}$ 。

6.如申請專利範圍第1項中所述之印刷電路板，其中該陶瓷粉末在該介電層中的量為5~55 vol%。

7.如申請專利範圍第1項中所述之印刷電路板，其中該介電層為10~300 $\mu\text{m}$ 厚。

8.如申請專利範圍第1項中所述之印刷電路板，其中包含該介電層作為用於訊號比對或阻抗匹配的一電容器功能之一層。

9.一種製造一具有使用混合材料嵌入式電容之印刷電路板的方法，包含：

(A)於雙邊銅箔基板中任一邊的銅箔形成一具有電路圖案的第一電路層；

(B)壓合銅箔於一混合介電層的兩表面上，該混合介電層包含液晶聚合物與分散於其中的陶瓷粉末，並形成一

薄片形狀，以形成一混合銅箔基板；

(C)於該混合銅箔基板中任一邊的銅箔形成一具有下電極與電路圖案的第二電路層；

(D)壓合該(A)的銅箔基板以及該(C)的混合銅箔  
5 基板，偕同一絕緣層配置在其中間，上述該銅箔基板的第一電路層及該混合銅箔基板的第二電路層被放置作為互相正對的內層，而形成一預設的薄板；

(E)提供一外銅箔，使其於該(D)的薄板的介電層  
10 上，而形成相對於該第二電路層的下電極之一具有上電極及電路圖案的第三電路層；

(F)將該(D)的薄板之另一外銅箔形成一具有電路圖案的第四電路層；

(G)分別壓合單邊銅箔基板於該第三電路層及第四電路層上；

(H)於該單邊銅箔基板的預設部分形成一盲孔及一通  
15 孔；以及

(I)電鍍該盲孔及通孔以連結該些層。

10.如申請專利範圍第9項中所述之方法，其中該液晶  
20 聚合物具有一介電常數為3.5或更少，以及逸散因子為0.0007~0.002。

11.如申請專利範圍第9項中所述之方法，其中該陶瓷  
粉末具有一介電常數為5~120，以及 $Q \cdot f$ 為1,000~150,000。

12.如申請專利範圍第9項中所述之方法，其中該陶瓷

粉末係選自由BaTiO<sub>3</sub>-TiO<sub>2</sub>、ZnO-MgO-SiO<sub>2</sub>、CaCO<sub>3</sub>-TiO<sub>2</sub>-MgO、BaO-MgO-Ta<sub>2</sub>O<sub>5</sub>、ZrO<sub>2</sub>-SnO<sub>2</sub>-TiO<sub>2</sub>、BaO-ZnO-Ta<sub>2</sub>O<sub>5</sub>、CaCO<sub>3</sub>-TiO<sub>2</sub>-Nd<sub>2</sub>O<sub>3</sub>-Li<sub>2</sub>CO<sub>3</sub>、BaTiO<sub>3</sub>-TiO<sub>2</sub>-Nd<sub>2</sub>O<sub>3</sub>-Sm<sub>2</sub>O<sub>3</sub>-Bi<sub>2</sub>O<sub>3</sub>，以及CaCO<sub>3</sub>-TiO<sub>2</sub>-La<sub>2</sub>O<sub>3</sub>-Al<sub>2</sub>O<sub>3</sub>所組成之群組。

13.如申請專利範圍第9項中所述之方法，其中該陶瓷粉末具有一平均顆粒大小為0.5~2μm。

14.如申請專利範圍第9項中所述之方法，其中在該介電層中含有該陶瓷粉末的量為5~55 vol%。

10 15.如申請專利範圍第9項中所述之方法，其中該介電層為10~300μm厚。

16.如申請專利範圍第9項中所述之方法，其中步驟(B)於300~350°C、400~600N/cm<sup>2</sup>下實施。

15 17.如申請專利範圍第9項中所述之方法，其中步驟(G)使用一增層製程來實施。

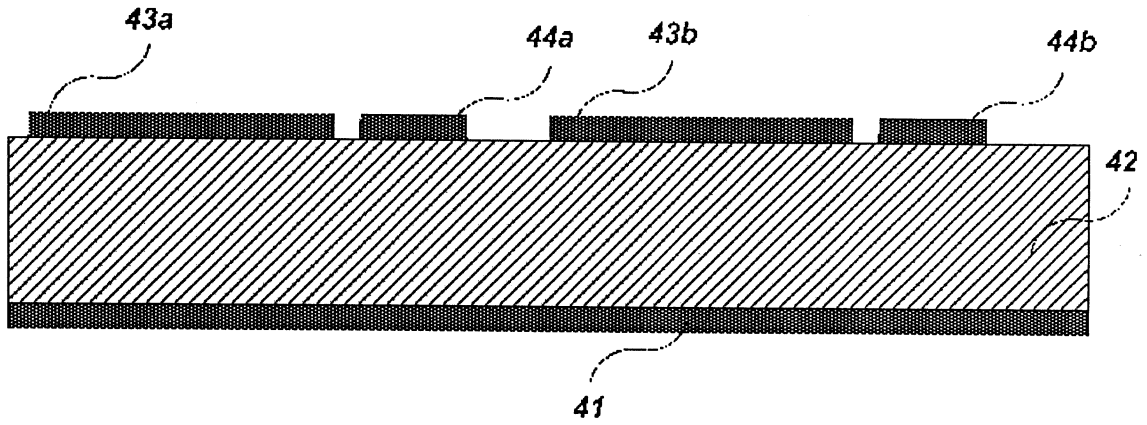


圖 1A

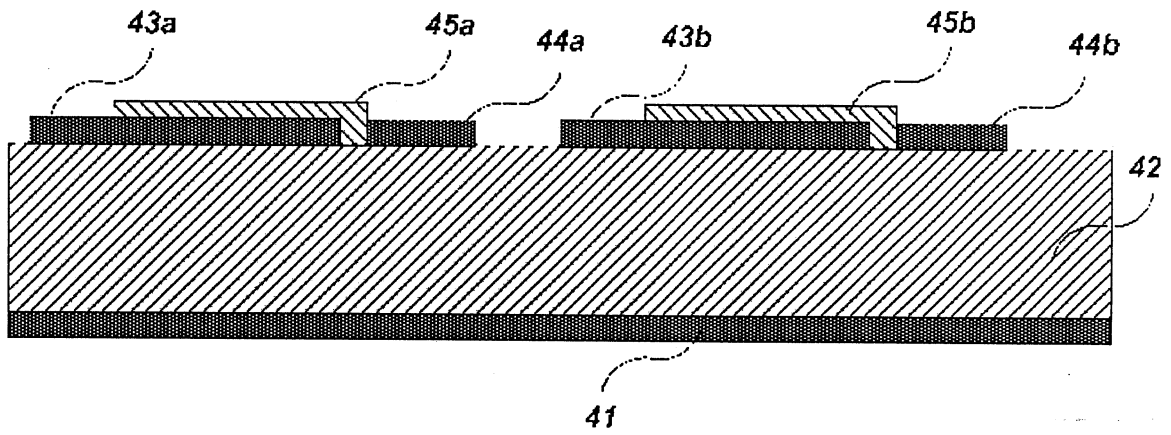


圖 1B

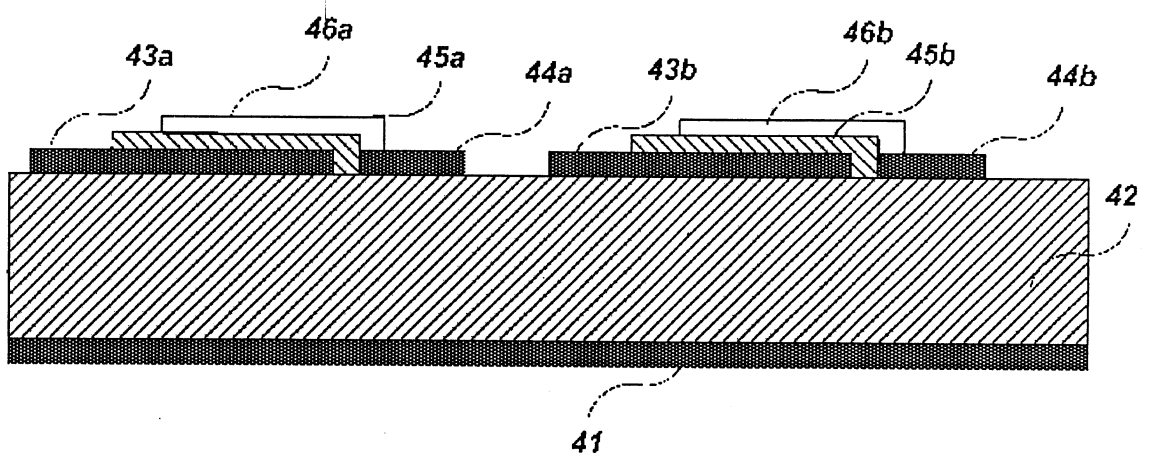


圖 1C

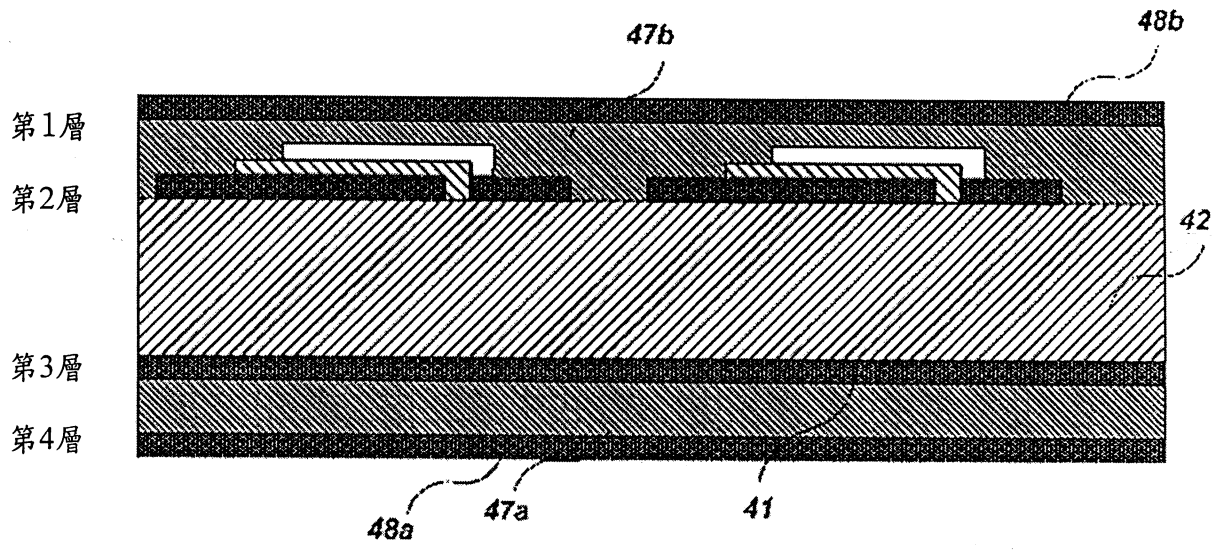


圖 1D

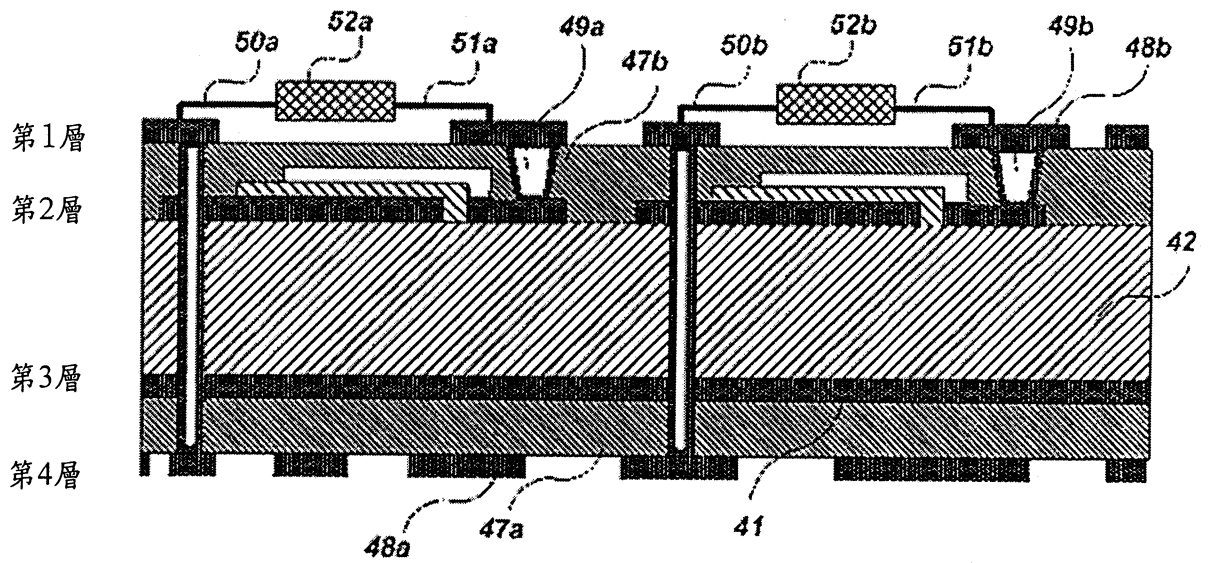


圖 1E

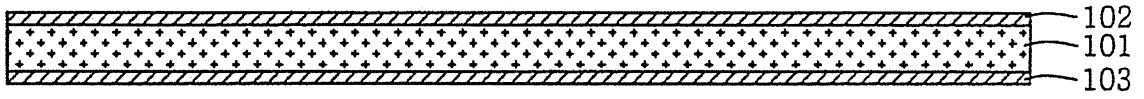


圖 2A

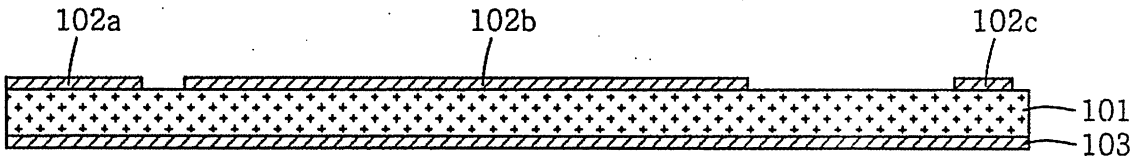


圖 2B



圖 2C

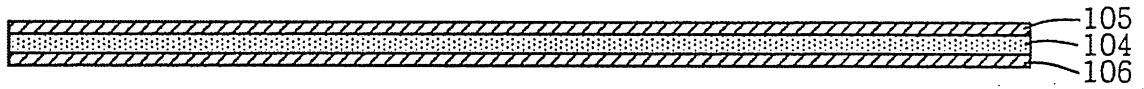


圖 2D

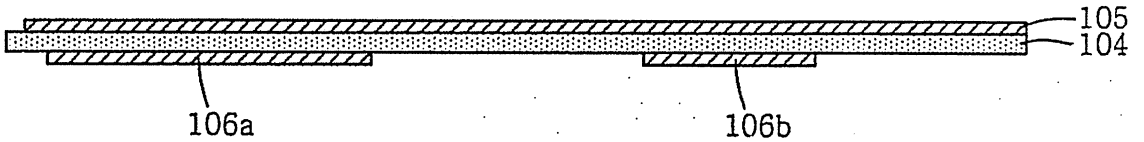


圖 2E

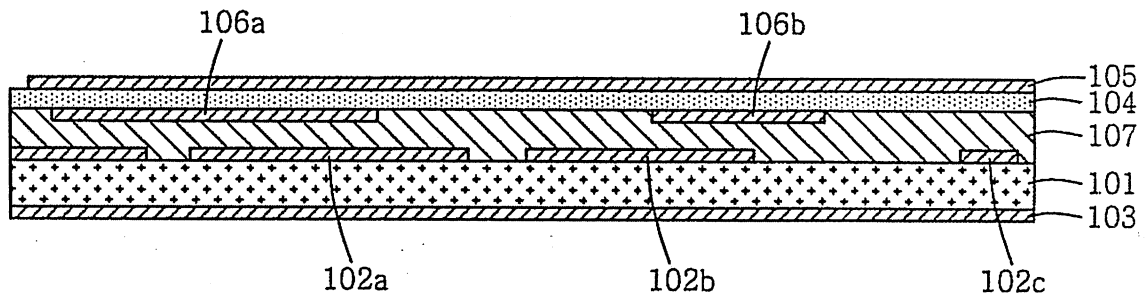


圖2F

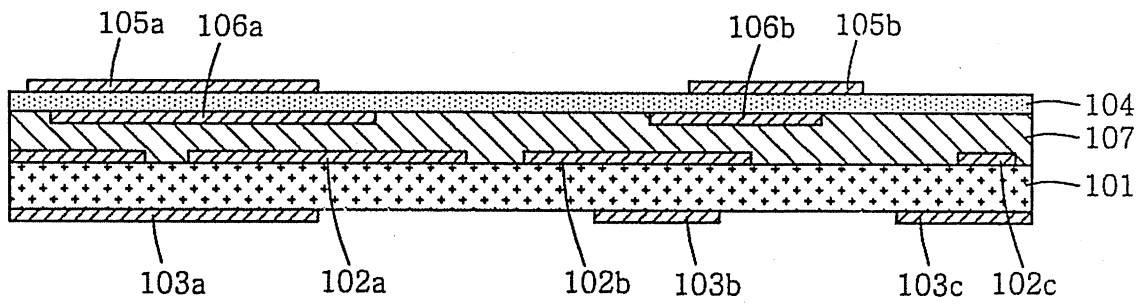


圖2G

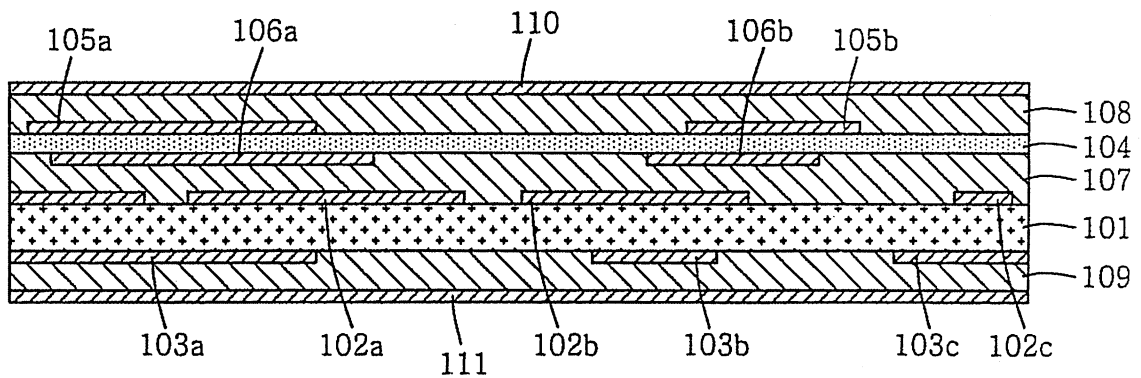


圖2H



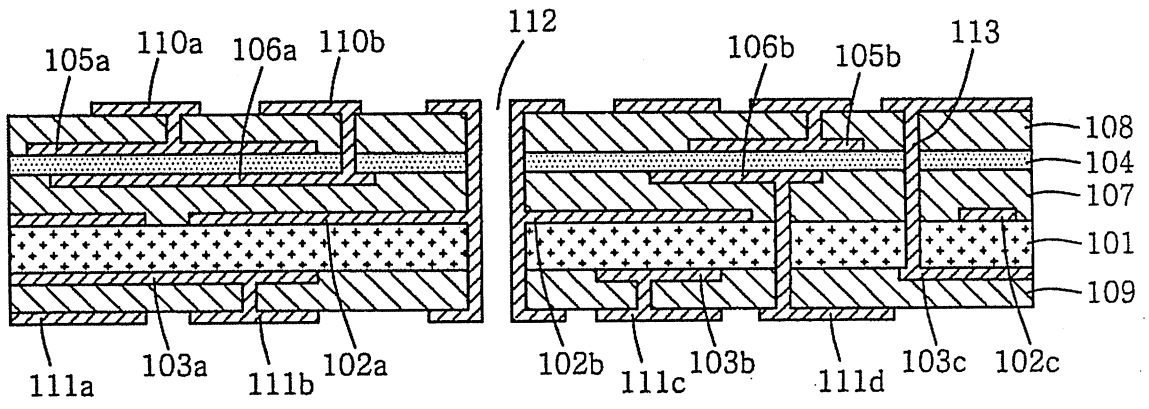


圖2I

七、指定代表圖：

(一)本案指定代表圖為：( 2I )。

(二)本代表圖之元件符號簡單說明：

101	絕緣樹脂層	102a,102b,102c	第一電路層
103a,103b,103c	電路圖案	104	混合介電層
105a,105b	上電極	106a,106b	下電極
107	絕緣層	108,109	CCL
110a,110b,111a,111b,111c,111d			電路圖案
112	通孔	113	盲孔

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

5

無

95 4 19

在第一步驟中，一用於 PCB42 之內層的銅箔，其包含：FR-4 與一乾膜塗佈、曝光、顯影，然後蝕刻，以形成陽極的銅箔 44a,44b、陰極的銅箔 43a,43b，並且有空隙在其間（圖 1A）。

- 5 在第二步驟中，電容器糊狀物 45a,45b 由聚合物所組成，其包含具有高介電常數的陶瓷粉末，使用一網版印刷製程塗覆於陽極的銅箔 44a,44b 上，然後乾燥或固化之（圖 1B）。於此，該網版印刷製程藉由經過一媒介物，例如油墨通過使用一擠壓之模板印刷之網版，從而轉移一
- 10 圖案到基板的面。

在此步驟，該空隙介於該陽極的銅箔 44a,44b 以及該陰極的銅箔 43a,43b 之間，以電容器糊狀物 45a,45b 覆蓋。

- 15 在第三步驟中，一導電糊狀物，其包含銀或銅，係使用一網版印刷製程形成陽極 46a,46b，然後乾燥或固化（圖 1C）。

在第四步驟中，該電容器層，需經該 PCB42 內層的第一到第三步驟，被插入介於絕緣層 47a,47b 之間，隨後被壓合（圖 1D）。

- 20 在第五步驟中，通孔以及雷射盲孔 49a,49b 通過該薄板而形成，藉以此 PCB 的內層中之電容器被連結到固設在 PCB 外側之 IC 晶片 52a,52b 的正端 51a,51b 以及負端 50a,50b，以此方式作為一嵌入式電容器（圖 1E）。

同樣地，有一經由塗佈具有一陶瓷填充之光介電樹脂

煩請委員明示，本案修正後是否變更原實質內容

在本發明的 PCB 中，該陶瓷粉末較佳地具有介電常數為 5~120，以及  $Q \cdot f$  為 1,000~150,000。

該陶瓷粉末較佳地是選自由  $\text{BaTiO}_3\text{-TiO}_2$ 、 $\text{ZnO-MgO-SiO}_2$ 、 $\text{CaCO}_3\text{-TiO}_2\text{-MgO}$ 、 $\text{BaO-MgO-Ta}_2\text{O}_5$ 、  
5  $\text{ZrO}_2\text{-SnO}_2\text{-TiO}_2$ 、 $\text{BaO-ZnO-Ta}_2\text{O}_5$ 、 $\text{CaCO}_3\text{-TiO}_2\text{-Nd}_2\text{O}_3\text{-Li}_2\text{CO}_3$ 、 $\text{BaTiO}_3\text{-TiO}_2\text{-Nd}_2\text{O}_3\text{-Sm}_2\text{O}_3\text{-Bi}_2\text{O}_3$  以及  $\text{CaCO}_3\text{-TiO}_2\text{-La}_2\text{O}_3\text{-Al}_2\text{O}_3$  所組成之群組。

該陶瓷粉末較佳地具有一平均顆粒大小為 0.5~2  $\mu\text{m}$ 。

10 該陶瓷粉末較佳地在該介電層中的量為 5~55 vol%。此外，該介電層較佳地是 10~300  $\mu\text{m}$  厚。

在本發明的 PCB 中，此層包含該介電層作為用於訊號比對或阻抗匹配的一電容器之功能。

另外，本發明提供一製造具有使用混合材料嵌入式電  
15 容器之 PCB 的方法，包含 (A) 於雙邊 CCL 中任一邊的銅箔形成一具有電路圖案的第一電路層；(B) 壓合銅箔於一混合介電層的兩表面上，該混合介電層包含液晶聚合物與分散於其中的陶瓷粉末，並形成一薄片形狀，以形成一混合 CCL；(C) 於該混合 CCL 中任一邊的銅箔形成  
20 一具有下電極與電路圖案的第二電路層；(D) 壓合該 (A) 的 CCL 與該 (C) 的混合 CCL，偕同一絕緣層配置在其中間，上述的該 CCL 的第一電路層及該混合 CCL 的第二電路層被放置作為互相正對的內層，如此獲得一預設的薄板；(E) 提供一外銅箔，使其於該 (D) 的薄板的介

物應用於具有高頻率電路之 PCB 中的絕緣材料。液晶聚合物於 1GHz 時，具有一介電常數以及逸散因子，分別為 3.5 或更少，以及 0.003 或更少，其相較於那些其他的基板材料是較低的。因此，傳送的高頻率信號、雜訊，以及信號耗損減少，且濕氣吸收因子，其負面地影響介電常數，也是低如 0.04% 或更少。同樣地，液晶聚合物相應於溫度的改變，具有影響穩定的介電常數性質（電容量的溫度係數（TCC） $\leq$ 數百個 ppm）。

雖然液晶聚合物使用在本發明中並無特別的限制，其較佳地是具有介電常數為 3.5 或更少，以及逸散因子為 0.0007~0.002，以便完成裝置模組化，並使信號耗損減到最少。

高頻率陶瓷粉末作為填充物混合至液晶高分子聚合物中，在高頻率時具有低的逸散因子，且其性質經由  $Q \cdot f$  以及介電常數表示，其中“Q”是一“品質因子”形成的縮寫，其意指一反轉的逸散因子，在高頻率表示效能，以及“f”意指頻率。

陶瓷粉末使用在本發明中，較佳地具有一介電常數為 5~120 以及  $Q \cdot f$  為 1000 或更多，為了顯出需求的性質，較佳為 1,000~150,000。如果  $Q \cdot f$  是少於 1,000，在高頻率時，除了熱的產生以外，亦發生信號耗損。

陶瓷粉末並無特別地限制，只要其具有性質落在上述範圍，但較佳地是選自由 ZnO-MgO-SiO<sub>2</sub>、CaCO<sub>3</sub>-TiO<sub>2</sub>-MgO 的 MCT、BaTiO<sub>3</sub>-TiO<sub>2</sub>、ZrO<sub>2</sub>-SnO<sub>2</sub>-TiO<sub>2</sub>

## 十、申請專利範圍：

1. 一種具有使用混合材料嵌入式電容之印刷電路板，包含：

(A) 一雙邊銅箔基板，其中一銅箔形成一具有電路圖案的第一電路層，另一銅箔形成一具有電路圖案的第四電路層；

(B) 一混合銅箔基板，其包含一混合介電層，其含有液晶聚合物以及陶瓷粉末，且銅箔壓合於其兩表面上，該混合銅箔基板之一銅箔形成一具有下電極以及電路圖案的第二電路層，另一銅箔形成一具有上電極以及電路圖案的第三電路層，其形成的該第二電路層與第三電路層中，該第二電路層的下電極係相對於該第三電路層的上電極；

(C) 一絕緣層，其係配置壓合於該(A)的銅箔基板以及該(B)的混合銅箔基板之間，以便放置該銅箔基板的第一電路層與該混合銅箔基板的第二電路層，作為互相正對的內層；

(D) 單邊銅箔基板，其係分別壓合於該第三電路層與第四電路層上；

(E) 一盲孔與一通孔，其係形成於該單邊銅箔基板的預設部分；以及

(F) 一電鍍層，其係電鍍在該盲孔與通孔中。

2. 如申請專利範圍第1項中所述之印刷電路板，其中該液晶聚合物具有一介電常數為3.5或更少，以及逸散因子為0.0007~0.002。