

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-39049

(P2015-39049A)

(43) 公開日 平成27年2月26日(2015.2.26)

(51) Int.Cl.		F I			テーマコード (参考)
HO4N 7/01 (2006.01)		HO4N 7/01		G	5C063
HO4N 1/387 (2006.01)		HO4N 1/387	101		5C076

審査請求 有 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願2009-245778 (P2009-245778)
 (22) 出願日 平成21年10月26日 (2009.10.26)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 110001092
 特許業務法人サクラ国際特許事務所
 (74) 代理人 100109900
 弁理士 堀口 浩
 (72) 発明者 木村 忠良
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 Fターム(参考) 5C063 BA03 BA08 CA05
 5C076 AA21 BA03 BA04

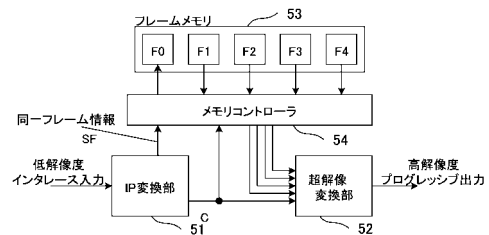
(54) 【発明の名称】 画像処理装置及び画像処理方法

(57) 【要約】

【課題】複数フレーム画像の利用における冗長性を抑制し高解像度を維持する技術を提供する。

【解決手段】複数の画像フレームを用いてこの画像を高解像度化する超解像変換部と、前記超解像変換部に入力する画像フレームを保存するフレームメモリと、前記入力する画像フレームに同じフレームが含まれるかを検出する同一フレーム検出部とを備え、前記同一フレーム検出部で同じフレームを検出したときに、前記フレームメモリの制御方法を同じフレームが保存されないように切り替えることを特徴とする画像処理装置。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

外部から入力される画像フレームを保持しフレーム期間単位で遅延させた前記画像フレームを出力するフレームメモリと、

前記フレーム期間単位が相互に異なる複数の前記遅延させた画像フレームを用いて前記外部から入力される画像を高解像度化する超解像変換部と、

前記遅延させた画像フレームが以前の画像フレームと同一か否かを検出する同一フレーム検出部と、

前記画像フレームの前記フレームメモリへの読み書きを制御するメモリ制御部とを備え、

10

前記メモリ制御部は、前記同一フレーム検出部で同一と判定された場合に、前記フレームメモリに同じフレームが保持されないように制御することを特徴とする画像処理装置。

【請求項 2】

前記同一フレーム検出部が、2 - 3プルダウン検出回路を具備していることを特徴とする請求項 1 に記載の画像処理装置。

【請求項 3】

前記同一フレーム検出部が、フレームを比較して差分を検出するフレーム差分検出回路を具備していることを特徴とする請求項 1 に記載の画像処理装置。

【請求項 4】

前記超解像変換部の出力を表示する表示パネルを更に備えたことを特徴とする請求項 1 に記載の画像処理装置。

20

【請求項 5】

複数の画像フレームを用いてこの画像を高解像度化し、

前記高解像度化のために入力する画像フレームを保持し、

前記入力する画像フレームに同じフレームが含まれるかを検出し、

前記同じフレームを検出したときに、この同じフレームが保存されないように前記保持する画像フレームを制御することを特徴とする画像処理方法。

【発明の詳細な説明】

【技術分野】

【0001】

30

本発明は、画像処理装置に係わり、特に高解像度化処理を行う画像処理技術に関する。

【背景技術】

【0002】

高解像度のテレビやディスプレイの普及に伴い、映像信号の高解像度化が進んでいる。特に、低解像度の映像信号から本来の画素値を推定して画素を増やすことによって、高解像度の映像信号を復元することにより、映像信号の鮮鋭度を維持しつつ高解像度化を実現する超解像度変換（超解像度変換処理）と呼ばれる画像処理技術が登場してきている（例えば、特許文献 1 参照）。

【0003】

また、特許文献 2 に開示された複数フレーム画像間でのマッピングを利用した超解像度変換処理を用いることもできる。しかしながら、複数フレームの利用において同一内容のフレームを重ねて扱うという冗長性により高解像度化が妨げられる場合があるという問題が生じていた。

40

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2007 - 336239 号公報

【特許文献 2】特開 2000 - 188680 号公報

【発明の概要】

【発明が解決しようとする課題】

50

【0005】

本発明は、複数フレーム画像の利用における冗長性を抑制し高解像度を維持する技術を提供することを目的とする。

【課題を解決するための手段】

【0006】

上記課題を解決するために、本発明の画像処理装置は、複数の画像フレームを用いてこの画像を高解像度化する超解像変換部と、前記超解像変換部に入力する画像フレームを保存するフレームメモリと、前記入力する画像フレームに同じフレームが含まれるかを検出する同一フレーム検出部とを備え、前記同一フレーム検出部で同じフレームを検出したときに、前記フレームメモリの制御方法を同じフレームが保存されないように切り替えることを特徴とする。

10

【発明の効果】

【0007】

本発明によれば、複数フレーム画像の利用における冗長性を抑制し高解像度を維持した画像処理装置及び画像処理方法が得られる。

【図面の簡単な説明】

【0008】

【図1】動画像のフレーム構成を示す模式図。

【図2】この発明の一実施形態の複数のフレーム情報を用いた高解像度化処理を示す説明図。

20

【図3】同実施形態の補間画素生成を示す説明図。

【図4】同実施形態に係わる放送受信装置のブロック構成図。

【図5】同実施形態の高解像度化画像処理装置の構成図。

【図6】同実施形態のIP変換後のフレームを示す説明図。

【図7】同実施形態の超解像変換部に入力されるフレームを示す説明図。

【図8】同実施形態の2-3プルダウン検出機能を持つIP変換部を示すブロック構成図。

【図9】同実施形態のプルダウン検出時のIP変換映像を示す説明図。

【図10】同実施形態の処理手順を示すフローチャート。

【図11】同実施形態の超解像変換部に入力されるフレームを示す説明図。

30

【図12】本発明の別の実施形態を示す構成図。

【図13】実施形態の一時停止時に超解像変換部に入力されるフレームを示す説明図。

【図14】従来の映像処理部を示す構成図。

【図15】シネマモードIP変換時に従来の超解像変換部に入力されるフレームを示す説明図。

【図16】実施形態のフィールド比較パターンを示す説明図。

【発明を実施するための形態】

【0009】

以下、本発明の実施形態を説明する。

(実施形態1)

40

本発明による実施形態1を図1乃至図11を参照して説明する。

図1は、動画像のフレーム構成を示す模式図である。動画像の連続するフレームの並びにおける時刻T_aの自動車の映像に対し、7フレーム後のT_b、更に7フレーム後のT_cというように自動車が進行している。

【0010】

図2は、実施形態の複数のフレーム情報を用いた高解像度化処理を示す説明図である。図1のような動画像において、複数のフレーム情報を用いて入力画像よりも高解像度な画像を生成する仕組みを図2は示している。

【0011】

いま、図2中に網掛けされた実線の交点に画素が並んでいるとし、N番目フレームの点

50

線の交点に位置する補間画素を生成して縦横それぞれ2倍の画素数を持つ画像に変換する場合を想定する。補間画素を推測する際に、N番目フレーム中の画素(黒丸で示される)のみを使用したのでは情報が不足して所謂超解像のような被写体本来の画像を復元するように高解像度化することはできない。そこで、N番目フレームの前後のフレームからそれぞれ三角、菱形で示される画素情報を持ってくることがにより、次に図3に示すように、より多くの情報を利用して補間画素を推測することができ、高解像度化が可能となる。なお図2では前後1フレームずつの情報を利用しているが、より多くのフレーム情報を利用することで、補間画素推測の精度を高めることができる。

【0012】

図3は、実施形態の補間画素生成を示す説明図である。図3は、図2の実線で囲った左から2番目、上から2番目の領域に相当するものである。即ち、白丸で示される補間画素生成のために自フレーム中の黒丸で示される画素情報の他に上記の前後のフレームからの三角、菱形で示される画素情報が用いられる。

10

【0013】

図4に実施形態に係わる画像処理装置を放送受信装置に適用した場合のブロック構成図を示す。同図に示したように、放送受信装置は、アンテナ41と、チューナ/復調器43と、MPEGデマルチプレクサ44と、ビデオデコーダ45と、画像処理装置に対応する映像処理部46と、表示パネル47と、オーディオデコーダ48と、スピーカ49とを備えている。

【0014】

アンテナ41は例えば、BS、CS、地上波等のデジタル放送を受信するためのアンテナである。このアンテナ41で受信されたデジタル放送のRF信号は続くチューナ/復調器43に導かれて選局・復調されデジタルの映像信号および音声信号としてMPEGデマルチプレクサ44に出力される。

20

【0015】

MPEGデマルチプレクサ44は、チューナ/復調器43から入力される映像信号および音声信号を、映像信号と音声信号とに分離し、この映像信号にビデオデコーダ45が後述の信号処理を施した後、ビデオデコーダ45が映像処理部46に出力する。ここで、ビデオデコーダ45が施す信号処理としては、入力されたMPEG2などの圧縮方式で圧縮されている映像信号のデコード処理や、入力された映像信号の解像度を所定の解像度(例えば、ディスプレイの解像度に合わせた1280×720等)に変換するスケール処理等が挙げられる。他方でオーディオデコーダ48は、MPEGデマルチプレクサ44からの音声信号に所定の信号処理を施した後、スピーカ49に出力する。

30

【0016】

図5は、実施形態の高解像度化画像処理装置の構成図である。いま図4に示される映像処理部46が、画像処理装置として図5のようにIP変換部51と超解像変換部52等で構成されているとする。

【0017】

なお、超解像度変換処理については、特開2007-310837号公報や特開2008-98803号公報等が開示された公知・公用の技術を用いることが可能である。本実施形態の超解像変換処理の技術としては、例えば、入力画像の標本化周期で決まるナイキスト周波数より高い周波数成分を有する画像を復元する技術を用いる。

40

【0018】

例えば、特開2007-310837号公報が開示された超解像度変換処理を用いる場合には、複数の低解像度の映像信号(低解像度フレーム)の夫々に対してフレーム中の注目画素を含む注目画像領域中の画素値の変化パターンに最も近い複数の注目画像領域に対応する複数の対応点を基準フレームの中から選択し、対応点での輝度の標本値を対応点に対応している注目画素の画素値に設定し、複数の標本値の大きさと、複数の対応点の配置とに基づいて、基準フレームの画素数よりも多い画素数の高解像度フレームであって基準フレームに対応する高解像度フレームの画素値を算出することにより、低解像度の映像信

50

号から本来の画素値を推定して画素を増やすことにより、高解像度の映像信号を復元する。

【0019】

また、特開2008-98803号公報に開示された同一フレーム画像内の自己合同位置探索を利用した超解像度変換処理を用いる場合には、低解像度フレームの探索領域の各画素の誤差を比較して最小となる第1の画素位置を算出し、第1の画素位置及びこの第1の誤差、第1の画素の周辺の第2の画素位置及びこの第2の誤差に基づいて、探索領域のなかで誤差が最小となる位置を小数精度で算出する。そして、この位置を終点及び注目画素を始点とする小数精度ベクトルを算出し、小数精度ベクトルを用いて、探索領域に含まれない画面上の画素を終点とする、小数精度ベクトルの外挿ベクトルを算出する。そして、小数精度ベクトル、外挿ベクトル及び画像データから取得された画素値に基づいて、画像データに含まれる画素数よりも多い画素数の高解像度画像の画素値を算出する。超解像変換部52は、このような処理を行うことにより、低解像度の映像信号から本来の画素値を推定して画素を増やすことにより、高解像度の映像信号を復元する。

10

【0020】

ただし、超解像変換部52における超解像変換処理の手法は、上記に限定されるものではなく、低解像度の映像信号から本来の画素値を推定して画素を増やすことにより、高解像度の映像信号を復元する処理であれば、あらゆる手法を適用することができる。

【0021】

図5において映像処理部46に入力されるインタレース映像信号は、IP変換部51によりIP変換された後に超解像変換部52により超解像変換され、高解像度プログレッシブ映像として出力される。

20

【0022】

ここで図6は実施形態のIP変換後の複数のフレームを示す説明図であり、また図7は実施形態の超解像変換部52に入力される複数のフレームを示す説明図である。

【0023】

IP変換部51から出力される60pのフレームが図6のように並んでいるとすると、超解像変換部52に入力されるフレームは図7のようになる。F4は4フレーム遅延信号(4フレーム期間前のC信号)、F3は3フレーム遅延信号、F2は2フレーム遅延信号、F1は1フレーム遅延信号、Cは現在IP変換部51から出力されているフレーム信号である。超解像変換部52では、これらの5フレームのデータを使用して、F2のフレームを高解像度化する。

30

【0024】

即ち図5の高解像度化画像処理装置は、更にフレームメモリ53、メモリコントローラ54から構成されている。フレームメモリ53は、入力信号を上記のように数フレーム期間分遅延させた信号を格納しメモリコントローラ54を通じて超解像変換部52へ供給している。

【0025】

図8は、2-3プルダウン検出機能を持つIP変換部51を更に詳細に説明するためのブロック構成図である。また図9は、プルダウン検出時のIP変換映像を示す説明図である。

40

【0026】

通常の60iの放送コンテンツでは、このように超解像変換部52に入力されるフレームは全て異なるフレームとなるが、例えば2-3プルダウン処理された60iの放送コンテンツでは、全く同じフレームが超解像変換部52に入力されることがある。図5のIP変換部51は、図8のように動き適応IP変換部81とシネマモードIP変換部82と2-3プルダウン検出部83等で構成されている。このIP変換部に24pのシネマコンテンツを2-3プルダウンした60iの信号が入力されているとすると、2-3プルダウン検出部83がプルダウン映像であることを検出し同一フレーム情報SFを発生すると共に、図9に示すような60pの映像を出力する。このとき動き適応IP変換出力ではなく、

50

2 - 3プルダウン検出部 83 に制御されたセレクトラ 84 の指定による完全静止画処理によるシネマモード IP 変換出力により、もとの 24 p プログレッシブ映像と同等のクリアな静止画映像を 60 p で生成することで高画質化を行う。そして、このように処理されたプログレッシブ映像は、同じフレームが 2 もしくは 3 枚連続することになる。

【0027】

図 16 は、2 - 3プルダウン検出部 83 に関するフィールド比較パターンを示す説明図である。2 - 3プルダウンを検出する方法はいろいろあるが、簡単なのはフィールド間の差分を利用する方法である。

【0028】

例えば、2 - 3プルダウン検出部 83 には、図示せぬフィールドメモリから 2 フィールド遅延のフィールドデータが到来するよう構成されている。カレントフィールドのデータとこのフィールドデータとを、トップフィールド同士またはボトムフィールド同士として比較すると図 16 に点線囲いで示すように、「動動静動動」という繰り返しパターンが現れる。このパターンが何回も繰り返された場合に 2 - 3プルダウン検出部 83 は入力が 2 - 3プルダウン信号であると判断しまた同一フレーム情報 SF を生成する。より正確にプルダウンを検出するため、1 フィールド遅延のフィールドデータなどの情報も利用する構成としてもよい。

【0029】

図 14 は従来の映像処理部を示す構成図である。また図 15 にシネマモード IP 変換時に従来の超解像変換部に入力されるフレームを示す。同図からわかるように、同じフレームが何枚も入力されることになる。複数フレーム超解像変換は異なるフレームの情報によって高解像度化を行うため、同じフレームが複数枚あっても情報が増えない。従って、図 15 の斜線掛けで示したフレームは無駄な情報になってしまう。

【0030】

そこで本実施形態では、このような無駄なフレームばかりがフレームメモリにたまらないように、同一フレームの場合はそのフレームを破棄することができるようにする。本実施形態の構成図は前述のように図 5 に示している。本実施形態では、シネマモード IP 変換が実行された場合に、同一フレーム情報 SF を例えば具体的には直前のフレームと同一のフレームか否かの 2 値情報としてメモリコントローラ 54 に入力する構成としている。

【0031】

本実施形態の映像処理部 46 の処理の実行手順を表すフローチャートを図 10 に示す。図 10 (a) に示すように全体として、例えばまず IP 変換処理を行い (ステップ S10)、次に超解像変換処理を行なう (ステップ S20)。最後にフレームメモリ更新を行い (ステップ S30)、ステップ S10 へと戻りこれらの処理の繰り返しとなる。

【0032】

ステップ S30 のフレームメモリ更新ルーチンでは、図 10 (b) に示すようにまず現在の 1 フレーム遅延信号 F1 と 2 フレーム遅延信号 F2 が同一であるかを判定し (ステップ S31)、同一であると判定された場合は F2 を破棄し (ステップ S32)、ステップ S34 へ移る。ステップ S31 で F1 と F2 が同一でないと判定されれば、F3 を次の F4 とし F2 を次の F3 とし (ステップ S33)、F1 を次の F2 とし F0 を次の F1 とする (ステップ S34)。

【0033】

このようにフレームメモリを更新することにより、超解像変換部 52 に入力されるフレームは図 11 のようになる。図 11 では異なるフレームの数が図 15 より増えており、超解像変換の効果を上げることができる。図 11 で上から 3 行目から、高解像度化された F2 のフレームが出力される。

【0034】

(実施形態 2)

本発明による実施形態 2 を図 1 乃至図 4 及び図 6 乃至図 13 を参照して説明する。実施形態 1 と共通する部分は説明を省略する。

10

20

30

40

50

本発明の別の形態を図12の構成図に示す。図12のように、IP変換部51を同一フレームかどうかの判定出力を持たないIP変換部121とし、代わりにフレーム差分検出部122によって同一フレームかどうかを判定することもできる。この場合、2-3プルダウンされたコンテンツでなくても、例えば外部入力映像が一時停止されたときには、同一フレームを検出して同じフレームばかりがフレームメモリにたまらないようにする。この時、超解像変換部52に入力されるフレームは図13のようになり、一時停止のときでも超解像変換の効果を出すことができる。

【0035】

以上の実施形態では概要として、画像処理装置において、複数のフレームを用いて動画を超解像化する超解像変換部のフレームメモリに、入力画像中の同一フレームが連続しないようにフレームメモリの制御方法を切り替えた。

10

【0036】

この効果として、同一フレームが連続するような場合にも、超解像変換の効果を上げることができる。また、一時停止によって同一フレームしか入力されなくなった場合にも、超解像変換の効果を出すことができる。

【0037】

なお、この発明は上記実施形態に限定されるものではなく、この外その要旨を逸脱しない範囲で種々変形して実施することができる。例えば映像信号はチューナの他に、専用のIP網を介して送信されるIP放送を受信したり、インターネット等のIP網を介して送信されるデータ(静止画像や動画像)を受信したりして得る形態でもよい。またIP変換部121に相当する部分は映像処理部46の前段にあってもよい。換言すれば映像処理部46はプログレッシブ映像を入力する形態でもよい。

20

【0038】

また、上記した実施の形態に開示されている複数の構成要素を適宜に組み合わせることにより、種々の発明を形成することができる。例えば、実施の形態に示される全構成要素から幾つかの構成要素を削除しても良いものである。さらに、異なる実施の形態に係る構成要素を適宜組み合わせても良いものである。

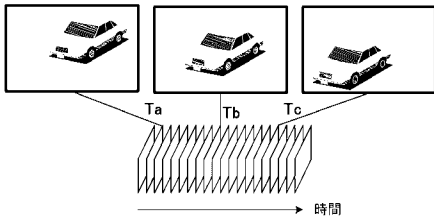
【符号の説明】

【0039】

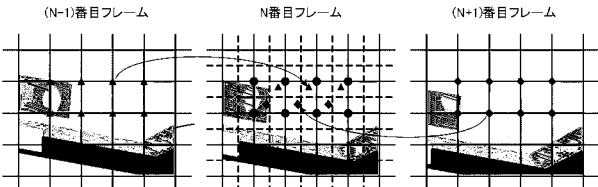
41...アンテナ、43...チューナ/復調器、44...MPEGデマルチプレクサ、45...ビデオデコーダ、46...映像処理部、47...表示パネル、48...オーディオデコーダ、49...スピーカ、51...IP変換部、52...超解像変換部、53...フレームメモリ、54...メモリコントローラ、81...動き適応IP変換部、82...シネマモードIP変換部、83...2-3プルダウン検出部、84...セレクタ、121...IP変換部、122...フレーム差分検出部。

30

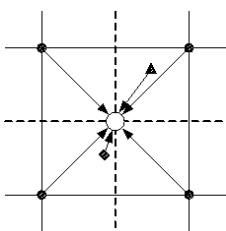
【図1】



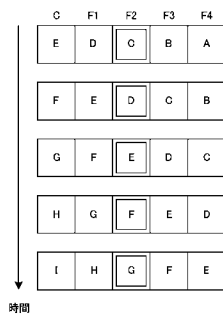
【図2】



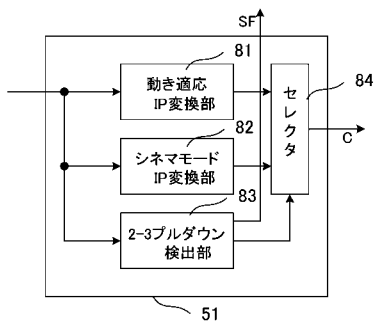
【図3】



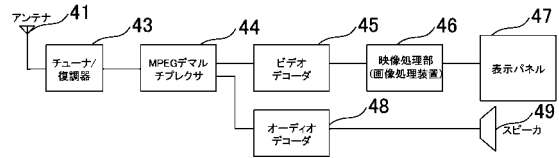
【図7】



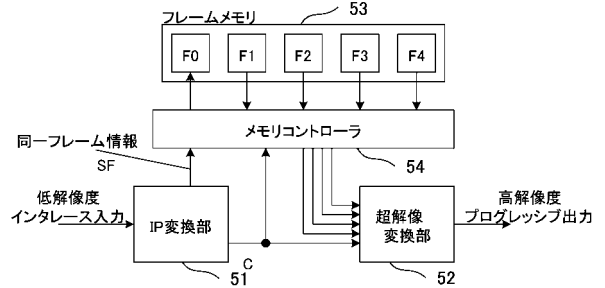
【図8】



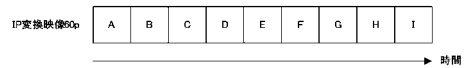
【図4】



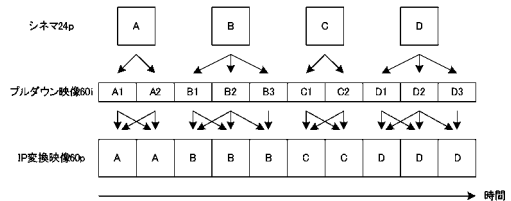
【図5】



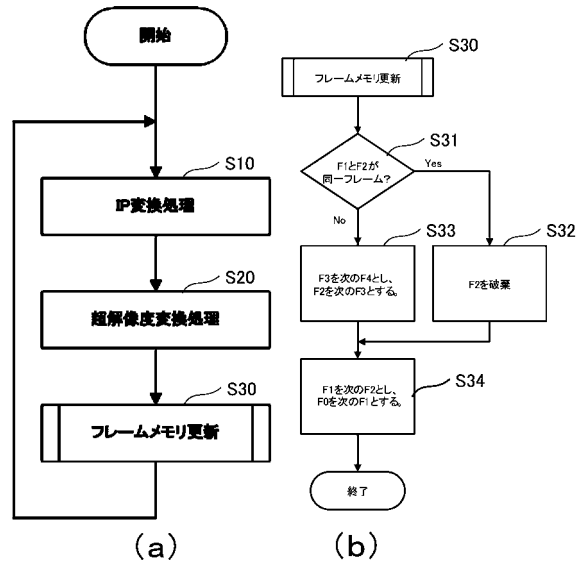
【図6】



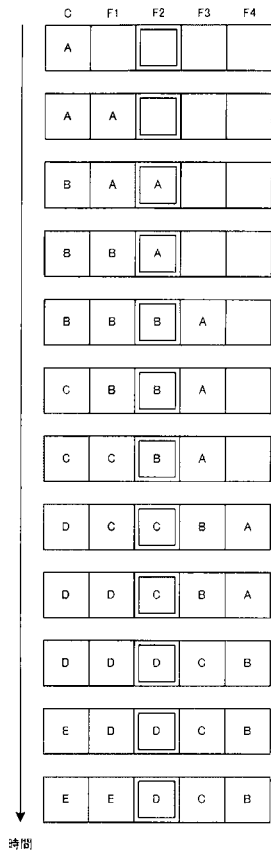
【図9】



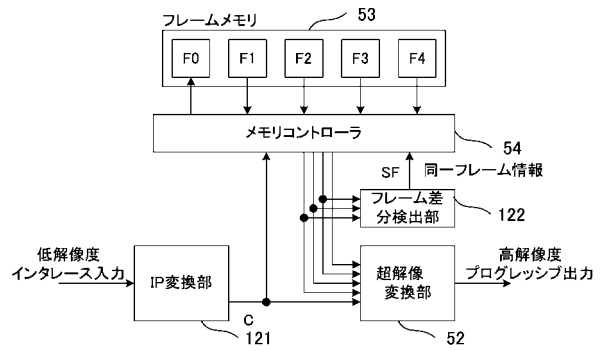
【図10】



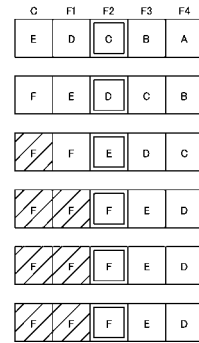
【図 1 1】



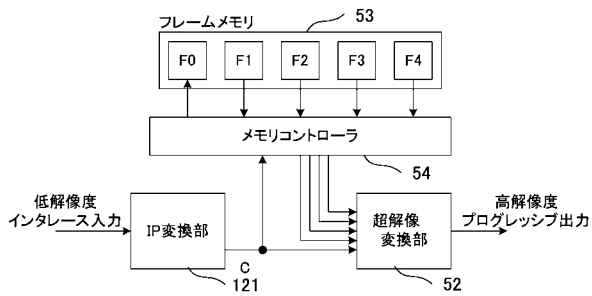
【図 1 2】



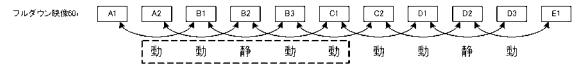
【図 1 3】



【図 1 4】



【図 1 6】



【図 1 5】

