

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 97131351

※ 申請日期： 97.8.15

※IPC 分類：H01L 21/336 (2006.01)

H01L 21/8238 (2006.01)

一、發明名稱：(中文/英文)

藉由來自由叢聚或分子離子束之介電摻雜之擴散的淺溝槽之形成
FORMATION OF SHALLOW JUNCTIONS BY DIFFUSION FROM A
DIELECTRIC DOPED BY CLUSTER OR MOLECULAR ION BEAMS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商德州儀器公司

TEXAS INSTRUMENTS INCORPORATED

代表人：(中文/英文)

華倫 L 法蘭茲

FRANZ, WARREN L.

住居所或營業所地址：(中文/英文)

美國德州達拉斯市梅爾史特遜邱吉爾路7839號

7839 CHURCHILL WAY, MAIL STATION 3999, DALLAS, TEXAS

75251, U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 1 人)

姓 名：(中文/英文)

艾米塔 健

JAIN, AMITABH

國 籍：(中文/英文)

美國 U.S.A.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2007年08月15日；60/955,963

2. 美國；2008年08月12日；12/190,337

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於積體電路領域。更特定言之，本發明係關於在積體電路中形成淺溝槽之方法。

【先前技術】

眾所周知，先進積體電路(IC)中的電晶體係在隨每一新製造科技節點而縮小，如由摩爾定律(Morre's Law)所明白地說明。例如，在32奈米科技節點處，期望在電晶體中採用 10^{21} cm^{-3} 以上的平均摻雜密度形成小於10奈米深的摻雜區域，例如源極及汲極延伸部分。重度摻雜淺區域的形成有問題，因為足以修復對該IC基板的損害之退火使摻雜物擴散得深於期望。

【發明內容】

本發明提供形成一積體電路(IC)中採用 10^{14} cm^{-2} 以上的平均摻雜劑量形成小於20奈米深的擴散區域，特定言之係金氧半導體(MOS)電晶體中的輕摻雜汲極(LDD)區域。在該IC之現有表面上形成一源極介電層。使用氣體叢聚離子束(GCIB)植入、分子離子植入或原子離子植入將摻雜物植入於該IC之區域之上的一欲摻雜區域中之源極介電層中。該等摻雜物的大部分係沈積在該源極介電層中，因此在該IC基板中產生可忽略的損害。一迅速熱驅動製程(例如一尖鋒退火或一雷射退火)將植入摻雜物擴散於該IC基板中以在摻雜區域中獲得期望深度及平均摻雜密度。該發明製程亦可應用於在p通道金氧半導體(PMOS)及n通道金氧半

導體(NMOS)電晶體中形成源極及汲極(S/D)區域。一個源極介電層可用於形成NLDD及PLDD兩區域。同樣地，一個源極介電層可用於形成NSD及PSD兩區域。

【實施方式】

本發明提供一種在一積體電路(IC)中採用 10^{14} cm⁻²以上的平均摻雜劑量形成小於20奈米深的摻雜區域之方法。在該IC之現有表面上形成一源極介電層。使用氣體叢聚離子束(GCIB)植入、分子離子植入或原子離子植入將摻雜物植入於該IC之區域之上的一欲摻雜區域中之源極介電層中。該等摻雜物的大部分係沈積在該源極介電層中，因此在該IC基板中產生可忽略的損害。一熱驅動製程將植入摻雜物擴散於該IC基板中以在摻雜區域中獲得期望深度及平均摻雜密度。本發明之方法可應用於在p通道金氧半導體(PMOS)電晶體及n通道金氧半導體(NMOS)電晶體兩者中形成輕摻雜汲極(LDD)區域，並在PMOS及NMOS電晶體中形成源極及源極(S/D)區域。

圖1A至1F係描述在連續製造階段中描述的依據本發明之一具體實施例的PMOS LDD區域及NMOS LDD區域之形成的一IC之斷面圖。參考圖1A，該IC (100)係形成於一基板(102)中，該基板通常為一單晶矽晶圓，但是可以為具有矽鍺磊晶層的矽晶圓、絕緣物上矽(SOI)晶圓、具有不同晶體方位之區域的混合方位科技(HOT)晶圓，或適合於製造IC (100)的其他材料。場氧化物元件(104)係藉由淺溝渠隔離(STI)製程序列而形成，其中通常為200至500奈米深的

溝渠係蝕刻於該 IC (100) 中，通常藉由在該等溝渠之側壁上生長熱氧化物層而加以電鈍化，並且採用通常為二氧化矽的絕緣材料通常藉由高密度電漿 (HDP) 製程或亦名為高縱橫比製程 (HARP) 的臭氧基熱化學汽相沈積 (CVD) 製程料加以填充。一場氧化物元件 (104) 將基板 (102) 中界定用於一 NMOS 電晶體 (106) 的一區域與基板 (102) 中界定用於 PMOS 電晶體 (108) 的一區域分離。通常藉由以從 $1 \cdot 10^{11}$ 至 $1 \cdot 10^{14}$ 原子/cm² 的劑量將包括硼及可能鎵及/或銦的 p 型摻雜物之 p 井組離子植入於 NMOS 電晶體區域 (106) 中，在基板 (102) 中形成通常稱為一 p 井的一 p 型井 (110)。基於清楚而未在圖 1A 中顯示的一 p 井光阻圖案係通常用以阻隔自該 p 井 (110) 外面之區域的 p 型摻雜物之 p 井組。p 井 (110) 從基板 (102) 之頂部表面延伸至場氧化物元件 (104) 之底部表面以下通常 50 至 500 奈米的深度。形成 p 井 (110) 的離子植入製程可包括額外步驟以基於改良 NMOS 電晶體效能 (例如臨界值調整、洩漏電流減少以及寄生雙極操作之抑制) 而植入額外 p 型摻雜物於較淺深度。通常藉由以從 $1 \cdot 10^{11}$ 至 $1 \cdot 10^{14}$ 原子/cm² 的劑量將包括磷及砷及可能銻的 n 型摻雜物之 n 井組離子植入於 PMOS 電晶體區域 (108) 中，在基板 (102) 中形成通常稱為一 n 井的一 n 型井 (112)。基於清楚而未在圖 1A 中顯示的一 n 井光阻圖案係通常用以阻隔自界定用於 NMOS 電晶體之區域的 n 型摻雜物之 n 井組。n 井 (112) 從基板 (102) 之頂部表面延伸至場氧化物元件 (104) 之底部表面以下通常 50 至 500 奈米的深度。形成 n 井 (112) 的離子植入製程可包括額

外步驟以基於改良PMOS電晶體效能(例如臨界值調整、洩漏電流減少以及寄生雙極操作之抑制)而植入額外n型摻雜物於較淺深度。n井(112)的薄片電阻率通常係在100與1000歐姆/平方之間。

繼續參考圖1A，使用各種閘極介電形成製程(例如熱氧化、一氧化物層之電漿氮化、及/或藉由原子層沈積(ALD)製程進行的介電材料沈積)之任一者在NMOS電晶體區域(106)中的p井(110)之一頂部表面上形成一NMOS閘極介電層(114)，其通常為二氧化矽、摻雜氮之二氧化矽、氧化氮化矽、氧化鈣、二氧化矽與氮化矽層，或其他絕緣材料，而且通常為1與3奈米之間厚。一PMOS閘極介電層(116)係藉由類似製程形成於PMOS電晶體區域(108)中的n井(112)之一頂部表面上並具有與NMOS閘極介電層(114)類似的特性。通常同時形成NMOS閘極介電層(114)及PMOS閘極介電層(116)之一部分或全部。通常藉由沈積一多晶矽層於該IC(100)之一現有頂部表面上，形成一NMOS閘極介電圖案於該多晶矽層之一頂部表面上以界定用於一NMOS閘極(118)的一區域，以及使用反應離子蝕刻方法移除不合需要的多晶矽，而在NMOS閘極介電層(114)之一頂部表面上形成該NMOS閘極(118)，其通常為一般名為多晶矽的多晶之矽，且為50與200奈米之間厚。藉由用於形成NMOS閘極(118)的類似製程在PMOS閘極介電層(116)之一頂部表面上形成一PMOS閘極(120)。通常同時形成NMOS閘極(118)及PMOS閘極(120)之一部分或全部。

仍參考圖1A，在該IC (100)上執行一LDD源極介電沈積製程(122)，其較佳為一迅速熱化學汽相沈積(RTCVD)製程，但可以為一電漿增強化學汽相沈積(PECVD)製程、一CVD製程或一ALD製程，以在該IC (100)之一現有頂部表面上形成一LDD源極介電層(124)。LDD源極介電層(124)較佳係在5與20奈米之間厚而且係由二氧化矽及/或氮化矽形成。在一第一具體實施例中，LDD源極介電沈積製程(122)係一各向同性製程以使LDD源極介電層(124)係保形沈積在NMOS閘極(118)及PMOS閘極(120)之頂部及側表面上。基於此揭示內容之目的，術語「保形沈積」係瞭解為意指沈積以使保形沈積的一層之厚度在側表面、傾斜表面及水平表面上實質上係相同的。

圖1B描述一n型輕摻雜汲極(NLDD)摻雜物植入製程期間的該IC (100)。在LDD源極介電層(124)之一頂部表面上形成一NLDD光阻圖案(126)以使曝露用於植入n型NLDD摻雜物之NMOS電晶體區域(106)中的一區域。諸如磷及可能砷的n型摻雜物之一NLDD組(128)係較佳藉由氣體叢聚離子束(GCIB)製程但可藉由分子離子植入製程或原子離子植入製程朝該IC (100)加速，以採用 10^{14} 與 10^{16} 摻雜原子/cm²之間的劑量在LDD源極介電層(124)之一頂部區域中形成一NLDD植入區域(130)。在一較佳具體實施例中，NLDD摻雜物(128)係直接向下引導至LDD源極介電層(124)中，因此與LDD源極介電層(124)之水平表面比較，LDD源極介電層(124)之垂直表面(例如在NMOS閘極(118)之側表面上)接

收每單位面積少於百分之一的NLDD摻雜物(128)。

可藉由對載體氣(例如氬及/或氫)以及包含氣體的摻雜物(例如乙硼烷、磷化氫或砷化氫)之一氣體混合物加壓，以90%：10%與98%：2%之間的比率執行一GCIB製程，從而透過100至500微米直徑噴嘴釋放該氣體混合物以使該氣體混合物冷凝成幾百至幾千個原子的叢聚，離子化該等叢聚以使每一叢聚通常具有電荷之一個電子單位，其係近似 $1.6 \cdot 10^{-19}$ 庫倫，而且通常以3與30 keV之間的加速能量朝一IC加速該等叢聚。每一叢聚通常包含10與3000之間的摻雜原子。該等叢聚在與一源極介電層之一頂部表面碰撞之後分裂而且該等叢聚中的摻雜原子滲透該源極介電層至幾奈米的深度。該等叢聚中載體氣原子的大部分在該等叢聚的碰撞之後立即逃逸。每一叢聚之加速能量係在每一叢聚中的原子當中分割，因此極低分率(甚少於百分之一)的摻雜原子具有足夠的能量以滲透該源極介電層並置換該IC之一基板中的一矽原子。可在GCIB製程中獲得該源極介電層中大於 10^{15} 原子/cm²的嵌入摻雜原子之劑量。期望GCIB製程提供在無矽晶格量損害的情況下獲得有用劑量的方法，該損害為源極介電層不提供等效劑量之傳統離子植入製程中所預期。可在商用半導體處理設備(例如由TEL-Epion公司製造的GCIB工具)中執行GCIB製程。

或者，可藉由下列方式執行一分子離子製程：以3與30 keV之間的加速能量朝一IC加速分別包含硼、磷或砷摻雜原子的分子，例如碳硼烷(C₂B₁₀H₁₂)、磷二聚物(P₂)或四聚

物(P_4)，或砷二聚物(As_2)或四聚物(As_4)。每一分子之加速能量係在每一分子中的原子當中分割，因此極低分率(甚少於百分之五)的摻雜原子具有足夠的能量以滲透一源極介電層並置換該IC之一基板中的一矽原子。可在分子離子植入製程中獲得在該源極介電層中大於 10^{15} 原子/cm²的嵌入摻雜原子之劑量。期望分子離子植入製程提供在無矽晶格數量損害的情況下獲得有用劑量的方法，該損害為源極介電層不提供等效劑量之傳統離子植入製程中所預期的。分子離子植入製程可用於商用半導體離子植入器中執行。

或者，可藉由以2與10 keV之間的加速能量朝一IC加速個別摻雜原子(例如硼、磷或砷)而執行一原子離子植入製程。在一較佳具體實施例中，百分之九十以上的摻雜原子係在一源極介電層中被吸收，因此少於百分之十的摻雜原子碰撞該源極介電層以下的單晶矽基板，從而期望減少在源極介電層不提供等效劑量之傳統離子植入製程中所預期的矽晶格數量損害。原子離子植入製程可在商用半導體離子植入器中執行。

參考圖1B，移除NLDD光阻圖案(126)，該移除通常藉由曝露該IC (100)於含氧的電漿，隨後進行濕式清理以從LDD源極介電層(124)之頂部表面移除任何有機殘餘物。

圖1C描繪一NLDD驅動製程之後的該IC (100)，該製程加熱該IC (100)之一現有頂部區域，從而使LDD源極介電層(124)之頂部區域內之NLDD植入區域中的植入NLDD摻雜原子擴散穿過LDD源極介電層(124)，以在p井(110)及

NMOS閘極(118)之水平表面之上的LDD源極介電層(124)中形成一NLDD注入區域(132)。在NLDD驅動製程期間，NLDD摻雜原子從NLDD注入區域(132)向外擴散至p井(110)之頂部區域以在鄰近於NMOS電晶體區域(106)中的NMOS閘極(118)之p井(110)的頂部表面上形成NLDD擴散區域(134)。NLDD驅動製程較佳為一尖鋒退火製程，其加熱該IC(100)之頂部表面至900°C與1100°C之間的溫度1至5秒；或一雷射退火製程，其加熱該IC(100)之頂部表面至1175°C與1300°C之間的溫度100微秒至2毫秒。在一較佳具體實施例中，NLDD擴散區域(134)係在10與20奈米之間的深度，而且包含在 10^{14} 與 10^{16} NLDD摻雜原子/cm²之間。在產生NLDD擴散區域(134)之一期望深度及摻雜物濃度的任何環境中採用任何熱分佈執行NLDD驅動製程係在本發明之範疇內。

圖1D描述一p型輕摻雜汲極(PLDD)摻雜物植入製程期間的該IC(100)。在一具體實施例中，可移除參考圖1A至圖1C說明之NLDD形成製程中使用的源極介電層並在該IC(100)上形成一新源極介電層。在本文中描述的另一具體實施例中，在PLDD形成期間再使用NLDD形成製程中使用的源極介電層。在LDD源極介電層(124)之一頂部表面上形成一PLDD光阻圖案(136)以使曝露用於植入p型PLDD摻雜物之PMOS電晶體區域(108)中的一區域。諸如硼的p型摻雜物之一PLDD組(138)係較佳藉由一GCIB製程但可藉由分子離子植入製程或原子離子植入製程朝該IC(100)加速，以

採用 10^{14} 與 10^{16} 摻雜原子/cm² 之間的劑量在 LDD 源極介電層 (124) 之一頂部區域中形成一 PLDD 植入區域 (140)。在一較佳具體實施例中，PLDD 摻雜物 (138) 係直接向下引導至 LDD 源極介電層 (124)，因此與 LDD 源極介電層 (124) 之水平表面比較，LDD 源極介電層 (124) 之垂直表面 (例如在 PMOS 閘極 (120) 之側表面上) 接收每單位面積少於百分之一的 PLDD 摻雜物 (138)。移除 PLDD 光阻圖案 (136)，該移除通常藉由曝露該 IC (100) 於包含氧氣的電漿，隨後進行濕式清理以從 LDD 源極介電層 (124) 之頂部表面移除任何有機殘餘物。

圖 1E 描述類似於 NLDD 驅動製程的一 PLDD 驅動製程之後的該 IC (100)，該製程加熱該 IC (100) 之一現有頂部區域，從而使 LDD 源極介電層 (124) 之頂部區域之 PLDD 植入區域中的植入 PLDD 摻雜原子透過 LDD 源極介電層 (124) 擴散以在 n 井 (112) 及 PMOS 閘極 (120) 之水平表面之上的 LDD 源極介電層 (124) 中形成一 PLDD 注入區域 (142)。在 PLDD 驅動製程期間，PLDD 摻雜原子從 PLDD 注入區域 (142) 向外擴散至 n 井 (112) 之頂部區域內以在鄰近於 PMOS 電晶體區域 (108) 中的 PMOS 閘極 (120) 之 n 井 (112) 的頂部表面上形成 PLDD 擴散區域 (144)。PLDD 驅動製程較佳為一尖鋒退火製程，其加熱該 IC (100) 之頂部表面至 900°C 與 1100°C 之間的溫度 1 至 5 秒；或一雷射退火製程，其加熱該 IC (100) 之頂部表面至 1175°C 與 1300°C 之間的溫度 100 微秒至 2 毫秒。在一較佳具體實施例中，PLDD 擴散區域 (144) 係在 10 與 20 奈

米之間深而且包含在 10^{14} 與 10^{16} PLDD摻雜原子/cm²之間。在產生PLDD擴散區域(144)之一期望深度及摻雜物濃度的任何環境中採用任何熱分佈執行PLDD驅動製程係在本發明之範疇內。在一替代具體實施例中，可同時執行NLDD驅動製程及PLDD驅動製程。

圖 1F 描述一可選源極介電層移除製程之後的該 IC (100)。較佳藉由將該 IC (100) 浸沒在可採用氟化銨加以緩衝的氫氟酸之稀釋水溶液中，可在其後處理中移除該源極介電層。

儘管參考圖 1A 至 1F 說明的製程係關於 LDD 區域的形成，但是熟習 IC 製造技術的人士應認識到使用一植入源極介電層形成一擴散層的製程可應用於在一 IC 基板之一頂部表面上形成另一擴散層。

圖 2A 至 2E 係描述在連續製造階段中描述的依據本發明之一具體實施例的 PMOS 源極及汲極 (PSD) 區域及 NMOS 源極及汲極 (NSD) 區域之形成的一 IC 之斷面圖。參考圖 2A，在具有參考圖 1A 說明的特性之一基板 (202) 中形成該 IC (200)。場氧化物元件 (204) 係藉由 STI 製程形成於基板 (202) 之一頂部區域中，因此一場氧化物元件 (204) 將界定用於一 NMOS 電晶體 (206) 之基板 (202) 中的一區域與界定用於一 PMOS 電晶體 (208) 之基板 (202) 中的一區域分離。在 NMOS 區域 (206) 之基板 (202) 中形成一 p 井 (210)，而且在 PMOS 區域 (208) 之基板 (202) 中形成一 n 井 (212)，如參考圖 1A 所說明。在 p 井 (210) 之一頂部表面上形成一 NMOS 閘極

介電層(214)，而且在n井(212)之一頂部表面上形成一PMOS閘極介電層(216)，如參考圖1A所說明。在NMOS閘極介電層(214)之一頂部表面上形成一NMOS閘極(218)，而且在PMOS閘極介電層(216)之一頂部表面上形成一PMOS閘極(220)，如參考圖1A所說明。

繼續參考圖2A，在鄰近於NMOS閘極(218)的p井(210)之一頂部區域中形成一NLDD擴散區域(222)，如參考圖1A至圖1C所說明。在鄰近於PMOS閘極(220)的n井(212)之一頂部區域中形成一PLDD擴散區域(224)，如參考圖1A及1D至圖1E所說明。NMOS閘極側壁間隔物(226)係形成於NMOS閘極(218)之側表面上，該形成通常藉由在NMOS閘極(218)之一頂部及側表面上以及p井(210)之頂部表面上沈積氮化矽及/或二氧化矽之一或多個保形層，隨後藉由各向異性蝕刻方法從NMOS閘極(218)之頂部表面及p井(210)之頂部表面移除保形層材料，從而將保形層材料留在NMOS閘極(218)之側表面上。藉由與NMOS閘極側壁間隔物(226)類似的製程在PMOS閘極(220)之側表面上形成PMOS閘極側壁間隔物(228)。NMOS閘極側壁間隔物(226)及PMOS閘極側壁間隔物(228)通常具有不同厚度。通常地，同時形成NMOS閘極側壁間隔物(226)及PMOS閘極側壁間隔物(228)的至少一部分。

仍參考圖2A，在該IC(200)上執行如參考圖1A所說明的S/D源極介電沈積製程(230)以在該IC(200)之一現有頂部表面上形成一S/D源極介電層(232)。S/D源極介電層(232)較

佳係在10與30奈米之間厚而且係由二氧化矽及/或氮化矽形成。在一第一具體實施例中，S/D源極介電沈積製程(230)係一各向異性製程以使S/D源極介電層(232)係保形沈積在該IC(200)之一現有頂部表面上，包括p井(210)、n井(212)、NMOS閘極(218)、PMOS閘極(220)、NMOS閘極側壁間隔物(226)以及PMOS閘極側壁間隔物(228)。

圖2B描述一NSD摻雜物植入製程期間的該IC(200)。在S/D源極介電層(232)之一頂部表面上形成一NSD光阻圖案(234)以使曝露用於植入n型NSD摻雜物之NMOS電晶體區域(206)中的一區域。諸如磷及可能砷的n型摻雜物之一NSD組(236)係較佳藉由一GCIB製程但可藉由分子離子植入製程或原子離子植入製程朝該IC(200)加速，以採用 10^{14} 與 10^{17} 摻雜原子/cm²之間的劑量在S/D源極介電層(232)之一頂部區域中形成一NSD植入區域(238)。移除NSD光阻圖案(234)，該移除通常藉由曝露該IC(200)於包含氧氣的電漿，隨後進行濕式清理以從S/D源極介電層(232)之頂部表面移除任何有機殘餘物。

圖2C描述一NSD驅動製程之後的該IC(200)，該製程加熱該IC(200)之一現有頂部區域，從而使S/D源極介電層(232)之頂部區域之NSD植入區域中的植入NSD摻雜原子透過S/D源極介電層(232)擴散以在NMOS電晶體區域(206)之S/D源極介電層(232)中形成一NSD注入區域(240)。在NSD驅動製程期間，NSD摻雜原子從NSD注入區域(240)向外擴散至p井(210)之頂部區域內以在鄰近於NMOS電晶體區域

(206)中的NMOS閘極側壁間隔物(226)之p井(210)的頂部表面上形成NSD擴散區域(242)。NSD驅動製程較佳為一尖鋒退火製程，其加熱該IC(200)之頂部表面至900°C與1100°C之間的溫度1至5秒；或一雷射退火製程，其加熱該IC(200)之頂部表面至1175°C與1300°C之間的溫度100微秒至2毫秒。在一較佳具體實施例中，NSD擴散區域(242)係在30與100奈米之間深而且包含在 10^{14} 與 10^{17} NSD摻雜原子/cm²之間。在產生NSD擴散區域(242)之一期望深度及摻雜物濃度的任何環境中採用任何熱分佈執行NSD驅動製程係在本發明之範疇內。

圖2D描述一PSD摻雜物植入製程期間的該IC(200)。在一具體實施例中，可移除參考圖2A至圖2C說明之NSD形成製程中使用的源極介電層以及在該IC(200)上形成之一新源極介電層。在本文中描述的另一具體實施例中，在PSD形成期間再使用NSD形成製程中使用的源極介電層。在S/D源極介電層(232)之一頂部表面上形成一PSD光阻圖案(244)以使曝露用於植入p型PSD摻雜物之PMOS電晶體區域(208)中的一區域。諸如硼的p型摻雜物之一PSD組(246)係較佳藉由一GCIB製程但可藉由分子離子植入製程或原子離子植入製程朝該IC(200)加速，以採用 10^{14} 與 10^{17} 摻雜原子/cm²之間的劑量在S/D源極介電層(232)之一頂部區域中形成一PSD植入區域(248)。移除PSD光阻圖案(244)，該移除通常藉由曝露該IC(200)於包含氧氣的電漿，隨後進行濕式清理以從S/D源極介電層(232)之頂部表面移除任何有機殘餘

物。

圖 2E 描述類似於 NSD 驅動製程的一 PSD 驅動製程之後的該 IC(200)，該製程加熱該 IC(200)之一現有頂部區域，從而使 S/D 源極介電層(232)之頂部區域之 PSD 植入區域中的植入 PSD 摻雜原子透過 S/D 源極介電層(232)擴散以在 PMOS 電晶體區域(208)之 S/D 源極介電層(232)中形成一 PSD 注入區域(250)。在 PSD 驅動製程期間，PSD 摻雜原子從 PSD 注入區域(250)向外擴散至 n 井(212)之頂部區域內以在鄰近於 PMOS 電晶體區域(208)中的 PMOS 閘極側壁間隔物(228)之 n 井(212)的頂部表面上形成 PSD 擴散區域(252)。PSD 驅動製程較佳為一尖鋒退火製程，其加熱該 IC(200)之頂部表面至 900°C 與 1100°C 之間的溫度 1 至 5 秒；或一雷射退火製程，其加熱該 IC(200)之頂部表面至 1175°C 與 1300°C 之間的溫度 100 微秒至 2 毫秒。在一較佳具體實施例中，PSD 擴散區域(252)係在 30 與 100 奈米之間深而且包含在 10^{14} 與 10^{17} PSD 摻雜原子/cm² 之間。在產生 PSD 擴散區域(252)之一期望深度及摻雜物濃度的任何環境中採用任何熱分佈執行 PSD 驅動製程係在本發明之範疇內。在一替代具體實施例中，可同時執行 NSD 驅動製程及 PSD 驅動製程。

圖 3A 至 3C 係描述在連續製造階段中描述的依據本發明之一替代具體實施例的 PLDD 區域之形成的一 IC 之斷面圖。參考圖 3A，在具有參考圖 1A 說明的特性之一基板(302)中形成該 IC(300)。場氧化物元件(304)之範例係藉由 STI 製程形成於基板(302)之一頂部區域中，因此一場氧化

物元件(304)將界定用於一NMOS電晶體(306)之基板(302)中的一區域與界定用於一PMOS電晶體(308)之基板(302)中的一區域分離。在NMOS區域(306)之基板(302)中形成一p井(310)，而且在PMOS區域(308)之基板(302)中形成一n井(312)，如參考圖1A所說明。在p井(310)之一頂部表面上形成一NMOS閘極介電層(314)，而且在n井(312)之一頂部表面上形成一PMOS閘極介電層(316)，如參考圖1A所說明。在NMOS閘極介電層(314)之一頂部表面上形成一NMOS閘極(318)，而且在PMOS閘極介電層(316)之一頂部表面上形成一PMOS閘極(320)，如參考圖1A所述。

繼續參考圖3A，在該IC(300)上執行一各向異性LDD源極介電沈積製程(322)，以在p井(310)、n井(312)、NMOS閘極(318)及PMOS閘極(320)之水平表面上形成一各向異性LDD源極介電層(324)。關於此揭示內容之目的，術語「各向異性層」係瞭解為意指實質上在垂直表面上比在水平表面上薄的一層，或在垂直表面上實質上沒有材料的一層。在圖3A中所描述的一具體實施例中，實質上在NMOS閘極(318)及PMOS閘極(320)之垂直表面上未沈積源極介電材料。可藉由下列方式達到各向異性沈積：施予一垂直方向性至反應物物種，其產生LDD源極介電層(324)，例如藉由透過垂直電場加速離子化之反應物分子或透過一或多個定向噴嘴擷取反應物分子。

圖3B描述一PLDD摻雜物植入製程期間的該IC(300)。一PLDD光阻圖案(326)係形成於LDD源極介電層(324)之一頂

部表面上，以使曝露出PMOS電晶體區域(308)中用於植入p型PLDD摻雜物的一區域。一PLDD組p型摻雜物(328)(諸如硼)較佳藉由一GCIB製程但可藉由分子離子植入製程或原子離子植入製程朝該IC(300)加速，以採用 10^{14} 與 10^{17} 摻雜原子/cm²之間的劑量在LDD源極介電層(324)之一頂部區域中形成一PSD植入區域(330)。在本具體實施例中，由於PMOS閘極(320)之垂直表面上的較少源極介電材料如參考圖3A所解釋，PSD植入區域(330)比使用保形源極介電層之具體實施例中延伸至更接近於PMOS閘極(320)之垂直表面。移除PLDD光阻圖案(326)，該移除通常藉由曝露該IC(300)於含氧的電漿，隨後進行濕式清理，以從LDD源極介電層(324)之頂部表面移除任何有機殘餘物。

圖3C描述如參考圖1E所說明的一PLDD驅動製程之後的該IC(300)，該製程加熱該IC(300)之一現有頂部區域，從而使LDD源極介電層(324)之頂部區域之PLDD植入區域中的植入之PLDD摻雜原子擴散穿過LDD源極介電層(324)，以在PMOS電晶體區域(308)之LDD源極介電層(324)中形成一PLDD注入區域(332)。在PLDD驅動製程期間，PLDD摻雜原子從PLDD注入區域(332)向外擴散至n井(312)之頂部區域內以在鄰近於PMOS電晶體區域(308)中的PMOS閘極(320)之n井(312)的頂部表面上形成PLDD擴散區域(334)。在本具體實施例中，PLDD擴散區域(334)進一步朝PMOS閘極(320)延伸，而且與使用保形源極介電層的具體實施例比較，由於參考圖3B所觀察的PSD植入區域延伸至更接近

於PMOS閘極(320)之垂直表面的事實而可在PMOS閘極介電層(316)下延伸。PLDD擴散區域(334)朝PMOS閘極(320)的進一步延伸可在一些PMOS電晶體中藉由增加通路狀態驅動電流而為有利。

熟習IC製造技術的人士應認識到，本具體實施例之優點可應用於形成NLDD擴散區域、PSD擴散區域以及NSD擴散區域。

熟習IC製造技術的人士應認識到，可援助由調整沈積在一閘極之側表面上的源極介電材料量來改變一LDD區域朝該閘極或在其下的延伸。用於一源極介電層的一沈積製程可從完全保形調整為完全各向異性，從而有利地提供一措施，其用以獨立於LDD區域之劑量或深度而提供LDD區域之期望延伸。

熟習技術人士應瞭解，許多其他具體實施例及變化亦係在本發明之範疇內。因此亦預計涵蓋具有範例具體實施例之背景下說明的特徵或步驟之一或多個者的不同組合之具體實施例，該等具體實施例具有此類特徵或步驟之全部或僅一些。

【圖式簡單說明】

圖1A至1F係顯示依據本發明之一範例具體實施例的PMOS LDD區域及NMOS LDD區域之形成中的步驟之一IC的斷面圖。

圖2A至2E係顯示依據本發明之一範例具體實施例的PSD區域及NSD區域之形成中的步驟之一IC的斷面圖。

圖 3A 至 3C 係顯示依據本發明之一範例替代性具體實施例的 PLDD 區域之形成中的步驟之一 IC 的斷面圖。

【主要元件符號說明】

100	IC
102	基板
104	場氧化物元件
106	MOS 電晶體(區域)
108	PMOS 電晶體區域
110	p 型井
112	n 型井
114	NMOS 閘極介電層
116	源極介電層/PMOS 閘極介電層
118	NMOS 閘極
120	PMOS 閘極
122	LDD 源極介電沈積製程
124	LDD 源極介電層
126	NLDD 光阻圖案
128	NLDD 摻雜物
130	NLDD 植入區域
132	NLDD 注入區域
134	NLDD 擴散區域
136	PLDD 光阻圖案
138	PLDD 摻雜物
140	PLDD 植入區域

142	PLDD注入區域
144	PLDD擴散區域
200	IC
202	基板
204	場氧化物元件
206	NMOS電晶體(區域)
208	PMOS電晶體(區域)
210	p井
212	n井
214	NMOS閘極介電層
216	PMOS閘極介電層
218	NMOS閘極
220	PMOS閘極
222	NLDD擴散區域
224	PLDD擴散區域
226	NMOS閘極側壁間隔物
228	PMOS閘極側壁間隔物
230	S/D源極介電沈積製程
232	S/D源極介電層
234	NSD光阻圖案
238	NSD植入區域
240	NSD注入區域
242	NSD擴散區域
244	PSD光阻圖案

248	PSD植入區域
250	PSD注入區域
252	PSD擴散區域
300	IC
302	基板
304	場氧化物元件
306	NMOS電晶體(區域)
308	PMOS電晶體區域
310	p井
312	n井
314	NMOS閘極介電層
316	PMOS閘極介電層
318	NMOS閘極
320	PMOS閘極
322	LDD源極介電沈積製程
324	LDD源極介電層
328	PLDD摻雜物
330	PSD植入區域
332	PLDD注入區域
334	PLDD擴散區域

五、中文發明摘要：

本發明揭示一種在一 IC (100) 基板 (102) 中採用 10^{14} cm^{-2} 以上的平均摻雜劑量形成小於 20 奈米深的擴散區域 (特別是在一 MOS 電晶體 (106) 中的 LDD 區域) 之方法。摻雜物係使用氣體叢聚離子束 (GCIB) 植入、分子離子植入或原子離子植入而植入於一源極介電層中，從而在該 IC 基板中產生可忽略的損害。一尖鋒退火或一雷射退火將該等植入摻雜物擴散於該 IC 基板中。本發明之方法亦可應用於形成源極及汲極 (S/D) 區域。一源極介電層 (116) 可用於形成 NLDD 及 PLDD 兩區域。

六、英文發明摘要：

A process for forming diffused region less than 20 nanometers deep with an average doping dose above 10^{14} cm^{-2} in an IC (100) substrate (102), particularly LDD region in an MOS transistor (106), is disclosed. Dopants are implanted into a source dielectric layer using gas cluster ion beam (GCIB) implantation, molecular ion implantation or atomic ion implantation resulting in negligible damage in the IC substrate. A spike anneal or a laser anneal diffuses the implanted dopants into the IC substrate. The inventive process may also be applied to forming source and drain (S/D) regions. One source dielectric layer (116) may be used for forming both NLDD and PLDD regions.

十、申請專利範圍：

1. 一種形成包含一金氧半導體(MOS)電晶體之一積體電路(IC)之方法，該金氧半導體電晶體進一步包含輕摻雜汲極(LDD)擴散區域，該方法包含下列步驟：

形成一LDD源極介電層於一井之一頂部表面上，以及形成於在該井之該頂部表面上形成的一MOS閘極介電層之一頂部表面上的一MOS閘極；

藉由植入一LDD組摻雜原子於該LDD源極介電層中的一製程而在該LDD源極介電層之一頂部區域中形成一LDD植入區域，以使少於百分之十的該等LDD摻雜原子穿過該LDD源極介電層而至該井中；以及

藉由加熱該IC之一製程而形成該等LDD擴散區域，以使該等LDD摻雜原子之一部分從該LDD植入區域擴散至鄰近於該MOS閘極的該井之頂部區域中。

2. 如請求項1之方法，其特徵為下列的至少一項：

- a) 該LDD源極介電層的厚度係介於5與20奈米之間，並且包括二氧化矽；

- b) 該LDD源極介電層的厚度係介於5與20奈米之間，並且包括氮化矽；

- c) 該等LDD摻雜原子包括硼；

- d) 該等LDD摻雜原子包括磷；

- e) 該等LDD摻雜原子包括砷；

- f) 植入一組LDD摻雜原子的該步驟係使用一氣體叢聚離子束(GCIB)製程執行；

g) 植入一組LDD摻雜原子的該步驟係使用一分子離子植入製程執行；

h) 植入一組LDD摻雜原子的該步驟係使用一原子離子植入製程執行；

i) 保形沈積該LDD源極介電層；

j) 該LDD源極介電層係一各向異性層；

k) 加熱該IC之該製程包括在900°C與1100°C之間加熱該IC之一頂部區域1至5秒；

l) 加熱該IC之該製程包括在1175°C與1300°C之間加熱該IC之一頂部區域100微秒至2毫秒。

3. 一種形成包含一MOS電晶體之一IC的方法，該MOS電晶體進一步包含源極及汲極(S/D)擴散區域，該方法包含下列步驟：

形成一S/D源極介電層於一井之一頂部表面上、一MOS閘極其係形成於在該井之該頂部表面上形成的一MOS閘極介電層之一頂部表面上，以及閘極側壁間隔物其係形成於該MOS閘極之側表面上；

藉由植入一S/D組摻雜原子於該S/D源極介電層中的一製程而形成一S/D植入區域於該S/D源極介電層之一頂部區域中，以使少於百分之十的該等S/D摻雜原子穿過該S/D源極介電層至該井中；以及

藉由加熱該IC之一製程而形成該等S/D擴散區域，以使該等S/D摻雜原子之一部分從該S/D植入區域擴散至鄰近於該等MOS閘極側壁間隔物的該井之頂部區域中。

4. 如請求項3之方法，其特徵為下列的至少一項：

a) 該 S/D 源極介電層之厚度係介於 10 與 30 奈米之間，並且包括二氧化矽；

b) 該 S/D 源極介電層之厚度係介於 10 與 30 奈米之間，並且包括氮化矽；

c) 該等 S/D 摻雜原子包括硼；

d) 該等 S/D 摻雜原子包括磷；

e) 該等 S/D 摻雜原子包括砷；

f) 使用一 GCIB 製程執行植入 S/D 摻雜原子之一組的該步驟；

g) 使用一分子離子植入製程執行植入一組 S/D 摻雜原子之該步驟；

h) 使用一原子離子植入製程執行植入一組 S/D 摻雜原子之一該步驟；

i) 保形沈積該 S/D 源極介電層；

j) 該 S/D 源極介電層係一各向異性層；

k) 加熱該 IC 之該製程包括在 900°C 與 1100°C 之間加熱該 IC 之一頂部區域 1 至 5 秒；

l) 加熱該 IC 之該製程包括在 1175°C 與 1300°C 之間加熱該 IC 之一頂部區域 100 微秒至 2 毫秒。

5. 一種形成包含一 n 通道金氧半導體 (NMOS) 電晶體及一 p 通道金氧半導體 (PMOS) 電晶體之一 IC 的方法，其包含下列步驟：

形成一 n 型輕摻雜汲極 (NLDD) 源極介電層於一 p 井之一

頂部表面上，以及一NMOS閘極其係形成於在該井之該頂部表面上形成的一NMOS閘極介電層之一頂部表面上；

藉由植入一NLDD組n型摻雜原子於該NLDD源極介電層中的一製程而形成一NLDD植入區域於該NLDD源極介電層之一頂部區域中，以使少於百分之十的該等NLDD摻雜原子穿過該NLDD源極介電層至該p井中；

藉由加熱該IC之一製程而形成NLDD擴散區域，以使該等NLDD摻雜原子之一部分從該NLDD植入區域擴散至鄰近於該NMOS閘極的該p井之頂部區域中；

形成一p型輕摻雜汲極(PLDD)源極介電層於一n井之一頂部表面上，以及一PMOS閘極其係形成於在該n井之該頂部表面上形成的一PMOS閘極介電層之一頂部表面上；

藉由植入一PLDD組p型摻雜原子於該PLDD源極介電層中的一製程而形成一PLDD植入區域於該PLDD源極介電層之一頂部區域中，以使少於百分之十的該等PLDD摻雜原子穿過該PLDD源極介電層至該n井中；以及

藉由加熱該IC之一製程而形成PLDD擴散區域，以使該等PLDD摻雜原子之一部分從該PLDD植入區域擴散至鄰近於該PMOS閘極的該n井之頂部區域中。

6. 如請求項5之方法，其中同時執行形成NLDD擴散區域之該步驟以及形成PLDD擴散區域之該步驟。
7. 如請求項5或6之方法，其中同時執行形成一NLDD源極

介電層之該步驟以及形成一PLDD源極介電層之該步驟。

8. 如請求項5之方法，其進一步包括下列步驟：

形成一n型源極及汲極(NSD)源極介電層於該p井之一頂部表面上、該NMOS閘極、以及NMOS閘極側壁間隔物其係形成於該NMOS閘極之側表面上；

藉由植入一NSD組n型摻雜原子於該NSD源極介電層中的一製程而形成一NSD植入區域於該NSD源極介電層之一頂部區域中，以使少於百分之十的該等NSD摻雜原子穿過該NSD源極介電層至該p井中；

藉由加熱該IC之一製程而形成NSD擴散區域，以使該等NSD摻雜原子之一部分從該NSD植入區域擴散至鄰近於該NMOS閘極側壁間隔物的該p井之頂部區域中；

形成一p型源極及汲極(PSD)源極介電層於該n井之一頂部表面上、該NMOS閘極、以及PMOS閘極側壁間隔物其係形成於該PMOS閘極之側表面上；

藉由植入一PSD組p型摻雜原子於該PSD源極介電層中的一製程而形成一PSD植入區域於該PSD源極介電層之一頂部區域中，以使少於百分之十的該等PSD摻雜原子穿過該PSD源極介電層至該n井中；以及

藉由加熱該IC之一製程而形成PSD擴散區域，以使該等PSD摻雜原子之一部分從該PSD植入區域擴散至鄰近於該等PMOS閘極側壁間隔物的該n井之頂部區域中。

9. 如請求項8之方法，其中同時執行形成NSD擴散區域之該

步驟以及形成PSD擴散區域之該步驟。

10. 如請求項8或9之方法，其中：

同時執行形成一NSD源極介電層之該步驟以及形成一PSD源極介電層之該步驟。

11. 一種在一IC基板中形成一擴散區域之方法，其包含下列步驟：

形成一源極介電層於該基板之一頂部表面上；

藉由植入一組摻雜原子於該源極介電層中的一製程而形成一植入區域於該源極介電層之一頂部區域中，以使少於百分之十的該等摻雜原子穿過該源極介電層至該基板中；以及

藉由加熱該基板之一製程而形成該等擴散區域，以使該等摻雜原子之一部分從該植入區域擴散至該基板之一頂部區域中。

12. 如請求項11之方法，其特徵為下列的至少一項：

a) 該源極介電層之厚度係介於5與20奈米之間，並且包括二氧化矽；

b) 該源極介電層之厚度係介於5與20奈米之間，並且包括氮化矽；

c) 該等摻雜原子包括硼；

d) 該等摻雜原子包括磷；

e) 該等摻雜原子包括砷；

f) 使用一GCIB製程執行植入一組摻雜原子之該步驟；

g) 使用一分子離子植入製程執行植入一組摻雜原子之

該步驟；

h) 使用一原子離子植入製程執行植入一組摻雜原子之

該步驟；

i) 加熱該基板之該製程包括在 900°C 與 1100°C 之間加熱該基板之一頂部區域1至5秒；

j) 加熱該基板之該製程包括在 1175°C 與 1300°C 之間加熱該基板之一頂部區域100微秒至2毫秒。

十一、圖式：

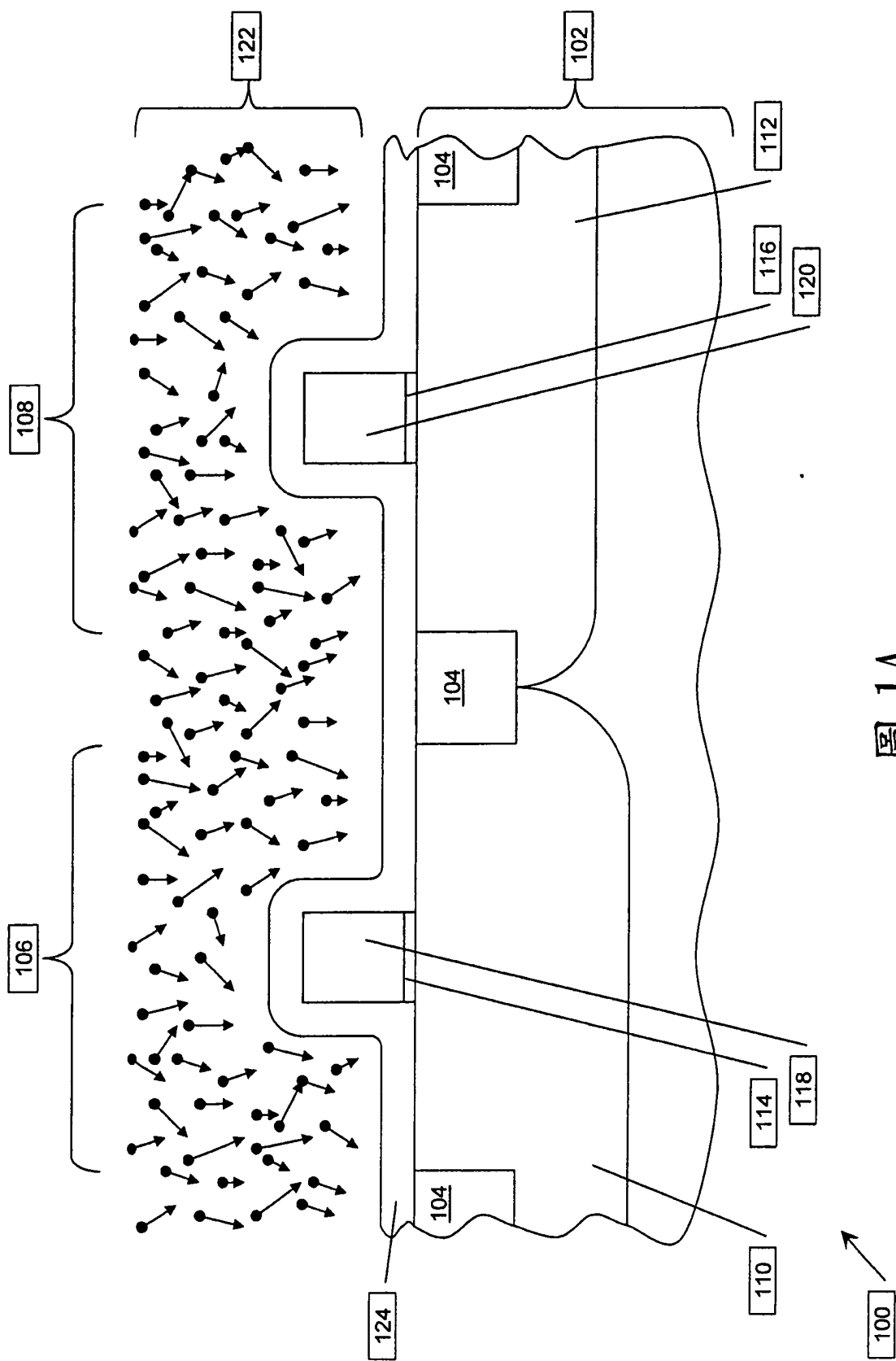


圖 1A

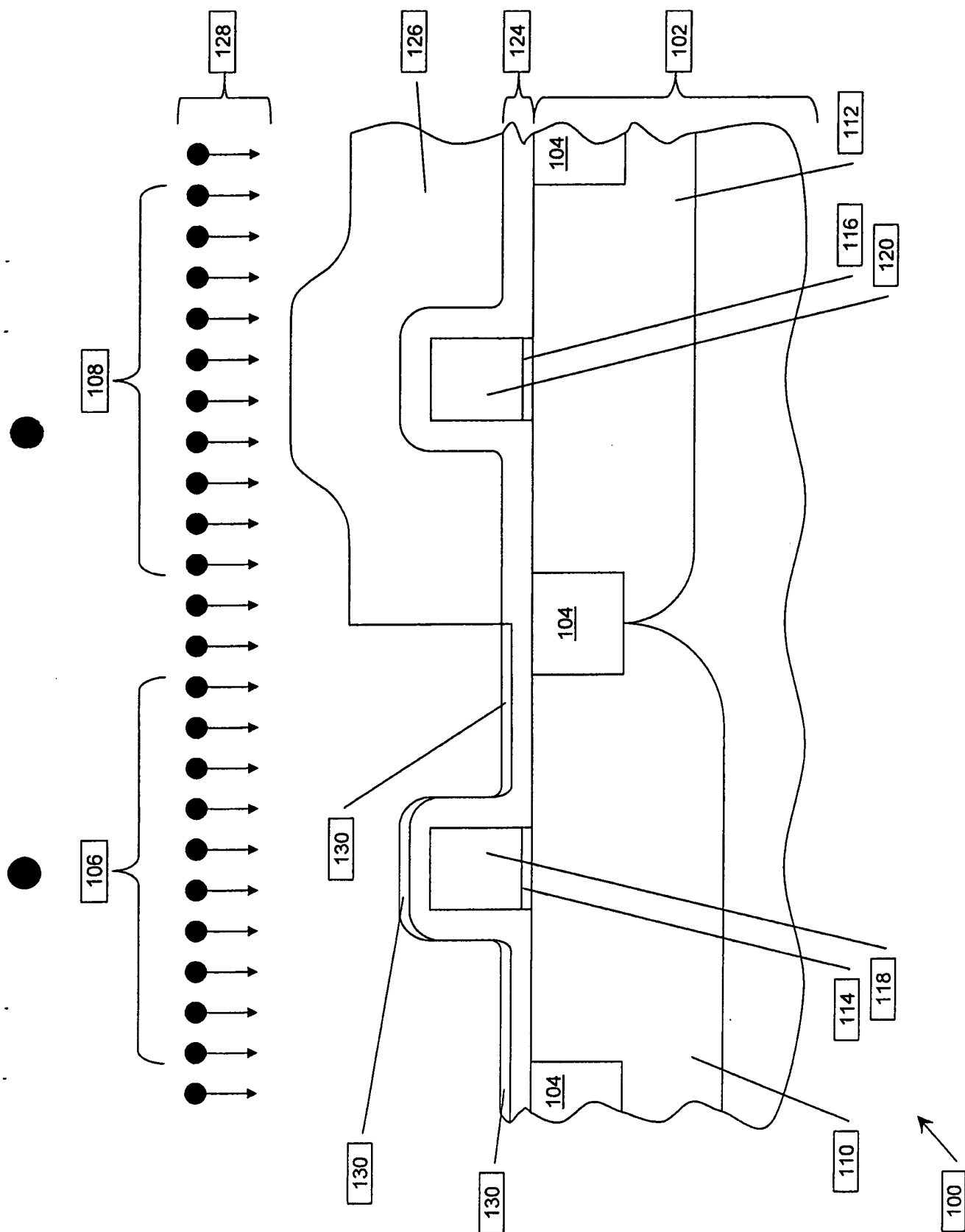


圖 1B

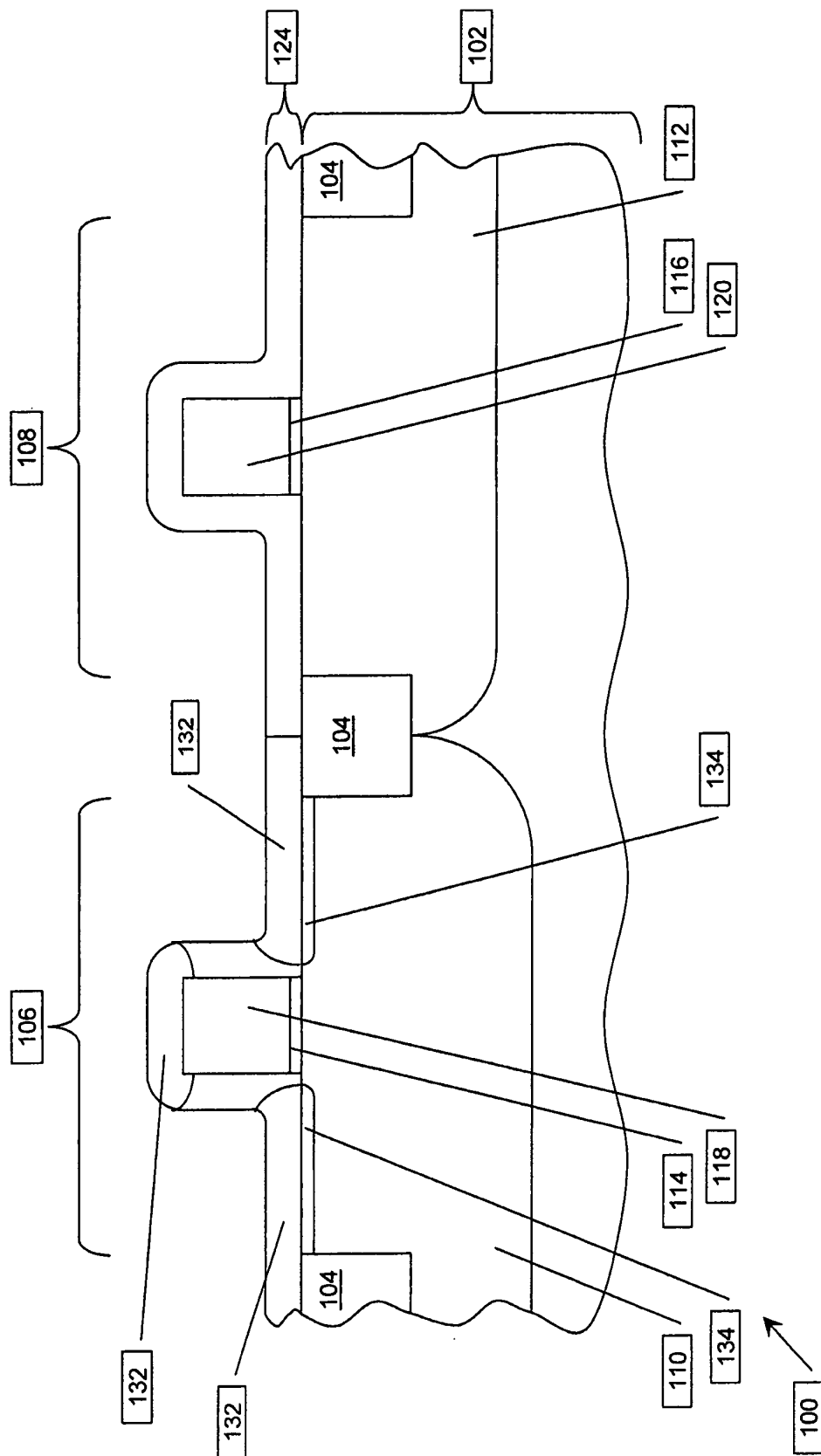


圖 1C

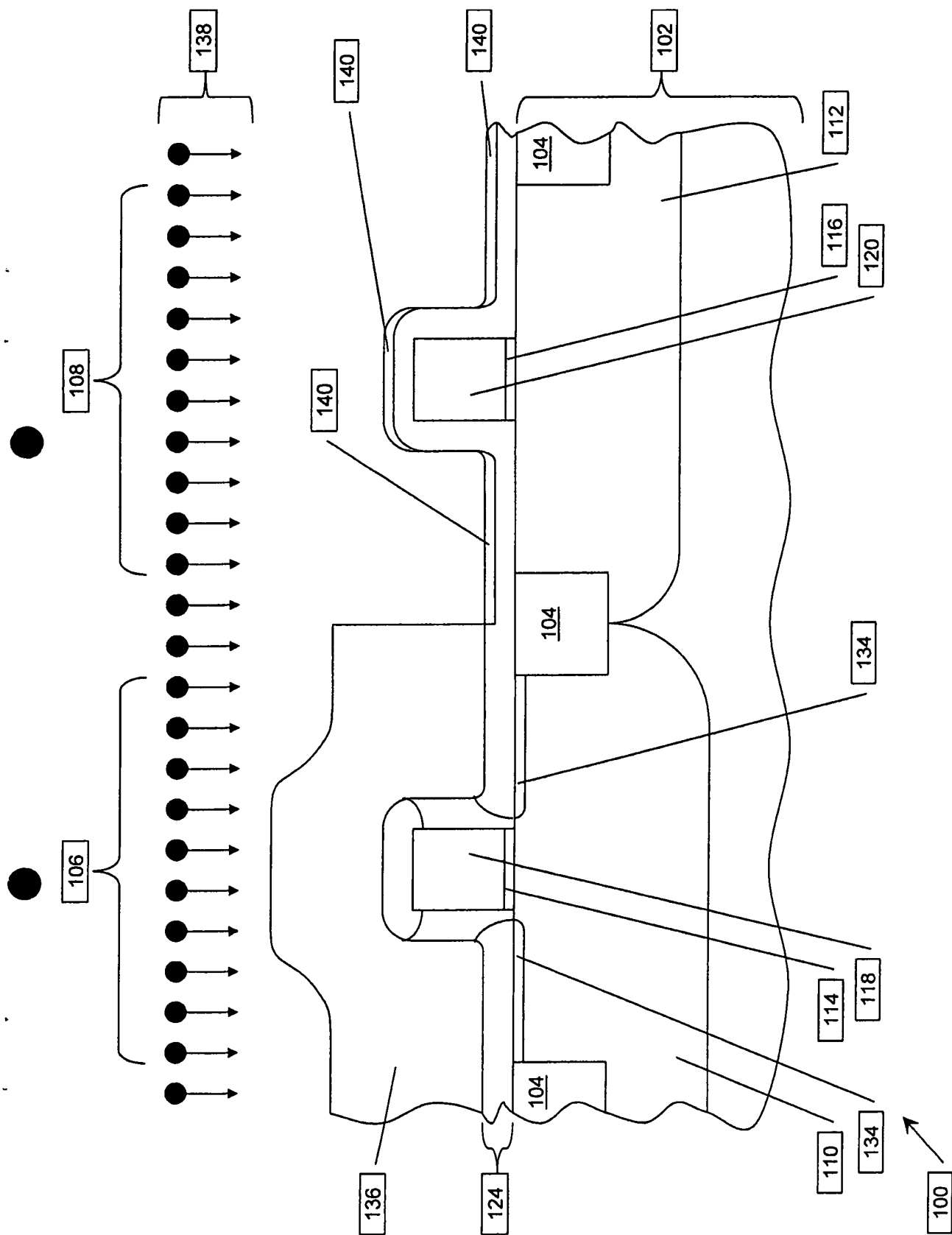


圖 1D

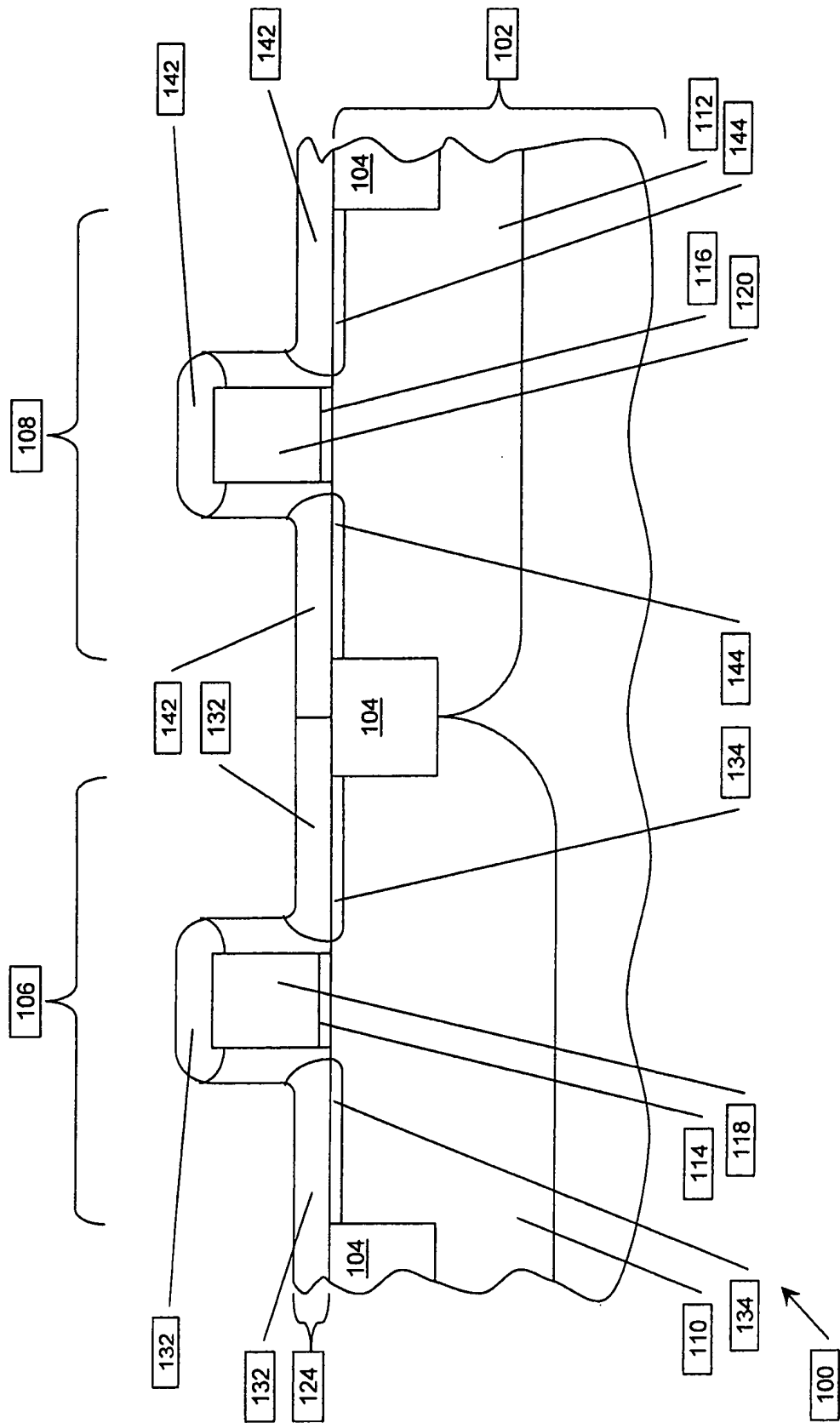


圖 1E

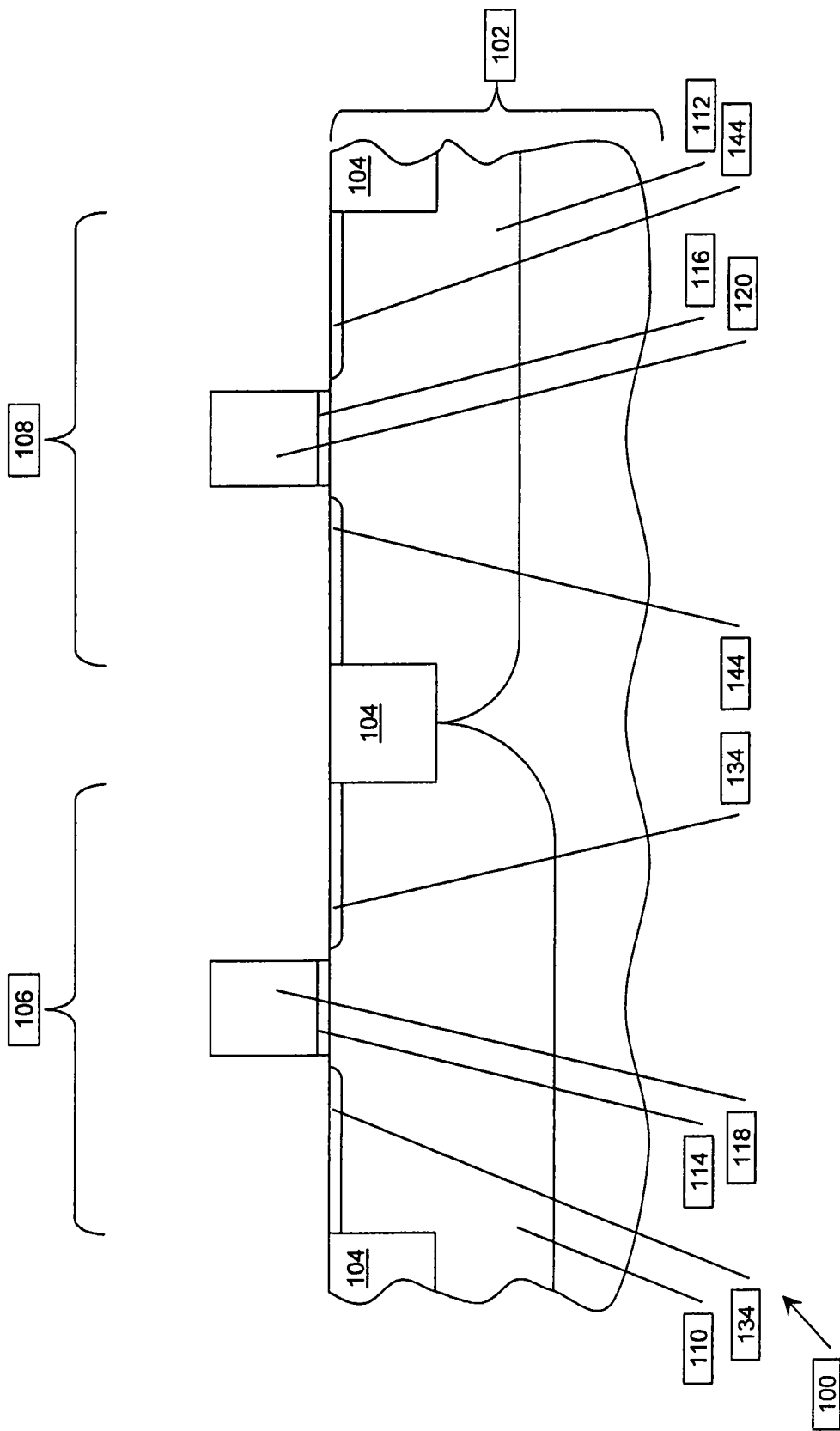


圖 1F

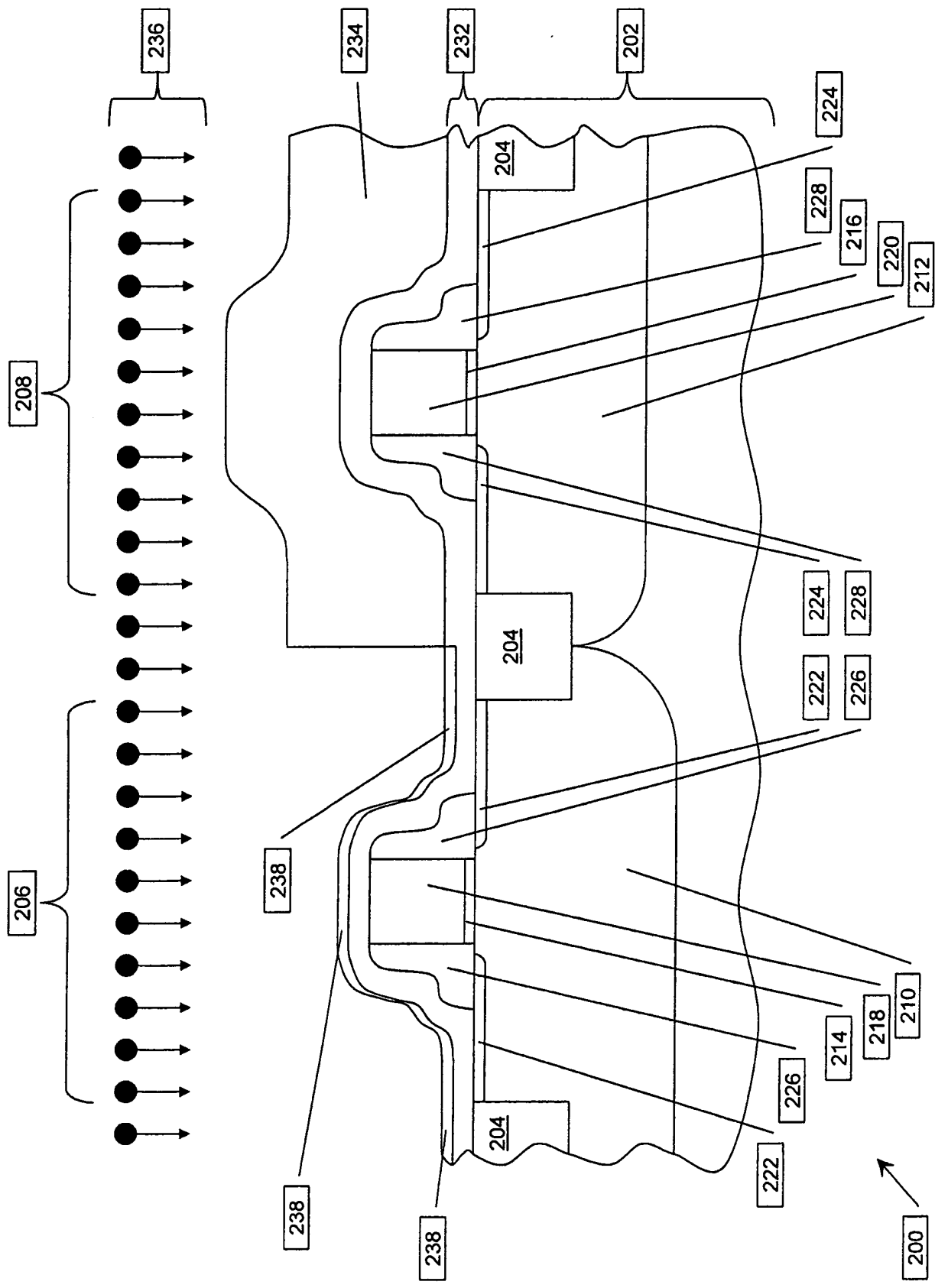


圖 2B

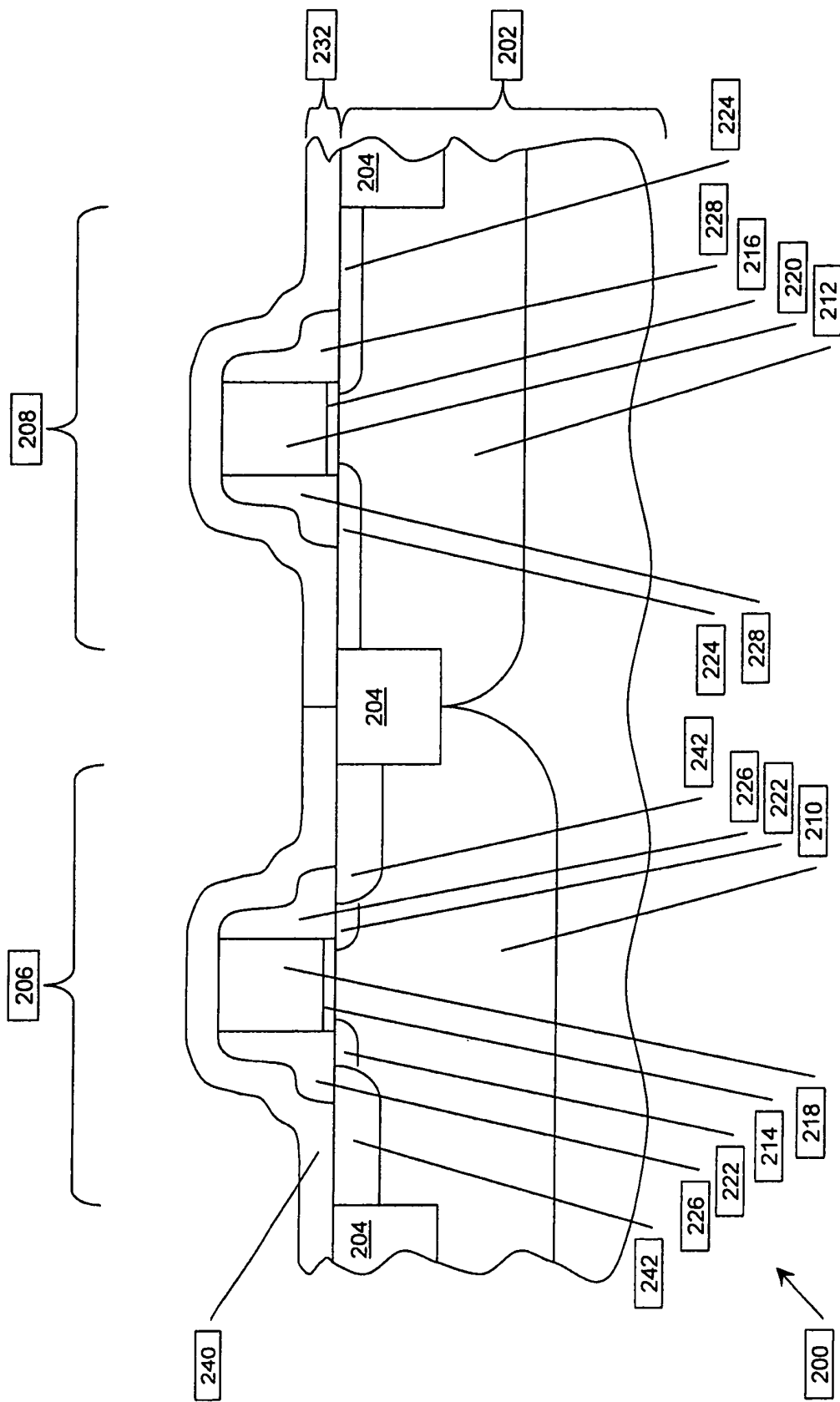


圖 2C

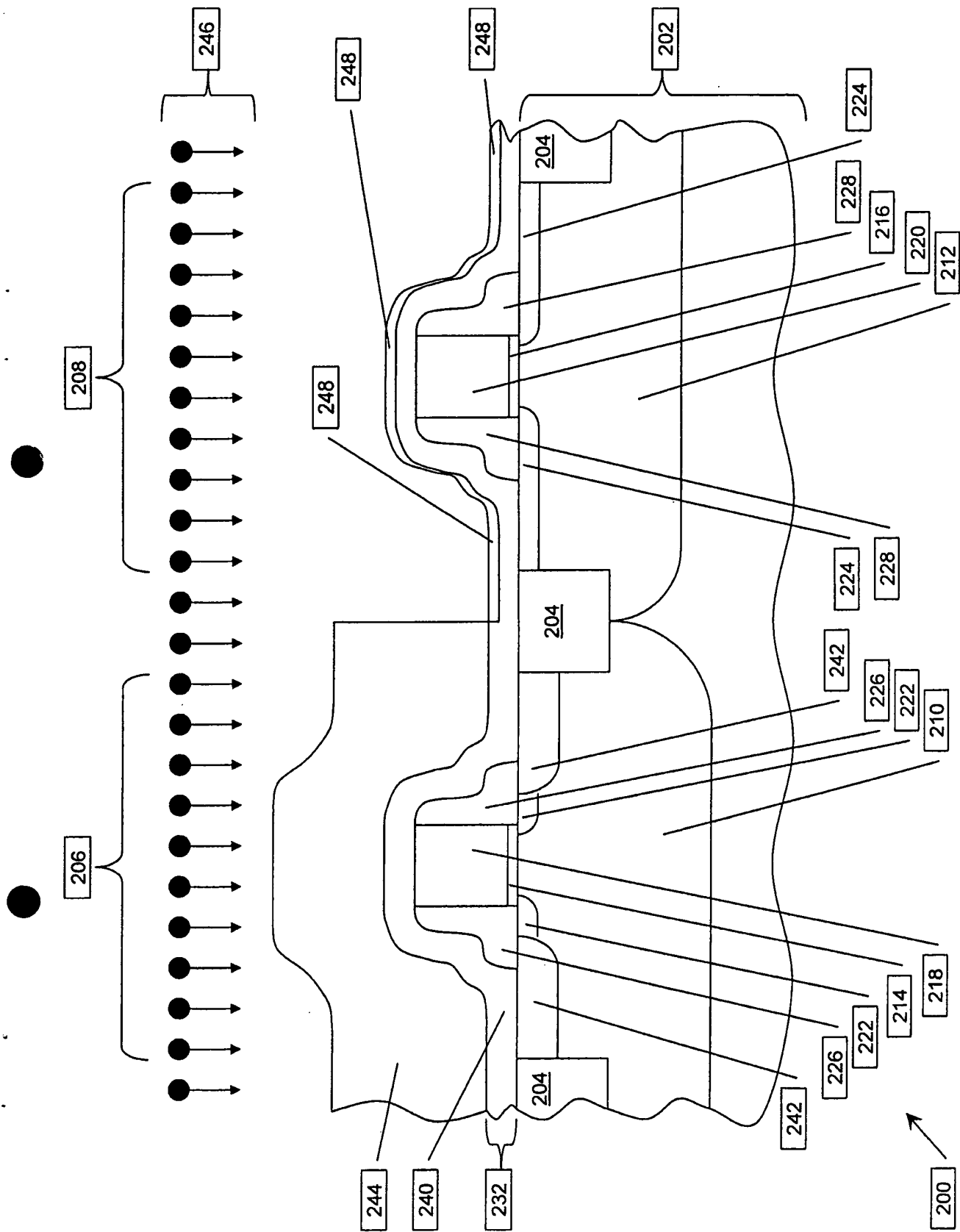


圖 2D

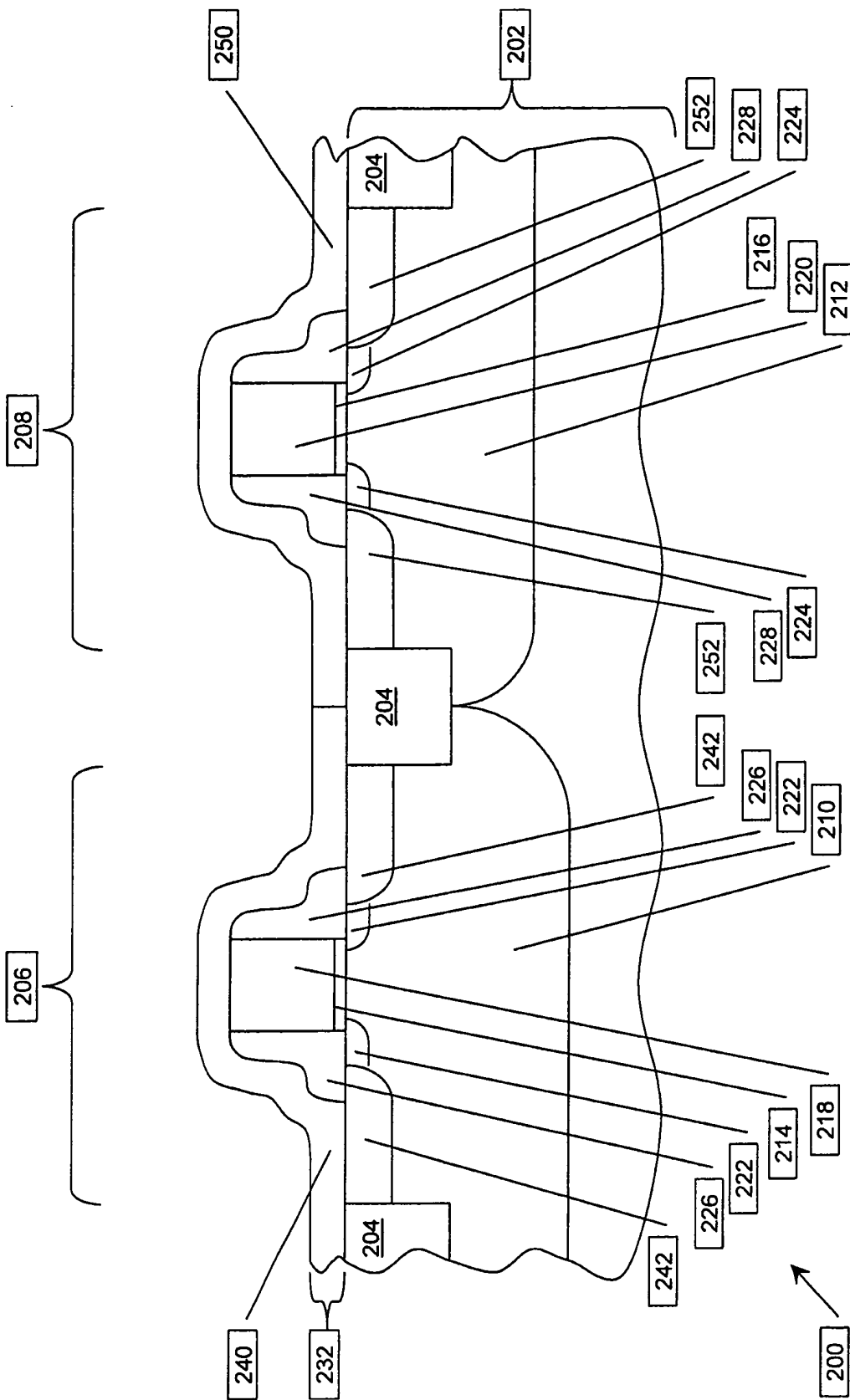


圖 2E

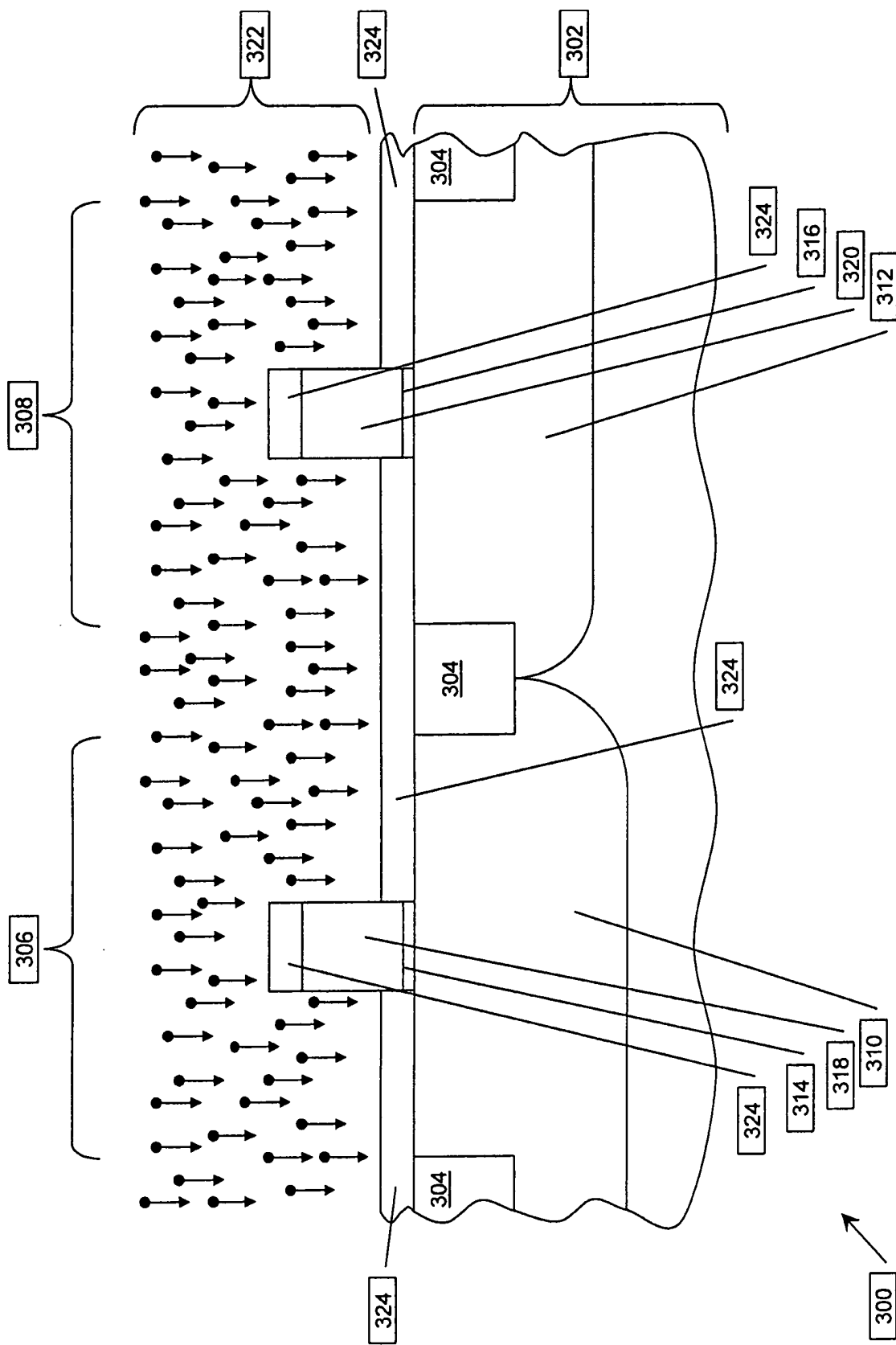


圖 3A

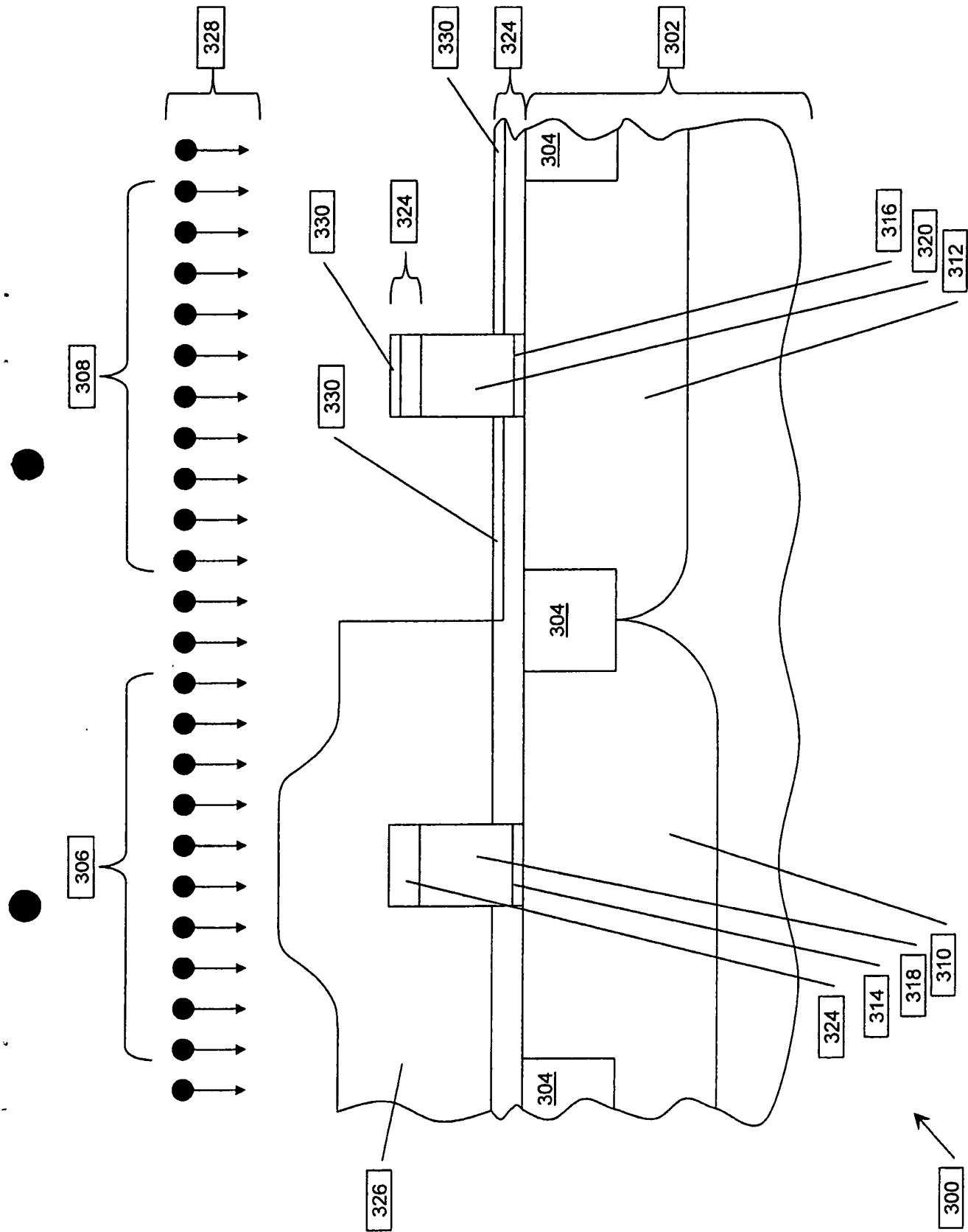


圖 3B

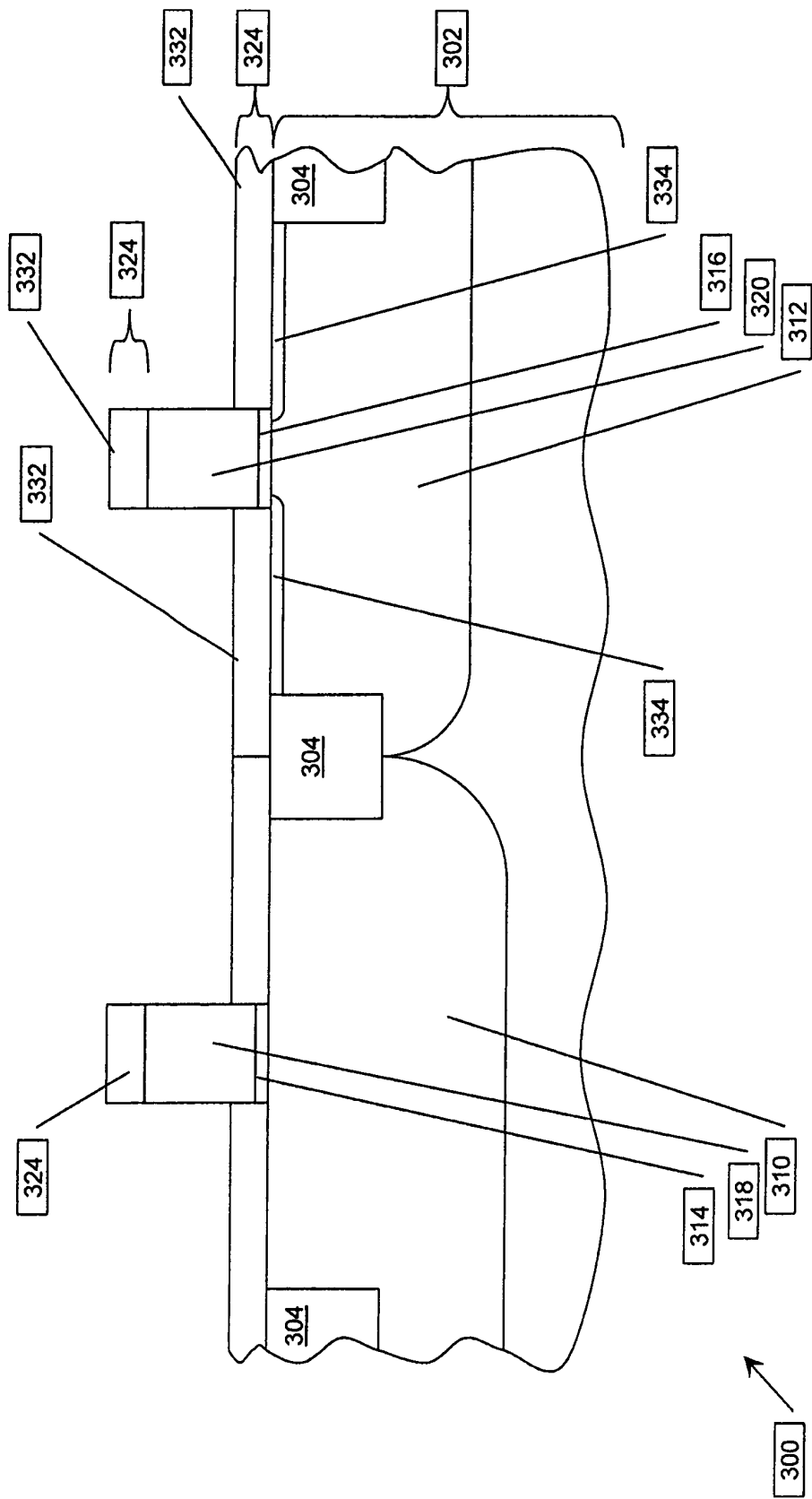


圖 3C

七、指定代表圖：

(一)本案指定代表圖為：第 (1A) 圖。

(二)本代表圖之元件符號簡單說明：

100	IC
102	基板
104	場氧化物元件
106	MOS電晶體(區域)
108	PMOS電晶體區域
110	p型井
112	n型井
114	NMOS閘極介電層
116	源極介電層/PMOS閘極介電層
118	NMOS閘極
120	PMOS閘極
122	LDD源極介電沈積製程
124	LDD源極介電層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)