



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년08월29일
 (11) 등록번호 10-1060117
 (24) 등록일자 2011년08월23일

(51) Int. Cl.

H01L 23/12 (2006.01) H01L 23/48 (2006.01)

(21) 출원번호 10-2009-0086329

(22) 출원일자 2009년09월14일

심사청구일자 2009년09월14일

(65) 공개번호 10-2011-0028746

(43) 공개일자 2011년03월22일

(56) 선행기술조사문헌

KR100699891 B1

KR1019990060952 A

(73) 특허권자

애플 테크놀로지 코리아 주식회사

광주 북구 대촌동 957

(72) 발명자

정동진

서울특별시 금천구 시흥2동 벽산5단지아파트 524동 1806호

김봉찬

경기 성남시 분당구 야탑동 탑마을 선경아파트 104동 803호

(뒷면에 계속)

(74) 대리인

한라특허법인

전체 청구항 수 : 총 7 항

심사관 : 구분경

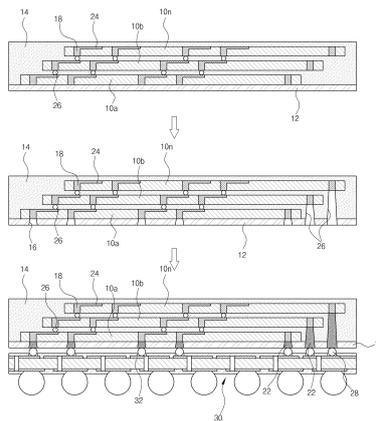
(54) 적층 칩 반도체 패키지

(57) 요약

본 발명은 적층 칩 반도체 패키지에 관한 것으로서, 더욱 상세하게는 TSV를 갖는 칩과 TMV를 이용하여 칩을 적층하여, 적층된 칩을 선택적으로 인에이블할 수 있도록 한 적층 칩 반도체 패키지에 관한 것이다.

이를 위해, 본 발명은 다수의 관통 실리콘 비아가 형성된 다수개의 칩과; 상기 각 칩들을 서로 엇갈림 배열시키며 적층하되, 적층시 각 칩을 전기적으로 연결하는 접속수단과; 가장 아래쪽에 위치된 칩의 저면에 부착되는 몰딩용 부재와; 상기 몰딩용 부재상에 적층된 칩들을 몰딩하는 몰딩수지와; 상기 몰딩용 부재의 저면에서 가장 아래쪽 칩의 관통 실리콘 비아까지 관통되는 관통홀과; 상기 몰딩용 부재의 저면에서 가장 아래쪽 칩위에 적층되는 각 칩의 선택된 관통 실리콘 비아까지 몰딩수지를 관통시켜 형성되는 몰딩수지 관통 비아와; 상기 몰딩수지 관통 비아에 충전된 전도성 물질과; 상기 관통홀 및 몰딩수지 관통 비아를 기관상에 통전 가능하게 연결하는 도전수단; 을 포함하여 구성된 것을 특징으로 하는 반도체 패키지를 제공한다.

대표도 - 도1a



(72) 발명자

나석호

서울특별시 노원구 월계3동 그랑빌아파트 104동
901호

김인호

서울특별시 서대문구 홍제3동 299-31

이준엽

서울특별시 송파구 가락본동 우성아파트 2-1001

유지현

서울특별시 성북구 동소문동4가 한신아파트 107동
1512호

차세웅

경기도 광주시 초월읍 지월리 352-3 엠코복지아파
트 1동 204호

특허청구의 범위

청구항 1

다수의 관통 실리콘 비아(18)가 형성된 다수개의 칩(10a~10n)과;

상기 각 칩(10a~10n)들을 서로 엇갈림 배열시키며 적층하되, 적층시 각 칩(10a~10n)을 전기적으로 연결하는 접속수단과;

가장 아래쪽에 위치한 칩(10a)의 저면에 부착되는 몰딩용 부재(12)와;

상기 몰딩용 부재(12)상에 적층된 칩(10a~10n)들을 몰딩하는 몰딩수지(14)와;

상기 몰딩용 부재(12)의 저면에서 가장 아래쪽 칩(10a)의 관통 실리콘 비아까지 관통되는 관통홀(16)과;

상기 몰딩용 부재(12)의 저면에서 가장 아래쪽 칩(10a)위에 적층되는 각 칩(10b~10n)의 선택된 관통 실리콘 비아(18)까지 몰딩수지(14)를 관통시켜 형성되는 몰딩수지 관통 비아(20)와;

상기 몰딩수지 관통 비아(20)에 충전된 전도성 물질(22)과;

상기 관통홀(16) 및 몰딩수지 관통 비아(20)를 기판(30)상에 통전 가능하게 연결하는 도전수단;

을 포함하여 구성된 것을 특징으로 하는 적층 칩 반도체 패키지.

청구항 2

청구항 1에 있어서,

서로 엇갈림 배열되며 적층된 각 칩(10a~10n)들은 동일한 크기이면서, 관통 실리콘 비아(18)가 동일한 갯수 및 간격으로 형성된 것임을 특징으로 하는 적층 칩 반도체 패키지.

청구항 3

청구항 1에 있어서,

상기 각 칩(10a~10n)들은 모두 한쪽 방향으로 편심되면서 계단식 배열을 이루며 적층되거나, 서로 다른 방향으로 편심되면서 지그재그식 배열을 이루며 적층되는 것을 특징으로 하는 적층 칩 반도체 패키지.

청구항 4

청구항 1에 있어서, 상기 접속수단은:

상기 칩(10a~10n)들중 아래쪽에 배열되는 칩의 상면에서 각 관통 실리콘 비아(18)에서 동일한 방향으로 형성되는 재배선(24: RDL)과;

상기 칩(10a~10n)들중 위쪽에 배열되는 칩의 저면에서 각 관통 실리콘 비아(18)의 저면에 부착되는 동시에 상기 재배선(24)과 연결되는 전도성범프(26);

로 구성된 것을 특징으로 하는 적층 칩 반도체 패키지.

청구항 5

청구항 1에 있어서, 상기 도전수단은:

상기 몰딩용 부재(12)의 저면에 관통된 관통홀(16)을 통하여 가장 아래쪽 칩(10a)의 관통 실리콘 비아(18)와 기판(30)상의 전도성패턴(32)간에 연결되고, 상기 몰딩수지 관통 비아(20)에 충전된 전도성물질(22)과 기판(30)상의 전도성패턴(32)에 연결되는 전도성볼(28)인 것을 특징으로 하는 적층 칩 반도체 패키지.

청구항 6

청구항 1에 있어서, 상기 도전수단은:

기관(30)의 전도성패턴(32)상에 구리 스테드 범프(34)를 미리 형성하여, 이 구리 스테드 범프(34)의 상단이 관통홀(16)을 통하여 가장 아래쪽 칩(10a)의 관통 실리콘 비아(18)에 연결되는 동시에 몰딩수지 관통 비아(20)에 충전된 전도성물질(22)에 연결되도록 한 것임을 특징으로 하는 적층 칩 반도체 패키지.

청구항 7

청구항 1에 있어서,

상기 몰딩용 부재(12)는 각 칩(10a~10n)의 적층시 지지면이 되도록 가장 아래쪽에 위치한 칩(10a)의 저면에 부착되는 필름부재인 것을 특징으로 하는 적층 칩 반도체 패키지.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 적층 칩 반도체 패키지에 관한 것으로서, 더욱 상세하게는 TSV를 갖는 칩과 TMV를 이용하여 칩을 적층하여, 적층된 칩을 선택적으로 인에이블할 수 있도록 한 적층 칩 반도체 패키지에 관한 것이다.

배경 기술

[0002] 반도체 집적회로의 패키징 기술중 3차원 적층 패키지는 동일한 기억 용량의 칩을 복수개 적층한 패키지로서, 이를 통상 적층 칩 패키지(Stack Chip Package)라 한다.

[0003] 기존의 적층 칩 패키지는 기관의 칩부착영역에 복수개의 칩이 적층 부착되는 조건에서, 각 칩의 본딩패드와 기관의 전도성회로패턴간을 전기적 신호 교환을 위해 와이어로 연결하는 구조로 제조됨에 따라, 패키지내에 와이어 본딩을 위한 공간이 필요하고, 또한 와이어가 연결되는 기관의 전도성회로패턴 면적이 더 필요하여, 결국 반도체 패키지의 크기가 증가되는 단점이 있다.

[0004] 이러한 점을 감안하여, 스택 패키지의 한 예로 관통 실리콘 비아(Through silicon via: TSV)를 이용한 구조가 제안되어 왔다.

[0005] 상기 TSV를 이용한 적층 칩 패키지는 칩 내에 TSV를 형성하고, 이 TSV에 의해 여러개의 칩이 물리적 및 전기적으로 적층 연결되는 패키지로서, 종래의 제조 과정을 간략하게 살펴보면 다음과 같다.

[0006] 첨부한 도 4는 종래의 TSV 형성 과정을 설명하는 단면도이다.

[0007] 먼저, 웨이퍼 레벨에서 각 칩(100)의 본딩패드(123)에서 그 인접부분에 수직홀(112)을 형성하고, 이 수직홀(112)의 표면에 절연막(미도시됨)을 형성한다.

[0008] 상기 절연막 상에 씨드 금속막을 형성한 상태로, 상기 수직홀(112) 내에 전해도금 공정을 통해 전해 물질, 즉 전도성 금속(114)을 매립해서 관통 실리콘 비아(116)를 형성하게 되고, 이때 칩(100)의 본딩패드와 전도성 금속(114)은 재배선(RDL:ReDistribution Line)에 의하여 전기적으로 연결된다.

[0009] 다음으로, 웨이퍼의 후면을 백그라인딩(back grinding)하여 상기 관통 실리콘 비아(116)에 매립된 전도성 금속(114)의 하단부를 외부로 노출시킨다.

[0010] 이어서, 웨이퍼를 쪼개하여 개별 칩들로 분리시킨 후, 기관 상에 적어도 둘 이상의 칩을 관통 실리콘 비아(116)의 전도성 금속(114)를 통해 신호 교환 가능하게 수직으로 쌓아올려 적층시킨다.

[0011] 보다 상세하게는, 서로 적층된 상부칩(100a)과 하부칩(100b)간의 전기적 연결 구조를 보면, 상부칩(100a)의 관

통 실리콘 비아(116)를 통해 저부로 노출된 전도성 금속(114)과, 하부칩(100b)의 관통 실리콘 비아(116)를 통해 상부로 노출된 전도성 금속(114)간이 전도성 범프(118)에 의하여 서로 전기적으로 연결된다.

- [0012] 이후, 스택된 상부 및 하부칩들을 기관에 실장하여, 기관과 상부칩간의 와이어 본딩을 실시한 후, 몰딩 컴파운드 수지로 몰딩하고, 기관 하면에 전도성볼을 마운팅하여 스택 패키지를 완성하게 된다.
- [0013] 그러나, 관통 실리콘 비아가 형성된 여러개의 칩을 상기와 같이 차례로 적층할 때, 상부쪽 및 하부쪽 칩들이 상하로 일치되며 적층됨에 따라, 해당 칩에 대한 인에이블 신호 전달이 제대로 이루어지지 않는 문제점이 있다.
- [0014] 즉, 칩부한 도 4에 도시된 바와 같이 여러개의 메모리 칩들을 관통 실리콘 비아를 통해 전기적 접속시키서 상하로 일치되게 적층할 때, 각 메모리 칩들의 관통 실리콘 비아(116)중 하나를 인에이블 신호라인(핀) 용도로 공유시키게 되는 바, 인에이블 신호라인이 공유됨에 따라 여러개의 적층된 칩중 원하는 칩을 선택하는 인에이블 동작이 지연되면서 느려지는 단점이 있다.

발명의 내용

해결 하고자하는 과제

- [0015] 본 발명은 상기와 같은 점을 감안하여 안출한 것으로서, TSV를 갖는 칩을 서로 엇갈림 배열로 적층하여 몰딩한 다음, 몰딩수지에 엇갈림 배열된 각 칩까지 관통되는 TMV를 형성하여, 적층된 칩들중 원하는 칩을 선택하여 인에이블시키는 신호경로가 TMV에 충전된 전도성물질을 통해 독립적으로 구성될 수 있도록 한 적층 칩 반도체 패키지를 제공하는데 그 목적이 있다.

과제 해결수단

- [0016] 상기한 목적을 달성하기 위한 본 발명은 다수의 관통 실리콘 비아가 형성된 다수개의 칩과; 상기 각 칩들을 서로 엇갈림 배열시키며 적층하되, 적층시 각 칩을 전기적으로 연결하는 접속수단과; 가장 아래쪽에 위치한 칩의 저면에 부착되는 몰딩용 부재와; 상기 몰딩용 부재상에 적층된 칩들을 몰딩하는 몰딩수지와; 상기 몰딩용 부재의 저면에서 가장 아래쪽 칩의 관통 실리콘 비아까지 관통되는 관통홀과; 상기 몰딩용 부재의 저면에서 가장 아래쪽 칩위에 적층되는 각 칩의 선택된 관통 실리콘 비아까지 몰딩수지를 관통시켜 형성되는 몰딩수지 관통 비아와; 상기 몰딩수지 관통 비아에 충전된 전도성 물질과; 상기 관통홀 및 몰딩수지 관통 비아를 기관상에 통전 가능하게 연결하는 도전수단; 을 포함하여 구성된 것을 특징으로 하는 반도체 패키지를 제공한다.
- [0017] 본 발명에 따르면, 서로 엇갈림 배열되며 적층된 각 칩들은 동일한 크기이면서, 관통 실리콘 비아가 동일한 갯수 및 간격으로 형성된 것임을 특징으로 한다.
- [0018] 특히, 적층되는 각 칩들은 모두 한쪽 방향으로 편심되면서 계단식 배열을 이루며 적층되거나, 서로 다른 방향으로 편심되면서 지그재그식 배열을 이루며 적층되는 것을 특징으로 한다.
- [0019] 본 발명의 일 구현예로서, 상기 접속수단은: 상기 칩들중 아래쪽에 적층되는 칩의 상면에서 각 관통 실리콘 비아에서 동일한 방향으로 형성되는 재배선(RDL)과; 상기 칩들중 위쪽에 적층되는 칩의 저면에서 각 관통 실리콘 비아의 저면에 부착되는 동시에 상기 재배선과 연결되는 전도성범프; 로 구성된 것을 특징으로 한다.
- [0020] 본 발명의 다른 구현예에서, 상기 도전수단은: 상기 몰딩용 부재의 저면에 관통된 관통홀을 통하여 가장 아래쪽 칩의 관통 실리콘 비아와 기관상의 전도성패턴간에 연결되고, 상기 몰딩수지 관통 비아에 충전된 전도성물질과 기관상의 전도성패턴에 연결되는 전도성볼인 것을 특징으로 한다.
- [0021] 또는, 상기 도전수단은: 기관의 전도성패턴상에 구리 스테드 범프를 미리 형성하여, 이 구리 스테드 범프의 상단이 관통홀을 통하여 가장 아래쪽 칩의 관통 실리콘 비아에 연결되고, 몰딩수지 관통 비아에 충전된 전도성물질에 연결되도록 한 것임을 특징으로 한다.
- [0022] 한편, 본 발명에 따른 몰딩용 부재는 각 칩의 적층시 지지면이 되도록 가장 아래쪽에 위치한 칩의 저면에 부착되는 필름부재인 것을 특징으로 한다.

효 과

- [0023] 상기한 과제 해결 수단을 통하여, 본 발명은 다음과 같은 효과를 제공한다.
- [0024] 본 발명에 따르면, TSV를 갖는 칩을 서로 엇갈림 배열로 적층하여 몰딩한 다음, 몰딩수지에 엇갈림 배열된 각 칩까지 관통되는 TMV를 형성함으로써, 적층된 칩들중 원하는 메모리 칩을 선택하여 인에이블시키는 신호경로가 TMV에 충전된 전도성물질을 통해 독립적으로 구성될 수 있다.
- [0025] 이에, 종래에 적층된 메모리 칩들의 관통 실리콘 비아중 하나를 인에이블 신호라인(핀) 용도로 공유시키던 것과 달리, TMV를 통해 각 메모리 칩에 대한 인에이블 신호라인이 독립적으로 형성되어 인에이블을 위한 메모리 칩 선택이 정확하게 이루어질 수 있고, 또한 인에이블 동작 속도를 향상시킬 수 있다.
- [0026] 또한, 적층되는 칩에 외부 입출력(I/O)을 위한 TSV 갯수가 줄어들어, TSV로 인한 칩의 활성영역에 손실이 발생되는 것으로 최소화할 수 있다.

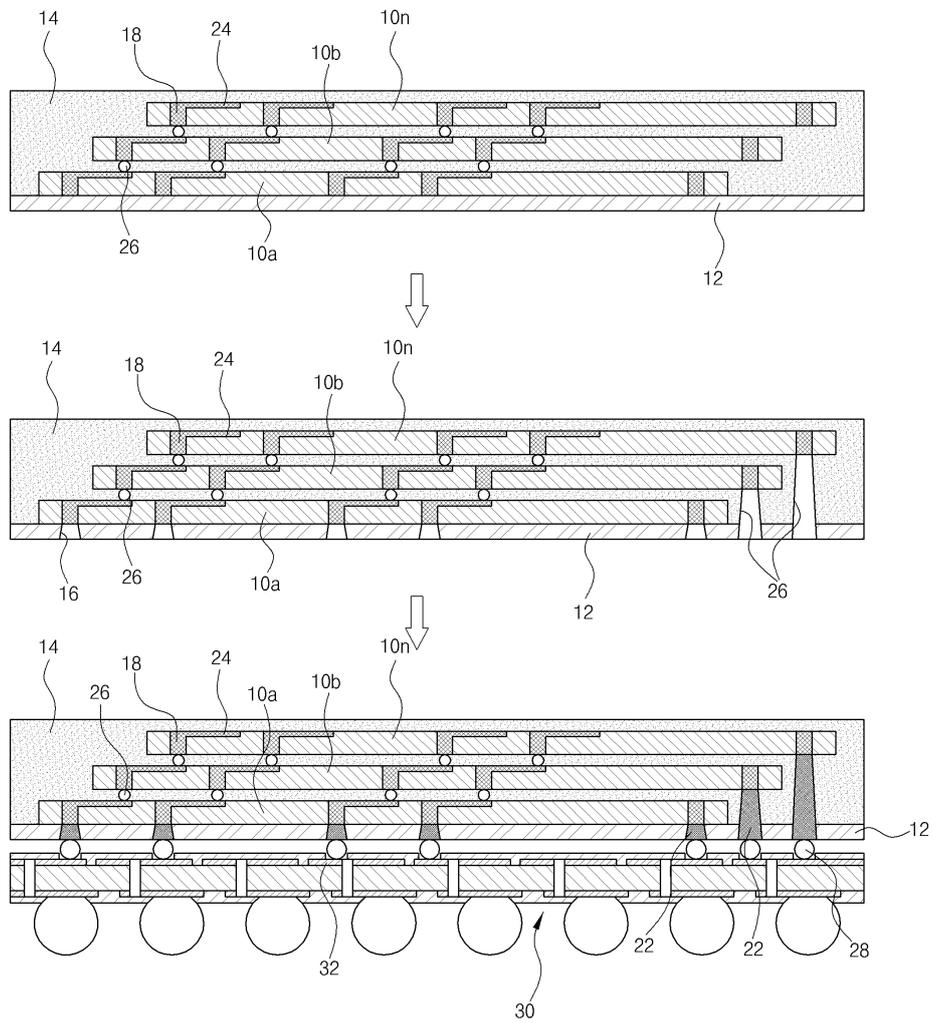
발명의 실시를 위한 구체적인 내용

- [0027] 이하, 본 발명의 바람직한 실시예를 첨부도면을 참조로 상세하게 설명하기로 한다.
- [0028] 먼저, 본 발명의 제1실시예에 따른 적층 칩 패키지 구조를 설명하면 다음과 같다.
- [0029] 첨부한 도 1a 및 도 1b는 본 발명에 따른 적층 칩 반도체 패키지의 제1실시예를 나타내는 단면도이다.
- [0030] 본 발명의 제1실시예에 따른 적층 칩 패키지를 구현하기 위하여 채택되는 칩(10a~10n)들은 동일한 크기로 채택되고, 특히 각 칩(10a~10n)들은 관통 실리콘 비아(18)가 동일한 갯수 및 동일한 간격으로 형성된 것으로 채택된다.
- [0031] 이렇게 구비된 각 칩(10a~10n)들은 모두 한쪽 방향으로 편심되면서 계단식 배열을 이루며 적층되는 바, 각 칩(10a~10n)은 재배선(14, RDL:ReDistribution Line) 및 전도성범프(26)에 의하여 상호간에 전기적으로 연결된다.
- [0032] 보다 상세하게는, 상기 각 칩(10a~10n)의 상면, 즉 상기 칩(10a~10n)들중 아래쪽에 배열되는 칩의 상면에는 관통 실리콘 비아(18)로부터 동일한 방향으로 재배선(14, RDL:ReDistribution Line)이 포토-리소그래피(photo-lithography) 방식 또는 전기 도금 방식에 의하여 형성된다.
- [0033] 따라서, 상기 각 칩(10a~10n)들이 모두 한쪽 방향으로 편심되면서 계단식 배열로 적층될 때, 가장 아래쪽 칩(10a)의 재배선(14)과 그 위쪽 칩(10b)의 관통 실리콘 비아(18)가 상하로 일치되는 상태가 되어 전도성범프(26)를 매개로 상호간에 전기적으로 연결되고, 동시에 중간쪽 칩(10b)의 재배선(14)과 가장 위쪽 칩(10n)의 관통 실리콘 비아(18)도 상하로 일치되는 상태가 되어 통상의 전도성범프(26)를 매개로 상호간에 전기적으로 연결되어진다.
- [0034] 이때, 상기와 같이 적층된 각 칩(10a~10n)들중 가장 아래쪽에 위치한 칩(10a)의 저면에는 몰딩을 위한 몰딩용 부재(12)가 부착되는 바, 이 몰딩용 부재(12)는 각 칩의 적층시 지지면이 되도록 가장 아래쪽에 위치한 칩(10a) 저면에 부착되는 통상의 필름 형태로 된 필름부재를 사용하는 것이 바람직하고, 이러한 몰딩용 부재(12)를 이용하여 몰딩공정을 진행하게 되면 몰딩용 부재(12)의 상면상에 적층된 각 칩(10a~10n)들이 몰딩수지(14) 즉, 통상의 몰딩 컴파운드 수지에 의하여 감싸여지며 봉지되는 상태가 된다.
- [0035] 한편, 상기 몰딩용 부재(12)의 저면에서 가장 아래쪽 칩(10a)위에 적층되는 각 칩(10b~10n)의 선택된 관통 실리콘 비아(18)까지 몰딩수지 관통 비아(20)가 형성되는 바, 이 몰딩수지 관통 비아(20)는 레이저 드릴링을 이용하여 형성하게 되며, 레이저 드릴링시 몰딩용 부재(12)의 저면에서 가장 아래쪽 칩(10a)의 관통 실리콘 비아까지 일종의 비아홀인 관통홀(16)을 함께 형성하게 된다.
- [0036] 보다 상세하게는, 상기 각 칩(10a~10n)이 모두 한쪽 방향으로 편심되면서 계단식 배열로 적층됨에 따라, 가장 아래쪽 칩(10a)위에 적층된 중간 칩(10b)의 일측단부와, 중간 칩(10b)상에 적층된 가장 위쪽 칩(10n)의 일측단부는 독립적으로 기판을 향하여 배열되는 상태가 되므로, 상기 몰딩용 부재(12)의 저면에서 중간 칩(10b)의 일측단부와 가장 위쪽 칩(10n)의 일측단부에 형성된 관통 실리콘 비아(18)까지 독립된 경로를 갖게 되는 몰딩수지 관통 비아(20)가 용이하게 형성될 수 있다.

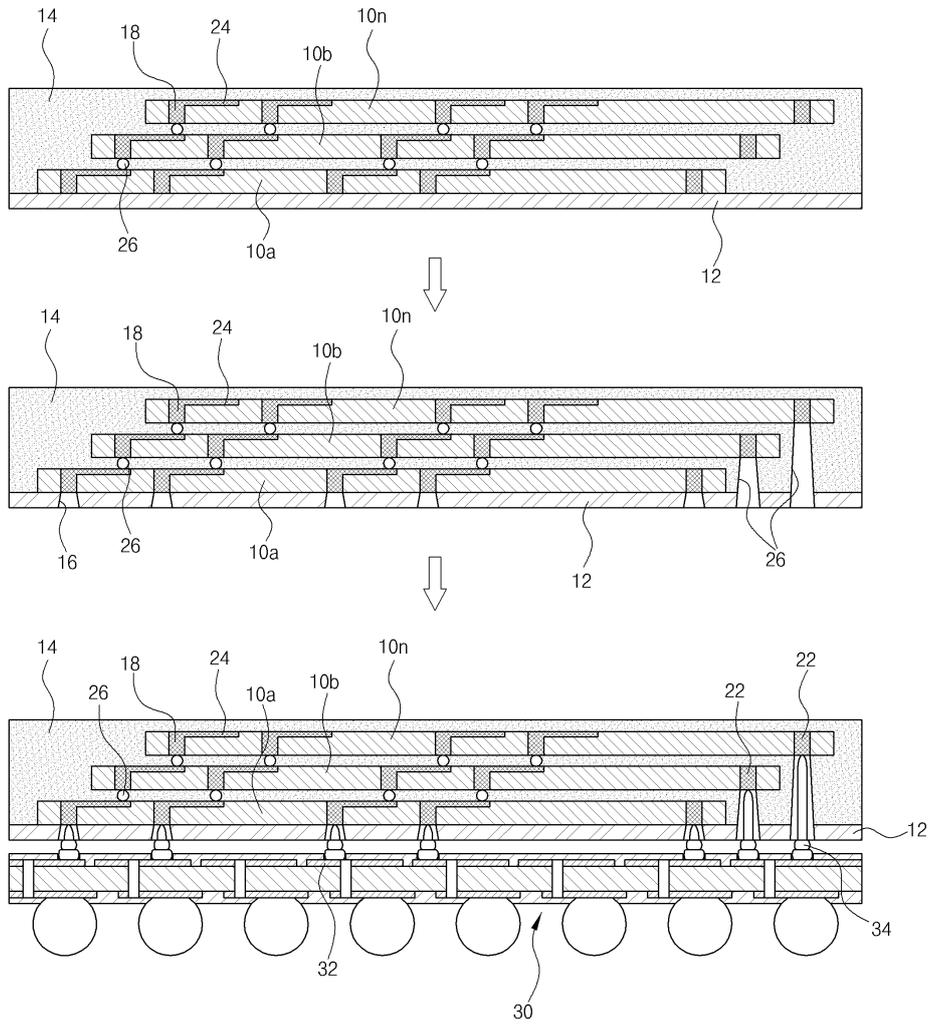
- [0037] 이때, 상기 각 몰딩수지 관통 비아(20) 즉, 관통 몰드 비아(TMV: Through Mold Via)에는 전도성 물질(22)이 충전된다.
- [0038] 이렇게 몰딩용 부재(12)상에 적층되어 몰딩된 각 칩(10a~10n)을 인쇄회로기판 또는 회로필름 등과 같은 기판(30)상에 도전수단을 매개로 전기적 신호 교환 가능하게 실장시키게 된다.
- [0039] 상기 도전수단의 일례로서, 통상의 솔더볼과 같은 전도성볼(28)을 사용할 수 있는 바, 상기 몰딩용 부재(12)의 저면에 관통된 관통홀(16)을 통하여 노출된 가장 아래쪽 칩(10a)의 관통 실리콘 비아(18)와 기판(30)의 도전부분인 전도성패턴(32)간을 전도성볼(28)로 연결하는 동시에 상기 몰딩수지 관통 비아(20)에 충전된 전도성물질(22)과 기판(30)상의 전도성패턴(32)간을 전도성볼(28)로 연결함으로써, 몰딩용 부재(12)상에 적층되어 몰딩된 각 칩(10a~10n)이 기판(30)상에 전기적으로 실장 완료된다.
- [0040] 상기 도전수단의 다른 예로서, 기판(30)의 전도성패턴(32)상에 미리 형성시킨 구리 스테드 범프(34)를 사용할 수 있는 바, 이 구리 스테드 범프(34)의 상단을상기 관통홀(16)을 통하여 노출된 가장 아래쪽 칩(10a)의 관통 실리콘 비아(18)에 연결하는 동시에 상기 몰딩수지 관통 비아(20)에 충전된 전도성물질(22)에 연결함으로써, 몰딩용 부재(12)상에 적층되어 몰딩된 각 칩(10a~10n)이 기판(30)상에 전기적으로 실장 완료된다.
- [0041] 이와 같이, 본 발명의 제1실시예에 따른 적층 칩 패키지는 관통 실리콘 비아의 간격(Via pitch) 만큼 동일한 방향으로 칩을 편심 이동시켜 적층(shift die stack)하여 TMV에 의한 독립적인 신호경로를 만들어서, 이 독립적인 신호경로가 된 TMV를 적층된 각 메모리 칩에 대한 선택 및 인에이블 신호 경로로 사용하도록 함으로써, 인에이블을 위한 메모리 칩 선택이 정확하게 이루어질 수 있고, 또한 인에이블 동작 속도를 향상시킬 수 있다.
- [0042] 여기서, 본 발명의 제2실시예에 따른 적층 칩 패키지 구조를 설명하면 다음과 같다.
- [0043] 첨부한 도 2는 본 발명에 따른 적층 칩 반도체 패키지의 제2실시예를 나타내는 단면도이다.
- [0044] 도 2에 도시된 본 발명의 제2실시예에 따른 패키지는 상기한 제1실시예의 패키지와 동일한 구조로 제작되고, 단지 칩간의 연결 방법에서 차이가 있을 뿐이다.
- [0045] 즉, 본 발명의 제2실시예에 따른 적층 칩 패키지도 각 칩(10a~10n)들이 모두 한쪽 방향으로 편심되면서 계단식 배열로 적층되며, 별도의 재배선(RDL)없이 가장 아래쪽 칩(10a)의 관통 실리콘 비아(18)와 그 위쪽 칩(10b)의 관통 실리콘 비아(18)를 전도성범프(26)를 매개로 상호간에 전기적으로 연결된 점에 특징이 있다.
- [0046] 마찬가지로, 제2실시예에 따른 패키지도 관통 실리콘 비아의 간격(Via pitch) 만큼 동일한 방향으로 칩을 편심 이동시켜 적층(shift die stack)하여 TMV에 의한 독립적인 신호경로를 만들어서, 인에이블을 위한 메모리 칩 선택이 정확하게 이루어질 수 있고, 또한 인에이블 동작 속도를 향상시킬 수 있다.
- [0047] 여기서, 본 발명의 제3실시예에 따른 적층 칩 패키지 구조를 설명하면 다음과 같다.
- [0048] 첨부한 도 3a 내지 도 3c는 본 발명에 따른 적층 칩 반도체 패키지의 제3실시예를 나타내는 단면도이다.
- [0049] 본 발명의 제3실시예에 따른 패키지는 상기한 제1실시예의 패키지와 동일한 구조로 제작되고, 단지 칩간의 적층 구조 및 제조 방법에서 차이가 있다.
- [0050] 즉, 본 발명의 제3실시예에 따른 적층 칩 패키지는 적층되는 각 칩(10a~10n)들이 서로 동일한 방향으로 편심되며 적층될 수 있지만, 각 칩(10a~10n)들이 서로 다른 방향으로 편심되면서 지그재그식 배열을 이루며 적층된 점에 특징이 있다.
- [0051] 이에, 중간 칩(10b)의 관통 실리콘 비아(18)까지 몰딩수지(14)를 관통시켜 형성되는 다수개의 몰딩수지 관통 비아(20)는 낮은 높이로, 가장 위쪽 칩(10n)의 관통 실리콘 비아(18)까지 몰딩수지(14)를 관통시켜 형성되는 다수개의 몰딩수지 관통 비아(20)는 높은 높이를 가지면서 서로 독립적으로 형성될 수 있다.
- [0052] 본 발명의 제3실시예에 따른 패키지에 대한 제조 방법을 공정별로 설명하면,
- [0053] 일종의 몰딩용 부재(12)인 소정 면적의 캐리어상에 각 칩(10a~10n)들을 적층하되, 서로 다른 방향으로 편심되면서 지그재그식 배열을 이루도록 적층한다.
- [0054] 물론, 서로 일치하는 각 칩(10a~10n)의 관통 실리콘 비아(18)간에 전도성범프(26)가 연결되어, 각 칩(10a~10n)의 적층 및 전기적 연결이 이루어진다.
- [0055] 다음으로, 몰딩용 부재(12) 즉, 캐리어를 이용하여 몰딩공정을 진행하게 되면, 몰딩용 부재(12)인 캐리어 상면

도면

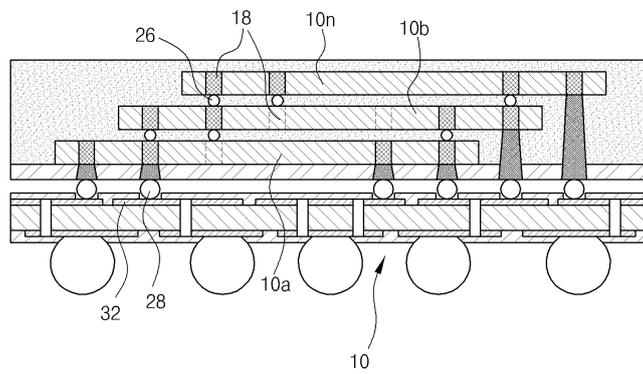
도면1a



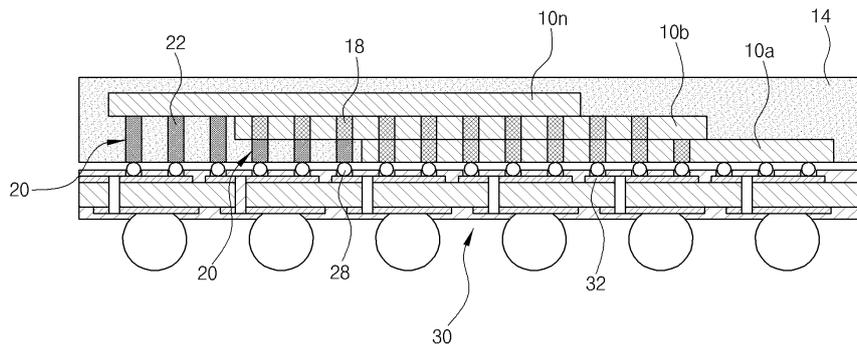
도면1b



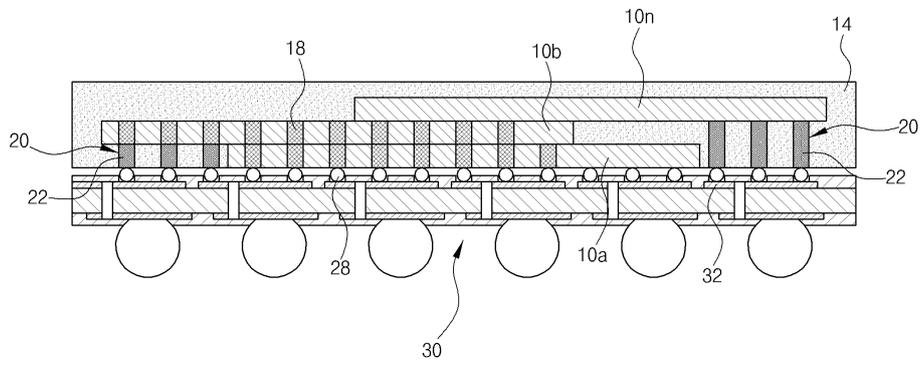
도면2



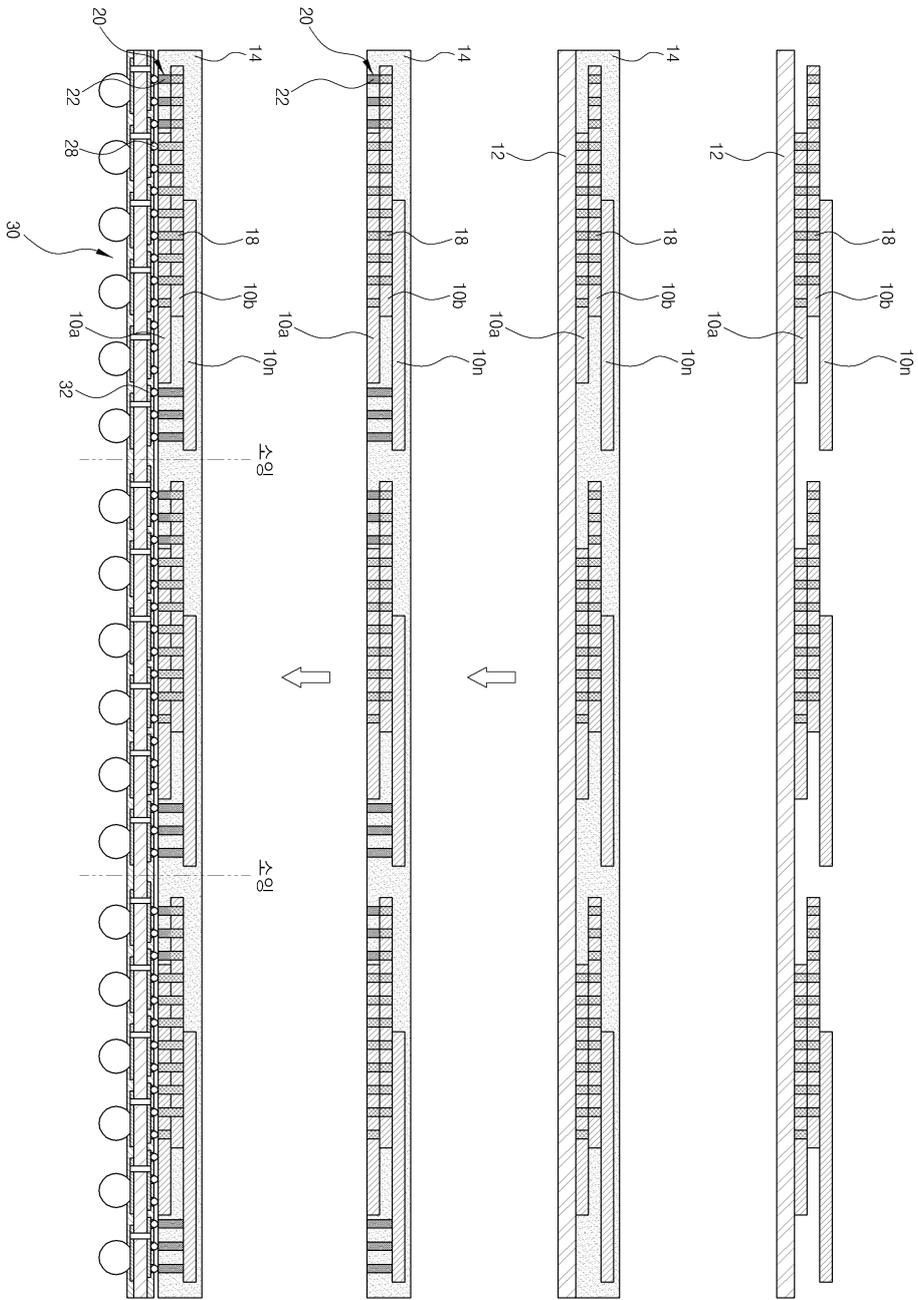
도면3a



도면3b



도면3c



도면4

