



(12) 发明专利申请

(10) 申请公布号 CN 116666458 A

(43) 申请公布日 2023. 08. 29

(21) 申请号 202210149475.1

(22) 申请日 2022.02.18

(71) 申请人 联华电子股份有限公司

地址 中国台湾新竹市

(72) 发明人 张志谦 王献德 杨承桦 方玲刚

杨建军 塔威

(74) 专利代理机构 北京市柳沈律师事务所

11105

专利代理师 王锐

(51) Int. Cl.

H01L 29/788 (2006.01)

H01L 21/336 (2006.01)

H01L 29/423 (2006.01)

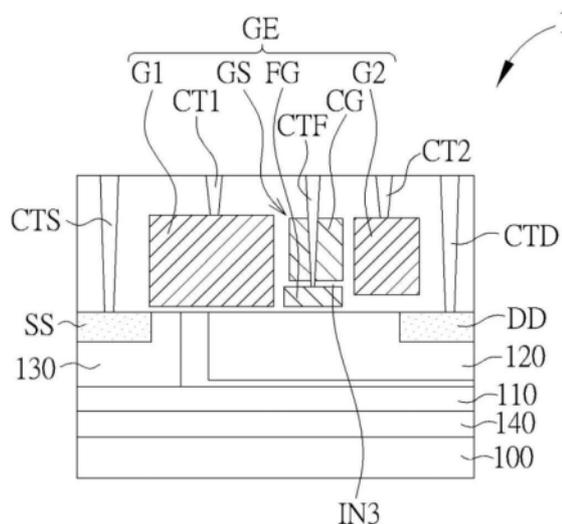
权利要求书2页 说明书6页 附图4页

(54) 发明名称

功率元件及其制作方法

(57) 摘要

本发明公开一种功率元件及其制作方法,其中该功率元件包含:基底;离子阱,位于基底中;基体区,位于离子阱中;源极掺杂区,位于基体区中;漏极掺杂区,位于离子阱中;以及多个栅极,设置在源极掺杂区和漏极掺杂区之间的基底上。多个栅极包含与源极掺杂区相邻的第一栅极、与漏极掺杂区相邻的第二栅极、以及位于第一栅极和第二栅极之间的叠栅结构。



1. 一种功率元件,包含:
 - 第一导电型的基底;
 - 第一导电型的离子阱,位于所述基底中;
 - 第一导电型的基体区,位于所述离子阱中;
 - 第二导电性的源极掺杂区,位于所述基体区中;
 - 第二导电性的漏极掺杂区,位于所述离子阱中;以及
 - 多个栅极,设置在所述源极掺杂区和所述漏极掺杂区之间的所述基底上,其中,所述多个栅极沿第一方向彼此平行延伸,又其中,所述多个栅极包含与所述源极掺杂区相邻的第一栅极、与所述漏极掺杂区相邻的第二栅极、以及位于所述第一栅极和所述第二栅极之间的叠栅结构。
2. 根据权利要求1所述的功率元件,其特征在于,所述第一导电型为P型,所述第二导电型为N型。
3. 根据权利要求1所述的功率元件,其特征在于,所述第一导电型的离子阱为深P型阱。
4. 根据权利要求3所述的功率元件,其特征在于,还包含:
 - 在所述深P型阱下方的所述基底中的深N型阱。
5. 根据权利要求1所述的功率元件,其特征在于,所述叠栅结构与所述第一栅极和所述第二栅极绝缘。
6. 根据权利要求1所述的功率元件,其特征在于,所述叠栅结构包含浮置栅和叠置在所述浮置栅上的控制栅。
7. 根据权利要求6所述的功率元件,其特征在于,所述浮置栅从所述控制栅的底部沿第二方向突出。
8. 根据权利要求6所述的功率元件,其特征在于,在所述浮置栅和所述控制栅之间设置有氧化物-氮化物-氧化物(ONO)层。
9. 根据权利要求1所述的功率元件,其特征在于,所述多个栅极为多晶硅栅极。
10. 根据权利要求1所述的功率元件,其特征在于,还包含:
 - 第一栅极接触,电连接至所述第一栅极;
 - 第二栅极接触,电连接至所述第二栅极;
 - 浮置栅接触,电连接至所述浮置栅;
 - 源极接触,电连接至所述源极掺杂区;以及
 - 漏极接触,电连接至所述漏极掺杂区。
11. 根据权利要求1所述的功率元件,其特征在于,还包含:
 - 具有第二导电性的漂移区,位于所述离子阱中,其中,所述漂移区与所述基体区间隔开,又其中,所述第一栅极位于所述基体区和所述漂移区之间。
12. 一种形成功率元件的方法,包含:
 - 提供第一导电型的基底;
 - 在所述基底中形成第一导电型的离子阱;
 - 在所述离子阱中形成第一导电型的基体区;
 - 在所述基体区中形成第二导电性的源极掺杂区;
 - 在所述离子阱中形成第二导电性的漏极掺杂区;以及

在所述源极掺杂区和所述漏极掺杂区之间的所述基底上形成多个栅极,其中,所述多个栅极沿第一方向彼此平行延伸,又其中,所述多个栅极包含与所述源极掺杂区相邻的第一栅极、与所述漏极掺杂区相邻的第二栅极、以及位于所述第一栅极和所述第二栅极之间的叠栅结构。

13. 根据权利要求12所述的方法,其特征在于,所述第一导电型为P型,所述第二导电型为N型。

14. 根据权利要求12所述的方法,其特征在于,所述第一导电型的离子阱是深P型阱。

15. 根据权利要求14所述的方法,其特征在于,还包含:

在所述深P型阱下方的所述基底中形成深N型阱。

16. 根据权利要求12所述的方法,其特征在于,所述叠栅结构与所述第一栅极和所述第二栅极绝缘。

17. 根据权利要求12所述的方法,其特征在于,所述叠栅结构包含浮置栅和层叠在所述浮置栅上的控制栅。

18. 根据权利要求17所述的方法,其特征在于,所述浮置栅从所述控制栅的底部沿第二方向突出。

19. 根据权利要求17所述的方法,其特征在于,在所述浮置栅和所述控制栅之间设置有氧化物-氮化物-氧化物(ONO)层。

20. 根据权利要求12所述的方法,其特征在于,所述多个栅极是多晶硅栅极。

21. 根据权利要求12所述的方法,其特征在于,还包含:

形成与所述第一栅极电连接的第一栅极接触;

形成与所述第二栅极电连接的第二栅极接触;

形成与所述浮置栅电连接的浮置栅接触;

形成与所述源极掺杂区电连接的源极接触;以及

形成与所述漏极掺杂区电连接的漏极接触。

22. 根据权利要求12所述的方法,其特征在于,还包含:

在所述离子阱中形成具有第二导电性的漂移区,其中所述漂移区与所述基体区间隔开。

23. 一种功率元件的布局结构,包含:

基底;

扩散区,位于所述基底中,所述扩散区被沟槽隔离区包围;

源极掺杂区和漏极掺杂区,位于所述扩散区中;以及

多个栅极,设置在所述源极掺杂区和所述漏极掺杂区之间的所述基底上,其中,所述多个栅极彼此平行延伸并横跨所述扩散区,其中,所述多个栅极包含与所述源极掺杂区相邻的第一栅极、与所述漏极掺杂区相邻的第二栅极、以及位于所述第一栅极和所述第二栅极之间的叠栅结构。

功率元件及其制作方法

技术领域

[0001] 本发明涉及半导体技术领域,特别是涉及一种半导体功率元件及其制作方法。

背景技术

[0002] 功率金属氧化物半导体场效晶体管(功率MOSFET)由于具有较低的栅极驱动电压和快速开关速度,已成为业界惯用的功率元件。

[0003] 为了获得更高的元件击穿电压(BVD),功率MOSFET通常具有较大的多晶硅栅极宽度,然而,其缺点是会导致更高的栅极-漏极电容(Cgd),并且在高频开关操作期间产生更高的功率损耗(power loss)。

[0004] 降低栅极漏极电容(Cgd)的一种作法是将多晶硅栅极分割成较小的栅极和场栅极(field gate),并使场栅极连接至源极掺杂区或另一端点。但是,上述方法的缺点是造成元件尺寸变大,且元件的导通电阻(R_{on})也会更高,故仍会有功率损耗的问题。

发明内容

[0005] 本发明的主要目的在于提供一种功率元件及其制作方法,以解决上述现有技术的不足和缺点。

[0006] 本发明一方面提供一种功率元件,包含:第一导电型的基底;第一导电型的离子阱,位于所述基底中;第一导电型的基体区,位于所述离子阱中;第二导电性的源极掺杂区,位于所述基体区中;第二导电性的漏极掺杂区,位于所述离子阱中;以及多个栅极,设置在所述源极掺杂区和所述漏极掺杂区之间的所述基底上,其中,所述多个栅极沿第一方向彼此平行延伸,又其中,所述多个栅极包含与所述源极掺杂区相邻的第一栅极、与所述漏极掺杂区相邻的第二栅极、以及位于所述第一栅极和所述第二栅极之间的叠栅结构。

[0007] 根据本发明实施例,所述第一导电型为P型,所述第二导电型为N型。

[0008] 根据本发明实施例,所述第一导电型的离子阱为深P型阱。

[0009] 根据本发明实施例,所述功率元件另包含:在所述深P型阱下方的所述基底中的深N型阱。

[0010] 根据本发明实施例,所述叠栅结构与所述第一栅极和所述第二栅极绝缘。

[0011] 根据本发明实施例,所述叠栅结构包含浮置栅和叠置在所述浮置栅上的控制栅。

[0012] 根据本发明实施例,所述浮置栅从所述控制栅的底部沿第二方向突出。

[0013] 根据本发明实施例,在所述浮置栅和所述控制栅之间设置有氧化物-氮化物-氧化物(ONO)层。

[0014] 根据本发明实施例,所述多个栅极为多晶硅栅极。

[0015] 根据本发明实施例,所述功率元件另包含:第一栅极接触,电连接至所述第一栅极;第二栅极接触,电连接至所述第二栅极;浮置栅接触,电连接至所述浮置栅;源极接触,电连接至所述源极掺杂区;以及漏极接触,电连接至所述漏极掺杂区。

[0016] 根据本发明实施例,所述功率元件另包含:具有第二导电性的漂移区,位于所述离

子阱中,其中,所述漂移区与所述基体区间隔开,又其中,所述第一栅极位于所述基体区和所述漂移区之间。

[0017] 本发明另一方面提供一种形成功率元件的方法,包含:提供第一导电型的基底;在所述基底中形成第一导电型的离子阱;在所述离子阱中形成第一导电型的基体区;在所述基体区中形成第二导电性的源极掺杂区;在所述离子阱中形成第二导电性的漏极掺杂区;以及在所述源极掺杂区和所述漏极掺杂区之间的所述基底上形成多个栅极,其中,所述多个栅极沿第一方向彼此平行延伸,又其中,所述多个栅极包含与所述源极掺杂区相邻的第一栅极、与所述漏极掺杂区相邻的第二栅极、以及位于所述第一栅极和所述第二栅极之间的叠栅结构。

[0018] 根据本发明实施例,所述第一导电型为P型,所述第二导电型为N型。

[0019] 根据本发明实施例,所述第一导电型的离子阱是深P型阱。

[0020] 根据本发明实施例,所述方法另包含:在所述深P型阱下方的所述基底中形成深N型阱。

[0021] 根据本发明实施例,所述叠栅结构与所述第一栅极和所述第二栅极绝缘。

[0022] 根据本发明实施例,所述叠栅结构包含浮置栅和层叠在所述浮置栅上的控制栅。

[0023] 根据本发明实施例,所述浮置栅从所述控制栅的底部沿第二方向突出。

[0024] 根据本发明实施例,在所述浮置栅和所述控制栅之间设置有氧化物-氮化物-氧化物(ONO)层。

[0025] 根据本发明实施例,所述多个栅极是多晶硅栅极。

[0026] 根据本发明实施例,所述方法另包含:形成与所述第一栅极电连接的第一栅极接触;形成与所述第二栅极电连接的第二栅极接触;形成与所述浮置栅电连接的浮置栅接触;形成与所述源极掺杂区电连接的源极接触;以及形成与所述漏极掺杂区电连接的漏极接触。

[0027] 根据本发明实施例,所述方法另包含:在所述离子阱中形成具有第二导电性的漂移区,其中所述漂移区与所述基体区间隔开。

[0028] 本发明又另一方面提供一种功率元件的布局结构,包含:基底;扩散区,位于所述基底中,所述扩散区被沟槽隔离区包围;源极掺杂区和一漏极掺杂区,位于所述扩散区中;以及多个栅极,设置在所述源极掺杂区和所述漏极掺杂区之间的所述基底上,其中,所述多个栅极彼此平行延伸并横跨所述扩散区,其中,所述多个栅极包含与所述源极掺杂区相邻的第一栅极、与所述漏极掺杂区相邻的第二栅极、以及位于所述第一栅极和所述第二栅极之间的叠栅结构。

附图说明

[0029] 图1为本发明实施例所绘示的功率元件的布局结构示意图;

[0030] 图2为沿着图1中切线I-I'所绘示的功率元件的剖面示意图;

[0031] 图3为本发明另一实施例所绘示的功率元件的剖面示意图;

[0032] 图4至图8为本发明实施例所绘示的功率元件的制作方法示意图。

[0033] 主要元件符号说明

[0034] 1、1a、1b 功率元件

- [0035] 100 基底
- [0036] 110 离子阱
- [0037] 120 漂移区
- [0038] 130 基体区
- [0039] 140 深N型阱
- [0040] 210 绝缘层
- [0041] 210a 增厚绝缘层
- [0042] 220 多晶硅层
- [0043] 230 绝缘层
- [0044] 240 多晶硅层
- [0045] 250 硬掩模层
- [0046] 260、270、280、290 间隙壁
- [0047] 310 多晶硅层
- [0048] AA 扩散区
- [0049] AX 中心轴
- [0050] CG 控制栅
- [0051] CT1 第一栅极接触
- [0052] CT2 第二栅极接触
- [0053] CTD 漏极接触
- [0054] CTF 浮置栅接触
- [0055] CTS 源极接触
- [0056] DD 漏极掺杂区
- [0057] FG 浮置栅
- [0058] FS 堆叠结构
- [0059] G1 第一栅极
- [0060] G2 第二栅极
- [0061] GE 栅极
- [0062] GM 中间结构
- [0063] GS 叠栅结构
- [0064] ILD 介电层
- [0065] IN1~IN6 绝缘层
- [0066] LD 布局结构
- [0067] TI 沟槽隔离区
- [0068] SS 源极掺杂区

具体实施方式

[0069] 在下文中,将参照附图说明细节,该些附图中的内容也构成说明书细节描述的一部分,并且以可实行该实施例的特例描述方式来绘示。下文实施例已描述足够的细节使本领域技术人员得以具以实施。

[0070] 当然,也可采行其他的实施例,或是在不悖离文中所述实施例的前提下作出任何结构性、逻辑性、及电性上的改变。因此,下文的细节描述不应被视为是限制,反之,其中所包含的实施例将由随附的权利要求来加以界定。

[0071] 请参阅图1和图2,其中,图1为根据本发明实施例所绘示的功率元件的布局结构示意图,图2为沿着图1中切线I-I'所绘示的功率元件的剖面示意图。如图1和图2所示,功率元件的布局结构LD包含:第一导电型的基底100,例如,硅基底等半导体基底。根据本发明实施例,基底100可以是P型掺杂硅基底,但不限于此。根据本发明实施例,在基底100中形成有扩散区AA。扩散区AA沿着参考x轴方向延伸,并且被沟槽隔离区TI包围。

[0072] 根据本发明实施例,图1和图2中的布局结构LD包含两个相邻的功率元件1a和功率元件1b。根据本发明实施例,功率元件1a和功率元件1b相对于中心轴AX彼此呈现镜像对称。根据本发明实施例,功率元件1a和功率元件1b共用沿着参考y轴方向延伸的第二导电型的漏极掺杂区DD,例如, N^+ 掺杂区。

[0073] 根据本发明实施例,扩散区AA内设有第一导电型的离子阱110,例如,深P型阱。此外,在离子阱110内可以设置第二导电型的漂移区(drift region)120,例如,N型掺杂区,和第一导电型的基体区(body region)130,例如,P型基体区。根据本发明实施例,漂移区120与基体区130间隔开。根据本发明实施例,漏极掺杂区DD位于漂移区120内。根据本发明其它实施例,可以省略第二导电型的漂移区120。

[0074] 如图1和图2所示,功率元件1a和功率元件1b的源极掺杂区SS位于扩散区AA的基体区130内。在源极掺杂区SS和漏极掺杂区DD之间的基底100上,设置有多个栅极GE,例如,多晶硅栅极。根据本发明实施例,多个栅极GE包含与源极掺杂区SS相邻的第一栅极G1、与漏极掺杂区DD相邻的第二栅极G2、以及位于第一栅极G1和第二栅极G2之间的叠栅结构GS。根据本发明实施例,第一栅极G1、第二栅极G2和叠栅结构GS彼此沿着参考y轴方向平行延伸并横跨扩散区AA。

[0075] 根据本发明实施例,第一栅极G1位于基体区130和漂移区120之间。叠栅结构GS和第二栅极G2位于漂移区120上。根据本发明实施例,在第一栅极G1和叠栅结构GS之间设置有绝缘层IN1,例如,氧化硅层或氮化硅层,在第二栅极G2和叠栅结构GS之间设置有绝缘层IN2,例如,氧化硅层或氮化硅层。

[0076] 根据本发明实施例,叠栅结构GS包含浮置栅FG和叠置在浮置栅FG上的控制栅CG。根据本发明实施例,浮置栅FG从控制栅CG的底部沿参考x轴方向突出。根据本发明实施例,在浮置栅FG和控制栅CG之间设置有绝缘层IN3,例如,氧化物-氮化物-氧化物(ONO)层。

[0077] 根据本发明实施例,在第一栅极G1和基底100之间设置有绝缘层IN4,例如,氧化硅层,在浮置栅FG和基底100之间设置有绝缘层IN5,例如,氧化硅层,在第二栅极G2和基底100之间设置有绝缘层IN6,例如,氧化硅层。根据本发明实施例,绝缘层IN6的厚度可以大于或等于绝缘层IN4和绝缘层IN5。

[0078] 图3为根据本发明另一实施例所绘示的功率元件的剖面示意图,其中,相同的部件、区域或层仍沿用相同的符号来表示。如图3所示,功率元件1包含:第一导电型的基底100;第一导电型的离子阱110,位于基底100中;第一导电型的基体区130,位于离子阱110中;第二导电性的源极掺杂区SS,位于基体区130中;第二导电性的漏极掺杂区DD,位于离子阱110中。

[0079] 根据本发明实施例,第一导电型可以是P型,第二导电型可以是N型。根据本发明实施例,基底100可以是,例如,硅基底或其它半导体基底。根据本发明实施例,第一导电型的离子阱110可以是深P型阱(deep P well)。

[0080] 根据本发明实施例,功率元件1可以另包含:在第一导电型的离子阱110下方的基底100中的深N型阱140。

[0081] 根据本发明实施例,功率元件1可以另包含:具有第二导电性的漂移区120,位于离子阱110中,其中,漂移区120与基体区130间隔开。根据本发明另一实施例,具有第二导电性的漂移区120可以被省略。

[0082] 根据本发明实施例,在源极掺杂区SS和漏极掺杂区DD之间的基底100上设置有多个栅极GE,其中,多个栅极GE沿第一方向彼此平行延伸。根据本发明实施例,多个栅极GE例如为多晶硅栅极。根据本发明实施例,多个栅极GE包含与源极掺杂区SS相邻的第一栅极G1、与漏极掺杂区DD相邻的第二栅极G2、以及位于第一栅极G1和第二栅极G2之间的叠栅结构GS。

[0083] 根据本发明实施例,第一栅极G1位于基体区130和漂移区120之间。

[0084] 根据本发明实施例,叠栅结构GS与第一栅极G1和第二栅极G2绝缘。根据本发明实施例,叠栅结构GS包含浮置栅FG和叠置在浮置栅FG上的控制栅CG。根据本发明实施例,浮置栅FG从控制栅CG的底部沿第二方向突出。根据本发明实施例,在浮置栅FG和控制栅CG之间设置有绝缘层IN3,例如,氧化物-氮化物-氧化物(ONO)层。

[0085] 根据本发明实施例,功率元件1可以另包含:第一栅极接触CT1,电连接至第一栅极G1;第二栅极接触CT2,电连接至第二栅极G2;浮置栅接触CTF,电连接至浮置栅FG;源极接触CTS,电连接至源极掺杂区SS;以及漏极接触CTD,电连接至漏极掺杂区DD。例如,在操作时,可以通过第一栅极接触CT1提供5V电压给第一栅极G1,通过第二栅极接触CT2提供0V电压给第二栅极G2,通过浮置栅接触CTF提供5V电压给浮置栅FG,其中,提供给浮置栅FG可以视情况调整。

[0086] 请参阅图4至图8,其为根据本发明实施例所绘示的功率元件的制作方法示意图,其中,相同的部件、区域或层仍沿用相同的符号来表示。本发明功率元件的制作方法可以与ESF3第三代嵌入闪存存储器制作工艺相容。如图4所示,首先提供第一导电型的基底100。根据本发明实施例,基底100可以是,例如,硅基底或其它半导体基底。基底100可以包含第一导电型的离子阱110和第一导电型的基体区130。

[0087] 根据本发明实施例,第一导电型的离子阱110可以是深P型阱。根据本发明实施例,可以在第一导电型的离子阱110下方的基底100中可以另形成深N型阱。根据本发明实施例,可以在离子阱110中另形成具有第二导电性的漂移区120,其中,漂移区120与基体区130间隔开。根据本发明另一实施例,具有第二导电性的漂移区120可以被省略。根据本发明实施例,第一导电型可以是P型,第二导电型可以是N型。

[0088] 根据本发明实施例,接着,在基底100上形成堆叠结构FS,包括绝缘层210、多晶硅层220、绝缘层230、多晶硅层240和硬掩模层250。根据本发明实施例,例如,绝缘层210可以是氧化硅层,绝缘层230可以是氧化物-氮化物-氧化物(ONO)层。根据本发明实施例,例如,硬掩模层250可以是氮化硅层。

[0089] 如图5所示,接着,利用光刻制作工艺和蚀刻制作工艺,图案化堆叠结构FS中的绝

缘层230、多晶硅层240和硬掩模层250,形成中间结构GM。然后,在中间结构GM的侧壁上形成间隙壁260和270。根据本发明实施例,间隙壁260和270可以包含氧化硅或氮化硅等。

[0090] 如图6所示,形成间隙壁260和270后,接着继续进行各向异性蚀刻制作工艺,自对准蚀刻多晶硅层220,如此形成叠栅结构GS,包括浮置栅FG和叠置在浮置栅FG上的控制栅CG。根据本发明实施例,浮置栅FG从控制栅CG的底部略微突出。

[0091] 如图7所示,接着,在叠栅结构GS的侧壁上另形成间隙壁280和290。随后,可以选择性地增加漏极掺杂区DD上的绝缘层210的厚度,例如,利用热氧化方式,形成增厚绝缘层210a。接着,全面沉积多晶硅层310,使其填满叠栅结构GS之间的空间,再以化学机械研磨(CMP)制作工艺进行平坦化。

[0092] 如图8所示,接着,进行光刻制作工艺和蚀刻制作工艺,图案化多晶硅层310,形成第一栅极G1和第二栅极G2。再进行离子注入制作工艺,在基底100中形成第二导电性的源极掺杂区SS和第二导电性的漏极掺杂区DD。根据本发明实施例,源极掺杂区SS位于基体区130中,漏极掺杂区DD位于离子阱110中。

[0093] 然后,在基底100上沉积介电层ILD,再在介电层ILD中分别形成与第一栅极G1电连接的第一栅极接触CT1、与第二栅极G2电连接的第二栅极接触CT2、与浮置栅FG电连接的浮置栅接触CTF、与源极掺杂区SS连接的源极接触CTS,以及与漏极掺杂区DD电连接的漏极接触CTD。

[0094] 以上所述仅为本发明的优选实施例,凡依本发明权利要求所做的均等变化与修饰,都应属本发明的涵盖范围。

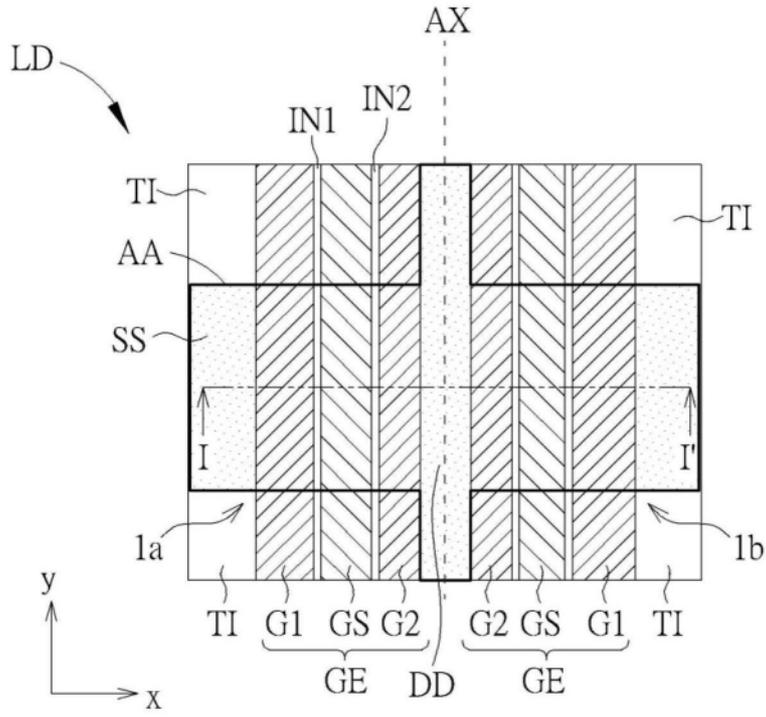


图1

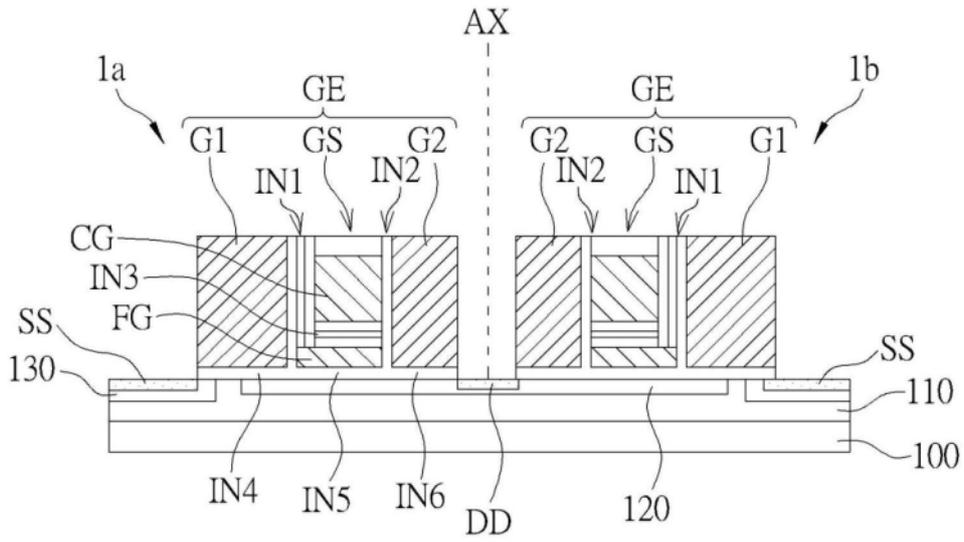


图2

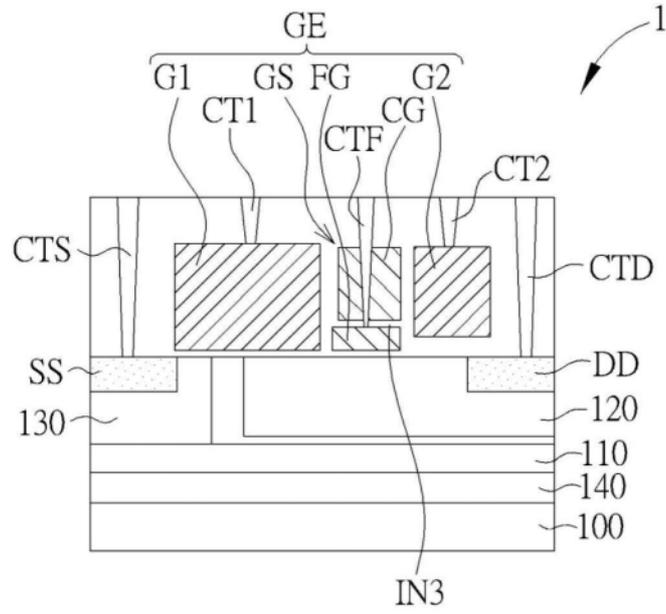


图3

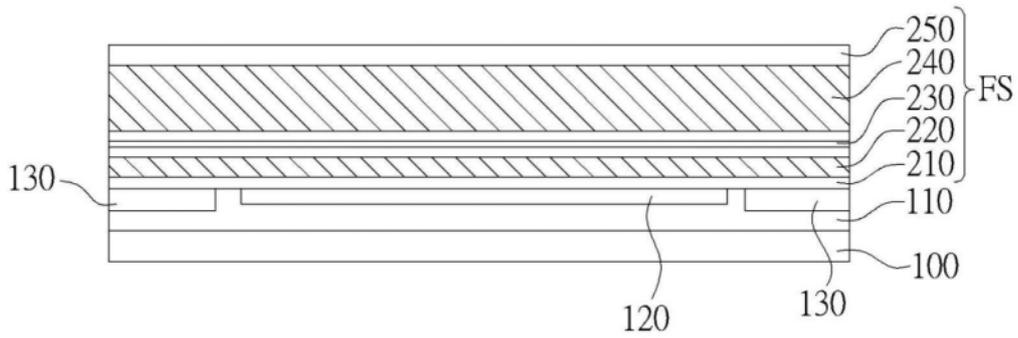


图4

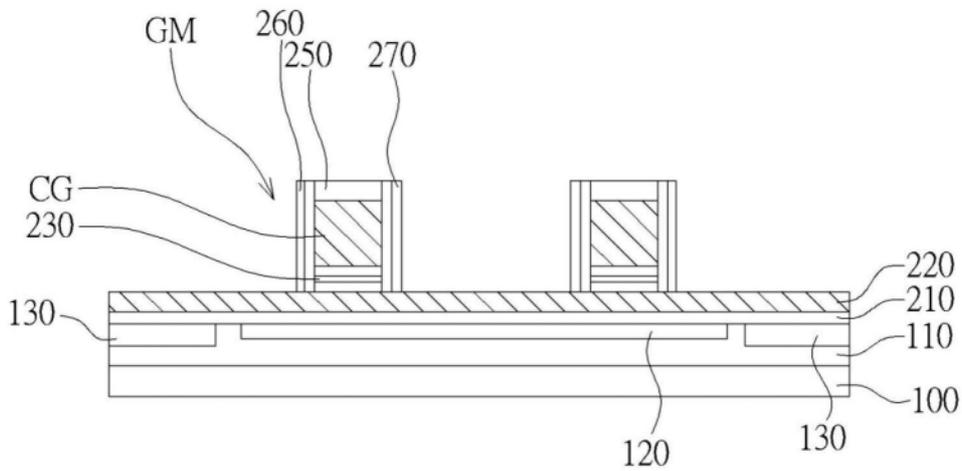


图5

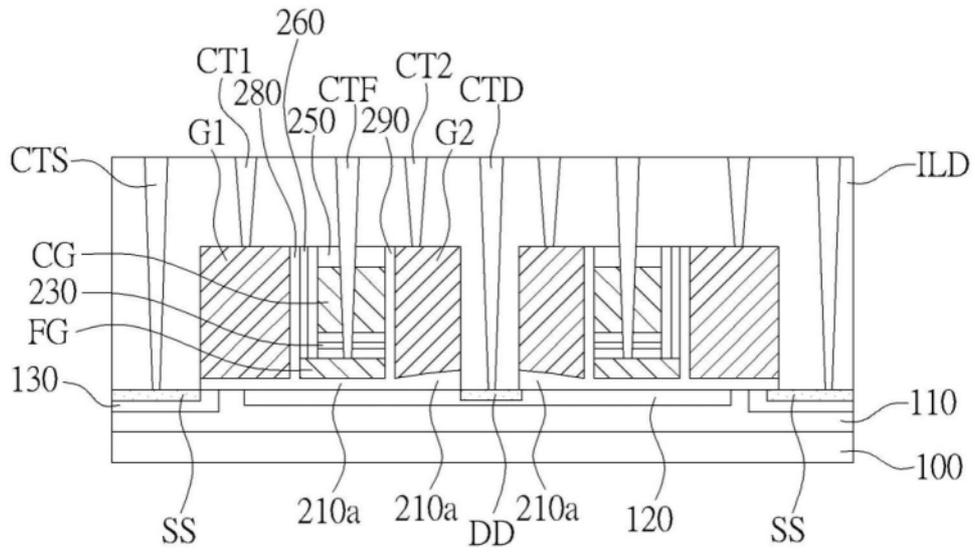


图8