



(12) 发明专利申请

(10) 申请公布号 CN 113179474 A

(43) 申请公布日 2021.07.27

(21) 申请号 202110042164.0

(22) 申请日 2021.01.13

(30) 优先权数据

16/773,079 2020.01.27 US

(71) 申请人 英飞凌科技股份有限公司

地址 德国诺伊比贝尔格

(72) 发明人 D·斯特雷尤斯尼格 D·诺伊迈尔

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 黄倩

(51) Int.Cl.

H04R 19/04 (2006.01)

H04R 19/00 (2006.01)

H04R 3/00 (2006.01)

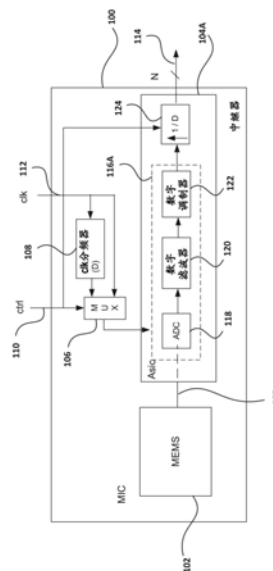
权利要求书2页 说明书7页 附图9页

(54) 发明名称

使用内部时钟改变的可配置麦克风

(57) 摘要

实施例公开了使用内部时钟改变的可配置麦克风。一种操作微机电系统 (MEMS) 的方法, 包括在第一操作模式下, 将MEMS的模拟输出转换为具有第一采样速率的第一内部数据流和第一外部数据流; 在不重新启动MEMS的情况下从第一操作模式转换为第二操作模式; 以及在第二操作模式下, 将MEMS的模拟输出转换为具有与第一采样速率不同的第二采样速率的第二内部数据流, 并且执行第二内部数据流的采样速率转换以生成第二外部数据流。



1. 一种操作微机电系统MEMS的方法,所述方法包括:

在第一操作模式下,将所述MEMS的模拟输出转换为具有第一采样速率的第一内部数据流和第一外部数据流;

在不重新启动所述MEMS的情况下,从所述第一操作模式转变为第二操作模式;以及

在所述第二操作模式下,将所述MEMS的所述模拟输出转换为第二内部数据流,所述第二内部数据流具有与所述第一采样速率不同的第二采样速率,以及执行所述第二内部数据流的采样速率转换以生成第二外部数据流。

2. 根据权利要求1所述的方法,其中所述第一外部数据流和所述第二外部数据流在一个或多个输出节点处被提供。

3. 根据权利要求1所述的方法,其中所述第一外部数据流的采样速率和所述第二外部数据流的采样速率相等。

4. 根据权利要求1所述的方法,其中执行所述第二内部数据流的采样速率转换以生成第二外部数据流包括:在所述第二内部数据流中重复样本。

5. 根据权利要求1所述的方法,其中转换所述MEMS的所述模拟输出包括:对所述MEMS的所述模拟输出执行西格玛德尔塔模数转换。

6. 根据权利要求1所述的方法,其中将所述MEMS的所述模拟输出转换为所述第一内部数据流是由以所述第一采样速率时钟控制的信号处理电路执行的,并且其中将所述MEMS的所述模拟输出转换为所述第二内部数据流是由以所述第二采样速率时钟控制的所述信号处理电路执行的。

7. 根据权利要求6所述的方法,其中所述信号处理电路包括模数转换器(ADC)和数字滤波器。

8. 根据权利要求7所述的方法,进一步包括在所述第一操作模式下向所述数字滤波器提供第一组系数,以及在所述第二操作模式下向所述数字滤波器提供第二组系数。

9. 根据权利要求7所述的方法,其中所述信号处理电路进一步包括数字调制器。

10. 根据权利要求6所述的方法,其中所述信号处理电路在所述第一操作模式下接收未分频的时钟信号并且在所述第二操作模式下接收分频的时钟信号。

11. 根据权利要求1所述的方法,其中所述MEMS包括麦克风。

12. 一种电路,包括:

时钟分频器,具有被耦合到时钟信号输入的输入;

多路复用器,具有被耦合到所述时钟分频器的输出的第一输入、被耦合到所述时钟信号输入的第二输入、被耦合到控制信号输入的第三输入、以及输出,其中所述多路复用器根据所述控制信号输入的状态,将所述第一输入耦合到所述输出或将所述第二输入耦合到所述输出;

信号处理电路,具有:模拟信号输入、被耦合到所述多路复用器的所述输出的时钟信号输入、以及包括一个或多个输出节点的数字信号输出;以及

变频器,被耦合在数据流输出与所述信号处理电路的所述数字信号输出之间,其中所述变频器的转换因数是根据所述控制信号输入的所述状态而被确定的。

13. 根据权利要求12所述的电路,其中所述信号处理电路包括:

模数转换器ADC,具有被耦合到所述模拟信号输入的输入;

数字滤波器,具有被耦合到所述ADC的输出的输入;以及
数字调制器,具有被耦合到所述数字滤波器的输出的输入和被耦合到所述数字信号输出的输出。

14. 根据权利要求12所述的电路,其中所述信号处理电路包括:
模数转换器ADC,具有被耦合到所述模拟信号输入的输入;以及
数字滤波器,具有被耦合到所述ADC的输出的输入和被耦合到所述数字信号输出的输出。

15. 根据权利要求14所述的电路,进一步包括:数字调制器,介于所述变频器与所述数据流输出之间。

16. 根据权利要求15所述的电路,进一步包括:附加的变频器,介于所述数字调制器与所述数据流输出之间。

17. 根据权利要求14所述的电路,其中所述数字滤波器包括:附加的输入,用于根据所述控制信号输入的所述状态来接收第一组系数或第二组系数。

18. 根据权利要求12所述的电路,进一步包括:微机电系统MEMS,具有被耦合到所述信号处理电路的所述模拟信号输入的输出。

19. 根据权利要求18所述的电路,其中所述MEMS包括麦克风。

20. 一种在单个封装中的微机电MEMS电路,包括:

控制信号输入、时钟信号输入、以及数据流输出,所述数据流输出用于在一个或多个输出节点处提供恒定速率的单比特输出流;

MEMS设备;以及

信号处理电路,被耦合到所述MEMS设备、所述控制信号输入、所述时钟信号输入、以及所述数据流输出,

其中,在由所述控制信号输入的第一状态确定的第一操作模式下,所述信号处理电路的至少一部分被直接耦合到所述时钟信号输入,并且其中,在由所述控制信号输入的第二状态确定的第二操作模式下,所述信号处理电路的所述至少一部分通过时钟分频器被耦合到所述时钟信号输入。

使用内部时钟改变的可配置麦克风

技术领域

[0001] 本发明总体涉及用于使用内部时钟改变的可配置麦克风的系统和方法。

背景技术

[0002] MEMS (微机电系统) 技术在麦克风中的应用, 导致了高性能小型麦克风的发展。MEMS 麦克风提供了高 SNR (信噪比)、低功耗、高灵敏度, 并且在与表面安装组装工艺兼容的小型封装中可用。

[0003] MEMS 麦克风使用的是使用硅晶片在半导体生产线上制造的声传感器。不同材料的层被沉积在硅晶片的顶部, 然后不需要的材料被蚀刻掉, 在基底晶片中的空腔上形成可移动的膜和固定的背板。传感器背板可以是一个坚硬的穿孔结构, 允许空气很容易地穿过它, 而膜是薄的固体结构, 该固体结构响应于由声波引起的气压的改变而弯曲。由声波产生的气压的改变导致薄膜弯曲, 而当空气穿过较厚的背板的穿孔时, 较厚的背板保持静止。膜的移动产生了膜与背板之间电容量的改变, 该改变由 ASIC (专用集成电路) 转换为电信号。ASIC 测量当膜与固定背板之间的电容由于膜响应于声波的运动而改变时引起的电压改变。在许多应用中, 需要低噪声音频模数转换器 (ADC), 以将模拟麦克风的输出转换为数字格式进行处理和/或传输。ADC 可以在麦克风性能与麦克风功耗之间的权衡中在各种频率下被时钟控制。

发明内容

[0004] 根据实施例, 一种操作微机电系统 (MEMS) 的方法, 包括在第一操作模式下, 将 MEMS 的模拟输出转换为具有第一采样速率的第一内部数据流和第一外部数据流; 在不重新启动 MEMS 的情况下从第一操作模式转换为第二操作模式; 以及在第二操作模式下, 将 MEMS 的模拟输出转换为具有与第一采样速率不同的第二采样速率的第二内部数据流, 并且执行第二内部数据流的采样速率转换以生成第二外部数据流。

[0005] 根据另一实施例, 一种电路包括时钟分频器, 该时钟分频器具有被耦合到时钟信号输入的输入; 多路复用器, 具有被耦合到时钟分频器的输出的第一输入、被耦合到时钟信号输入的第二输入、被耦合到控制信号输入的第三输入、以及输出, 其中多路复用器根据控制信号输入的状态将第一输入耦合到输出或将第二输入耦合到输出; 信号处理电路, 具有模拟信号输入、被耦合到多路复用器的输出的时钟信号输入、以及包括一个或多个输出节点的数字信号输出; 以及变频器, 被耦合在信号处理电路的数字信号输出与数据流输出之间, 其中变频器的转换因数是根据控制信号输入的状态而被确定的。

[0006] 根据另一实施例, 一种在单个封装中的微机电 (MEMS) 电路包括控制信号输入、时钟信号输入、以及数据流输出, 用于在一个或多个输出节点处提供恒定速率的单比特输出流; MEMS 设备; 以及信号处理电路, 被耦合到 MEMS 设备、控制信号输入、时钟信号输入、以及数据流输出, 其中, 在由控制信号输入的第一状态确定的第一操作模式下, 信号处理电路的至少一部分直接被耦合到时钟信号输入, 并且其中, 在由控制信号输入的第二状态确定的

第二操作模式下,信号处理电路的至少一部分通过时钟分频器被耦合到时钟信号输入。

附图说明

- [0007] 为了更全面地理解本发明及其优点,现在结合附图参考以下描述,其中:
- [0008] 图1A示出了根据实施例的具有内部时钟改变的数字麦克风;
- [0009] 图1B示出了根据实施例的操作具有内部时钟改变的数字麦克风的方法的流程图;
- [0010] 图2示出了根据实施例的图1A的实施例的调制器;
- [0011] 图3A示出了根据实施例的图1A的实施例的中继器;
- [0012] 图3B示出了关于图3A的中继器的频率的输入和输出功能的对应的图;
- [0013] 图4示出了具有内部时钟改变的数字麦克风的另一实施例,其中数字调制器时钟速率是恒定的;
- [0014] 图5示出了具有多个中继器的数字麦克风的另一实施例;
- [0015] 图6示出了具有自适应滤波系数的数字麦克风的另一实施例;
- [0016] 图7A示出了与包括重新启动延迟周期的数字麦克风相关联的模拟时序图;以及
- [0017] 图7B示出了与图1A、图1B、图4、图5、或图6中所示的任何数字麦克风实施例相关联的模拟时序图。

具体实施方式

[0018] 在标准数字麦克风中,麦克风性能与麦克风功耗之间的调节或切换是通过选择不同的操作模式来实现的,进而操作模式通常仅通过选择不同的时钟速率而被控制。例如,数字麦克风的低功率操作模式可以具有 $f_s = 768\text{kHz}$ 的对应的采样频率,而数字麦克风的高性能操作模式可以具有 $f_s = 3.072\text{MHz}$ 的对应的采样频率。在实施例中,可以使用用于高性能操作模式的其它频率,诸如 2.4MHz 或 1.536MHz 。如果需要改变操作模式,例如从低功率模式改变为高性能模式,则数字麦克风时钟从 768kHz 改变为 3.072MHz 。为了在数字麦克风中执行模式改变,检测(改变的)时钟(通常使用功率模式检测器(PMD))。在现有的数字麦克风中,出于安全原因,模式改变通常在数字麦克风的启动(或重新启动)时被处理。在模式改变期间,声音信号不可用,这也可能导致切换伪影。通常,操作模式的改变可以在第一操作模式的结束到第二个操作模式的开始之间测量的 1ms 至 10ms 之间进行。

[0019] 一些实施例的优点包括能够在操作模式之间无缝地调节而没有重新启动延迟并且具有最小的切换伪影(例如在无缝动态SNR调节期间或在无缝动态节能策略期间)。因此下文描述数字麦克风和操作数字麦克风的方法的实施例,其中在低功率模式与高性能操作模式之间无缝地进行调节或切换,没有任何重新启动延迟并且具有最小的切换伪影。在实施例中,仅需要输入到数字麦克风的一个附加的外部控制信号,并且在数字麦克风的一个或多个输出节点处的输出信号的时钟速率或采样速率被配置为在两个操作模式之间恒定。

[0020] 在实施例中,当外部控制信号(ctrl)可用时,通过使用响应于来自恒定输入时钟(c1k)的外部控制信号(ctrl)的时钟分频器块来导出不同的内部时钟速率,数字麦克风的性能(SNR)和/或功耗可以灵活且无缝地改变,下文将进一步详细描述。根据一个实施例,恒定输出信号时钟速率可以由也响应于外部控制信号(ctrl)的可调节的内插级提供,也如下文将进一步详细描述。

[0021] 图1A示出了根据实施例的具有内部时钟改变的数字麦克风100。数字麦克风100通常被提供在多孔陶瓷或塑料封装中,并且包括MEMS麦克风传感器102和被耦合到MEMS麦克风传感器102的ASIC 104A。在实施例中,ASIC 104A从MEMS麦克风传感器102接收模拟信号103,并且提供与具有“N”个节点或比特的模拟信号103对应的数字输出114,其中N是1至8之间的整数。在另一实施例中,N可以是大于8的整数。在实施例中,数字麦克风100包括用于接收控制输入信号(ctrl)的控制输入110,以及用于接收时钟输入信号(clk)的时钟输入112。在实施例中,多路复用器106被耦合在控制输入110与ASIC 104A之间,并且时钟分频器108被耦合在时钟输入112与多路复用器106之间。控制输入110也被耦合到ASIC 104A。ASIC 104A、多路复用器106、以及时钟分频器108关于clk和ctrl信号的操作将在下文进一步详细描述。

[0022] ASIC 104A包括被耦合到中继器(repeater) 124的信号处理电路116A。信号处理电路的输入信号是ASIC 104A的模拟信号103,并且中继器124的输出是ASIC 104A的数字输出114。在图1A中,在实施例中,信号处理电路116A包括ADC 118,ADC 118可以包括sigma-delta(西格玛德尔塔)ADC。ADC 118将从MEMS麦克风传感器102接收的模拟信号103转换为数据流,该数据流在一个或多个节点处包括一个或多个比特流。在实施例中,数字滤波器120可以包括环路滤波器,并且用于进一步处理ADC 118的数字输出。例如,数字滤波器120可以用于移除滤波器的通带外部的量化噪声。数字调制器122用于对来自数字滤波器120的滤波数字输出进行噪声整形。在图1A的示例中,数字调制器122的输出形成信号处理电路116A的输出。最后,信号处理电路116A的输出被耦合到中继器124,在图1A的示例中,中继器124不是信号处理电路116A的部分。在图1A的示例中,多路复用器106的输出为信号处理电路116A(特别是ADC 118)提供时钟信号,并且中继器124直接被耦合到控制输入110,用于直接接收控制信号ctrl。

[0023] 多路复用器106具有三个输入和一个输出。第一输入在控制输入110处接收ctrl信号。第二输入接收通过时钟分频器108分频型式的clk信号,并且第三输入直接从时钟输入112接收未分频型式的clk信号。因此,ctrl信号的逻辑状态控制分频或未分频的时钟信号是否通过多路复用器106传输到多路复用器输出。

[0024] 时钟分频器108是将输入时钟信号除以因数(D)的分频器电路。例如,在低功率操作模式下,时钟分频器108可以将时钟信号除以2($D=2$)、除以4($D=4$)或任何其他因数。

[0025] 为了在性能(SNR)和/或功耗方面获得灵活性,可以通过信号处理电路116A使用由时钟分频器108和多路复用器106从恒定输入时钟速率(clk)生成的不同时钟速率。在降低的内部时钟速率的情况下($clk_{red}=clk/D$)。数字输出114处的输出数据流的时钟速率可以由中继器124保持恒定。在最简单的实现中,中继器124可以是以因子D内插(重复值)的中继器。在高性能操作模式下,未分频的时钟信号被提供给信号处理电路116A。因此,ADC的采样速率与时钟输入112处的输入时钟信号clk的时钟频率相同。控制信号的状态将中继器124配置为不向从信号处理电路116A接收的数字信号的输出添加任何附加的零。在低功率操作模式下,分频的时钟信号被提供给信号处理电路116A。因此,ADC的采样速率等于输入时钟信号的时钟频率除以D。控制信号的状态将中继器124配置为向从信号处理电路116A接收的数字信号的输出添加适当数目的零,使得在高性能操作模式和低功率操作模式下提供的数字信号的时钟速率相同。

[0026] 图1A中所示的数字麦克风实施例的另一优点是没有音频信号的中断(与现有解决方案中高达10ms的中断相比)。由图1A的实施例提供的解决方案使得如果内部时钟速率改变(例如,通过选择音频信号的过零,并且使滤波器系数适应新选择的内部时钟速率,下文进一步详细描述),则可能使切换伪影(或瞬态)最小化。

[0027] 此外,图1A的数字麦克风实施例允许没有与功率模式切换相关的输入时钟的实施例。在这种配置中,数字麦克风中的所有与功率模式检测相关的块都可以被移除,这使得设计复杂性、硅芯片面积和功耗最小化。

[0028] 因此,图1A示出了实施例,其中ASIC 104A以由控制信号ctrl定义的导出时钟速率被时钟控制。在数字输出114处,当需要时,例如在低功率模式下,单比特或N比特数字输出信号被再次内插直至达到输入时钟速率。

[0029] 图1B示出了操作微机电系统(MEMS)的方法160,该方法包括在第一操作模式下(例如高性能操作模式),将MEMS麦克风传感器102的模拟信号103转换为具有第一采样速率的第一内部数据流(在ADC 118的输出处)和(从未分频的时钟频率导出的)第一外部数据流(在数字输出114处),这是步骤162。在不重新启动MEMS的情况下,从第一操作模式转换到第二操作模式(例如低功率模式),这是步骤164。以及,在第二操作模式下,将MEMS麦克风传感器102的模拟信号103转换为第二内部数据流(在ADC 118的输出处),该第二内部数据流具有与第一采样速率不同的第二采样速率(从分频的时钟频率导出的),以及执行第二内部数据流的采样速率转换(使用中继器124添加适当数目的零),以生成第二外部数据流(在数字输出114处),这是步骤166。

[0030] 图2示出了图1A的数字麦克风实施例的数字调制器122。在实施例中,数字调制器122包括输入端132,该输入端132被耦合到数字滤波器120如图1A中所示。在实施例中,输入132在数字总线上从数字滤波器120接收22比特数据流。在其他实施例中,可以从数字滤波器120接收其他大小的数据流。输入132被耦合到加法器130的输入,加法器130的输出被耦合到环路滤波器126。环路滤波器126具有标记为 $H(z)$ 的传递函数,并且在实施例中可以包括低通滤波器。环路滤波器126的输出被耦合到量化器128,量化器128提供阶梯函数并提供N比特数字输出,N比特数字输出可以包括一个或多个数字比特。数字输出通过反馈路径134被反馈到加法器130的负输入。

[0031] 图3A示出了图1A的数字麦克风实施例的中继器124的示例。当需要中继器功能时,例如,在低功率模式操作模式下,附加的零被添加到中继器的传递函数,使得,在图1A的示例的情况下,数字输出信号的原始采样速率可以被恢复。因此,图3A的左侧部分示出了具有“L”传递函数136的中继器,用于转换输入采样频率 f_s (并且在频域中输入函数被写为 $x(k)$)和输出采样频率 $L*f_s$ (并且在频域中输出函数被写为 $y(k)$),其中L可以是大于1的整数。图3A的右侧部分将L传递函数136分为两个部分:“L”部分,被耦合到控制输入110,用于指定所需的额外的零的数目,以及平均滤波器140,具有传递函数 $1+z^{-1}+\dots+z^{-(L-1)}$ 。

[0032] 因此,图3A示出了等效性。图3A的左侧部分示出了低采样速率上的输入信号被重复(在高采样速率上,采样速率从低采样速率增加了因数“L”)。右侧示出了用标准内插方法获得的相同信号。在块138中,零被插入(如果 $L=3$,则插入两个零),后面紧跟着平均滤波器140。

[0033] 图3B中示出了对应的时域图。图3B的左侧部分对应于输入函数 $x(k)$ 与采样频率

f_s , 并且图3B的右侧部分对应于输出函数 $y(k)$ 与采样频率 $L*f_s$, 其中 $L=3$ (每个采样频率重复3次)。对于图3A和图3B中所示的中继器124以及其他类似的实现 (诸如变频器 and 倍频器), 许多软件和硬件数字实现是可能的。

[0034] 图4示出了具有内部时钟改变的数字麦克风200的另一个实施例, 其中数字调制器122时钟速率是恒定的, 通过将数字调制器放置在数字信号处理电路116B外部, 但在ASIC 104B内部。图4的数字麦克风200中的所有其它块基本与图1A中先前描述和示出的那些块相同。

[0035] 为了优化潜在的剩余开关瞬态, 内插级 (中继器124) 可以移到数字滤波器120之后, 使得数字调制器122也始终以恒定速率运行, 与ADC 118和数字滤波器120的时钟信号无关, 如图4中所示。应注意的是, ADC 118和数字滤波器120的时钟信号由多路复用器106的输出提供。因此, 时钟信号在高性能模式与低功率模式的两个不同值之间切换。然而, 数字调制器122的时钟信号由来自时钟输入112的未分频的clk信号直接提供。

[0036] 图5示出了具有多个中继器124A和124B的数字麦克风300的另一实施例。时钟分频器108被设置为将输入时钟频率除以因数 $D1$ 。在示例中, $D1=4$ 且 $D2=2$, 同时保持接口处的时钟速率。在该示例中, ADC 118被降低 $D1$ 倍 (4) 的时钟控制, 并且内插 (上采样) 分两步完成。第一中继器124A通过 $D1/D2$ (通过因数2) 进行上采样, 并且第二中继器124B通过因数 $D2$ (在该示例中也是通过因数2) 进行上采样。

[0037] 图5的数字麦克风300中的所有其他块基本与图4中先前描述和示出的那些块相同。在图5的实施例中, 数字输出114处的数字输出信号的内插分两步完成。例如, 如果 $D1$ 被设置为4并且 $D2$ 被设置为2, 则第一中继器124A执行第一内插步骤, 其中插入额外的零, 并且第一中继器124A的输出使采样速率加倍 ($D1/D2=4/2=2$)。第一中继器124A的输出被耦合到数字调制器122的输入。第二中继器124B执行第二内插步骤, 其中也插入额外的零, 并且第二中继器124B的输出使采样速率加倍 ($D2=2$)。可以使用 $D1$ 和 $D2$ 的不同值来构造许多其他示例。应注意的是, 中继器124A和124B由来自控制输入110的ctrl控制信号直接控制。在由ctrl控制信号的状态确定的第一操作模式下, 中继器124A和124B不添加附加的零, 并且采样速率与中继器的输入和输出处的采样速率相同。在由ctrl控制信号的状态确定的第二操作模式下, 中继器124A和124B分别通过因数 $D1/D2$ 和 $D2$ 添加附加的零。输出采样速率被这些因数内插, 并且不等于中继器输入处的输入采样速率。图5中所示的数字麦克风300的分体式中继器实施例用于进一步使低功率操作模式与高性能操作模式之间的切换伪影最小化。

[0038] 图6示出了具有自适应滤波系数的数字麦克风400的另一实施例。图6与图4中所示的数字麦克风200的先前实施例类似, 但是示出了数字滤波器120的进一步细节以提供自适应滤波系数功能。因此, 图6示出了一实施方式, 其中数字滤波器120系数是基于所需的性能/时钟模式而被调节的, 以进一步改进无缝转换的开关瞬态性能。所有所需的滤波器都以可配置的方式设计, 使得它们的特性在改变时钟速率的条件下保持不变。

[0039] 图6中进一步详细地示出了数字滤波器120, 该数字滤波器120包括被定义为 $H(z) = \text{num}(z) / \text{den}(z)$ 的滤波器传递函数152, 其中 $\text{num}(z)$ 是滤波器传递函数152的分子, $\text{den}(z)$ 是滤波器传递函数152的分母。查找表或存储器154包括两个不同的分子 $\text{num}0$ 和 $\text{num}1$, 以及两个不同的分母 $\text{den}0$ 和 $\text{den}1$ 。因为数字滤波器120在ctrl控制信号的控制下, 因此 $\text{num}0$ 和

den0在第一操作模式下在传递函数中使用,第一操作模式由ctrl控制信号的第一状态确定,并且num1和den1在第二操作模式下在传递函数中使用,第二操作模式由ctrl控制信号的第二状态确定。

[0040] 图7A示出了包括重启延迟的数字麦克风实施例的模拟时序图,并且图7B示出了与图1A、图1B、图4、图5或图6中所示的任一数字麦克风实施例相关联的模拟时序图。模拟示出,能够实现无缝音频切换,并将听得见的切换效应以及对后续信号链可能有害的瞬态降至最低。图7A中描绘了具有重启延迟的实施例的瞬态信号比较,并且图7B中示出了如图1A、图1B、图4、图5或图6中所示的实施例。数字麦克风输出信号从低功率模式改变为高性能模式。

[0041] 因此,图7A示出了低功率模式输出信号702,紧随其后的是重启延迟704,重启延迟704之后是高性能模式输出信号706。因此,图7B示出了低功率模式输出信号702,直接紧随其后的是高性能模式输出信号706。两种模式之间的转换是通过无缝转换和开关瞬态的最小化来完成的。图7A和图7B的输出信号在输出节点114处被获得。

[0042] 这里总结了本发明的示例实施例。其他实施例也可以从本文提交的说明书和权利要求书的整体来理解。

[0043] 示例1.根据实施例,一种操作微机电系统(MEMS)的方法,该方法包括在第一操作模式下,将所述MEMS的模拟输出转换为具有第一采样速率的第一内部数据流和第一外部数据流;在不重新启动所述MEMS的情况下从所述第一操作模式转变为第二操作模式;以及在所述第二操作模式下,将所述MEMS的所述模拟输出转换为具有与所述第一采样速率不同的第二采样速率的第二内部数据流,并且执行所述第二内部数据流的采样速率转换以生成第二外部数据流。

[0044] 示例2.根据示例1所述的方法,其中所述第一外部数据流和所述第二外部数据流在一个或多个输出节点处被提供。

[0045] 示例3.根据先前示例中任一项所述的方法,其中所述第一外部数据流的采样速率和所述第二外部数据流的采样速率相等。

[0046] 示例4.根据先前示例中任一项所述的方法,其中执行所述第二内部数据流的采样速率转换以生成第二外部数据流包括:在第二内部数据流中重复样本。

[0047] 示例5.根据先前示例中任一项所述的方法,其中转换所述MEMS的所述模拟输出包括:对所述MEMS的所述模拟输出执行西格玛德尔塔模数转换。

[0048] 示例6.根据先前示例中任一项所述的方法,其中将所述MEMS的所述模拟输出转换为所述第一内部数据流是由以所述第一采样速率时钟控制的信号处理电路执行的,并且其中将所述MEMS的所述模拟输出转换为所述第二内部数据流是由以所述第二采样速率时钟控制的所述信号处理电路执行的。

[0049] 示例7.根据先前示例中任一项所述的方法,其中所述信号处理电路包括模数转换器(ADC)和数字滤波器。

[0050] 示例8.根据先前示例中任一项所述的方法,进一步包括在所述第一操作模式下向所述数字滤波器提供第一组系数以及在所述第二操作模式下向所述数字滤波器提供第二组系数。

[0051] 示例9.根据先前示例中任一项所述的方法,其中所述信号处理电路进一步包括数

字调制器。

[0052] 示例10.根据先前示例中任一项所述的方法,其中所述信号处理电路在所述第一操作模式下接收未分频的时钟信号并且在所述第二操作模式下接收分频的时钟信号。

[0053] 示例11.根据先前示例中任一项所述的方法,其中所述MEMS包括麦克风。

[0054] 示例12.根据实施例,一种电路包括:时钟分频器,时钟分频器具有被耦合到时钟信号输入的输入;多路复用器,具有被耦合到所述时钟分频器的输出的第一输入、被耦合到所述时钟信号输入的第二输入、被耦合到控制信号输入的第三输入、以及输出,其中所述多路复用器根据所述控制信号输入的状态,将所述第一输入耦合到所述输出或将所述第二输入耦合到所述输出;信号处理电路,具有模拟信号输入、被耦合到所述多路复用器的所述输出的时钟信号输入、以及包括一个或多个输出节点的数字信号输出;以及变频器,被耦合在所述信号处理电路的所述数字信号输出与数据流输出之间,其中所述变频器的转换因数是根据所述控制信号输入的所述状态而被确定的。

[0055] 示例13.根据示例12所述的电路,其中所述信号处理电路包括:模数转换器(ADC),具有被耦合到所述模拟信号输入的输入;数字滤波器,具有被耦合到所述ADC的输出的输入;以及数字调制器,具有被耦合到所述数字滤波器的输出的输入和被耦合到所述数字信号输出的输出。

[0056] 示例14.根据先前示例中任一项所述的电路,其中所述信号处理电路包括:模数转换器(ADC),具有被耦合到所述模拟信号输入的输入;以及数字滤波器,具有被耦合到所述ADC的输出的输入和被耦合到所述数字信号输出的输出。

[0057] 示例15.根据先前示例中任一项所述的电路,进一步包括数字调制器,介于所述变频器与所述数据流输出之间。

[0058] 示例16.根据先前示例中任一项所述的电路,进一步包括附加的变频器,介于所述数字调制器与所述数据流输出之间。

[0059] 示例17.根据先前示例中任一项所述的电路,其中所述数字滤波器包括附加的输入,用于根据所述控制信号输入的所述状态来接收第一组系数或第二组系数。

[0060] 示例18.根据先前示例中任一项所述的电路,进一步包括:微机电系统(MEMS),具有被耦合到所述信号处理电路的所述模拟信号输入的输出。

[0061] 示例19.根据先前示例中任一项所述的电路,其中所述MEMS包括麦克风。

[0062] 示例20.根据实施例,一种在单个封装中的微机电(MEMS)电路包括:控制信号输入、时钟信号输入、以及数据流输出,该数据流输出用于在一个或多个输出节点处提供恒定速率的单比特输出流;MEMS设备;以及信号处理电路,被耦合到所述MEMS设备、所述控制信号输入、所述时钟信号输入、以及所述数据流输出,其中,在由所述控制信号输入的第一状态确定的第一操作模式下,所述信号处理电路的至少一部分直接被耦合到所述时钟信号输入,并且其中,在由所述控制信号输入的第二状态确定的第二操作模式下,所述信号处理电路的所述至少一部分通过时钟分频器被耦合到所述时钟信号输入。

[0063] 尽管本发明已经参考说明性实施例进行了描述,但本说明书不旨在限制意义上进行解释。通过参考本说明书,本发明的说明性实施例以及其他实施例的各种修改和组合对于本领域的技术人员将变得明显。因此,所附权利要求旨在包含任何这种修改或实施例。

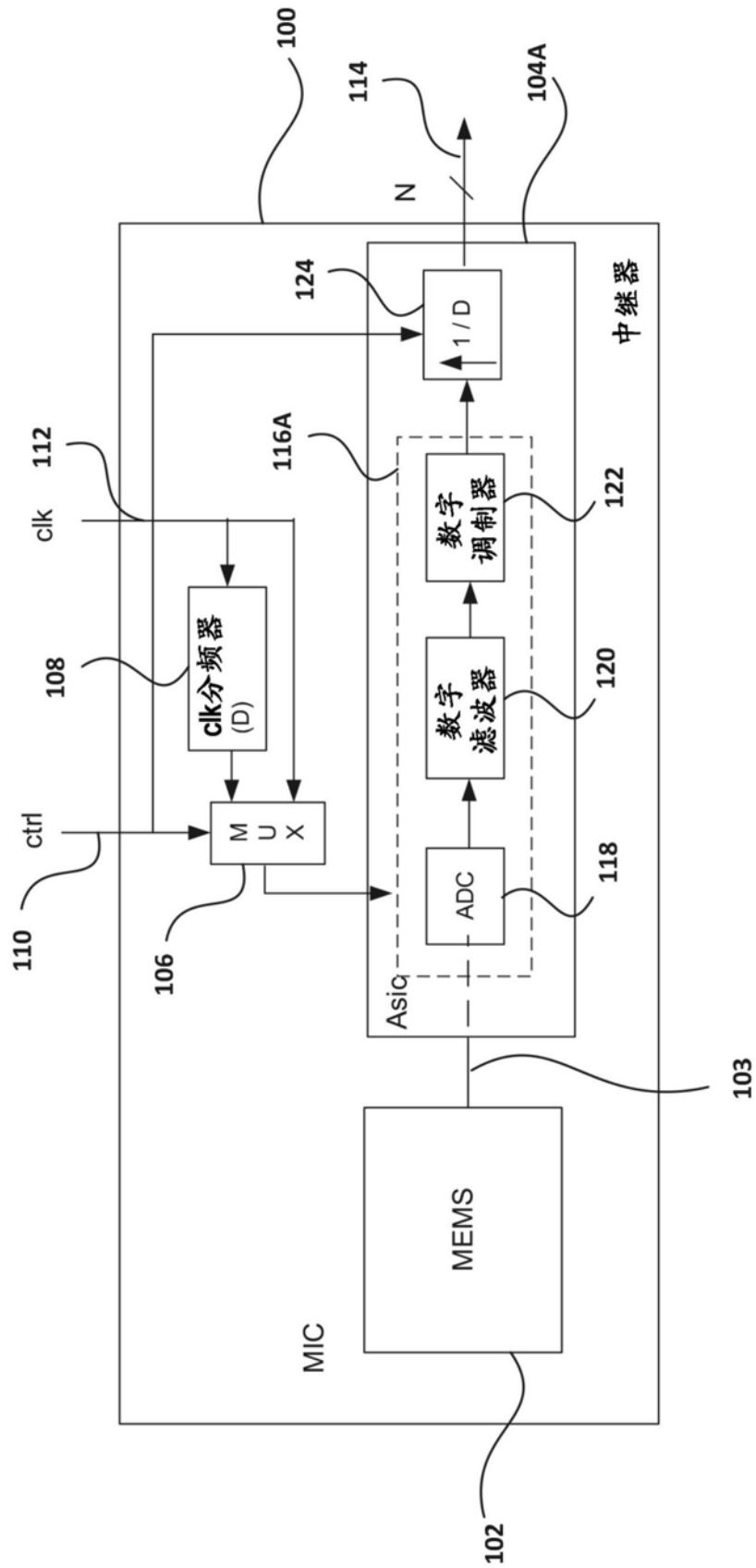


图1A

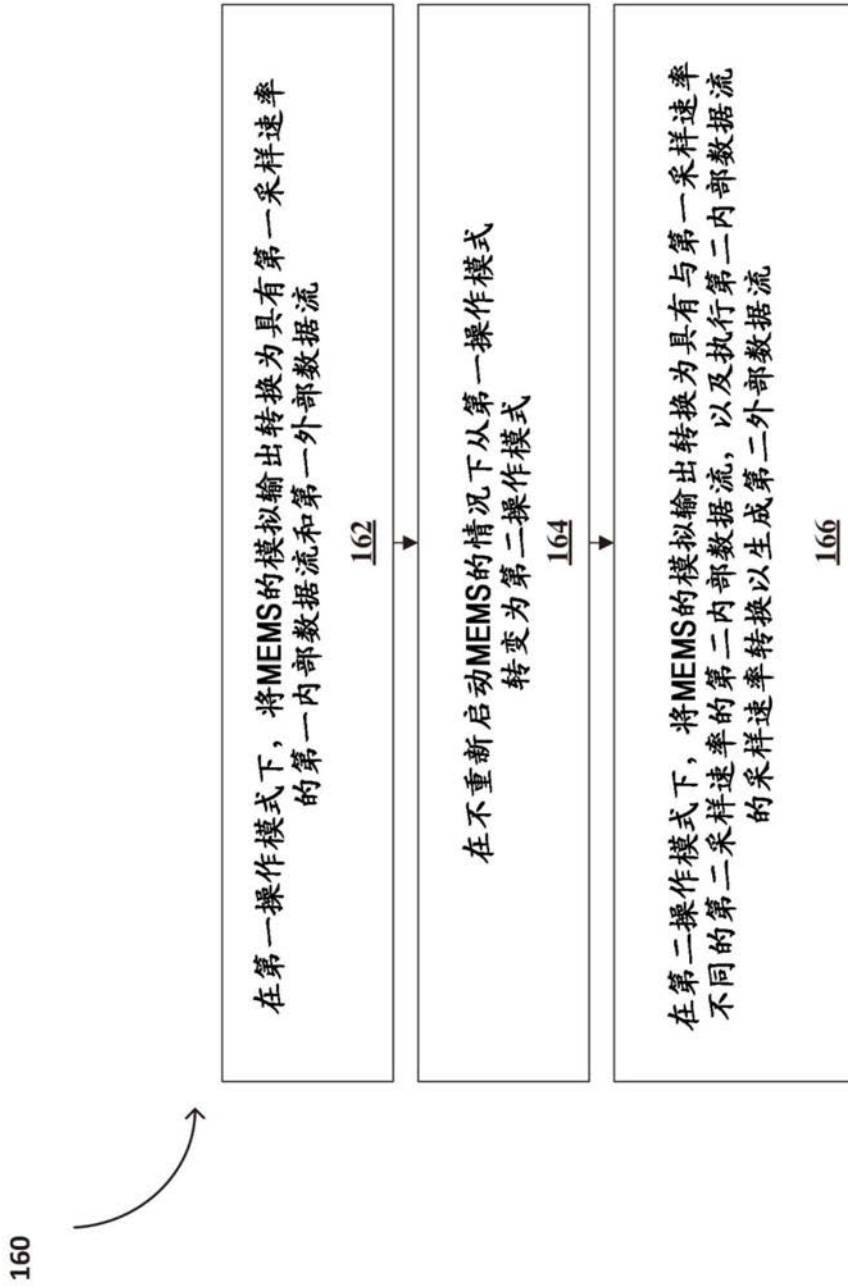


图1B

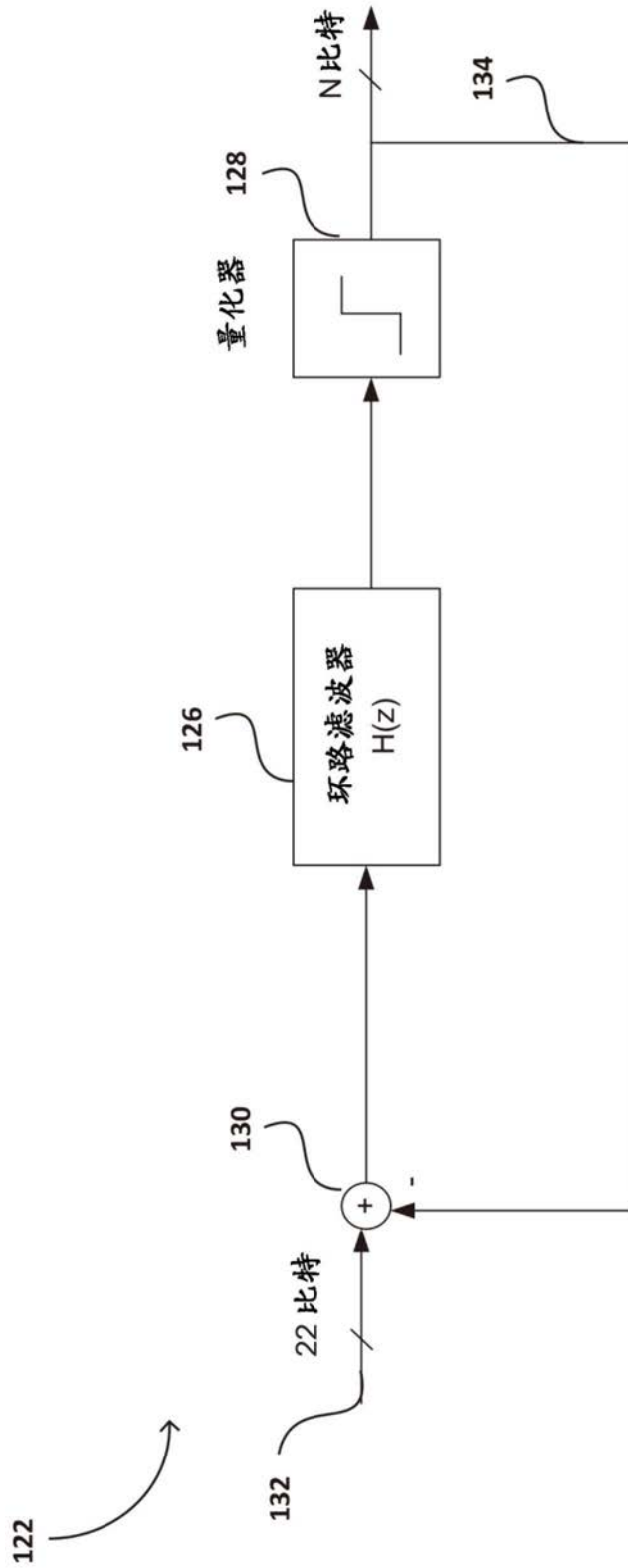


图2

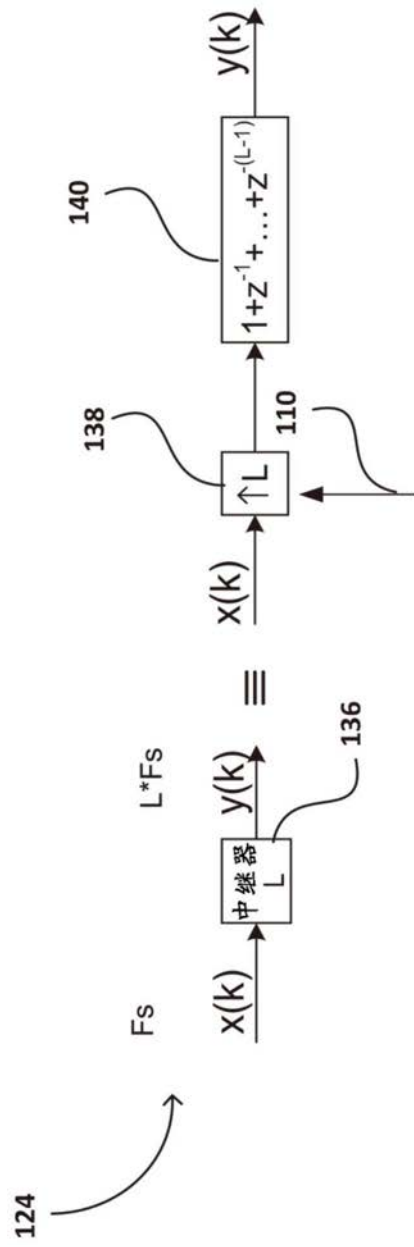


图3A

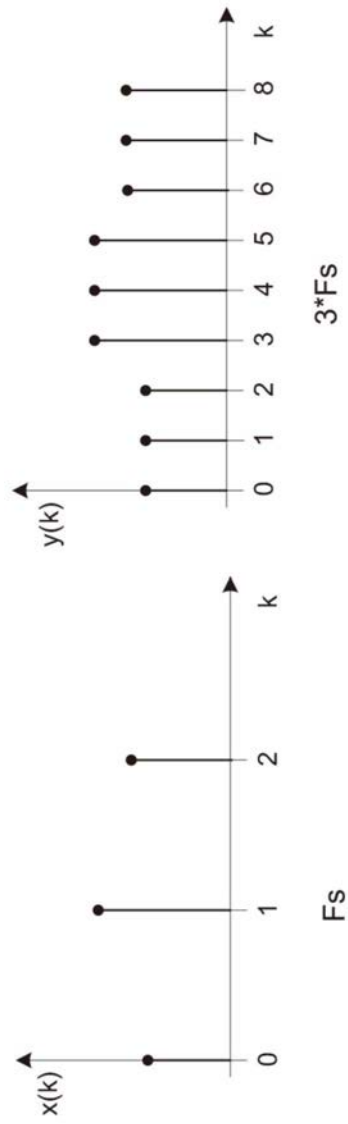


图3B

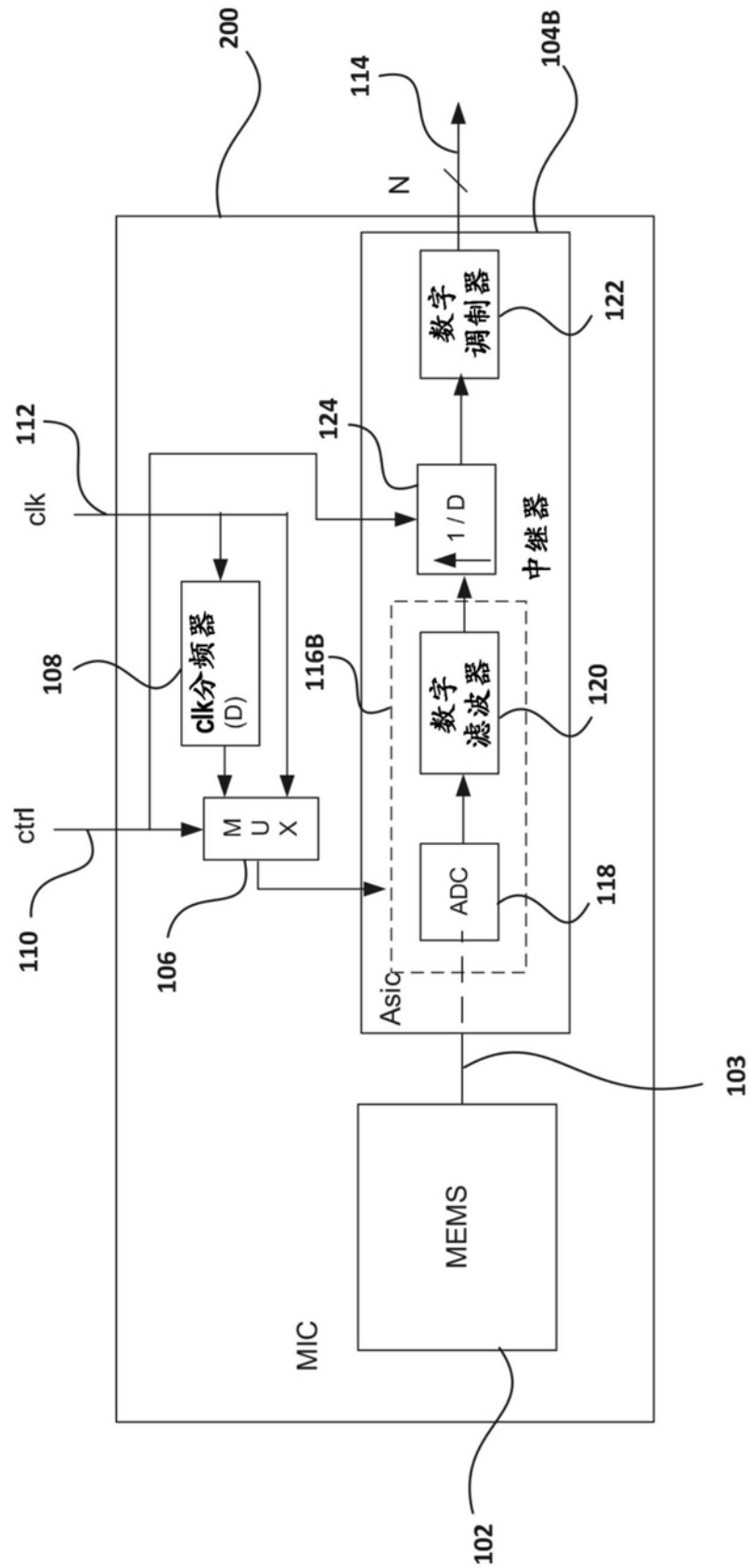


图4

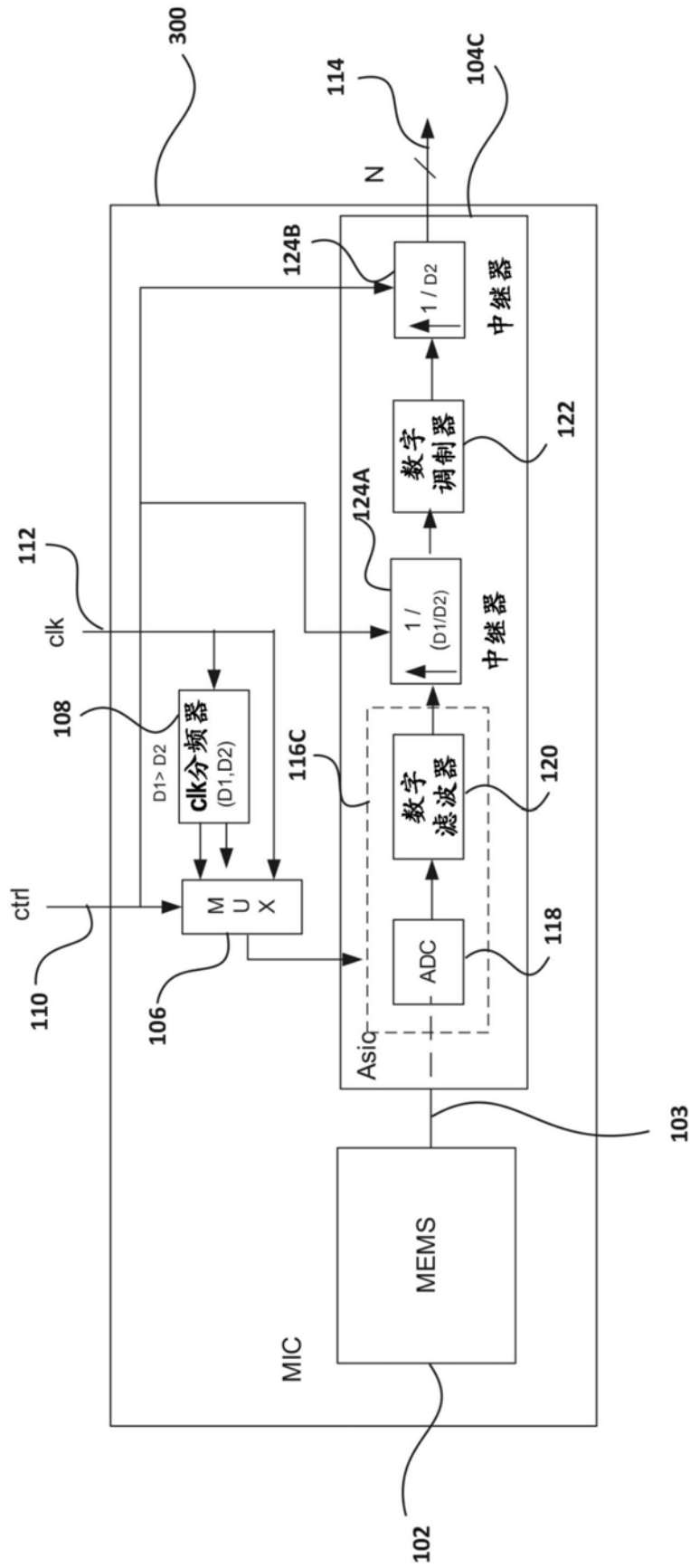


图5

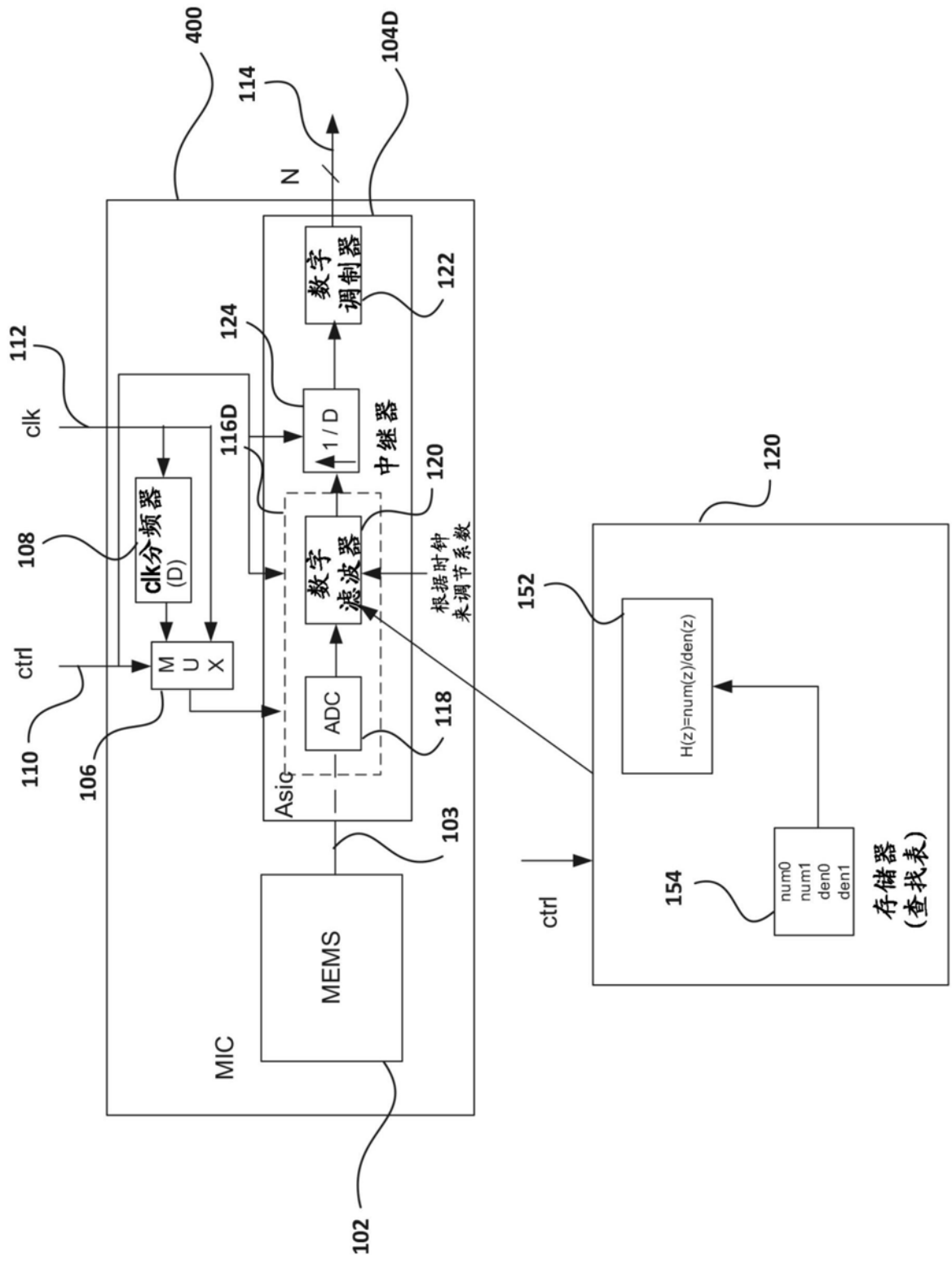


图6

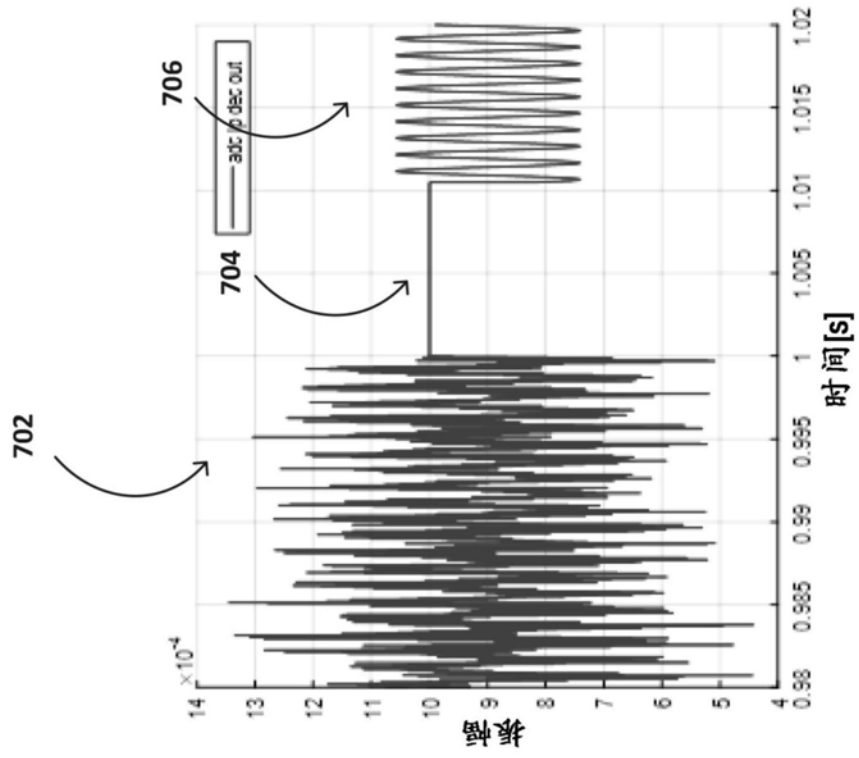


图7A

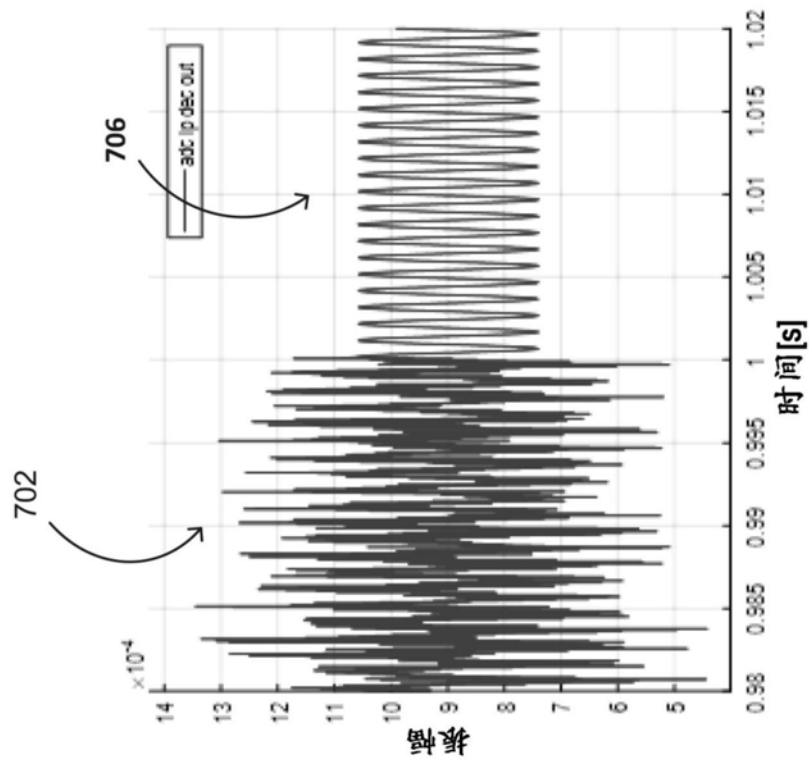


图7B