



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0086660
(43) 공개일자 2019년07월23일

- (51) 국제특허분류(Int. Cl.)
H01L 27/146 (2006.01) H04N 5/357 (2011.01)
H04N 5/374 (2011.01) H04N 5/3745 (2011.01)
- (52) CPC특허분류
H01L 27/146 (2018.08)
H04N 5/357 (2013.01)
- (21) 출원번호 10-2019-7010244
- (22) 출원일자(국제) 2017년11월09일
심사청구일자 없음
- (85) 번역문제출일자 2019년04월10일
- (86) 국제출원번호 PCT/JP2017/040359
- (87) 국제공개번호 WO 2018/100998
국제공개일자 2018년06월07일
- (30) 우선권주장
JP-P-2016-233931 2016년12월01일 일본(JP)

- (71) 출원인
소니 세미컨덕터 솔루션즈 가부시킴가이샤
일본국 가나가와켄 아즈기시 아사히초 4-14-1
- (72) 발명자
아라카와 신이치
일본국 쿠마모토켄 키쿠치군 기쿠요마치 오아자하라미즈 4000-1 소니 세미컨덕터 매뉴팩처링 가부시킴가이샤 내
- (74) 대리인
최달용

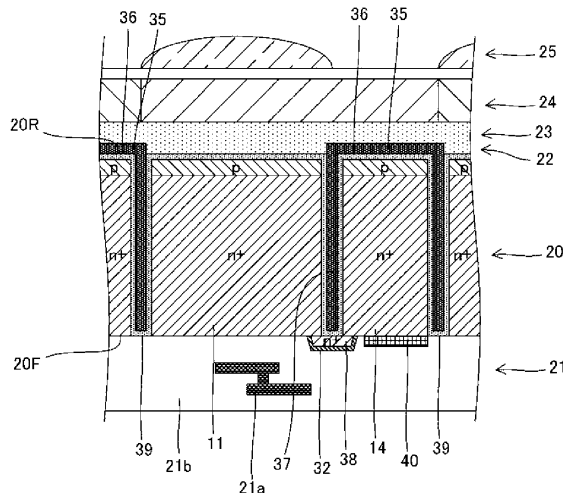
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 고체 촬상 소자, 고체 촬상 소자의 제조 방법 및 촬상 장치

(57) 요약

글로벌 셔터 방식의 이면 조사형 CMOS 이미지 센서에서, 광학 노이즈를 저감하고, 화질을 개선한다. 반도체 기판과, 상기 반도체 기판의 이면으로부터의 입사광을 광전변환하는 광전변환부와, 상기 광전변환부가 생성하는 전하를 일시적으로 유지하는 전하 유지부와, 상기 반도체 기판의 표리를 관통하여 상기 광전변환부와 상기 전하 유지부 사이를 구획하는 제1 관통 차광막과, 상기 반도체 기판의 표면 외측에 반도체 재료로 형성되어 상기 제1 관통 차광막을 넘어서 상기 광전변환부와 상기 전하 유지부를 접속하는 제1 바이패스부와, 상기 제1 바이패스부를 통한 상기 광전변환부로부터 상기 전하 유지부에의 전하 전송을 제어하는 제어부를 구비하고, 상기 제1 관통 차광막의 표측의 단부는, 상기 반도체 기판의 두께 방향에서, 상기 전하 유지부의 표측단과 같은 정도 또는 상기 전하 유지부의 표측단보다도 표측 방향으로 길게 형성되어 있는 고체 촬상 소자.

대표도 - 도4



(52) CPC특허분류

H04N 5/374 (2019.01)

H04N 5/3745 (2013.01)

명세서

청구범위

청구항 1

반도체 기관과,

상기 반도체 기관의 이면으로부터의 입사광을 광전변환하는 광전변환부와,

상기 광전변환부가 생성하는 전하를 일시적으로 유지하는 전하 유지부와,

상기 반도체 기관의 표리를 관통하여 상기 광전변환부와 상기 전하 유지부 사이를 구획하는 제1 관통 차광막과,

상기 반도체 기관의 표면 외측에 반도체 재료로 형성되어 상기 제1 관통 차광막을 넘어서 상기 광전변환부와 상기 전하 유지부를 접속하는 제1 바이패스부와,

상기 제1 바이패스부를 통한 상기 광전변환부로부터 상기 전하 유지부에의 전하 전송을 제어하는 제어부를 구비하고,

상기 제1 관통 차광막의 표층의 단부는, 상기 반도체 기관의 두께 방향에서, 상기 전하 유지부의 표층단과 같은 정도 또는 상기 전하 유지부의 표층단보다도 표층 방향으로 길게 형성되어 있는 것을 특징으로 하는 고체 촬상 소자.

청구항 2

제1항에 있어서,

상기 제어부는, 상기 제1 바이패스부상의 상기 제1 관통 차광막에 대응하는 위치에 마련된 제어 전극을 제어하여 상기 제1 바이패스부를 통한 상기 광전변환부로부터 상기 전하 유지부에의 전하 전송을 제어하는 것을 특징으로 하는 고체 촬상 소자.

청구항 3

제1항에 있어서,

상기 제어부는, 상기 제1 바이패스부상의 상기 제1 관통 차광막에 대응하지 않는 위치에 마련된 제어 전극을 제어하여 상기 제1 바이패스부를 통한 상기 광전변환부로부터 상기 전하 유지부에의 전하 전송을 제어하는 것을 특징으로 하는 고체 촬상 소자.

청구항 4

제2항에 있어서,

상기 제어 전극은, 상기 광전변환부측을 상기 제1 관통 차광막의 측면에 따라 상기 반도체 기관의 두께 방향으로 연설된 관입부를 갖는 것을 특징으로 하는 고체 촬상 소자.

청구항 5

제4항에 있어서,

상기 관입부는, 금속재료로 형성되어 있는 것을 특징으로 하는 고체 촬상 소자.

청구항 6

제1항에 있어서,

상기 제1 바이패스부는, 상기 반도체 기관의 표면을 에칭하여 성토형상으로 잔존시킨 돌기부인 것을 특징으로 하는 고체 촬상 소자.

청구항 7

제1항에 있어서,

상기 제1 바이패스부는, 상기 반도체 기관의 표면에 선택 에피택셜 성장으로 성토형상으로 적층 형성한 돌기부인 것을 특징으로 하는 고체 촬상 소자.

청구항 8

제7항에 있어서,

상기 광전변환부의 표면을 상기 제1 바이패스부의 표면과 개략 같은 정도의 복돋은 형상으로 한 것을 특징으로 하는 고체 촬상 소자.

청구항 9

제1항에 있어서,

상기 제1 바이패스부의 상기 제1 관통 차광막을 넘는 부위와 상기 전하 유지부와의 표층을 덮는 차광막을 더 구비하는 것을 특징으로 하는 고체 촬상 소자.

청구항 10

제1항에 있어서,

상기 전하 유지부는 관통 차광막으로 둘러싸여 있는 것을 특징으로 하는 고체 촬상 소자.

청구항 11

제1항에 있어서,

상기 전하 유지부로부터 전송되는 전하를 유지하는 플로팅 디퓨전과,

상기 반도체 기관의 표리를 관통하여 상기 전하 유지부와 상기 플로팅 디퓨전 사이를 구획하는 제2 관통 차광막과,

상기 반도체 기관의 표면 외측에 반도체 재료로 형성되어 상기 제2 관통 차광막을 넘어서 상기 전하 유지부와 상기 플로팅 디퓨전을 접속하는 제2 바이패스부를 더 구비하는 것을 특징으로 하는 고체 촬상 소자.

청구항 12

제1항에 있어서,

상기 전하 유지부는, 커패시터인 것을 특징으로 하는 고체 촬상 소자.

청구항 13

제1항에 있어서,

상기 전하 유지부는, 플로팅 디퓨전인 것을 특징으로 하는 고체 촬상 소자.

청구항 14

반도체 기관에 이면으로부터의 입사광을 광전변환하는 광전변환부를 형성하는 공정과,

상기 광전변환부가 생성하는 전하를 일시적으로 유지하는 전하 유지부를 형성하는 공정과,

상기 반도체 기관의 표리를 관통하여 상기 광전변환부와 상기 전하 유지부 사이를 구획하는 제1 관통 차광막을 형성하는 공정과,

상기 반도체 기관의 표면 외측에 반도체 재료로 형성되어 상기 제1 관통 차광막을 넘어서 상기 광전변환부와 상기 전하 유지부를 접속하는 제1 바이패스부를 형성하는 공정과,

상기 제1 바이패스부를 통한 상기 광전변환부로부터 상기 전하 유지부에의 전하 전송을 제어하는 제어 전극을 형성하는 공정을 포함하여 구성되고,

상기 제1 관통 차광막의 표층의 단부는, 상기 반도체 기관의 두께 방향에서, 상기 전하 유지부의 표층단과 같은

정도 또는 상기 전하 유지부의 표층단보다도 표층 방향으로 길게 형성되어 있는 것을 특징으로 하는 고체 촬상 소자의 제조 방법.

청구항 15

고체 촬상 소자와, 상기 고체 촬상 소자로부터의 신호를 처리하는 신호 처리 회로를 구비하는 촬상 장치로서, 상기 고체 촬상 소자는, 반도체 기관과, 상기 반도체 기관의 이면으로부터의 입사광을 광전변환하는 광전변환부와,

상기 광전변환부가 생성하는 전하를 일시적으로 유지하는 전하 유지부와, 상기 반도체 기관의 표리를 관통하여 상기 광전변환부와 상기 전하 유지부 사이를 구획하는 제1 관통 차광막과,

상기 반도체 기관의 표면 외측에 반도체 재료로 형성되어 상기 제1 관통 차광막을 넘어서 상기 광전변환부와 상기 전하 유지부를 접속하는 제1 바이패스부와, 상기 제1 바이패스부를 통한 상기 광전변환부로부터 상기 전하 유지부에의 전하 전송을 제어하는 제어부를 구비하고,

상기 제1 관통 차광막의 표층의 단부는, 상기 반도체 기관의 두께 방향에서, 상기 전하 유지부의 표층단과 같은 정도 또는 상기 전하 유지부의 표층단보다도 표층 방향으로 길게 형성되어 있는 것을 특징으로 하는 촬상 장치.

발명의 설명

기술 분야

[0001] 본 기술은, 고체 촬상 소자, 고체 촬상 소자의 제조 방법 및 촬상 장치에 관한 것이다.

배경 기술

[0002] 고체 촬상 장치는, CCD(Charge Coupled Device) 이미지 센서와 CMOS(Complementary Metal-Oxide-Semiconductor) 이미지 센서로 대별된다.

[0003] CMOS 이미지 센서의 셔터 방식은, 메커니컬 셔터 방식과 전자 셔터 방식이 있다. 근래, 보급이 눈부신 카메라 장착 휴대 전화 등의 모바일 기기에 탑재된 CMOS 이미지 센서는, 장치 사이즈 소형화 때문에, 주로 전자 셔터 방식이 채용되고 있다.

[0004] 전자 셔터 방식은, 노광 방식에 따라, 롤링 셔터 방식과 글로벌 셔터 방식이 있다. 롤링 셔터 방식은, 1라인씩 순차적으로 신호를 판독하여 가는 방식이고, 1라인씩 순번대로 판독하기 때문에, 1프레임 내의 라인 사이에 발생하는 판독 시차에 의해, 이른바 「곤약 현상」이 생긴다. 한편, 글로벌 셔터 방식은, 1프레임 전체를 일제 노광하여 판독하기 때문에, 움직임이 빠른 것을 촬영하여도 화상에 왜곡이 생기지 않는다.

[0005] 글로벌 셔터 방식의 CMOS 이미지 센서에서는, 각 화소에서의 축적의 동시성을 실현하기 위해, 화소마다 전하 유지 소자(커패시터)를 마련하고, 광전변환 소자에서 발생한 전하를 전하 유지 소자에 일제 전송하여 유지함으로써, 글로벌 셔터 촬영을 가능하게 하고 있다. 단, 전하 유지 중의 전하 유지 소자에 광이 누입되면 광학적 노이즈가 되어 화질 열화의 우려가 있다.

[0006] 특허 문헌 1, 2에는, 이면 조사형의 CMOS 이미지 센서에서 글로벌 셔터 방식을 실현하고, 상술한 광학적 노이즈를 억제하는 기술이 개시되어 있다. 이들 문헌에 개시된 고체 촬상 소자에서는, 전하 유지 소자를 광 입사측부터 덮는 차광 메탈이 마련되어 있고, 전하 유지 소자와 광전변환부 사이의 영역에 따라 차광 메탈을 연재시킨 구조로 되어 있다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 특허 문헌 1 : 일본 특개2013-65688호 공보

(특허문헌 0002) 특허 문헌 2 : 일본 특개2014-96390호 공보

발명의 내용

해결하려는 과제

- [0008] 상술한 특허 문헌 1에 기재된 고체 촬상 소자는, 전하 유지부와 광전변환부 사이에 연재되는 차광막이 실리콘 기판을 관통하지 않기 때문에, 경사 입사한 광의 일부가 실리콘 기판의 이면 근처에서 전하 유지부에 입사하여 버려, 전하 유지부에서 광전변환에 의해 발생하는 전하가 광학적 노이즈가 될 가능성이 있다.
- [0009] 상술한 특허 문헌 2에 기재된 고체 촬상 소자는, 전하 유지 소자와 광전변환부 사이의 전하의 전송을 콘택트에 연재되는 차광막을 관통형 메탈 차광막 구조로 하고, 전하 유지 영역에 누입되는 광을 방지하고, 허상의 발생을 억제하고 있다. 그렇지만, 특허 문헌 2에 기재된 기술에서는, 실리콘의 밖에 메탈 배선을 마련하여 광전변환부와 전하 유지부 사이를 접속하고 있어서, 메탈 배선에 노이즈를 얻기 쉽기 때문에, 화질 특성 악화의 가능성이 있다.
- [0010] 본 기술은, 상기 과제를 감안하여 이루어진 것으로, 글로벌 셔터 방식의 이면 조사 형 CMOS 이미지 센서에서, 광학 노이즈를 저감하고, 화질을 개선하는 것을 목적으로 한다.

과제의 해결 수단

- [0011] 본 기술의 양태의 하나는, 반도체 기판과, 상기 반도체 기판의 이면으로부터의 입사광을 광전변환하는 광전변환부와, 상기 광전변환부가 생성하는 전하를 일시적으로 유지하는 전하 유지부와, 상기 반도체 기판의 표리를 관통하여 상기 광전변환부와 상기 전하 유지부 사이를 구획하는 제1 관통 차광막과, 상기 반도체 기판의 표면 외측에 반도체 재료로 형성되어 상기 제1 관통 차광막을 넘어서 상기 광전변환부와 상기 전하 유지부를 접속하는 제1 바이패스부와, 상기 제1 바이패스부를 통한 상기 광전변환부로부터 상기 전하 유지부에의 전하 전송을 제어하는 제어부를 구비하고, 상기 제1 관통 차광막의 표층의 단부는, 상기 반도체 기판의 두께 방향에서, 상기 전하 유지부의 표층단과 같은 정도 또는 상기 전하 유지부의 표층단보다도 표층 방향으로 길게 형성되어 있는 고체 촬상 소자이다.
- [0012] 본 기술의 다른 양태의 하나는, 반도체 기판에 이면으로부터의 입사광을 광전변환하는 광전변환부를 형성하는 공정과, 상기 광전변환부가 생성하는 전하를 일시적으로 유지하는 전하 유지부를 형성하는 공정과, 상기 반도체 기판의 표리를 관통하여 상기 광전변환부와 상기 전하 유지부 사이를 구획하는 제1 관통 차광막을 형성하는 공정과, 상기 반도체 기판의 표면 외측에 반도체 재료로 형성되어 상기 제1 관통 차광막을 넘어서 상기 광전변환부와 상기 전하 유지부를 접속하는 제1 바이패스부를 형성하는 공정과, 상기 제1 바이패스부를 통한 상기 광전변환부로부터 상기 전하 유지부에의 전하 전송을 제어하는 제어 전극을 형성하는 공정을 포함하여 구성되고, 상기 제1 관통 차광막의 표층의 단부는, 상기 반도체 기판의 두께 방향에서, 상기 전하 유지부의 표층단과 같은 정도 또는 상기 전하 유지부의 표층단보다도 표층 방향으로 길게 형성되어 있는, 고체 촬상 소자의 제조 방법이다.
- [0013] 본 기술의 다른 양태의 하나는, 고체 촬상 소자와, 상기 고체 촬상 소자로부터의 신호를 처리하는 신호 처리 회로를 구비하는 촬상 장치로서, 상기 고체 촬상 소자는, 반도체 기판과, 상기 반도체 기판의 이면으로부터의 입사광을 광전변환하는 광전변환부와, 상기 광전변환부가 생성하는 전하를 일시적으로 유지하는 전하 유지부와, 상기 반도체 기판의 표리를 관통하여 상기 광전변환부와 상기 전하 유지부 사이를 구획하는 제1 관통 차광막과, 상기 반도체 기판의 표면 외측에 반도체 재료로 형성되어 상기 제1 관통 차광막을 넘어서 상기 광전변환부와 상기 전하 유지부를 접속하는 제1 바이패스부와, 상기 제1 바이패스부를 통한 상기 광전변환부로부터 상기 전하 유지부에의 전하 전송을 제어하는 제어부를 구비하고, 상기 제1 관통 차광막의 표층의 단부는, 상기 반도체 기판의 두께 방향에서, 상기 전하 유지부의 표층단과 같은 정도 또는 상기 전하 유지부의 표층단보다도 표층 방향으로 길게 형성되어 있는 촬상 장치이다.
- [0014] 또한, 이상 설명한 고체 촬상 소자는, 다른 기기에 조립된 상태에서 실시되거나 다른 방법과 함께 실시되거나 하는 등의 각종의 양태를 포함한다. 또한, 본 기술은 상기 고체 촬상 소자를 구비하는 촬상 장치, 상술한 고체 촬상 소자의 제조 방법으로서도 실현 가능하다.

발명의 효과

- [0015] 본 기술에 의하면, 글로벌 셔터 방식의 이면 조사형 CMOS 이미지 센서에서, 광학 노이즈를 저감하고, 화질을 개선할 수 있다. 또한, 본 명세서에 기재된 효과는 어디까지나 예시이고 한정되는 것이 아니고, 또한 추가적인 효

과가 있어도 좋다.

도면의 간단한 설명

- [0016] 도 1은 제1의 실시 형태에 관한 고체 촬상 소자의 개략 구성을 설명하는 도면.
- 도 2는 화소의 구성례를 도시하는 회로도.
- 도 3은 화소의 평면적인 구성례를 도시하는 도면.
- 도 4는 도 3의 A-A 단면에서의 화소의 단면적인 구성례를 도시하는 도면.
- 도 5는 도 3의 A-A 단면에 따른 바이패스부의 형상의 구체적인 예를 도시하는 도면.
- 도 6은 고체 촬상 소자의 제조 방법의 한 예에 관한 흐름을 도시하는 도면.
- 도 7은 고체 촬상 소자의 제조 방법의 한 예에 관한 흐름을 도시하는 도면.
- 도 8은 고체 촬상 소자의 제조 방법의 한 예에 관한 흐름을 도시하는 도면.
- 도 9는 고체 촬상 소자의 제조 방법의 한 예에 관한 흐름을 도시하는 도면.
- 도 10은 고체 촬상 소자의 제조 방법의 한 예에 관한 흐름을 도시하는 도면.
- 도 11은 제2의 실시 형태에 관한 화소의 평면적인 구성례를 도시하는 도면.
- 도 12는 도 11의 A-A 단면에서의 화소의 단면적인 구성례를 도시하는 도면.
- 도 13은 제3의 실시 형태에 관한 화소의 평면적인 구성례를 도시하는 도면.
- 도 14는 도 13의 A-A 단면에서의 화소의 단면적인 구성례를 도시하는 도면.
- 도 15는 제4의 실시 형태에 관한 화소의 평면적인 구성례를 도시하는 도면.
- 도 16은 도 15의 A-A 단면에서의 화소의 단면적인 구성례를 도시하는 도면.
- 도 17은 제5의 실시 형태에 관한 화소의 평면적인 구성례를 도시하는 도면.
- 도 18은 도 17의 A-A 단면에서의 화소의 단면적인 구성례를 도시하는 도면.
- 도 19는 제6의 실시 형태에 관한 화소의, 도 3의 A-A 단면에 상당하는 단면에서의 단면적인 구성례를 도시하는 도면.
- 도 20은 제7의 실시 형태에 관한 화소의 평면적인 구성례를 도시하는 도면.
- 도 21은 도 20의 A-A 단면에서의 화소의 단면적인 구성례를 도시하는 도면.
- 도 22는 촬상 장치의 구성을 도시하는 블록도.

발명을 실시하기 위한 구체적인 내용

- [0017] 이하, 하기한 순서에 따라 본 기술을 설명한다.
- [0018] (A) 제1의 실시 형태 :
- [0019] (B) 제2의 실시 형태 :
- [0020] (C) 제3의 실시 형태 :
- [0021] (D) 제4의 실시 형태 :
- [0022] (E) 제5의 실시 형태 :
- [0023] (F) 제6의 실시 형태 :
- [0024] (G) 제7의 실시 형태 :
- [0025] (A) 제1의 실시 형태 :

- [0026] 도 1은, 본 실시 형태에 관한 고체 촬상 소자(100)의 개략 구성을 설명하는 도면이다.
- [0027] 고체 촬상 소자(100)는, CMOS형 고체 촬상 소자이고, 화소 어레이부(121), 수직 구동부(122), 칼럼 처리부(123), 수평 구동부(125), 출력부(127) 및 구동 제어부(124)를 구비한다.
- [0028] 화소 어레이부(121)는, 어레이형상으로 배치된 복수의 화소(10)를 갖고 있고, 화소(10)는, 화소(10)의 행수에 응한 복수의 수평 신호선(HSLn)을 통하여 수직 구동부(122)에 접속되고, 화소(10)의 열수에 응한 복수의 수직 신호선(VSLm)을 통하여 칼럼 처리부(123)에 접속되어 있다. 즉, 화소 어레이부(121)가 갖는 복수의 화소(10)는, 수평 신호선(HSLn) 및 수직 신호선(VSLm)이 교차하는 점에 각각 배치되어 있다.
- [0029] 수직 구동부(122)는, 화소 어레이부(121)가 갖는 복수의 화소(10)의 행마다, 각각의 화소(10)를 구동하기 위한 구동 신호(전송 신호나, 선택 신호, 리셋 신호 등)를 수평 신호선(HSLn)을 통하여 순차적으로 공급한다.
- [0030] 칼럼 처리부(123)는, 수직 신호선(VSLm)을 통하여 각각의 화소(10)로부터 출력되는 화소 신호에 대해 CDS(Correlated Double Sampling : 상관 2중 샘플링) 처리를 시행함으로써 화소 신호의 신호 레벨을 추출하고, 화소(10)의 수광량에 응한 화소 데이터를 취득한다.
- [0031] 수평 구동부(125)는, 화소 어레이부(121)가 갖는 복수의 화소(10)의 열마다, 각각의 화소(10)로부터 취득된 화소 데이터를 칼럼 처리부(123)로부터 출력시키기 위한 구동 신호를 칼럼 처리부(123)에 순차적으로 공급한다.
- [0032] 출력부(127)에는, 수평 구동부(125)의 구동 신호에 따른 타이밍에서 칼럼 처리부(123)로부터 화소 데이터가 공급되고, 출력부(127)는, 예를 들면, 그 화소 데이터를 증폭하여 후단의 화상 처리 회로에 출력한다.
- [0033] 구동 제어부(124)는, 고체 촬상 소자(100)의 내부의 각 블록의 구동을 제어한다. 예를 들면, 구동 제어부(124)는, 각 블록의 구동 주기에 따른 클록 신호를 생성하고, 각각의 블록에 공급한다.
- [0034] 도 2는, 화소(10)의 구성례를 도시하는 회로도이다.
- [0035] 도 2에 도시하는 바와 같이 화소(10)는, PD(11), 제1의 전송 트랜지스터(12), 제2의 전송 트랜지스터(13), 전하 유지부(14), 플로팅 디퓨전(FD)(15), 증폭 트랜지스터(16), 선택 트랜지스터(17) 및 리셋 트랜지스터(18)를 구비하여 구성된다. 이하, 제1의 전송 트랜지스터(12), 제2의 전송 트랜지스터(13), 전하 유지부(14), 증폭 트랜지스터(16), 선택 트랜지스터(17) 및 리셋 트랜지스터(18)를 통합하여 화소 트랜지스터라고 기재하는 경우가 있다.
- [0036] PD(11)는, 화소(10)에 조사되는 광을 수광하여 그 광의 광량에 응한 전하를 발생하여 축적한다.
- [0037] 제1의 전송 트랜지스터(12)는, 수직 구동부(122)로부터 공급되는 전송 신호에 따라 구동하고, 제1의 전송 트랜지스터(12)가 온이 되면, PD(11)에 축적되어 있는 전하가 전하 유지부(14)에 전송된다.
- [0038] 제2의 전송 트랜지스터(13)는, 수직 구동부(122)로부터 공급되는 전송 신호에 따라 구동하고, 제2의 전송 트랜지스터(13)가 온이 되면, 전하 유지부(14)에 축적되어 있는 전하가 FD(15)에 전송된다.
- [0039] 전하 유지부(14)는, 제1의 전송 트랜지스터(12)를 통하여 PD(11)로부터 전송되는 전하를 축적하는 커패시터이다.
- [0040] FD(15)는, 제2의 전송 트랜지스터(13)와 증폭 트랜지스터(16)의 제어 전극으로서의 게이트 전극과의 접속점에 형성된 소정의 용량을 갖는 부유 확산 영역이고, 제2의 전송 트랜지스터(13)를 통하여 전하 유지부(14)로부터 전송되는 전하를 축적한다.
- [0041] 증폭 트랜지스터(16)는, 전원(VDD)에 접속되어 있고, FD(15)에 축적되어 있는 전하에 응한 레벨의 화소 신호를 출력한다.
- [0042] 선택 트랜지스터(17)는, 수직 구동부(122)로부터 공급되는 선택 신호에 따라 구동하고, 선택 트랜지스터(17)가 온이 되면, 증폭 트랜지스터(16)로부터 출력되는 화소 신호가 선택 트랜지스터(17)를 통하여 수직 신호선(VSLm)에 판독 가능한 상태가 된다.
- [0043] 리셋 트랜지스터(18)는, 수직 구동부(122)로부터 공급되는 리셋 신호에 따라 구동하고, 리셋 트랜지스터(18)가 온이 되면, FD(15)에 축적되어 있는 전하가, 리셋 트랜지스터(18)를 통하여 전원(VDD)에 배출되어, FD(15)가 리셋된다.
- [0044] 이와 같이 구성된 화소(10)를 갖는 고체 촬상 소자(100)에서는, 글로벌 셔터 방식이 채용되어, 모든 화소(10)에

대해 동시에, PD(11)로부터 전하 유지부(14)에 전하를 전송할 수 있고, 모든 화소(10)의 노광 타이밍을 동일하게 할 수 있다. 이에 의해, 화상에 왜곡이 발생하는 것을 회피할 수 있다.

- [0045] 도 3은, 화소(10)의 평면적인 구성례를 도시하는 도면, 도 4는, 도 3의 A-A 단면에서의 화소(10)의 단면적인 구성례를 도시하는 도면이다. 화소(10)는, 이면 조사형의 구성이다.
- [0046] 도 3에 도시하는 화소(10)에서는, 반도체 기관(20)의 이면으로부터의 입사광을 광전변환하는 광전변환부로서의 PD(11), PD(11)가 생성하는 전하를 일시적으로 유지하는 전하 유지부(14) 및 FD(15)가 평면적으로 배치되어 있다. 이하에서는, 화소(10)에서, 반도체 기관(20)의 PD(11)가 형성되어 있는 영역을 PD 영역, 반도체 기관(20)에 전하 유지부(14)가 형성되어 있는 영역을 전하 유지 영역이라고 부르는 경우가 있다.
- [0047] 화소(10)는, 도 4의 하측부터 차례로, 배선층(21), 반도체 기관(20), 차광층(22), 평탄화층(23), 컬러 필터층(24) 및 온 칩 렌즈(25)가 적층된 구성이다. 또한, 평탄화층(23)를 마련하지 않고, 반도체 기관(20)이나 차광층(22)의 위에 직접 컬러 필터층(24)을 적층 형성하여도 좋다.
- [0048] 고체 촬상 소자(100)는, 반도체 기관(20)의 배선층(21)을 적층된 표면(20F)에 대해 반대측이 되는 이면(20R)에 대해 입사광이 조사되는, 이른바 이면 조사형 CMOS 이미지 센서의 구조이다.
- [0049] 배선층(21)은, 반도체 기관(20)의 PD(11)의 전하 관독 등을 행하는 복수의 배선(21a)이 층간 절연막(21b)에 매설되어 있다. 배선층(21)의 하측에는, 예를 들면, 기관 유지재(부도시)가 마련된다.
- [0050] 배선층(21)에는, 반도체 기관(20)에 대해 절연 산화막(부도시)을 통하여 제1의 전송 트랜지스터(12)를 구성하는 게이트 전극(32)이 배치되어 있다. 게이트 전극(32)에 소정의 전압이 인가됨에 의해, PD(11)에 축적되어 있는 전하가 전하 유지부(14)에 전송된다.
- [0051] 반도체 기관(20)에는, PD(11)를 구성하는 N형 영역과, 전하 유지부(14)를 구성하는 N형 영역이 형성되어 있다. PD(11)를 구성하는 N형 영역과 전하 유지부(14)를 구성하는 N형 영역은, 반도체 기관(20)의 표면(20F) 가까이의 위치에 형성되어 있다. PD(11) 및 전하 유지부(14)의 이면측 및 전하 유지부(14)의 표면측에는 P형 영역의 표면 피닝층을 마련하여도 좋다.
- [0052] 반도체 기관(20)에는, 화소(10)와, 인접하는 다른 화소(10)를 분리하는 화소 사이 분리 영역(34)이 화소(10)의 외주를 둘러싸도록 형성되어 있다.
- [0053] 차광층(22)은, 차광성을 갖는 재료에 의해 형성되는 이면 차광막(35)이 고유전율 재료막(36)에 매입된 상태로 형성되어 있다. 예를 들면, 이면 차광막(35)은, 텅스텐(W)이나, 알루미늄(Al), 구리(Cu) 등의 재료에 의해 형성되고, 도하지 않은 GND에 접속되어 있다. 고유전율 재료막(36)은, 2산화규소(SiO₂)나, 산화하프늄(HfO₂), 5산화탄탈(Ta₂O₅), 2산화지르코늄(ZrO₂) 등의 재료에 의해 형성된다.
- [0054] 반도체 기관(20)에서, 화소(10)의 PD(11)와 전하 유지부(14) 사이에 제1 관통 차광막으로서의 관통 차광막(37)이 마련되어 있다. 관통 차광막(37)은, 반도체 기관(20)에 형성한 관통구멍의 내면 전체에 고유전율 재료막을 형성하고, 그 중에 차광성을 갖는 재료를 충전하여 형성된다. 고유전율 재료막과 차광성을 갖는 재료는, 상술한 이면 차광막(35)과 마찬가지로이다. 관통 차광막(37)은, 반도체 기관(20)의 표리를 관통하여 형성되고, PD(11)와 전하 유지부(14) 사이를 구획하는 구조이다. 관통 차광막(37)의 표측의 단부는, 반도체 기관(20)의 두께 방향에서, 전하 유지부(14)의 표측 단부와 같은 정도 또는 전하 유지부(14)의 표측 단부보다도 표측 방향으로 길게 형성되어 있다. 관통 차광막(37)을 마련함에 의해, 반도체 기관(20)의 이면(20R)측부터 PD(11)에의 입사광이 전하 유지부(14)에 경사 입사하는 일이 없다.
- [0055] 도 3에서, 관통 차광막(37)을 끼우고 PD(11)의 반대측에는, 적어도 전하 유지부(14)의 일부가 위치하고 있고, 관통 차광막(37)의 늘어나는 방향에서 PD(11)의 형성 범위와 전하 유지부(14)의 형성 범위의 적어도 일부가 중복되어 있다. 이 중복 부분에 바이패스부(38)를 형성함으로써, PD(11)와 전하 유지부(14)와의 접속 길이를 가급적 짧게 형성할 수 있다.
- [0056] 반도체 기관(20)에서, 화소(10)와 인접하는 다른 화소 사이의 화소 사이 분리 영역(34) 중에는 관통 차광막(39)이 마련되어 있다. 관통 차광막(39)의 구조나 재료는 상술한 관통 차광막(37)과 마찬가지로이다. 관통 차광막(39)은, 반도체 기관(20)의 표리를 관통하여 형성되고, 화소(10)와 다른 화소 사이를 구획하고 있다. 이에 의해, 화소(10)의 PD(11)에 반도체 기관(20)의 이면(20R)측부터 입사한 입사광이 인접하는 다른 화소(10)에 경사 입사하는 일이 없다.

- [0057] 차광층(22)에는, 전하 유지부(14)의 이면측을 복개하는 이면 차광막(35)이 마련되어 있다. 이면 차광막(35)은, 전하 유지부(14)를 마련한 부위의 반도체 기관(20)의 이면(20R)측에서 이면(20R)에 따라 형성되어 있고, 이면 차광막(35)의 PD(11)측의 연부는 관통 차광막(37)의 이면측 단부에 연결되고, 이면 차광막(35)의 다른 연부는 관통 차광막(39)의 이면측 단부에 연결되어 있다. 즉, 반도체 기관(20)의 표면(20F)에 면하는 측을 제외하고, 전하 유지부(14)는, 이면 차광막(35)과 관통 차광막(37, 39)에 의해 광학적으로 폐쇄된 상태이다. 또한, 고유전율을 재료막은 반도체 기관(20) 중에 형성된 관통 차광막(37, 39)을 얇게 싸들어가도록 마련되고 있고, 또한 이면 차광막(35)과 반도체 기관(20) 사이에도 고유전율을 재료막이 마련되고 있고, 이들의 고유전율 재료막은 관통 차광막(37, 39)의 외측을 덮는 고유전율막과 연속적으로 형성되어 있다.
- [0058] 바이패스부(38)는, 반도체 기관(20)의 표면(20F)의 외측에서 PD(11)와 전하 유지부(14) 사이를 접속한다. 바이패스부(38)는, N형 불순물을 첨가한 반도체 재료로 형성되어 있고, 관통 차광막(37)을 마련한 부위의 반도체 기관(20)의 표면(20F)을 넘도록 형성되어 있다. 바이패스부(38)를 구성하는 반도체 재료는, 실리콘 외에, SiGe, InGaAs 등을 사용할 수 있다. 즉, 바이패스부(38)는, 관통 차광막(37), PD(11) 및 전하 유지부(14)의 형성 범위를 각각 포함하는 위치·범위에 형성되어 있다. 바이패스부(38)는, 게이트 전극(32)에 접하는 표면에 따라 P형 불순물이 첨가된 P형 영역(38b)(도 5 참조)을 가지며, 이 P형 영역(38b)은, N형 불순물이 첨가된 N형 영역(38a)(도 5 참조)과 게이트 전극(32) 사이에서 채널 영역으로서 기능 하여 PD(11)로부터 전하 유지부(14)에 전하를 전송하는 전하 전송로가 된다.
- [0059] 도 5는, A-A 단면에 따른 바이패스부(38)의 형상의 구체적인 예를 도시하는 도면이다. 도 5(a)에 도시하는 구체례에서는, 바이패스부(38)는, 반도체 기관(20)의 표면(20F)과 개략 직교하는 방향으로 늘어나는 측면에 테이퍼가 붙어 있고, 긴변을 반도체 기관(20)측을 향한 단면 사다리꼴 형상으로 되어 있다. 도 5(b)에 도시하는 구체례에서는, 바이패스부(38)의 기본적인 형상은 도 5(a)에 도시하는 구체례와 마찬가지로이지만, 바이패스부(38)의 양측에서 반도체 기관(20)의 표면(20F)에 오목부가 붙은 렌칭 형상으로 되어 있다. 도 5(c)에 도시하는 구체례에서는, 바이패스부(38)의 기본적인 형상은 도 5(a)에 도시하는 구체례와 마찬가지로이지만, 바이패스부(38)의 단면 사다리꼴의 단변측의 모서리부가 없어진 형상으로 되어 있다. 이들 구체례에 도시하는 바와 같이 모서리부를 둔각으로 하면, 전계의 집중이 회피되고, 전송 효율이 양호하게 된다.
- [0060] 반도체 기관(20)의 표면(20F)의 외측에는, 바이패스부(38)를 통한 PD(11)로부터 전하 유지부(14)에의 전하 전송을 제어하는 제어부로서의 게이트 전극(32)이 형성되어 있다. 게이트 전극(32)은, 폴리실리콘 게이트, High-k 절연막을 이용한 메탈 게이트 등을 채용할 수 있다. 게이트 전극(32)은, 바이패스부(38)의 표측 및 측면에 따라 형성되어 있고, 관통 차광막(37)을 넘는 위치 및 형상으로 마련되어 있다. 게이트 전극(32)에 소정의 전압이 인가됨에 의해, PD(11)에 축적되어 있는 전하가 전하 유지부(14)에 전송된다.
- [0061] 전하 유지부(14)에 대응하는 반도체 기관(20)의 표면(20F)에는, 메모리 게이트(40)가 마련되어 있다. 메모리 게이트(40)에 전압을 인가하면, 전하 유지부(14)의 포텐셜이 변화하고, PD(11)로부터 전하 유지부(14)에의 전하 전송 효율이 향상한다. 이에 의해, 전하 전송시의 노이즈, 잔상을 억제하는 것이 가능해진다.
- [0062] 이상과 같이 구성한 고체 촬상 소자(100)는, 전하 유지부(14)에의 광의 누입이 억제되고, 전송시의 노이즈 성분 에 대해서도 감소하는 것이 가능하고, 종래 구조에 대해, 현저하게 좋은 특성을 얻을 수 있다.
- [0063] 다음에, 고체 촬상 소자(100)의 제조 방법의 한 예에 대해 설명한다. 도 6~도 10은, 고체 촬상 소자(100)의 제조 방법의 한 예에 대한 흐름을 도시하는 도면이다.
- [0064] 우선, 반도체 기관(20)의 표면(20F)의 바이패스부(38)가 마련되는 부위의 위에 리소그래피 기술로 레지스트(R)를 패터닝하고(도 6(a)), 레지스트(R)로 덮여지지 않은 반도체 기관(20)의 표면(20F)을 드라이 에칭으로 일양하게 굴삭한다(도 6(b)). 굴삭 깊이는 바이패스부(38)에 필요한 두께가 확보될 수 있기만 하면 좋다. 구체적으로는, 50~300nm의 범위가 예시된다. 반도체 기관(20)의 표면(20F)의 굴삭 종료 후, 레지스트(R)는 박리 제거된다. 이에 의해, 반도체 기관(20)의 표면(20F)에 성도형상으로 잔존시킨 돌기형상의 바이패스부(38)가 형성된다. 또한, 상술한 도 5(b)에 도시하는 트렌칭 형상은, 이 드라이 에칭을 적용한 경우에, 가공 조건대로 가공단이 국소적으로 깊어짐으로써 형성된다. 또한, 드라이 에칭의 플라즈마 데미지는, 가공 후에 1000℃ 이상의 고온 열처리를 행함으로써 회복시킬 수 있다.
- [0065] 다음에, 바이패스부(38), PD(11), 전하 유지부(14)에 필요한 이온 주입을 행한다(도 6(c)). 바이패스부(38), PD(11), 전하 유지부(14)가 제1 도전형(본 실시 형태에서는 N+형)이 되도록 이온 주입을 행한다. 또한, 도시는 하지 않지만, 화소 트랜지스터에 대해서도 필요한 이온 주입을 실시한다. 또한, 전하 유지부(14)나 PD(11)의 형

성 영역에 대응하는 반도체 기판(20)의 표면(20F) 및 이면(20R)에 관해서는, 이온 주입으로 제2 도전형(본 실시 형태에서는 P+형)의 피닝층을 형성하여 반도체 기판(20)의 표면(20F) 및 이면(20R)에서 전하의 용출을 억제하여도 좋다.

[0066] 다음에, 반도체 기판(20)의 표면(20F)에 절연 산화막을 적층하고(부도시), 그 위의 소정의 위치에 화소 트랜지스터의 게이트 전극을 형성하고, 그 위에 배선층(21)의 복수의 배선(21a) 및 층간 절연막(21b)을 순차적으로 적층 형성한다(도 7(d)). 그 후, 도시하지 않지만, 기판 지지재(지지 기판 등)를 배선층(21)의 표면층에 접합하고, 전체를 폴리 반전하고, 반도체 기판(20)의 이면(20R)측부터 PD(11)의 이측 가까이까지 연마·연삭하여 반도체 기판(20)을 박육화하여도 좋다. 또한, 기판 지지재는, 논리 회로나 기억 소자 등을 형성한 것이라도 좋고, 이 경우, 반도체 기판(20)부터 기판 유지재에 관통하는 관통 전극을 형성하여 배선층(21)의 소정의 배선(21a)과 논리 회로나 기억 소자 등을 전기적으로 접속한다.

[0067] 다음에, 반도체 기판(20)의 이면(20R)의 위에, 리소그래피 기술로 레지스트(R)를 패터닝하고(도 7(e)), 드라이 에칭으로 반도체 기판(20)을 이면(20R)측부터 표면(20F)측에 관통하는 관통구멍(H)을 형성한다(도 7(f)). 관통구멍(H)의 형성 후, 레지스트(R)는 박리 제거한다. 그 후, 관통구멍(H)의 내측면(H1) 및 반도체 기판(20)의 이면(20R)의 평탄부(20a)에 고유전율 재료를 성막한다(도 8(g)). 고유전율 재료는, 예를 들면, 산화막(SiO₂), 산화하프늄(HfO_x), 산화탄탈(TaO_x), 산화지르코늄(ZrO_x)의 단막, 또는, 그 적층막을 적용하는 것이 가능하다. 그 후, 관통구멍(H)의 내부에 금속재료를 충전하여 관통 차광막(37, 39)을 형성함과 함께, 반도체 기판(20)의 이면(20R)의 평탄부(20a)의 위에 금속재료를 적층하여 이면 차광막(35)을 형성한다(도 8(h)). 금속재료는, 예를 들면, 텅스텐(W), 알루미늄(Al), 구리(Cu), 티탄(Ti), 질화티탄(TiN), 질화텅스텐(WN)의 단막, 또는, 그 적층막을 적용하는 것이 가능하다.

[0068] 다음에, 이면 차광막(35)의 위에, 리소그래피 기술로 레지스트(R)를 패터닝하여 드라이 에칭으로 이면 차광막(35)의 필요한 개소를 제거하여 개구를 형성한다(도 8(i)). 본 실시 형태에서는 PD(11)의 PD 영역에 대응하는 부위에 개구를 형성한다.

[0069] 다음에, 이면 차광막(35)의 요철을 평탄화하는 평탄화층(23)을 형성하고, 그 위에, 컬러 필터층(24), 온 칩 렌즈(25)를 순차적으로 형성한다(도 9(j)). 평탄화층(23)은, 예를 들면, 이면 차광막(35)의 위에 열가소성 수지를 스핀 코트법으로 성막한 후, 열경화 처리를 행함으로써 형성된다. 컬러 필터층(24)은, 예를 들면, 안료나 염료 등의 색재와 감광성 수지를 포함하는 도포액을, 스핀 코트법 등의 코팅 방법에 의해 도포하여 도막을 형성하고, 그 도막을 리소그래피 기술로 패터닝 가공함에 의해 형성된다. 온 칩 렌즈(25)는, 예를 들면, 포지형의 포토 레지스트막을 컬러 필터층(24)상에 성막 후, 가공함에 의해 형성된다.

[0070] 이상의 공정에 의해, 글로벌 서터 기능을 갖는 제1의 실시 형태에 관한 고체 촬상 소자(100)를 작성할 수 있다.

[0071] 또한, 상술한 제조 방법에서는, 바이패스부(38)를 리소그래피 기술과 드라이 에칭에 의해 형성하였지만, 바이패스부(38)는 에피택셜 기상 성장법으로 형성할 수도 있다. 도 10(a)~(c)는, 바이패스부(38)를 에피택셜 기상 성장법으로 형성하는 경우의 제조 방법을 설명하는 도면이다.

[0072] 이 경우, 반도체 기판(20)의 표면(20F)의 위에 절연막(F)을 형성하고, 이 절연막(F)의 바이패스부(38)가 마련되는 부위가 개구한 레지스트(R)를 리소그래피 기술로 패터닝하고, 레지스트(R)로 덮여지지 않은 절연막(F)을 드라이 에칭으로 굴삭 제거하여 개구한다(도 10(a)). 절연막(F)은, 예를 들면, SiO₂, SiN을 사용하는 것이 일반적이지만, 에피택셜 기상 성장법에 의한 성막시에 선택성을 확보할 수 있으면, 한정되는 것은 아니다. 계속해서, Wet 처리나 수소 환원으로 반도체 기판(20)의 표면(20F)상의 자연 산화막을 제거하고, 실리콘 등의 반도체 재료를 에피택셜 성막한다(도 10(b)). Si 에피택셜 성막은, 예를 들면 Si-H-Cl계 가스를 사용하여 행하고, H/Cl 비율을 조정함에 의해 성장 레이트나 형상을 컨트롤하는 것이 가능하다. 상술한 도 5(c)에 도시하는 패킷 형상은, 이 에피택셜 기상 성장법을 적용한 경우에, 가공 조건대로 복수의 Si면이 나타나, 패킷이 형성된다. 그 후, 절연막(F)을 제거함으로써, 반도체 기판(20)의 표면(20F)의 소정의 위치에 바이패스부(38)가 형성된 상태가 된다(도 10(c)). 이에 의해, 반도체 기판(20)의 표면(20F)에 선택 에피택셜 성장으로 성토형상으로 적층 형성한 돌기부로서의 바이패스부(38)가 형성된다.

[0073] (B) 제2의 실시 형태 :

[0074] 본 실시 형태에 관한 고체 촬상 소자(200)는, 화소에서의 PD, 전하 유지부, 바이패스부 등의 위치 관계나 형상이 다른 점을 제외하면, 상술한 고체 촬상 소자(100)와 같은 구성이다.

- [0075] 그래서, 이하에서는 주로, 고체 촬상 소자(200)의 화소(210)의 PD(211), 전하 유지부(214), 바이패스부(238) 등의 위치 관계나 형상에 관해 설명하고, 기타의 구성에 관해서는 상세한 설명을 생략하고, 필요에 응하여 고체 촬상 소자(100)의 구성의 부호 선두에 2를 붙인 부호를 나타낸다. 또한, PD(211), 전하 유지부(214), 바이패스부(238) 등의 기본적인 기능은, PD(11), 전하 유지부(14), 바이패스부(38) 등과 마찬가지로이다.
- [0076] 도 11은, 화소(210)의 평면적인 구성례를 도시하는 도면, 도 12는, 도 11의 A-A 단면에서의 화소(210)의 단면적인 구성례를 도시하는 도면이다.
- [0077] 도 11에서, 제1의 전송 트랜지스터(212)의 게이트 전극(232)은, 그 전체가, 관통 차광막(237)을 끼우고 PD(211)와 같은 층에, PD(211)의 형성과 일부 중복되면서 PD(211)와 이웃하는 위치 관계로 마련되어 있다. 게이트 전극(232)은, PD(211)에 인접하지 않고 관통 차광막(237)에 면한층의 모서리부를 일부 노치형상으로 패여진 오목부(232a)를 갖는다. 이와 같이 게이트 전극(232)은 바이패스부(238)상의 관통 차광막(237)에 대응하지 않는 위치에 마련되어 있다.
- [0078] 바이패스부(238)는, 반도체 기관(220)의 표면(220F)의 외측에서, 관통 차광막(237)을 넘도록 게이트 전극(232)과 전하 유지부(214) 사이를 접속하는 것이고, 오목부(232a)의 연부를 포함하여 관통 차광막(237)을 넘어서 전하 유지부(214)측으로 늘어나는 범위에 형성되어 있다.
- [0079] 전하 유지부(214)는, 도 11에서, 관통 차광막(237)을 끼우고 게이트 전극(232)의 반대측에, 적어도 일부가 위치하고 있고, 관통 차광막(237)의 늘어나는 방향에서 게이트 전극(232)의 형성 범위와 전하 유지부(214)의 형성 범위의 적어도 일부가 중복되어 있다.
- [0080] 이에 의해, 바이패스부(238)는, 게이트 전극(232) 아래에 형성된 채널을 통하여 PD(211)로부터 전하 유지부(214)에 전하를 전송하는 전하 전송로가 된다.
- [0081] (C) 제3의 실시 형태 :
- [0082] 본 실시 형태에 관한 고체 촬상 소자(300)는, 화소에서의 게이트 전극의 형상이 다른 점을 제외하면, 상술한 고체 촬상 소자(100)와 같은 구성이다.
- [0083] 그래서, 이하에서는 주로 고체 촬상 소자(300)의 화소(310)의 게이트 전극(332)의 형상에 관해 설명하고, 기타의 구성에 관해서는 상세한 설명을 생략하고, 필요에 응하여 고체 촬상 소자(100)의 구성의 부호 선두에 3을 붙인 부호를 나타낸다. 또한, 게이트 전극(332)의 기본적인 기능은, 게이트 전극(32)과 마찬가지로이다.
- [0084] 도 13은, 화소(310)의 평면적인 구성례를 도시하는 도면, 도 14는, 도 13의 A-A 단면에서의 화소(310)의 단면적인 구성례를 도시하는 도면이다.
- [0085] 게이트 전극(332)은, 게이트 전극(32)과 마찬가지로 바이패스부(338)의 표층 및 측면에 따라 형성되어 있고, 관통 차광막(337)을 넘는 위치 및 형상으로 마련되어 있다. 따라서, 게이트 전극(332)에 소정의 전압이 인가됨에 의해, PD(311)에 축적되어 있는 전하가 전하 유지부(314)에 전송된다.
- [0086] 게이트 전극(332)은, 관통 차광막(337)의 PD(311)측의 측면에 따라, 반도체 기관(320)의 두께 방향으로 연설된 관입부(貫入部)(332a)를 갖는다. 이 관입부(332a)에 접하는 바이패스부(338)나 PD(311)의 면을 포함하는 영역에도 P형 불순물을 첨가한 P형 영역이 형성되어 있다. 따라서, 관입부(332a)를 마련함으로써, 게이트 전극(332)에 소정의 전압 인가에 의해 형성되는 채널 범위가 확대하고, 전하 전송 효율이 향상한다. 또한, 관입부(332a)가 형성하는 채널에 의해, PD(311)가 깊은 위치의 전하를 효율 좋게 전송 가능해진다.
- [0087] 관입부(332a)는, 게이트 전극(332) 본체로부터 평관상 부재가 연설된 형상으로 하여도 좋고, 게이트 전극(332) 본체로부터 복수의 주상 부재가 즐치형상으로 연설된 형상으로 하여도 좋다. 관입부(332a)의 길이는, PD(311)의 포텐셜 설계에 응하여 적절히 설정된다.
- [0088] 관입부(332a)와 반도체 기관(320) 사이에는 게이트 절연막이 마련되기 때문에, 광을 투과하기 어렵고, 전하 유지부(314)에의 광학적 노이즈 감소에 기여한다. 또한, 게이트 전극(332)의 재료를 메탈 재료로 한 메탈 게이트로 하는 것으로, PD(311)와 전하 유지부(314) 사이의 차광성을 향상하고, 전하 유지부에의 광학적 노이즈를 보다 감소하는 것도 가능하다. 메탈 전극의 재료로서는, 예를 들면, 텅스텐(W), 알루미늄(Al), 티탄(Ti), 질화티탄(TiN), 코발트(Co)의 단체, 또는 그 적층 구조를 이용할 수 있다. 물론, 게이트 전극(332)의 재료 중, 관입부(332a)만을 메탈 게이트로 하고, 다른 부분은 실리콘 게이트로 하여도 좋다.

- [0089] (D) 제4의 실시 형태 :
- [0090] 본 실시 형태에 관한 고체 촬상 소자(400)는, 전하 유지부와 플로팅 디퓨전 사이의 구조를 제외하면, 상술한 고체 촬상 소자(100)와 같은 구성이다.
- [0091] 그래서, 이하에서는 주로 고체 촬상 소자(400)의 화소(410)의 전하 유지부(414)와 플로팅 디퓨전(415) 사이의 구조에 관해 설명하고, 기타의 구성에 관해서는 상세한 설명을 생략하고, 필요에 응하여 고체 촬상 소자(100)의 구성의 부호 선두에 4를 붙인 부호를 나타낸다. 또한, 전하 유지부(414)와 플로팅 디퓨전(415)의 기본적인 기능은, 전하 유지부(14)와 플로팅 디퓨전(15)과 마찬가지로이다.
- [0092] 도 15는, 화소(410)의 평면적인 구성례를 도시하는 도면, 도 16은, 도 15의 A-A 단면에서의 화소(410)의 단면적인 구성례를 도시하는 도면이다.
- [0093] 전하 유지부(414)와 플로팅 디퓨전(415) 사이에는, 제2 관통 차광막으로서의 관통 차광막(441)이 마련되어 있다. 관통 차광막(441)은, 관통 차광막(437) 등과 마찬가지로, 반도체 기판(420)에 형성한 관통구멍의 내면 전체에 고유전율 재료막을 형성하고, 그 중에 차광성을 갖는 재료를 충전하여 형성된다.
- [0094] 관통 차광막(441)은, 반도체 기판(420)의 표리를 관통하여 형성되고, 전하 유지부(414)와 플로팅 디퓨전(415) 사이를 구획하는 구조이다. 관통 차광막(441)의 표층의 단부는, 반도체 기판(420)의 두께 방향에서, 전하 유지부(414)의 표층 단부와 같은 정도 또는 전하 유지부(414)의 표층 단부보다도 표층 방향으로 길게 형성되어 있다.
- [0095] 관통 차광막(441)을 마련함에 의해, 전하 유지부(414)와 플로팅 디퓨전(415) 사이의 차광성이 향상하고, 플로팅 디퓨전(415)측부터 전하 유지부(414)에의 노이즈의 영향을 억제할 수 있다.
- [0096] 또한, 전하 유지부(414)는, 전하 유지부(414)의 플로팅 디퓨전(415)과 반대측에도 관통 차광막(441)과 같은 관통 차광막을 마련하고, 그 주위 전체를 관통 차광막으로 둘러싸여진 구조로 하여도 좋다. 이와 같이 전하 유지부(414)의 주위를 관통 차광막으로 둘러싸므로써, 전하 유지부(414)의 차광성을 더욱 향상하고, 광학적 노이즈의 영향을 더욱 억제할 수도 있다.
- [0097] 전하 유지부(414)와 플로팅 디퓨전(415) 사이는, 반도체 기판(420)의 표면(420F)의 외측에 관통 차광막(441)을 넘도록 형성되는 제2 바이패스부로서의 바이패스부(442)에 의해 접속된다. 바이패스부(442)는, 관통 차광막(441), 전하 유지부(414) 및 플로팅 디퓨전(415)의 형성 범위를 각각 포함하는 위치·범위에서 형성되어 있다. 바이패스부(442)는, N형 불순물을 첨가한 반도체 재료로 형성되어 있다. 바이패스부(442)의 표면측에는, 제2의 전송 트랜지스터(13)의 게이트 전극이 적층 형성되어 있고, 이 게이트 전극에 소정의 전압이 인가됨에 의해, PD(411)에 축적되어 있는 전하가 전하 유지부(414)에 전송된다. 즉, 바이패스부(442)는, 전하 유지부(414)로부터 플로팅 디퓨전(415)에 전하를 전송하는 전하 전송로가 된다.
- [0098] (E) 제5의 실시 형태 :
- [0099] 본 실시 형태에 관한 고체 촬상 소자(500)는, 전하 유지부의 표면측에 차광막을 마련한 점을 제외하면, 상술한 고체 촬상 소자(100)와 같은 구성이다.
- [0100] 그래서, 이하에서는 주로 고체 촬상 소자(500)의 표면 차광막(543)의 형상에 관해 설명하고, 기타의 구성에 관해서는 상세한 설명을 생략하고, 필요에 응하여 고체 촬상 소자(100)의 구성의 부호 선두에 5를 붙인 부호를 나타낸다.
- [0101] 도 17은, 화소(510)의 평면적인 구성례를 도시하는 도면, 도 18은, 도 17의 A-A 단면에서의 화소(510)의 단면적인 구성례를 도시하는 도면이다.
- [0102] 표면 차광막(543)은, 전하 유지부(514)의 표층을 덮어서 차광하는 부재이다. 표면 차광막(543)을 관통 차광막(539)에 연결하여 형성하면, 관통 차광막(539)측부터의 광 입사를 억제할 수 있다. 표면 차광막(543)은, 전하 유지부(514)의 표층에서, 반도체 기판(520)과 배선층(521) 사이에 형성되는 부재(메모리 게이트(540), 바이패스부(538), 전송 전극(532) 등)을 포함하여 덮도록 형성된다. 이 표면 차광막(543)으로 덮는 범위는, 반도체 기판(520)을 배선(521a)에 접속하는 콘택트부와외의 사이로서 전기적으로 간섭하지 않는 범위에서 확장 축소 가능하다. 표면 차광막(543)과 전하 유지부(514)나 각종 부재(메모리 게이트(540), 바이패스부(538), 전송 전극(532) 등) 사이에는, 고유전율 재료막이 마련된다. 이에 의해, 전하 유지부(514)의 차광성을 더욱 향상할 수 있다.

- [0103] (F) 제6의 실시 형태 :
- [0104] 본 실시 형태에 관한 고체 촬상 소자(600)는, 복돋은 형상으로 형성하는 바이패스부의 형성 범위를 제외하면, 상술한 고체 촬상 소자(100)와 같은 구성이다.
- [0105] 그래서, 이하에서는 주로 고체 촬상 소자(600)의 바이패스부(638)의 형성 범위에 관해 설명하고, 기타의 구성에 관해서는 상세한 설명을 생략하고, 필요에 의하여 고체 촬상 소자(100)의 구성의 부호 선두에 6을 붙인 부호를 나타낸다.
- [0106] 도 19는, 도 3의 A-A 단면에 상당하는 단면에서의 화소(610)의 단면적인 구성례를 도시하는 도면이다.
- [0107] 바이패스부(638)는, 관통 차광막(637)을 넘는 부위뿐만 아니라, 반도체 기판(620)의 표면(620F)에서 PD(611)의 형성 범위 내로 연설된 형상으로 되어 있다. 예를 들면, PD(611)의 표면 전체를 바이패스부(638)의 표면과 개략 같은 정도의 복돋은 형상으로 한다. 이에 의해, PD(611)의 체적이 증대하고, PD(611)의 포화 전하량을 증대하는 메리트가 있다.
- [0108] (G) 제7의 실시 형태 :
- [0109] 본 실시 형태에 관한 고체 촬상 소자(700)는, 전하 유지부를 마련하지 않고, PD의 전하를 직접 플로팅 디퓨전으로 전송하는 FD 축적형의 구성으로 한 점을 제외하면, 상술한 고체 촬상 소자(100)와 같은 구성이다.
- [0110] 그래서, 이하에서는 주로 고체 촬상 소자(700)의 PD(711)로부터 플로팅 디퓨전(715)에의 전하 전송에 관한 구성에 관해 설명하고, 기타의 구성에 관해서는 상세한 설명을 생략하고, 필요에 의하여 고체 촬상 소자(100)의 구성의 부호 선두에 7을 붙인 부호를 나타낸다.
- [0111] 도 20은, 화소(710)의 평면적인 구성례를 도시하는 도면, 도 21은, 도 20의 A-A 단면에서의 화소(710)의 단면적인 구성례를 도시하는 도면이다.
- [0112] 본 실시 형태에서는, PD(711)로부터 바이패스부(738)를 통하여 전송된 전하를 수취하여 유지한 구성으로 하고 플로팅 디퓨전(715)을 마련하고 있다. 즉, 관통 차광막(737)을 끼우고 PD(711)의 반대측에는, 적어도 플로팅 디퓨전(715)의 일부가 위치하고 있고, 관통 차광막(737)의 늘어나는 방향에서 PD(711)의 형성 범위와 플로팅 디퓨전(715)의 형성 범위의 적어도 일부가 중복되어 있다. 이 중복 부분에 형성되는 바이패스부(738)가, PD(711)로부터 플로팅 디퓨전(715)에의 전하 전송로가 된다. 플로팅 디퓨전(715)에 축적된 전하는, 콘택트(744), 배선(745)을 통하여 화소 신호로서 출력된다.
- [0113] 이와 같이 구성하는 고체 촬상 소자(700)에 의하면, 일반적으로, 대면적을 필요로 하는 전하 유지부를 없앨 수 있기 때문에, 칩 사이즈의 관점의 메리트가 있다.
- [0114] (C) 제8의 실시 형태 :
- [0115] 도 22는, 고체 촬상 소자(100)를 구비하는 촬상 장치(800)의 구성을 도시하는 블록도이다. 동 도면에 도시하는 촬상 장치(800)는, 전자 기기의 한 예이다.
- [0116] 또한, 본 명세서에서, 촬상 장치란, 디지털 스틸 카메라나 디지털 비디오 카메라 등의 촬상 장치나, 촬상 기능을 갖는 휴대 전화기 등의 휴대 단말 장치 등, 화상 취입부(광전변환부)에 고체 촬상 소자를 이용하는 전자 기기 전반을 가리킨다. 물론, 화상 취입부에 고체 촬상 소자를 이용하는 전자 기기에는, 화상 관독부에 고체 촬상 소자를 이용하는 복사기도 포함된다. 또한, 촬상 장치는, 상술한 전자 기기에 탑재하기 위해 고체 촬상 소자를 포함하여 모듈화되어 있어도 좋다.
- [0117] 도 22에서, 촬상 장치(800)는, 렌즈군을 포함하는 광학계(811), 고체 촬상 소자(100), 고체 촬상 소자(100)의 출력 신호를 처리하는 신호 처리 회로로서의 DSP(813)(Digital Signal Processor), 프레임 메모리(814), 표시부(815), 기록부(816), 조작계(817), 전원계(818) 및 제어부(819)를 구비하고 있다.
- [0118] DSP(813), 프레임 메모리(814), 표시부(815), 기록부(816), 조작계(817), 전원계(818) 및 제어부(819)는, 통신 버스를 통하여 서로 데이터나 신호를 송수신할 수 있도록 접속되어 있다.
- [0119] 광학계(811)는, 피사체로부터의 입사광(상광)을 취입하여 고체 촬상 소자(100)의 촬상면에 결상한다. 고체 촬상 소자(100)는, 광학계(811)에 의해 촬상면에 결상된 입사광의 수광량에 응한 전기 신호를 화소 단위로 생성하고, 화소 신호로서 출력한다. 이 화소 신호는 DSP(813)에 입력되고, 적절하게 각종의 화상 처리를 행하여 생성된 화상 데이터는, 프레임 메모리(814)에 기억되거나, 기록부(816)의 기록 매체에 기록되거나, 표시부(815)에

출력되거나 한다.

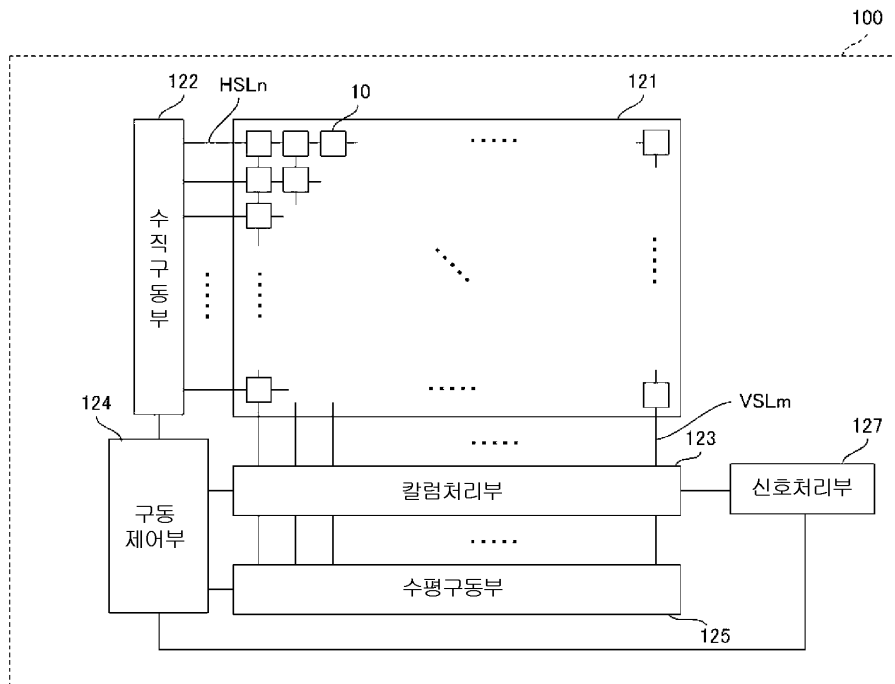
- [0120] 표시부(815)는, 액정 표시 장치나 유기 EL(electro luminescence) 표시 장치 등의 패널형 표시 장치로 이루어지고, 고체 촬상 소자(100)에 의해 촬상된 동화나 정지화, 기타의 정보를 표시한다. 기록부(816)는, 고체 촬상 소자(100)에 의해 촬상된 동화나 정지화를 DVD(Digital Versatile Disk)나 HD(Hard Disk), 반도체 메모리 등의 기록 매체에 기록한다.
- [0121] 조작계(817)는, 유저로부터 각종의 조작을 접수하는 것이고, 유저의 조작에 응한 조작 명령을 통신 버스를 통하여 각 부분(813, 814, 815, 816, 818, 819)에 송신한다. 전원계(818)는, 구동 전원이 되는 각종의 전원 전압을 생성하여 공급 대상(각 부분(813, 814, 815, 816, 817, 819))에 적절하게 공급한다.
- [0122] 제어부(819)는, 연산 처리를 행하는 CPU나 촬상 장치(800)의 제어 프로그램을 기억하는 ROM, CPU의 워크 에어리어로서 기능하는 RAM, 등을 구비하고 있다. 제어부(819)는, RAM을 워크 에어리어로서 이용하면서 ROM에 기억되어 있는 제어 프로그램을 CPU가 실행함에 의해, 통신 버스를 통하여 각 부분(813, 814, 815, 816, 817, 818)을 제어한다. 또한, 제어부(819)는, 부도시의 타이밍 제너레이터를 제어하여 각종의 타이밍 신호를 생성시켜, 각 부분에 공급하는 제어를 행하거나 한다.
- [0123] 또한, 본 기술은 상술한 각 실시 형태로 한정되지 않고, 상술한 각 실시 형태 중에서 개시한 각 구성을 서로 치환하거나 조합을 변경하거나 한 구성, 공지 기술 및 상술한 각 실시 형태 중에서 개시한 각 구성을 서로 치환하거나 조합을 변경하거나 한 구성, 등도 포함된다. 또한, 본 기술의 기술적 범위는 상술한 실시 형태로 한정되지 않고,
- [0124] 청구의 범위에 기재된 사항과 그 균등물까지 이르는 것이다.
- [0125] 그리고, 본 기술은, 이하와 같은 구성을 취할 수 있다.
- [0126] (1) 반도체 기관과,
- [0127] 상기 반도체 기관의 이면으로부터의 입사광을 광전변환하는 광전변환부와,
- [0128] 상기 광전변환부가 생성하는 전하를 일시적으로 유지하는 전하 유지부와,
- [0129] 상기 반도체 기관의 표리를 관통하여 상기 광전변환부와 상기 전하 유지부 사이를 구획하는 제1 관통 차광막과,
- [0130] 상기 반도체 기관의 표면 외측에 반도체 재료로 형성되어 상기 제1 관통 차광막을 넘어서 상기 광전변환부와 상기 전하 유지부를 접속하는 제1 바이패스부와,
- [0131] 상기 제1 바이패스부를 통한 상기 광전변환부로부터 상기 전하 유지부에의 전하 전송을 제어하는 제어부를 구비하고,
- [0132] 상기 제1 관통 차광막의 표측의 단부는, 상기 반도체 기관의 두께 방향에서, 상기 전하 유지부의 표측단과 같은 정도 또는 상기 전하 유지부의 표측단보다도 표측 방향으로 길게 형성되어 있는 고체 촬상 소자.
- [0133] (2) 상기 제어부는, 상기 제1 바이패스부상의 상기 제1 관통 차광막에 대응하는 위치에 마련된 제어 전극을 제어하여 상기 제1 바이패스부를 통한 상기 광전변환부로부터 상기 전하 유지부에의 전하 전송을 제어하는, 상기 (1)에 기재된 고체 촬상 소자.
- [0134] (3) 상기 제어부는, 상기 제1 바이패스부상의 상기 제1 관통 차광막에 대응하지 않는 위치에 마련된 제어 전극을 제어하여 상기 제1 바이패스부를 통한 상기 광전변환부로부터 상기 전하 유지부에의 전하 전송을 제어하는, 상기 (1)에 기재된 고체 촬상 소자.
- [0135] (4) 상기 제어 전극은, 상기 광전변환부측을 상기 제1 관통 차광막의 측면에 따라 상기 반도체 기관의 두께 방향으로 연결된 관입부를 갖는, 상기 (2) 또는 상기 (3)에 기재된 고체 촬상 소자.
- [0136] (5) 상기 관입부는, 금속재료로 형성되어 있는, 상기 (4)에 기재된 고체 촬상 소자.
- [0137] (6) 상기 제1 바이패스부는, 상기 반도체 기관의 표면을 에칭하여 성토형상으로 잔존시킨 돌기부인, 상기 (1)~상기 (5)의 어느 하나에 기재된 고체 촬상 소자.
- [0138] (7) 상기 제1 바이패스부는, 상기 반도체 기관의 표면에 선택 에피택셜 성장으로 성토형상으로 적층 형성한 돌기부인, 상기 (1)~상기 (5)의 어느 하나에 기재된 고체 촬상 소자.

20F : 표면	20R : 이면
20a : 평탄부	21 : 배선층
21a : 배선	21b : 층간 절연막
22 : 차광층	23 : 평탄화층
24 : 컬러 필터층	25 : 온 칩 렌즈
32 : 게이트 전극	34 : 화소 사이 분리 영역
35 : 이면 차광막	36 : 고유전율 재료막
37 : 관통 차광막	38 : 바이패스부
39 : 관통 차광막	40 : 메모리 게이트
100 : 고체 촬상 소자	121 : 화소 어레이부
122 : 수직 구동부	123 : 칼럼 처리부
124 : 구동 제어부	125 : 수평 구동부
127 : 출력부	200 : 고체 촬상 소자
210 : 화소	211 : PD
212 : 제1의 전송 트랜지스터	214 : 전하 유지부
220 : 반도체 기관	220F : 표면
232 : 게이트 전극	232a : 오목부
237 : 관통 차광막	238 : 바이패스부
300 : 고체 촬상 소자	310 : 화소
311 : PD	314 : 전하 유지부
320 : 반도체 기관	332 : 게이트 전극
332a : 관입부	337 : 관통 차광막
338 : 바이패스부	400 : 고체 촬상 소자
410 : 화소	411 : PD
414 : 전하 유지부	415 : 플로팅 디퓨전
420 : 반도체 기관	437 : 관통 차광막
440 : 메모리 게이트	441 : 관통 차광막
442 : 바이패스부	500 : 고체 촬상 소자
510 : 화소	511 : PD
514 : 전하 유지부	520 : 반도체 기관
521 : 배선층	521a : 배선
532 : 전송 전극	538 : 바이패스부
539 : 관통 차광막	543 : 표면 차광막
600 : 고체 촬상 소자	610 : 화소
611 : PD	620 : 반도체 기관
620F : 표면	638 : 바이패스부

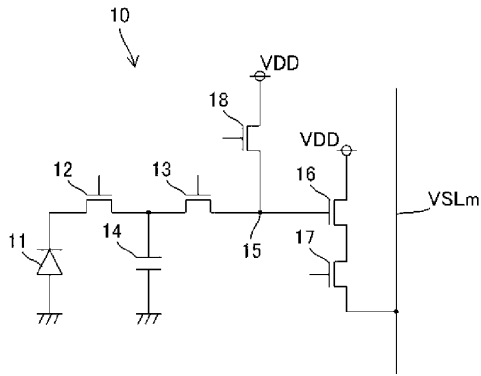
- | | |
|---------------|----------------|
| 639 : 관통 차광막 | 700 : 고체 촬상 소자 |
| 710 : 화소 | 711 : PD |
| 715 : 플로팅 디퓨전 | 737 : 관통 차광막 |
| 738 : 바이패스부 | 744 : 콘택트 |
| 745 : 배선 | 800 : 촬상 장치 |
| 811 : 광학계 | 813 : DSP |
| 814 : 프레임 메모리 | 815 : 표시부 |
| 816 : 기록부 | 817 : 조작계 |
| 818 : 전원계 | 819 : 제어부 |
| H : 관통구멍 | H1 : 내측면 |
| HSLn : 수평 신호선 | R : 레지스트 |
| VSLm : 수직 신호선 | |

도면

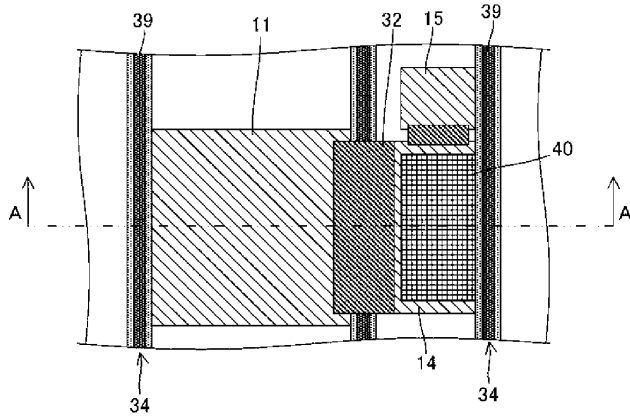
도면1



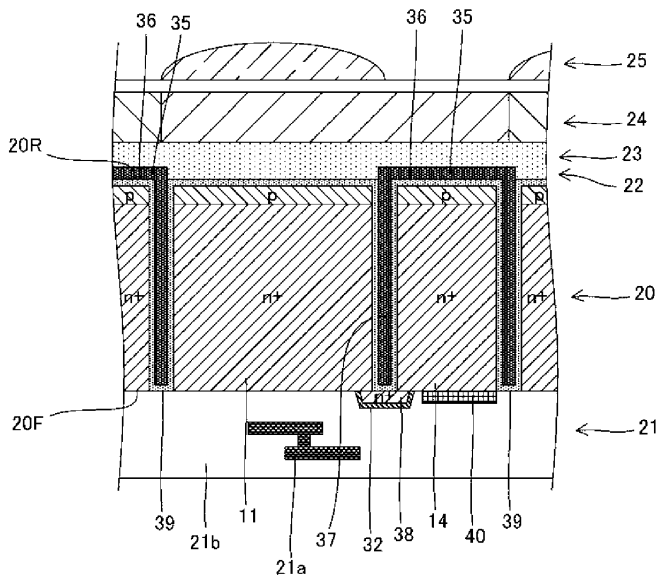
도면2



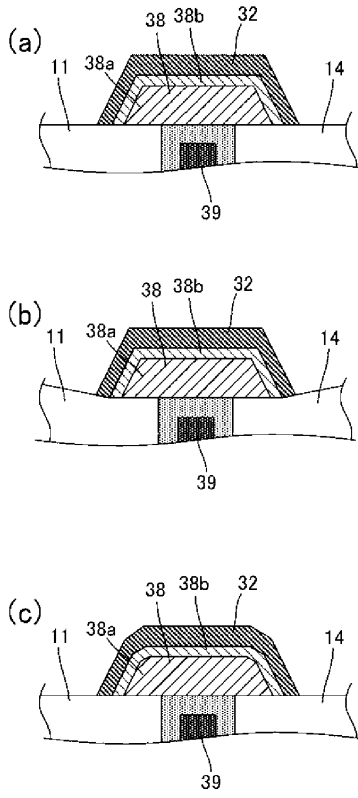
도면3



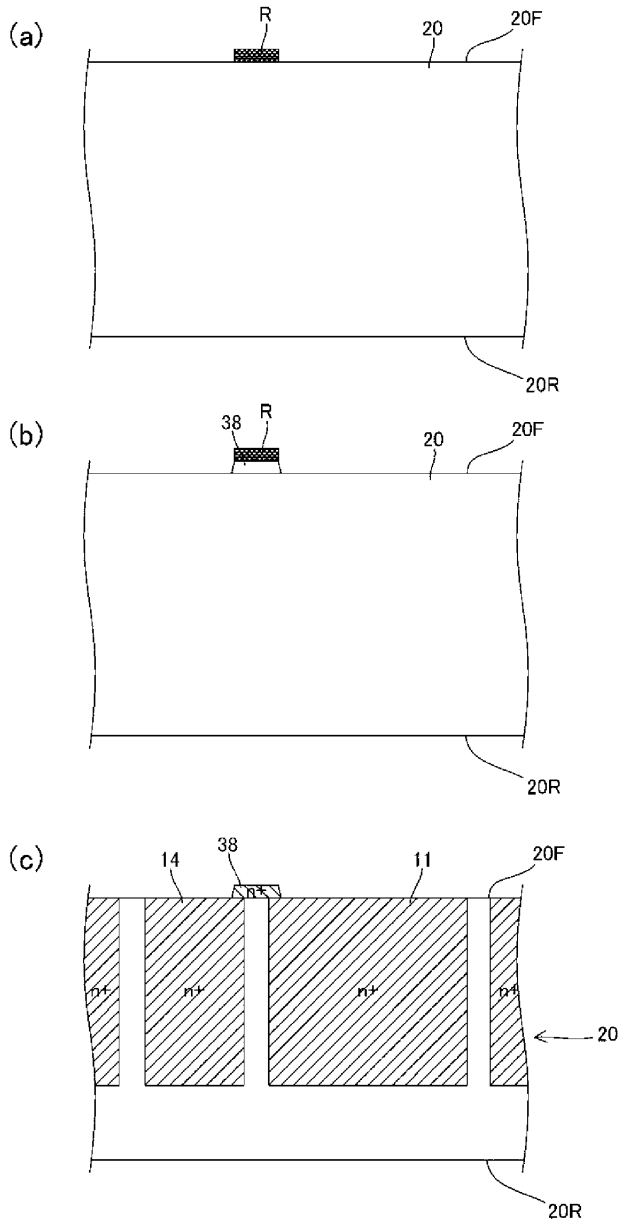
도면4



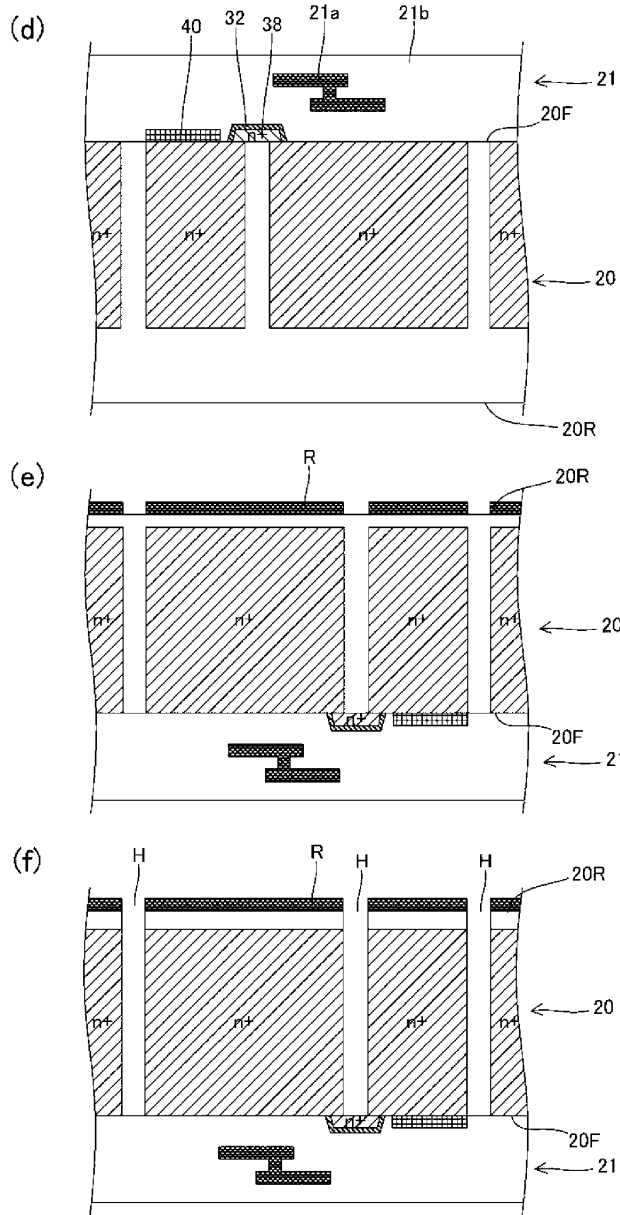
도면5



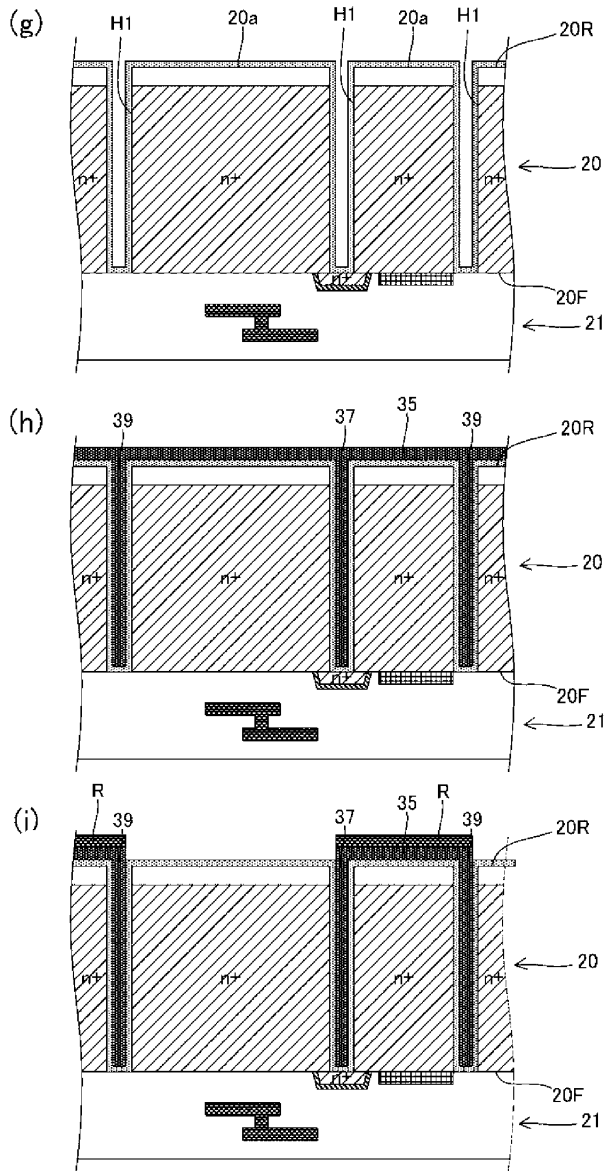
도면6



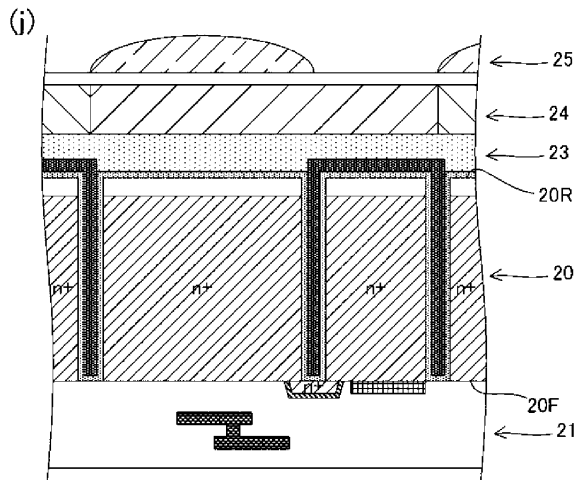
도면7



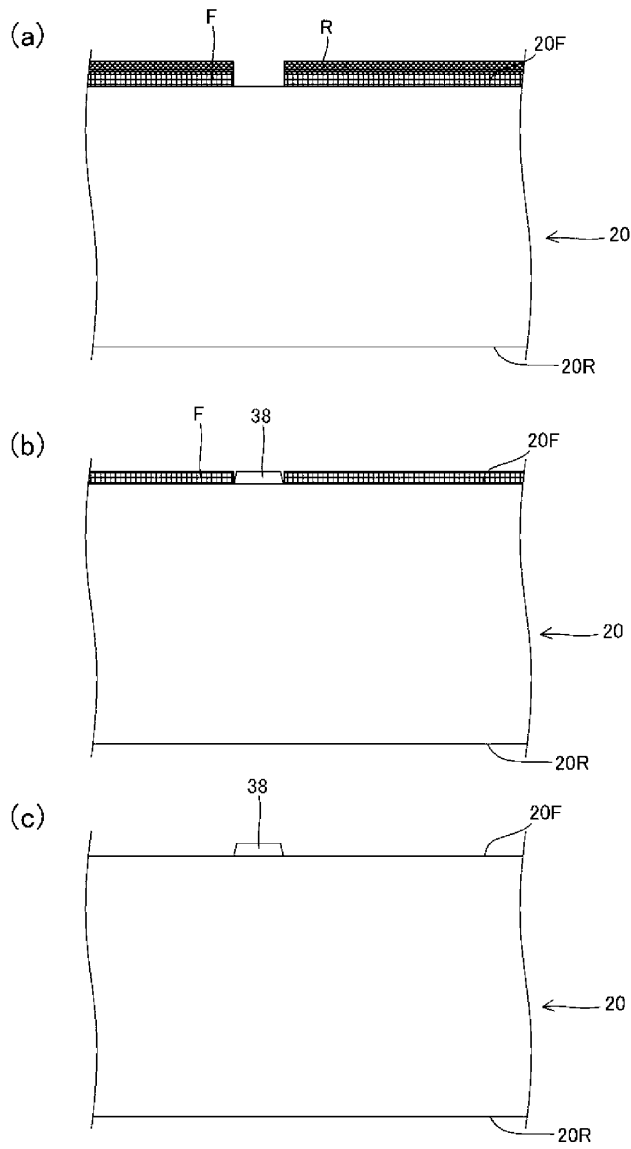
도면8



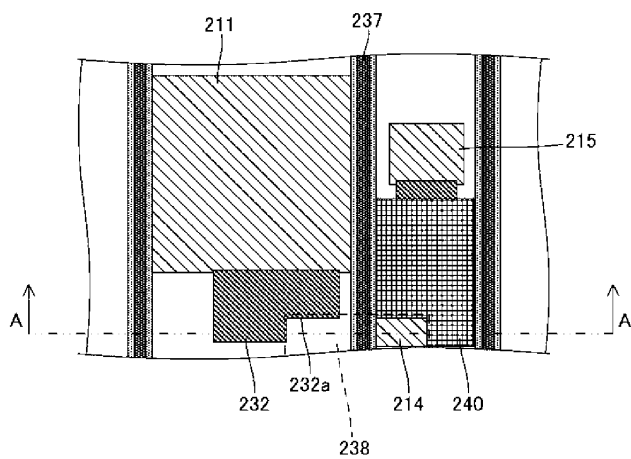
도면9



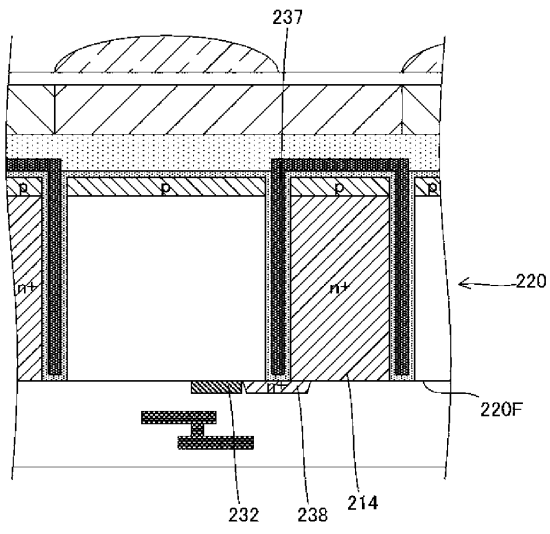
도면10



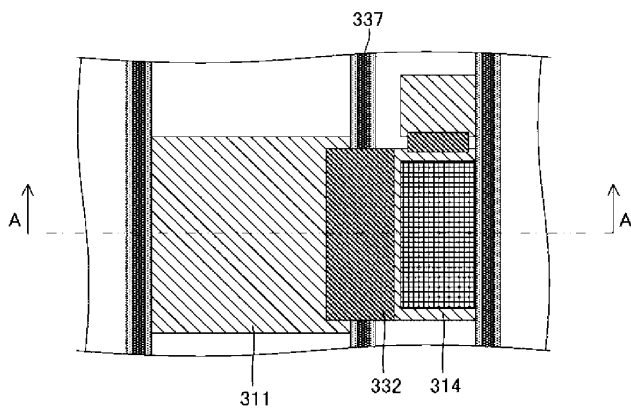
도면11



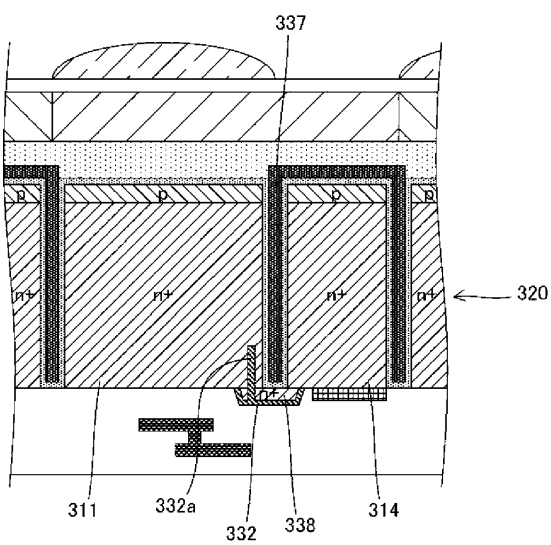
도면12



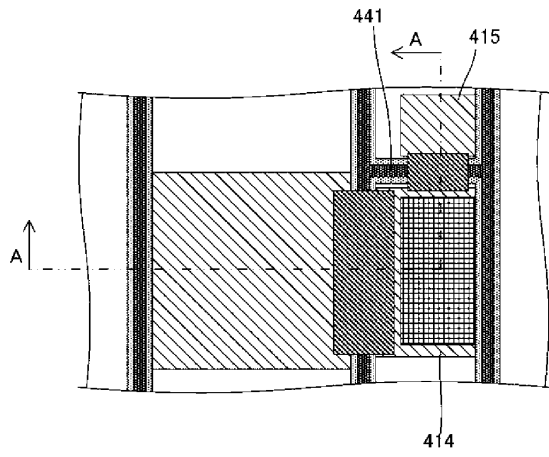
도면13



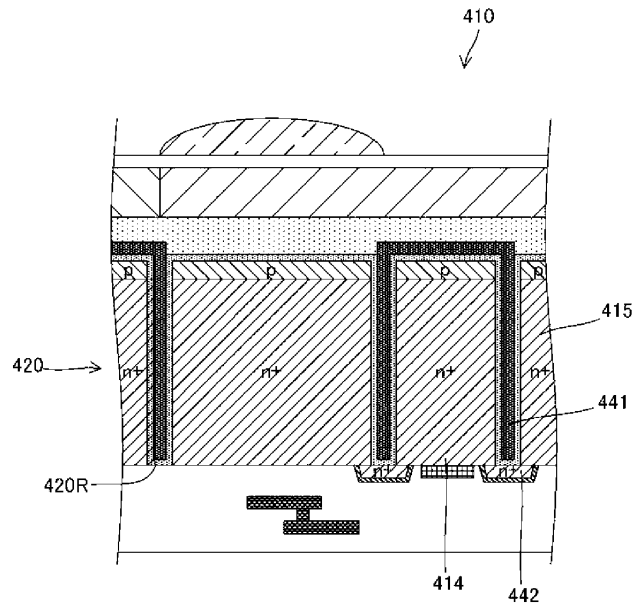
도면14



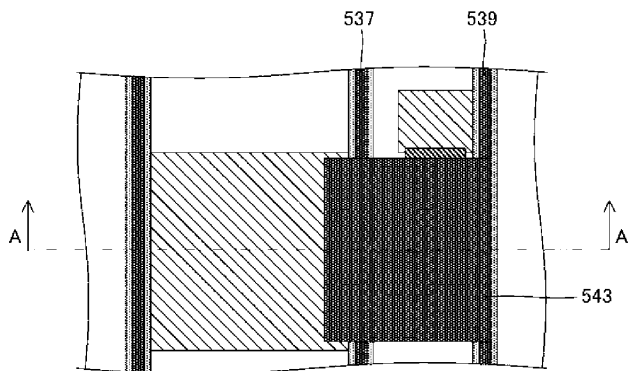
도면15



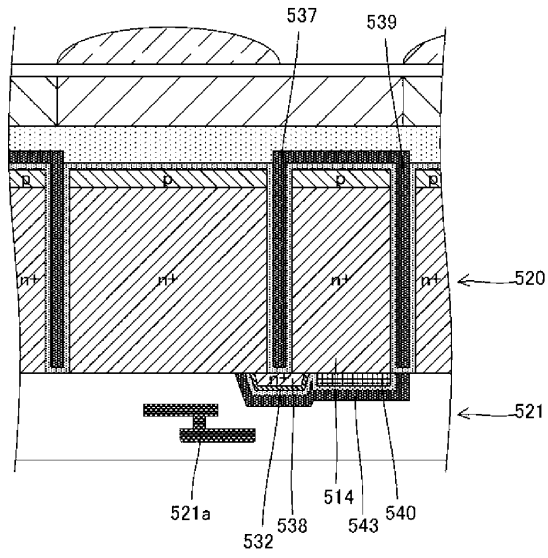
도면16



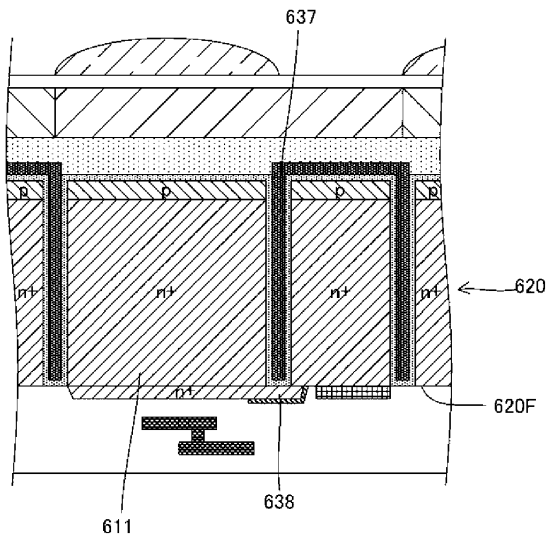
도면17



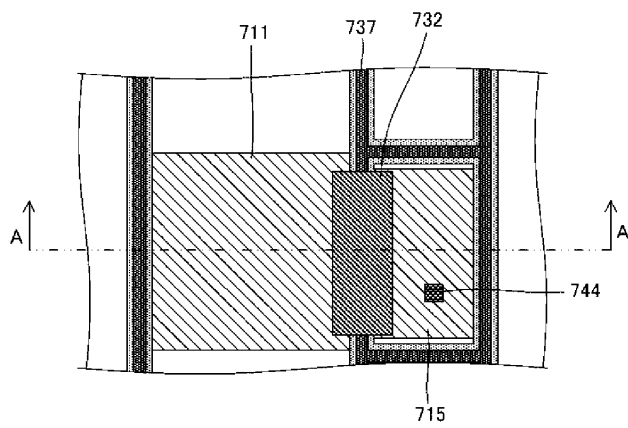
도면18



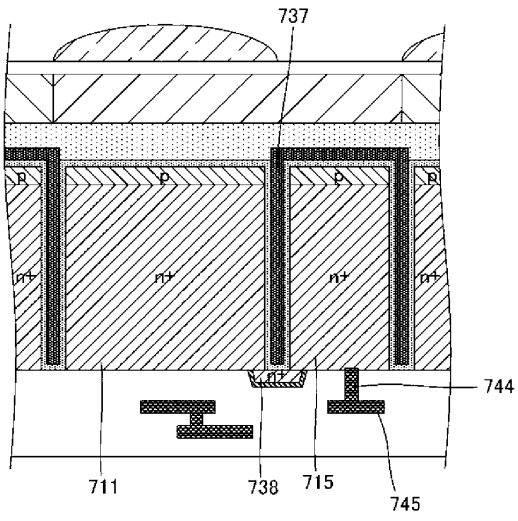
도면19



도면20



도면21



도면22

