



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I408804B1

(45) 公告日：中華民國 102 (2013) 年 09 月 11 日

(21) 申請案號：099141453

(22) 申請日：中華民國 99 (2010) 年 11 月 30 日

(51) Int. Cl. : H01L29/06 (2006.01)

H01L29/12 (2006.01)

H01L21/336 (2006.01)

(30) 優先權：2009/12/02 美國

12/629,793

(71) 申請人：萬國半導體股份有限公司 (美國) ALPHA AND OMEGA SEMICONDUCTOR
INCORPORATED (US)

美國

(72) 發明人：李亦衡 LEE, YEEHENG (US)；何佩天 HO, MOSES (US)；管靈鵬 GUAN,
LINGPENG (CN)

(74) 代理人：蔡清福

(56) 參考文獻：

US 6191446B1

US 6621132B2

US 2001/0041400A1

審查人員：湯欽全

申請專利範圍項數：21 項 圖式數：27 共 38 頁

(54) 名稱

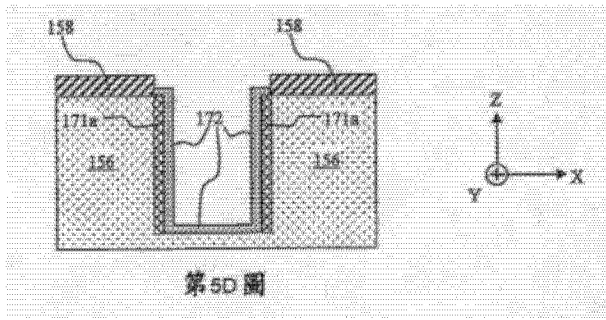
製備電荷平衡的多-奈米殼漂移區的方法

METHOD FOR MAKING A CHARGE BALANCED MULTI-NANO SHELL DRIFT REGION FOR
SUPERJUNCTION SEMICONDUCTOR DEVICE

(57) 摘要

一種製備基礎襯底上方的超級結半導體裝置電荷平衡的多奈米殼漂移區的方法。該方法不會產生高熱耗散並且產量更高。多-奈米殼漂移區帶有多個交替、基本電荷平衡的第一導電類型和第二導電類型以及高度為 NSHT 的同心的奈米殼組件 NSM₁、NSM₂、...、NSM_i、...、NSM_M (M>1)。首先，在基礎襯底上方形成一個體狀漂移層。在體狀漂移層的頂面內，製備一個大體垂直的空穴，其形狀和尺寸是預先設置的，深度為 NSHT。在垂直空穴內部先後形成殼元件 NSM₁、NSM₂、...、NSM_M，首先在垂直空穴的垂直側壁上，然後移向中心，以便一個接一個地填充垂直空穴，直到仍然有剩餘空間為止。通過形成半絕緣或絕緣的填充式奈米板，填滿剩餘空間。

A method is disclosed for making a substantially charge balanced multi-nano shell drift region (MNSDR) for superjunction semiconductor devices atop a base substrate. The MNSDR has numerous concentric nano shell members NSM₁, NSM₂, ..., NSM_M (M>1) of alternating, substantially charge balanced first conductivity type and second conductivity type and with height NSHT. First, a bulk drift layer (BDL) is formed atop the base substrate. A substantially vertical cavity of pre-determined sharp and size and with depth NSHT is then created into the top surface of BDL. The shell members NSM₁, NSM₂, ..., NSM_M are successively formed inside the vertical cavity, initially upon its vertical walls then moving toward its center, so as to successively fill the vertical cavity till a residual space remains therein. A semi-insulating or insulating fill-up nano plate is then formed inside the residual space to fill it up.



- 156 . . . 體狀漂移層
- 158 . . . 空穴硬掩膜
- 171a . . . 奈米殼組件(NSM₁)
- 172 . . . 摻雜外延層-2

六、發明說明：

【發明所屬之技術領域】

[0001] 本發明主要涉及功率半導體裝置結構及其製備的領域。更確切地說，本發明涉及功率半導體裝置結構的製備方法。

【先前技術】

[0002] 功率MOSFET（金屬-氧化物-半導體場效應管）裝置可用於多種工業應用，例如功率放大器、功率轉換器、低雜訊放大器以及數位積體電路（IC）等等。MOSFET裝置的從業者們，在設計和製備各種電子產品時的一項基本原則就是持續提升其性能參數，例如擊穿電壓 V_{bk} 、導通電阻 R_{DSon} 、裝置尺寸以及頻率回應等等。

第1A圖至第1D圖摘錄自原有技術教程中，教程由Gerald Deboy博士和Florin Udrea博士於2007年9月5日——丹麥奧爾堡——EPE 2007中發表，題為《超級結裝置和技術——電力電子學革命性步伐的優勢與侷限》。該教程概述了利用超級結裝置，同時改善功率MOSFET的 V_{bk} 和 R_{dson} 的概念。

按照起始於二十世紀八十年代初期的最初的發明，超級結晶體管裝置的漂移區是由多個交替的n和p半導體條紋構成的。只要條紋非常狹窄，並且鄰近的條紋中的電荷載流子的數量大致相等，或達到所謂的電荷平衡，那麼就有可能在相對較低的電壓下使條紋耗盡。一旦耗盡，條紋就好像是一個“本征”層，實現了近似均勻的電場分佈，從而獲得高擊穿電壓。橫向超級結裝置（第1A圖和第1B圖）以及垂直超級結裝置（第1C圖和第1D圖）都

可以利用超級結的概念製備。然而橫向裝置更適合集成，垂直超級結裝置適用於分立裝置。更確切地說，第1A圖表示在橫向結構中垂直堆積的條紋。第1B圖表示在橫向結構中，條紋在第三維度上的排列情況，稱為3D Resurf。第1C圖和第1D圖表示適用於垂直金屬-氧化物-半導體場效應管（Cool MOS、MDMesh）的佈局。所有超級結裝置都具有的最突出的特點在於，它們打破了在載入在傳統的非超級結裝置上的極限。這種極限是由於，必須通過一個自由度，即在n-區的摻雜結構，來滿足高 V_{bk} 和低導通電阻之間相互矛盾的目標。超級結裝置鑒於其本身的內部結構，可以增加第二個自由度，即額外的p-立柱的設計和間距。因此，上述傳統的非超級結裝置的垂直電場轉化成一個三維的向量場，通過將p-立柱的間距做得越來越小，至少在理論上可以持續降低 R_{DSon} 。第2A圖至第2C圖表示多種特殊的電荷平衡的條紋結構，以及依據其他原有技術的製備方法。許多公司使用的都是第2A圖所示的製備具有交替導電類型（p-型和n-型）的電荷平衡的垂直條紋的方法。在這種情況下，六個迴圈中每個迴圈都含有外延生長以及分區段離子注入過程，在襯底（圖中沒有表示出）上方依次進行。此後，需要通過高溫的長擴散工藝，將多個離子注入區域“擴展”到它們的最終尺寸。典型的擴散工藝要求在1150攝氏度下加熱6至10小時，這會導致不良的高熱耗散。在本例中，迴圈一外延生長製成了層-1 1，而且迴圈一分區段離子注入同時製成了植入物1a、1b和1c，其中層-1 1的導電類型與植入物1a、1b和1c的導電類型相反。又例如

，迴圈二外延生長製成層-2 2，並且迴圈二分區段離子注入同時製成了植入物2a、2b和2c，其中層-2 2的導電類型與植入物2a、2b和2c等的導電類型相反。舉一個具體的例子，外延層1至6的厚度均為5-7微米，可以由N-型半導體材料製成，而植入物1a至6c都由P-型半導體材料製成。最終，電荷平衡的垂直條紋對應立柱10W、立柱10A、立柱10X、立柱10B、立柱10Y、立柱10C以及立柱10Z。本方法的另一缺點在於，對於很高的電荷平衡條紋而言，增加迴圈的數量會導致生產放緩、生產成本增加。

第2B圖中展示了用於製備具有交替的導電類型（p-型和n-型）的電荷平衡的垂直條紋的方法。其中，在襯底（圖中沒有表示出）上方外延生長一個體狀半導體層（Bulk Semiconductor layer）20。通過光刻以及各向異性刻蝕，將多個溝槽22a、22b、22c製成體狀半導體層20。每個溝槽的深度為D，寬度為W，對應的縱橫比為 $A/R=D/W$ 。然後外延生長填充半導體材料25，填滿溝槽22a、22b、22c的整個溝槽深度，從而製成具有交替的導電類型的電荷平衡立柱20W、25A、20X、25B、20Y、25C和20Z。典型的示例是，襯底為N+導電類型，體狀半導體層20為N-，厚度為40-50微米，溝槽寬度W為4-6微米，而填充半導體材料25為P-。因此，縱橫比A/R可以非常高（8-15），使得在填充半導體材料25中出現多個未填滿的內部空洞26a、26b、26c。反之，這些內部空洞會擾亂電荷平衡，產生不理想的低 V_{bk} 以及很高的漏電流。

第2C圖表示Hamza Yilmaz等人於2008年12月31日遞交的美國專利申請12/319164中所述的，用於製備具有交替的導電類型的電荷平衡的垂直條紋的第三種方法。在高摻雜濃度的體狀半導體層42上方，外延生長一個體狀半導體層30。通過光刻和各向異性刻蝕，將溝槽32製成在體狀半導體層30中。溝槽32的深度為D，寬度為W，對應的縱橫比為 $A/R=D/W$ 。在帶有一個剩餘中央空間立柱的頂部形成層31a、32b、33a、34b、35a、36b、37a、38b、39a上方，生長交替電荷平衡的導電類型的九個連續的外延層。然後，用絕緣氧化物或本征矽等形成填充材料44，用於填充中央空間立柱，這些填充材料的電荷平衡對於任何未填滿的內部空洞並不敏感。利用高溫、長擴散工藝將重摻雜的體狀半導體層42中的摻雜物擴散到層31a-39a中，直到摻雜擴散陣面48（參見底部虛線）為止，從而作為一個單一的導電類型。最後，通過化學機械拋光（CMP）過程除去層31a-39a頂部的水準部分，使頂面平整（參見頂部虛線）。典型的示例是，層31a-39a均為1-2微米厚。如上所述，高溫、長擴散工藝會導致不良高熱耗散。左側的交替導電類型的垂直電荷平衡的立柱出現在最後。

基於以上觀點，對於超級結半導體裝置而言，改善工藝有長期的必要性，無需產生高熱耗散，就可以高產量地製備高品質的電荷平衡漂移區。

本申請涉及以下專利申請，以下簡稱為哈姆紮申請：

美國專利申請號為12/139164，由Hamza Yilmaz，Daniel Ng，Lingpeng Guan，Anup Bhalla，

Wilson Ma, Moses Ho, John Chen等人於2008年12月31日遞交的名為“奈米管MOSFET技術與裝置”的專利申請。

美國專利申請號為12/484166，由Hamza Yilmaz, Xiaobin Wang, Anup Bhalla, John Chen, Hong Chang等人於2009年6月12日遞交的名為“用於製備奈米管半導體裝置的方法”的專利申請。

美國專利申請號為12/484170，由Hamza Yilmaz, Xiaobin Wang, Anup Bhalla, John Chen, Hong Chang等人於2009年6月12日遞交的名為“奈米管半導體裝置”的專利申請。

特此引用上述專利內容，作為用於任何及全部意圖的參考。

【發明內容】

[0003] 提出一種用於在第二導電類型的基礎襯底上方，製備基本電荷平衡的多-奈米殼漂移區的方法。該方法不會產生高熱耗散並且產量更高。多-奈米殼漂移區具有一個奈米殼集合，帶有多個交替、基本電荷平衡的第一導電類型和第二導電類型以及高度為NSHT (Nano shell height, 即奈米殼的高度) 的同心奈米殼組件 NSM_1 (第一奈米殼元件)、 NSM_2 (第二奈米殼元件)、...、 NSM_i (第 i 奈米殼組件, $1 \leq i \leq M$)、...、 NSM_M (第 M 奈米殼組件, $M > 1$)。該方法包括：

步驟1：在基礎襯底上方形成一個體狀漂移層。

步驟2：在體狀漂移層的頂面內，製備一個大體垂直的空穴，其形狀和尺寸是預先設置的，深度為NSHT。

步驟3：在垂直空穴內部先後形成殼元件 NSM_1 、 NSM_2 、
、 NSM_M ，首先在垂直空穴的垂直側壁上，然後移向中
心，以便依次填充垂直空穴，直到仍然有剩餘空間為止
。

步驟4：通過形成半絕緣或絕緣的填充式奈米板，填滿剩
餘空間。

在一個更加具體的實施例中，可通過外延生長形成體狀
漂移層，摻雜參數對應體狀漂移層的導電類型。更確切
地說，所形成的體狀漂移層具有極低的摻雜濃度。

在一個實施例中，第一導電類型為N-型，第二導電類型
為P-型。在一個可選實施例中，第一導電類型為P-型，
第二導電類型為N-型。

在一個更具體的實施例中，超級結半導體裝置為一個二
極體或一個電晶體。基礎襯底為一個雙層，該雙層由在
第二導電類型較重摻雜的半導體上方的第二導電類型較
輕摻雜的半導體構成。垂直空穴的形狀為矩形、方形、
菱形、六邊形、多邊形、橢圓形或圓形。更確切地說，
垂直空穴的寬度約在5微米至40微米之間，NSHT約在5微
米至50微米之間。

在第一實施例中，垂直空穴可通過以下步驟製成：

步驟2.1：在體狀漂移層上方沉積一個掩膜，在掩膜中打
開一個形狀和尺寸都與垂直空穴相同的視窗。

步驟2.1：通過掩膜視窗，各向異性地刻蝕體狀漂移層，
直到深度等於NSHT為止。

根據第一實施例，每個 NSM_i 都可以通過以下步驟製成：

步驟3.1：通過選擇性外延生長，在垂直空穴上方形成一

個空穴形狀的摻雜的外延層，同時確保摻雜的外延層的摻雜參數與厚度，分別對應 NSM_i 的導電類型和殼厚。

步驟3.2：通過掩膜視窗，各向異性地刻蝕掉摻雜的外延層的底部，從而形成 NSM_i 。

依據第一實施例，可以通過在剩餘空間內製備一種填充式材料，形成填充式奈米板，填充式材料的電荷平衡屬性不受內部空洞的影響，尤其是當剩餘空間的縱橫比很大時，從而避免擾亂多-奈米殼漂移區的電荷平衡。然後從多-奈米殼漂移區頂部除去帶窗口的掩膜。在一個具體的實施例中，基礎襯底和體狀漂移層的基質半導體材料都是矽，填充式材料為氧化矽或本征矽。

在第二實施例中，垂直空穴可以通過以下步驟製成：

步驟2.1：在體狀漂移層上方沉積一個掩膜，並在掩膜中打開一個形狀和尺寸都與垂直空穴相同的視窗。

步驟2.2：通過掩膜視窗，各向異性地刻蝕體狀漂移層，直到刻蝕深度等於 $NSHT$ 為止。

步驟2.3：除去帶窗口的掩膜。

依據第二實施例，每個 NSM_i 都可以通過以下步驟製成：

步驟3.1：通過外延生長，在垂直空穴上方形成一個空穴形狀摻雜的外延層，同時確保摻雜的外延層的摻雜參數和厚度，分別與 NSM_i 的導電類型和殼厚相對應。

步驟3.2：通過掩膜視窗，各向異性地刻蝕掉摻雜的外延層的底部和頂部水準部分，從而構成 NSM_i 。

依據第二實施例，可以通過在剩餘空間內製備一種填充式材料，形成填充式奈米板，填充式材料的電荷平衡屬性不受內部空洞的影響，尤其是當剩餘空間的縱橫比很

大時，從而避免擾亂多-奈米殼漂移區的電荷平衡。在一個具體的實施例中，基礎襯底和體狀漂移層的基質半導體材料都是矽，填充式材料為氧化矽或本征矽。

對於本領域的技術人員，本發明的這些方面及其多個實施例將在本說明的其餘部分中做出說明。

【實施方式】

[0004] 本文所含的上述及以下說明和附圖僅用於說明本發明的一個或多個現有的較佳實施例，以及一些典型的可選件和/或可選實施例。說明及附圖用於解釋說明，就其本身而言，並不侷限本發明。因此，本領域的技術人員將輕鬆掌握各種改動、變化和修正。這些改動、變化和修正也應認為屬於本發明的範圍。

第3A圖至第3C圖表示電荷平衡的垂直條紋超級結結構60及其相關的帶有超級結結構90的多個MOSFET的另一示例。垂直條紋超級結結構60具有一個多奈米條紋漂移區68，沿X-方向，以N-體狀漂移層(Bulk drift layer) 66為界，多奈米條紋漂移區68和N-體狀漂移層66都位於一個雙層上方，N緩衝層64位於N+基礎襯底62上方。在一個可選實施例中，可以省略N緩衝層64。多奈米條紋漂移區(Multi-nano stripe drift region) 68是一種交替的導電類型的、連續的電荷平衡條紋的線性陣列，N條紋71、P條紋72、N條紋73、P條紋74、...、P條紋84、N條紋83、P條紋82、N條紋81。要注意的是，填充式氧化物條紋80位於線性陣列的中間位置。也可選擇，用另一種電量很低的材料(例如本征矽)，來代替填充式氧化物條紋80。單獨的P/N條紋的摻雜濃度以每 cm^2 的摻雜

物的形式給出。該濃度為一個條紋及其下一個條紋之間的交界面處的單位面積上，該條紋內的濃度。例如，如果P條紋82的寬度（X-方向）為0.25微米，濃度為 $2E12\text{-cm}^{-2}$ ，那麼同等體積下的P-摻雜濃度為 $8E16\text{-cm}^{-3}$ 。

參見第3A圖的A-A截面，有必要指出，多奈米條紋漂移區68的詳細幾何結構以及摻雜濃度佈局，是關於填充式氧化物條紋80鏡像對稱的。例如，N條紋79映照N條紋89，P條紋78映照P條紋88，N條紋73映照N條紋83，等等。這是由於多奈米條紋漂移區68，是依據本發明，利用多個相鄰的、同心的奈米殼組件（Nano shell members）製成的，其中最外層的組件由N條紋71、N條紋81構成，再往裏由P條紋72、P條紋82構成，...，最中心的由N條紋79、N條紋89構成。製備過程將在下文中詳細說明。完成垂直條紋超級結結構60之後，如第3C圖所示，其餘帶有超級結結構90的多個MOSFET，可以利用已知的多項技術製備。例如，所形成的MOSFET的行可以沿X-方向延伸，從而垂直於沿Y-方向的多奈米條紋漂移區68。帶有超級結結構90的MOSFET具有柵極電極92b、柵極氧化物92c、N+源極92a、P-本體92d、P+本體接頭92e。在這種情況下，MOSFET為n-通道MOSFET，因此N條紋71、73、...、89作為漏極漂移區，而N+基礎襯底62作為漏極。第4A圖至第4C圖表示超級結結構的一些多奈米殼漂移區（Multi-nano shell drift region）的可選實施例。第4A圖（第4B圖的E-E截面的透視圖）和第4B圖（俯視圖，多-奈米殼漂移區超級結結構100的多個元件）所

示的多-奈米殼漂移區超級結結構100，以N-外延層體狀漂移層106為界，位於N基礎襯底102上。從多-奈米殼漂移區超級結結構100的外邊緣向內數的話，四個連續的同心奈米殼組件為N條紋111、N條紋121、P條紋112、P條紋122、N條紋113、N條紋123以及P條紋114、P條紋124。更確切地說，奈米殼組件N條紋113、N條紋123的寬度（X-方向）為1微米，N型摻雜物濃度為 $2E12\text{-cm}^{-2}$ ，等。在本例中，奈米殼組件的形狀為矩形（第4B圖）。要注意的是，填充式氧化物條紋115位於線性陣列的中間位置。多-奈米殼漂移區超級結結構100與多奈米條紋漂移區68基本相同，但其設計更加簡潔，以便於製造。多-奈米殼漂移區可以延伸到Y方向上的條紋中，或者形成封閉結構，例如矩形（第4B圖）或六邊形（第4C圖）。每個多-奈米殼漂移區超級結結構100的寬度都為W。X-Y平面內的條紋長度限定了空穴尺寸（Cavity size，簡稱CVS）。第4C圖（俯視圖，多-奈米殼漂移區超級結結構100的多個元件）中的多-奈米殼漂移區超級結結構100，在X-Y平面內穿過其全部側邊的寬度為W。第4C圖中的奈米殼組件的形狀為六邊形。

第5A圖至第5G圖表示依據本發明，製備多-奈米殼漂移區的第一實施例。在第5A圖中，製備體狀漂移層156。在一個實施例中，體狀漂移層156可以形成在基礎襯底（為避免混淆，在此並沒有表示出）上方。在另一個可選實施例中，可以利用技術上已知的，與所需的導電類型和摻雜濃度相符的摻雜參數，通過外延生長的方式，形成體狀漂移層156。在一個更具體的示例中，可以在

$1E14\text{-cm}^{-3}$ 至 $1E16\text{-cm}^{-3}$ 的範圍內，利用極低的N-摻雜體積濃度，製備體狀漂移層 156。然後，在體狀漂移層 156上方使用一個空穴硬掩膜158，並用預設空穴形狀和尺寸的掩膜視窗158a，在空穴硬掩膜158上形成開口。通過掩膜視窗158a，各向異性地刻蝕體狀漂移層 156，製成深度為NSHT (Nano shell height, 簡稱NSHT, 即奈米殼的高度) 的基本垂直的空穴162。在一個應用示例中，空穴尺寸的範圍約在5 微米至40微米之間，NSHT約在5微米至50微米之間。需指出的是，垂直空穴162的“基本垂直的”側壁，可以與垂直方向有5度左右的錐角。在第5B圖中，通過掩膜視窗158a利用選擇性外延生長，在垂直空穴162上方製備一個空穴形狀的摻雜外延層-1 171，同時確保摻雜外延層-1 171的摻雜參數與厚度，分別與最外層的奈米殼組件所需的導電類型和殼厚相一致。在第5C圖中，通過掩膜視窗158a，各向異性地刻蝕掉剛形成的摻雜外延層-1 171的底部，從而構成奈米殼組件 (NSM_1) 171a。從第5D圖至第5E圖，重複如第5B圖和第5C圖所示相同的步驟，先後製成空穴形狀的摻雜外延層-2 172以及奈米殼組件 (NSM_2) 172a。在垂直空穴162中，重複相同的步驟，接連製成其他的奈米殼元件 (NSM_3) 173a、 NSM_4 174a、 NSM_5 175a以及 NSM_6 176a，陸續填充垂直空穴162，直到留出具有剩餘空間深度 (RSD) 和剩餘空間寬度 (RSW) 的剩餘空間 177。所製備的 NSM_1 171a至 NSM_6 176a構成多個連續的同心奈米殼組件，如第5F圖所示。此外，為了實現基本電荷平衡的多-奈米殼漂移區， NSM_1 171a至 NSM_6 176a都由

交替的基本電荷平衡的第一導電類型和第二導電類型的半導體材料構成。所形成的NSM₁171a至NSM₆176a具有合適的導電類型、摻雜濃度以及寬度，以獲得基本電荷平衡。

在第5G圖中，利用半絕緣或絕緣的填充式奈米板178（例如圖中所示的填充式氧化物奈米板178）填滿剩餘空間177。填充式奈米板還可選用本征矽/半導體材料。要注意填充式氧化物奈米板178的縱橫比RSD/RSW很高。尤其在縱橫比很高的填充式氧化物奈米板178內部觀察到有內部空洞形成，利用半絕緣或絕緣的填充式材料使多-奈米殼漂移區的電荷平衡屬性不受這種內部空洞的影響。作為一個更具體的實施例，基礎襯底和體狀漂移層156的主體半導體材料都是矽，填充式材料為氧化物或本征矽。然後，從多-奈米殼漂移區（圖中沒有表示出）上方除去帶視窗的空穴掩膜158。

第6A圖至第6G圖表示依據本發明類似於第5A圖至第5G圖所示的方法，製備多-奈米殼漂移區的第二個實施例。然而，在第6A圖至第6G圖中，生長NSM時並沒有使用硬掩膜。在第6A圖中，體狀漂移層156形成在基礎襯底（為了避免混淆，在此沒有表示出）上方。可以利用技術上已知的，與所需的導電類型和摻雜濃度相符的摻雜參數，通過外延生長的方式，形成體狀漂移層156。然後，在體狀漂移層156上方使用一個空穴硬掩膜158，並用預設空穴形狀和尺寸的掩膜視窗158a，在空穴硬掩膜158上形成開口。通過掩膜視窗158a，各向異性地刻蝕體狀漂移層156，製成深度為NSHT的基本垂直的空穴162。正如上

述內容中所指出的那樣，實際上，垂直空穴162的“基本垂直的”側壁，可以與垂直方向有5度左右的錐角。然後，如第6A圖所示，完全除去帶視窗的空穴掩膜158。

在第6B圖中，通過外延生長，在頂上製備一個帶有空穴形狀的中心部分的摻雜外延層-1 181，同時確保摻雜外延層-1 181的摻雜參數與厚度，分別與最外層的奈米殼組件所需的導電類型和殼厚相一致。摻雜外延層-1 181非選擇性地生長在所有裸露的半導體表面上。在第6C圖中，各向異性地刻蝕掉剛形成的摻雜外延層-1 181的水準表面部分，從而構成奈米殼元件 (NSM_1) 181a。從第6D圖至第6E圖，重複如第6B圖和第6C圖所示相同的步驟，先後製成摻雜外延層-2 182以及奈米殼組件 (NSM_2) 182a。在垂直空穴162中，重複相同的步驟，接連製成其他的奈米殼元件 NSM_3 183a、 NSM_4 184a、 NSM_5 185a以及 NSM_6 186a，陸續填充垂直空穴162，直到留出具有剩餘空間深度 (RSD) 和剩餘空間寬度 (RSW) 的剩餘空間 187。所製備的 NSM_1 181a 至 NSM_6 186a 構成多個連續的同心奈米殼組件，如第6F圖所示。此外，為了實現基本電荷平衡的多-奈米殼漂移區， NSM_1 181a 至 NSM_6 186a 都由交替的基本電荷平衡的第一導電類型和第二導電類型的半導體材料構成。所形成的 NSM_1 181a 至 NSM_6 186a 具有合適的導電類型、摻雜濃度以及寬度，以獲得基本電荷平衡。

在第6G圖中，利用半絕緣或絕緣的填充式奈米板（例如圖中所示的填充式氧化物奈米板188）填滿剩餘空間187。要注意填充式氧化物奈米板188的縱橫比 RSD/RSW 很高

。通常在縱橫比很高的填充式氧化物奈米板188內部觀察到有內部空洞形成，利用半絕緣或絕緣的填充式材料使多-奈米殼漂移區的電荷平衡屬性不受這種內部空洞的影響。NSM元件可以在Y方向上繼續作為行，或者如第4B和4C圖所示的那樣形成一個封閉結構。

發明了一種為基礎襯底上方的超級結半導體裝置，製備基本電荷平衡的多-奈米殼漂移區的方法。參見第5F圖和第6F圖，由於垂直空穴162內的各種電荷平衡的垂直條紋是成對製備的，因此其對應工藝的產量也相應地增加。

另外，本發明所述的方法並不需要會導致較高熱預算的不良高熱耗散的高溫、長擴散過程。此外，在填充式奈米板內部通常會觀察到有內部空洞形成，這會影響製備工藝的產量，而所製備的多-奈米殼漂移區的電荷平衡屬性卻不會受到內部空洞的擾亂。儘管本發明已經就矩形和六邊形的垂直空穴形狀的示例作了說明，但是本領域的技術人員應理解，本發明所述的方法也可應用於其他各種形狀，例如方形、菱形、多邊形、行、橢圓形或圓形等。只要NSM同它相鄰的區域達到電荷平衡，就可以用不同的寬度和摻雜濃度製備NSM。

以上說明和附圖參照具體結構，給出了各種典型的實施例。對於本領域的普通技術人員應顯而易見，本發明也可用於其他具體形式，上述各種實施例經過輕鬆修改，就可以適合於其他具體應用。鑒於本專利檔，本發明的範圍不應由上述具體的典型實施例所限定，而應由以下的申請專利範圍限定。在申請專利範圍的內容及其等價範圍內的任何及全部修正，都應屬於本發明的真實意圖

和範圍內。

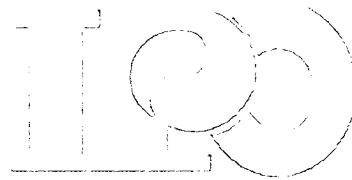
【圖式簡單說明】

- [0005] 第1A圖至第1D圖表示摘錄自己發表的原有技術教程，各種電荷平衡的條紋結構；
- 第2A圖至第2C圖表示依據其他的原有技術，多種典型的電荷平衡的條紋形狀及其製備方法；
- 第3A圖至第3C圖表示電荷平衡的垂直條紋超級結結構及其相關的多個MOSFET的另一示例；
- 第4A圖至第4C圖表示依據本發明，各種多奈米殼漂移區超級結結構；
- 第5A圖至第5G圖表示依據本發明，製備多奈米殼漂移區的第一實施例方法；以及
- 第6A圖至第6G圖表示依據本發明，製備多奈米殼漂移區的第二實施例方法。

【主要元件符號說明】

- [0006] 1a、1b、1c、2a、2b、2c：植入物
- 10W、10A、10X、10B、10Y、10C、10Z：立柱
- 20、30、42：體狀半導體層
- 20W、25A、20X、25B、20Y、25C、20Z：電荷平衡立柱
- 22a、22b、22c、32：溝槽
- 25：填充半導體材料
- 26a、26b、26c：內部空洞
- 31a、32b、33a、34b、35a、36b、37a、38b、39a：頂部形成層
- 44：填充材料

- 48：擴散障面
- 60：垂直條紋超級結結構
- 62：N+基礎襯底
- 64：N緩衝層
- 66：N一體狀漂移層
- 68：多奈米條紋漂移區
- 71、73、75、77、79、89、87、85、83、81、111、
113、123、121：N條紋
- 72、74、76、78、88、86、84、82、112、114、124
、122：P條紋
- 80：填充式氧化物條紋
- 90：超級結結構
- 92a：N+源極
- 92b：柵極電極
- 92c：柵極氧化物
- 92d：P-本體
- 92e：P+本體接頭
- 100：多-奈米殼漂移區超級結結構
- 102：N基礎襯底
- 106：N-外延層體狀漂移層
- 115：填充式氧化物條紋
- 156：體狀漂移層
- 158：空穴硬掩膜
- 158a：掩膜視窗
- 162：空穴
- 171、181：摻雜外延層-1



Intellectual
Property
Office

171a、172a、173a、174a、175a、176a、181a、

182a、183a、184a、185a、186a：奈米殼組件

172、182：摻雜外延層-2

177、187：剩餘空間

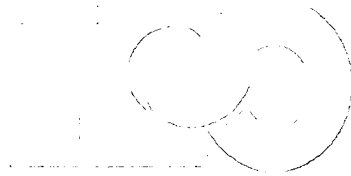
178、188：填充式氧化物奈米板

CVS：空穴尺寸

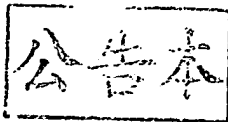
RSW：剩餘空間寬度

RSD：剩餘空間深度

NSHT：奈米殼的高度



Intellectual
Property
Office



專利案號：099141453



智專收字第1003032670-0

DTD版本：1.0.1



日期：100年01月27日

發明專利說明書

※申請案號：099141453

※IPC分類：

H01L 29/06

(2006.01)

H01L 29/12

(2006.01)

H01L 21/336

(2006.01)

※申請日：99-11-20

一、發明名稱：

製備電荷平衡的多-奈米殼漂移區的方法

Method For Making A Charge Balanced Multi-Nano Shell Drift Region
For Superjunction Semiconductor Device

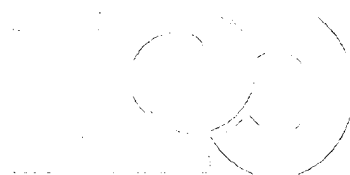
二、中文發明摘要：

一種製備基礎襯底上方的超級結半導體裝置電荷平衡的多奈米殼漂移區的方法。該方法不會產生高熱耗散並且產量更高。多-奈米殼漂移區帶有多個交替、基本電荷平衡的第一導電類型和第二導電類型以及高度為NSHT的同心的奈米殼組件NSM1、NSM2、...、NSMi、...、NSMM (M>1)。首先，在基礎襯底上方形成一個體狀漂移層。在體狀漂移層的頂面內，製備一個大體垂直的空穴，其形狀和尺寸是預先設置的，深度為NSHT。在垂直空穴內部先後形成殼元件NSM1、NSM2、...、NSMM，首先在垂直空穴的垂直側壁上，然後移向中心，以便一個接一個地填充垂直空穴，直到仍然有剩餘空間為止。通過形成半絕緣或絕緣的填充式奈米板，填滿剩餘空間。

三、英文發明摘要：

A method is disclosed for making a substantially charge balanced multi-nano shell drift region (MNSDR) for superjunction semiconductor devices atop a base substrate. The MNSDR has numerous concentric nano shell members NSM₁, NSM₂, ..., NSM_M (M>1) of alternating, sub-

stantially charge balanced first conductivity type and second conductivity type and with height NSHT. First, a bulk drift layer (BDL) is formed atop the base substrate. A substantially vertical cavity of predetermined sharp and size and with depth NSHT is then created into the top surface of BDL. The shell members $NSM_1, NSM_2, \dots, NSM_M$ are successively formed inside the vertical cavity, initially upon its vertical walls then moving toward its center, so as to successively fill the vertical cavity till a residual space remains therein. A semi-insulating or insulating fill-up nano plate is then formed inside the residual space to fill it up.



Intellectual
Property
Office

七、申請專利範圍：

1. 一種用於在第二導電類型的基礎襯底上方，製備超級結裝置電荷基本平衡的多-奈米殼漂移區的方法，所述的多-奈米殼漂移區具有一個奈米殼集合，帶有多個電荷基本平衡的第一導電類型和第二導電類型相互交替以及高度為NSHT的同心的奈米殼組件 NSM_1 、 NSM_2 、...、 NSM_i 、...、 NSM_M ($M>1$)，該方法包括：
 - 步驟1：提供基礎襯底，並在上方形成一個體狀漂移層；
 - 步驟2：在體狀漂移層的頂面內，製備一個垂直的空穴，其形狀和尺寸是預先設置的，深度為NSHT；
 - 步驟3：在垂直空穴內部先後形成殼元件 NSM_1 、 NSM_2 、...、 NSM_M ($M>1$)，首先在垂直空穴的垂直側壁上，然後移向中心，以便依次填充垂直空穴，直到留有一剩餘空間為止；以及
 - 步驟4：通過形成半絕緣或絕緣的填充式奈米板，填滿剩餘空間。
2. 如申請專利範圍第1項所述的方法，其中，製備體狀漂移層包括用與體狀漂移層的導電類型相對應的摻雜參數外延生長體狀漂移層。
3. 如申請專利範圍第1項所述的方法，其中，製備體狀漂移層還包括用低摻雜濃度製備。
4. 如申請專利範圍第1項所述的方法，其中，製備垂直空穴包括：
 - 步驟2.1：在體狀漂移層上方沉積一個掩膜，在掩膜中打開一個形狀和尺寸都與垂直空穴相同的視窗；並且

Intellectual
Property
Office

- 步驟2.2：通過掩膜視窗，各向異性地刻蝕體狀漂移層，直到深度等於NSHT為止。
5. 如申請專利範圍第4項所述的方法，其中，製備NSM_i包括：
- 步驟3.1：通過選擇性外延生長，在垂直空穴上方形成一個空穴形狀的摻雜的外延層，同時確保摻雜的外延層的摻雜參數與厚度，分別對應NSM_i的導電類型和殼厚；並且
- 步驟3.2：通過掩膜視窗，各向異性地刻蝕掉摻雜的外延層的底部，從而形成NSM_i。
6. 如申請專利範圍第5項所述的方法，其中，製備填充式奈米板包括：在剩餘空間內製備一種填充式材料，填充式材料的電荷平衡屬性不受內部空洞的影響，尤其是當剩餘空間的縱橫比很大時，從而避免擾亂多-奈米殼漂移區的電荷平衡。
7. 如申請專利範圍第6項所述的方法，其中，基礎襯底和體狀漂移層的基質半導體材料都是矽填充式材料為氧化矽或本征矽。
8. 如申請專利範圍第6項所述的方法，其中，還包括從多-奈米殼漂移區頂部除去帶窗口的掩膜。
9. 如申請專利範圍第1項所述的方法，其中，製備垂直空穴包括：
- 步驟2.1：在體狀漂移層上方沉積一個掩膜，並在掩膜中打開一個形狀和尺寸都與垂直空穴相同的視窗；
- 步驟2.2：通過掩膜視窗，各向異性地刻蝕體狀漂移層，直到刻蝕深度等於NSHT為止；並且
- 步驟2.2：除去帶窗口的掩膜。

- 10 . 如申請專利範圍第9項所述的方法，其中，製備NSM_i包括：
- 步驟3.1：通過外延生長，在垂直空穴上方形成一個空穴形狀摻雜的外延層，同時確保摻雜的外延層的摻雜參數和厚度，分別與NSM_i的導電類型和殼厚相對應；並且
- 步驟3.2：通過掩膜視窗，各向異性地刻蝕掉摻雜的外延層的底部和頂部水準部分，從而構成NSM_i。
- 11 . 如申請專利範圍第10項所述的方法，其中，製備填充式奈米板包括：在剩餘空間內製備一種填充式材料，填充式材料的電荷平衡屬性不受內部空洞的影響，尤其是當剩餘空間的縱橫比很大時，從而避免擾亂多-奈米殼漂移區的電荷平衡。
- 12 . 如申請專利範圍第11項所述的方法，其中，基礎襯底和體狀漂移層的基質半導體材料都是矽，填充式材料為氧化矽或本征矽。
- 13 . 如申請專利範圍第1項所述的方法，其中，基礎襯底為一個雙層，該雙層由較重摻雜的第二導電類型半導體及其上方的較輕摻雜的第二導電類型半導體構成。
- 14 . 如申請專利範圍第1項所述的方法，其中，垂直空穴的形狀為矩形、方形、菱形、六邊形、多邊形、橢圓形或圓形。
- 15 . 如申請專利範圍第1項所述的方法，其中，超級結半導體裝置為一個二極體或一個電晶體。
- 16 . 如申請專利範圍第1項所述的方法，其中，垂直空穴的寬度約在5微米至40微米之間，NSHT約在5微米至50微米之間。

- 17 . 一種在半導體襯底上製備超級結半導體裝置電荷基本平衡的多奈米殼漂移區的方法，所述的多-奈米殼漂移區在體狀漂移層內，具有一個奈米殼集合，帶有多個電荷基本平衡的第一導電類型和第二導電類型相互交替以及高度為NSHT的同心的奈米殼組件 NSM_1 、 NSM_2 、...、 NSM_i 、...、 NSM_M ($M>1$)，奈米殼元件的底部電接觸半導體襯底，該方法包括：
- 步驟1：製備一個體狀漂移層；
- 步驟2：在體狀漂移層中製備一個溝槽；
- 步驟3：在溝槽中外延生長一個奈米殼元件 NSM_i ，其中選取 NSM_i 的厚度和摻雜濃度，使同周圍區域達到電荷基本平衡；
- 步驟4：各向異性地刻蝕 NSM_i ，以除去其水準部分，使 NSM_i 存留於溝槽的側壁上；並且
- 步驟5：重複步驟步驟3和步驟4，直到完成奈米殼集合，並且溝槽中仍然保留有一剩餘空間。
- 18 . 如申請專利範圍第17項所述的方法，其中，在步驟步驟5之後還包括：
- 步驟6：通過形成半絕緣或絕緣的填充式奈米板，填滿剩餘空間。
- 19 . 如申請專利範圍第17項所述的方法，其中，超級結半導體裝置為一個二極體或一個場效應管。
- 20 . 一種用於在第二導電類型的基礎襯底上方，製備電荷基本平衡的多-奈米殼漂移區的方法，所述的多-奈米殼漂移區在體狀漂移層內，具有一個奈米殼集合，帶有多個電荷基本平衡的第一導電類型和第二導電類型相互交替以及高度

為NSHT的同心的奈米殼組件 NSM_1 、 NSM_2 、. . .、 NSM_i 、. . .、 NSM_M ($M > 1$)，奈米殼元件的底部電接觸半導體襯底，該方法包括：

步驟1：製備一個體狀漂移層；

步驟2：在體狀漂移層中製備一個溝槽；

步驟3：在溝槽內同心地生長奈米殼集合，其中在第一導電類型的奈米殼元件上生長第二導電類型的奈米殼元件之前，要各向異性地刻蝕第一導電類型的奈米殼組件，以便除去其底部；並且

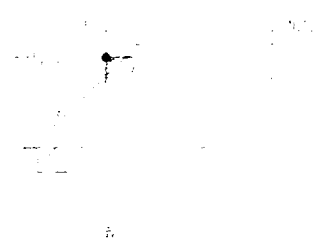
步驟4：重複步驟步驟3。

21 . 如申請專利範圍第20項所述的方法，其中，還包括：

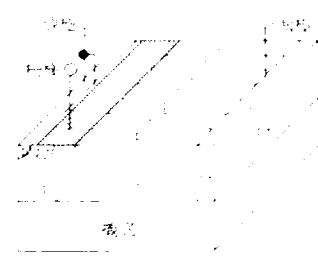
步驟5：通過形成半絕緣或絕緣的填充式奈米板，填滿剩餘空間。

Intellectual
Property
Office

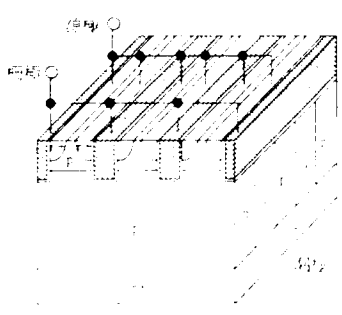
圖式說明



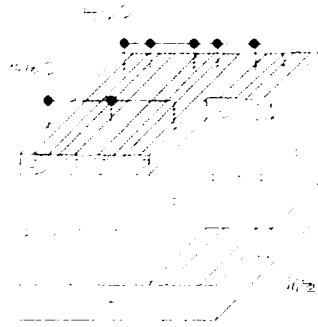
第一圖



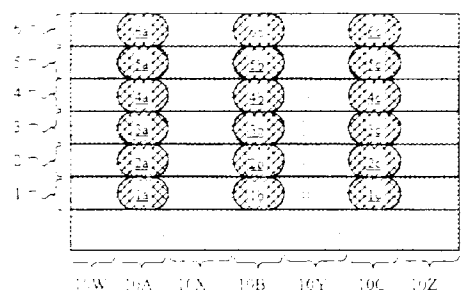
第十圖



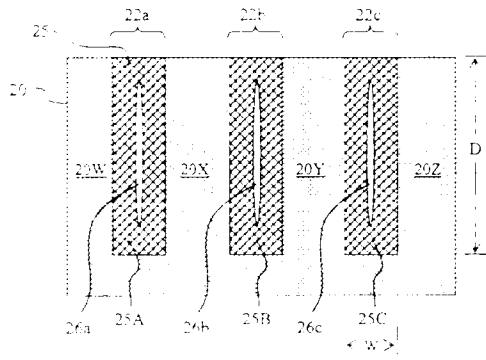
第十一圖



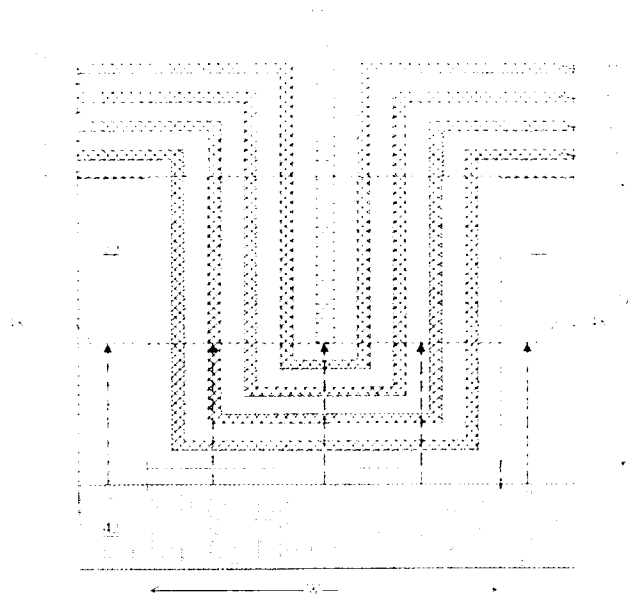
第1圖



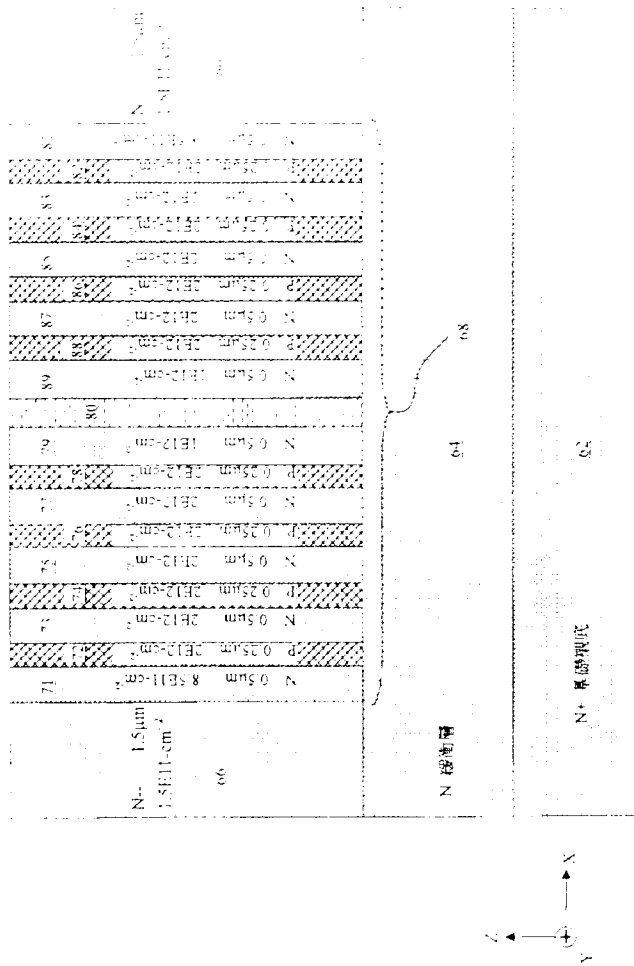
第2A圖



第2B圖



第20圖



第38圖

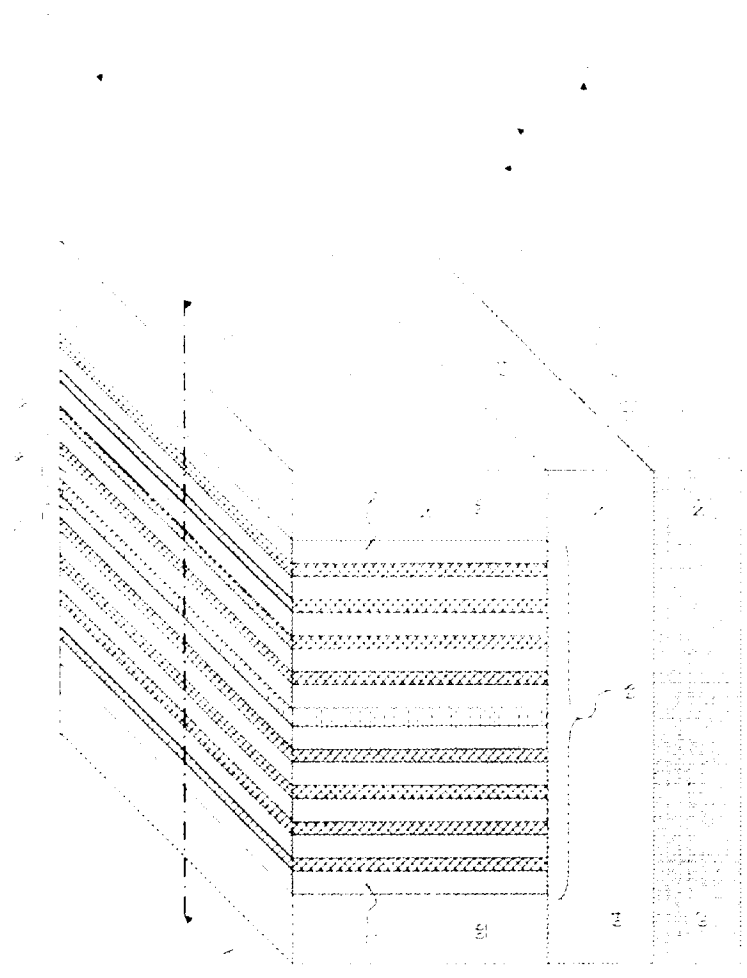
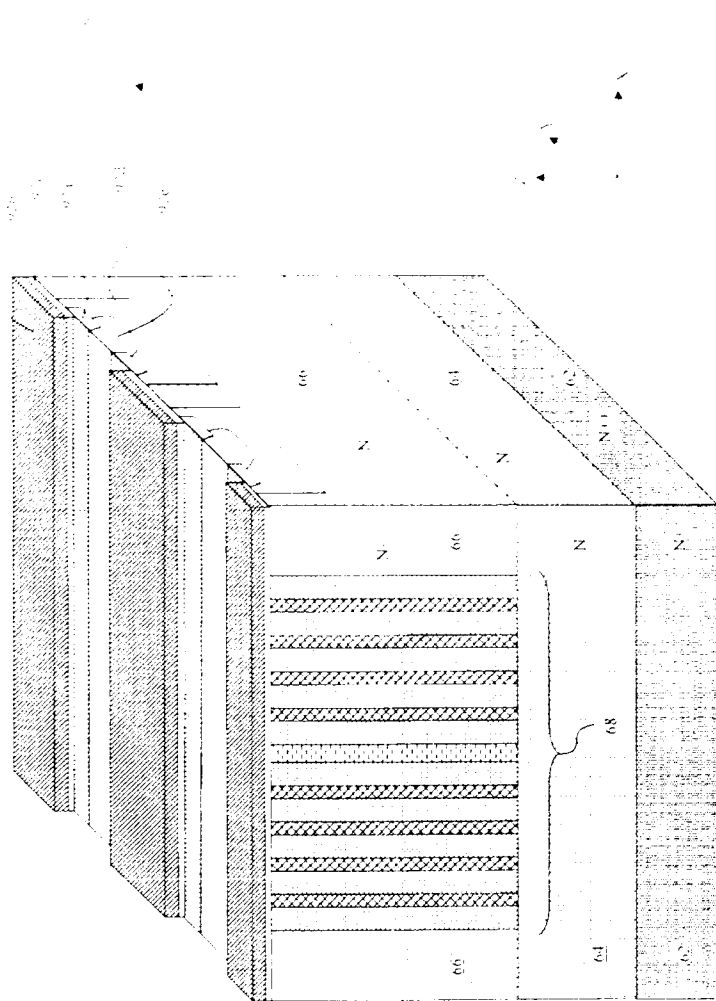
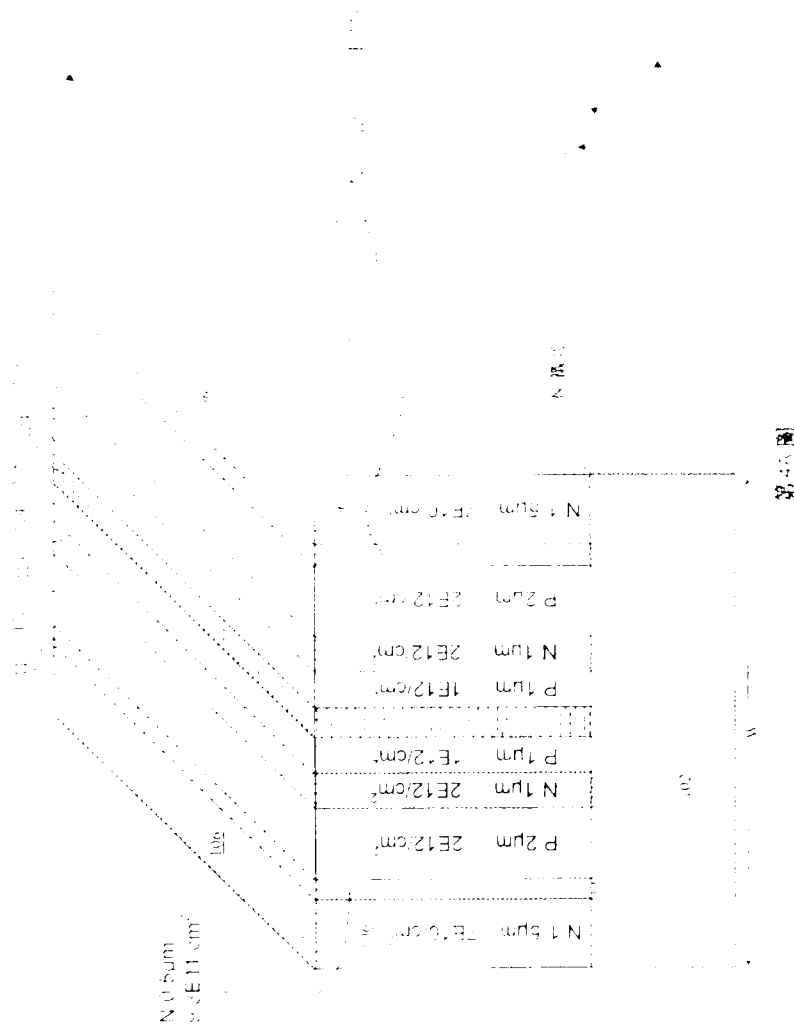
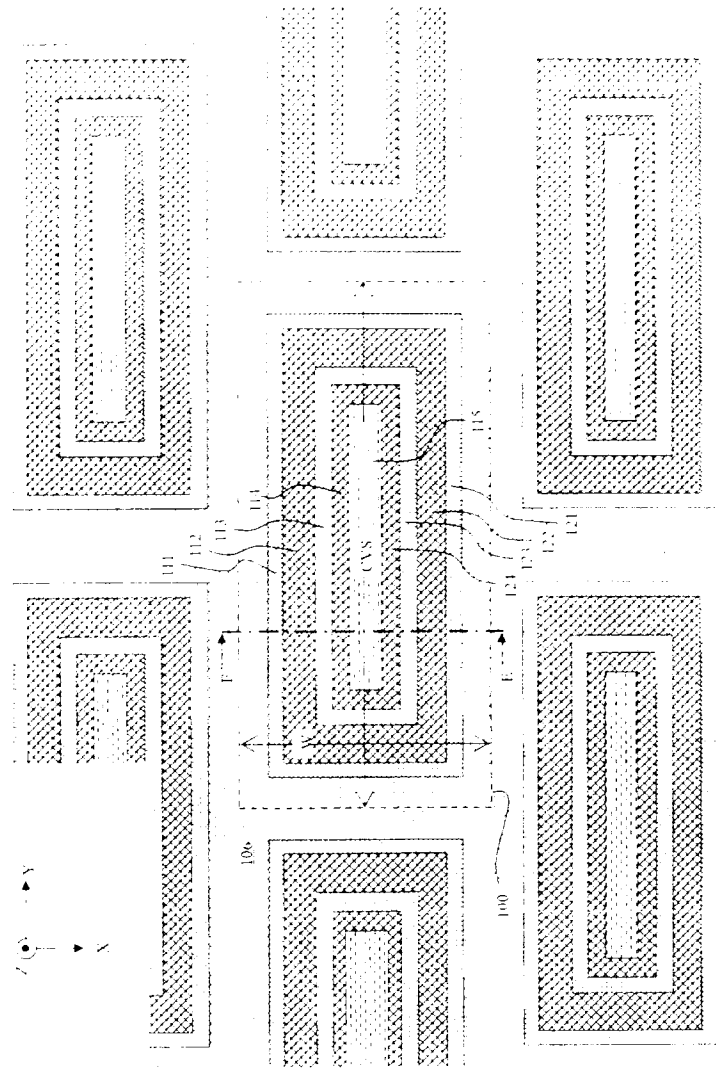


圖 10 次



第30圖





第48圖

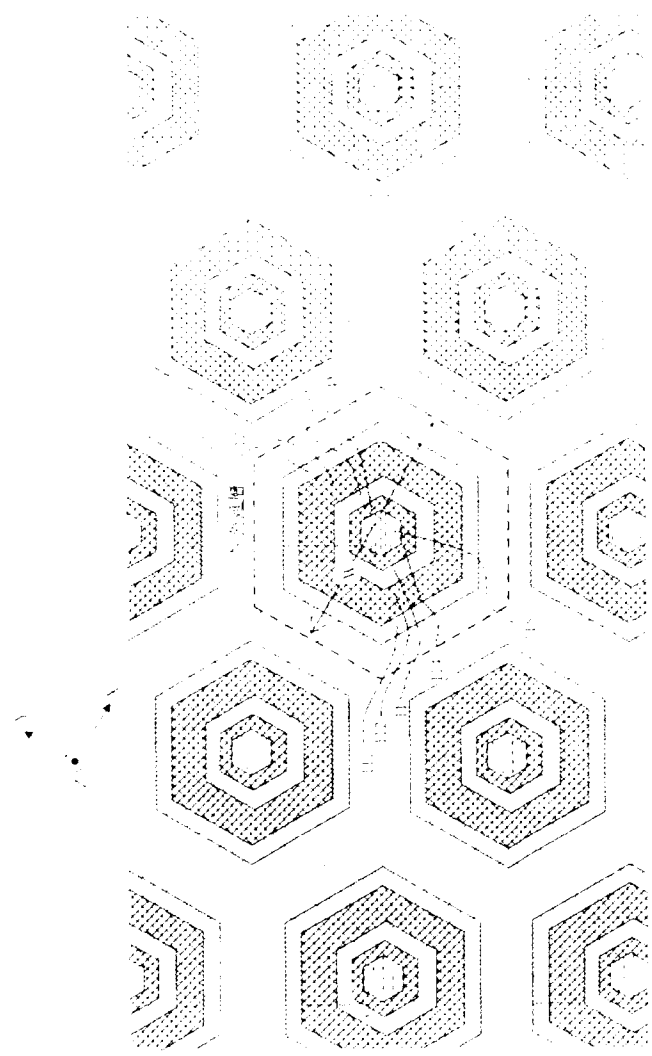
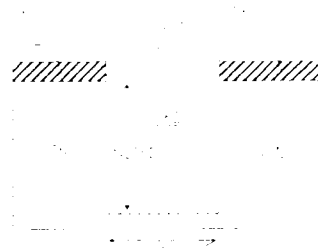
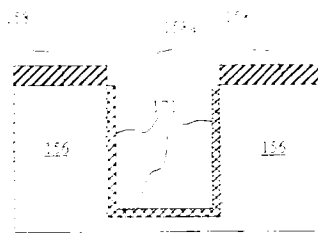


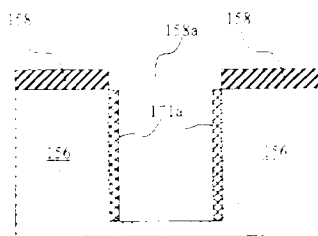
圖 11 節



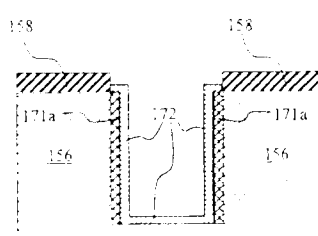
第5A圖



第5B圖



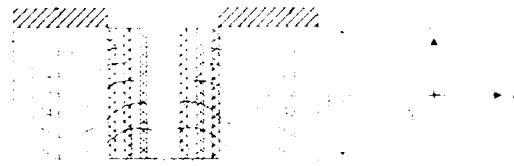
第5C圖



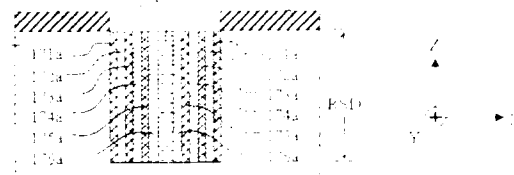
第5D圖



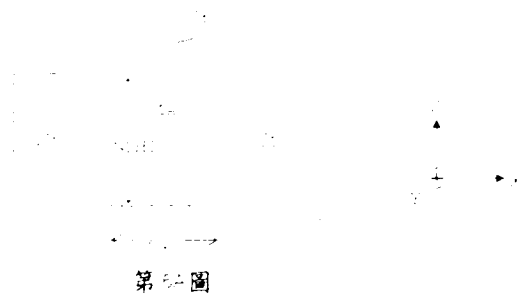
第49圖



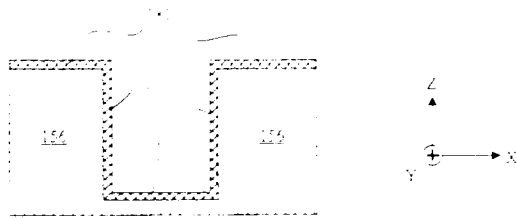
第50圖



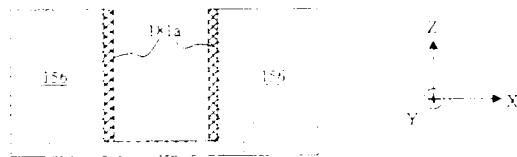
第51圖



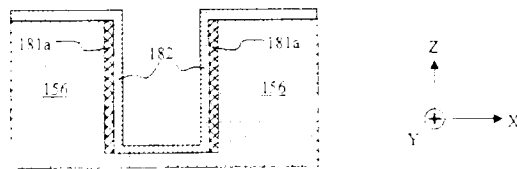
第6A圖



第6B圖



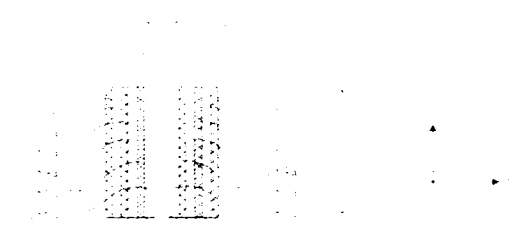
第6C圖



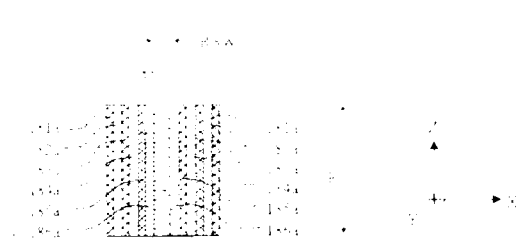
第6D圖



第 35 圖



第 36 圖



第 37 圖

四、指定代表圖：

(一)本案指定代表圖為：第5D圖

(二)本代表圖之元件符號簡單說明：

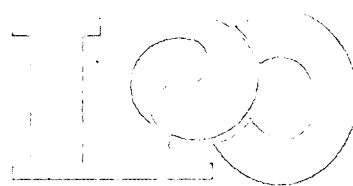
156：體狀漂移層

158：空穴硬掩膜

171a：奈米殼組件 (NSM₁)

172：摻雜外延層-2

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：



Intellectual
Property
Office