



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0058437
(43) 공개일자 2008년06월25일

(51) Int. Cl.

H03B 19/00 (2006.01) H04B 1/16 (2006.01)
H03B 5/00 (2006.01)

- (21) 출원번호 10-2008-7010097
- (22) 출원일자 2008년04월25일
심사청구일자 없음
번역문제출일자 2008년04월25일
- (86) 국제출원번호 PCT/US2006/037425
국제출원일자 2006년09월26일
- (87) 국제공개번호 WO 2007/038484
국제공개일자 2007년04월05일
- (30) 우선권주장
11/235,907 2005년09월27일 미국(US)
11/348,001 2006년02월06일 미국(US)

(71) 출원인

스카이워크스 솔루션즈, 인코포레이티드
미국 01801 메사추세츠주 워번 실반 로드 20

(72) 발명자

로젠브리트, 드미트리
미국 92612 캘리포니아주 얼바인 세다르 트리 레인 32

플레라, 라자세카르

미국 92324 캘리포니아주 콜튼 넘버2304 이스트 워싱턴 스트리트1699

(뒷면에 계속)

(74) 대리인

양영준, 정은진, 백만기

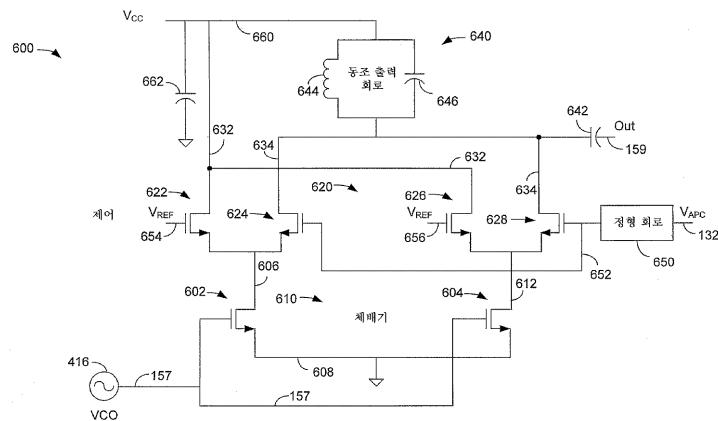
전체 청구항 수 : 총 20 항

(54) 가변 이득 주파수 체배기

(57) 요약

가변 이득 주파수 체배기는 체배기 회로와, 전력 출력 신호에 비례하는 전력 제어 신호를 수신하도록 구성된 제어 회로를 포함한다.

대표도



(72) 발명자

소울라티, 티르다드

미국 92606 캘리포니아주 얼바인 텔 캄브레아 45

타드즈포르, 샤르자드

미국 92606 캘리포니아주 얼바인 치프리아니 3

특허청구의 범위

청구항 1

가변 이득 주파수 체배기로서,
체배기 회로; 및
전력 출력 신호에 비례하는 전력 제어 신호를 수신하도록 구성된 제어 회로
를 포함하는 가변 이득 주파수 체배기.

청구항 2

제1항에 있어서,
동조 출력 회로를 더 포함하고,
특정 임계치 아래의 전력 레벨에서는 상기 체배기 회로의 출력이 상기 동조 출력 회로를 바이패스하는 가변 이득 주파수 체배기.

청구항 3

제2항에 있어서,
상기 임계치 위의 전력 레벨에서 상기 체배기 회로의 상기 출력은 상기 동조 출력 회로를 통과하는 가변 이득 주파수 체배기.

청구항 4

제3항에 있어서,
상기 제어 회로는,
기준 신호를 수신하도록 구성된 제1 트랜지스터; 및
상기 전력 제어 신호를 수신하도록 구성된 제2 트랜지스터
를 더 포함하는 가변 이득 주파수 체배기.

청구항 5

제3항에 있어서,
상기 제어 회로는 제1 차동 쌍과 제2 차동 쌍을 더 포함하고,
각 차동 쌍은 기준 신호를 수신하도록 구성된 제1 트랜지스터와 상기 전력 제어 신호를 수신하도록 구성된 제2 트랜지스터를 포함하는 가변 이득 주파수 체배기.

청구항 6

제3항에 있어서,
전력 증폭기; 및
전력 제어 페루프
를 더 포함하고,
상기 동조 출력 회로를 바이패스하면 상기 전력 증폭기의 입력이 상기 전력 제어 페루프의 입력으로부터 분리되는 가변 이득 주파수 체배기.

청구항 7

제1항에 있어서,

상기 전력 제어 신호는 상기 제어 회로가 상기 전력 출력 신호에 따라서 상기 가변 이득 주파수 체배기의 이득을 램프(ramp)하게 하는 가변 이득 주파수 체배기.

청구항 8

송신 신호의 주파수와 이득을 제어하는 방법으로서,

체배기 회로에 발진기 신호를 제공하는 단계;

상기 체배기 회로의 출력과, 전력 출력 신호에 비례하는 전력 제어 신호를 제어 회로에 제공하는 단계; 및

상기 전력 제어 신호를 이용하여 상기 체배기 회로의 상기 출력의 이득을 결정하는 단계

를 포함하는 제어 방법.

청구항 9

제8항에 있어서,

상기 전력 제어 신호가 소정의 임계치 아래일 때에 상기 체배기 회로의 상기 출력이 동조 출력 회로를 바이패스하도록 함으로써 상기 체배기 회로의 상기 출력의 이득을 결정하는 단계를 더 포함하는 제어 방법.

청구항 10

제9항에 있어서,

상기 전력 제어 신호가 특정 임계치 위에 있을 때에 상기 체배기 회로의 상기 출력이 상기 동조 출력 회로를 통해 흐르게 함으로써 상기 체배기 회로의 상기 출력의 이득을 결정하는 단계를 더 포함하는 제어 방법.

청구항 11

제10항에 있어서,

제1 트랜지스터에서 기준 신호를 수신하는 단계; 및

제2 트랜지스터에서 상기 전력 제어 신호를 수신하는 단계

를 더 포함하는 제어 방법.

청구항 12

제10항에 있어서,

차동 쌍의 제1 트랜지스터에서 기준 신호를 수신하는 단계; 및

차동 쌍의 제2 트랜지스터에서 상기 전력 제어 신호를 수신하는 단계

를 더 포함하는 제어 방법.

청구항 13

제10항에 있어서,

상기 동조 출력 회로를 바이패스하면 전력 증폭기의 입력이 전력 제어 루프의 입력으로부터 분리되는 제어 방법.

청구항 14

제8항에 있어서,

상기 전력 제어 신호는 상기 제어 회로가 상기 전력 출력 신호에 따라서 상기 가변 이득 주파수 체배기의 이득을 램프하는 제어 방법.

청구항 15

가변 이득 주파수 체배기를 갖는 휴대형 트랜시버로서,
 완전 차동 수신 체인;
 상기 수신 체인 내에서 무선 주파수(RF) 입력 신호와, 공칭 45도만큼 위상 시프트된 국부 발진기(L0) 신호를 수신하도록 구성된 부고조파(subharmonic) 믹서;
 전압 제어 발진기와, 원하는 송신 및 수신 L0 신호들을 발생하는 적어도 하나의 분주기를 갖는 합성기;
 전력 제어 페루프를 갖는 송신기;
 상기 합성기가 주파수 체배기 없이 상기 송신 및 수신 L0 신호들을 발생할 수 있도록 설계된 주파수 계획에 의해 이용가능한 고조파 억제 변조기; 및
 가변 이득 주파수 체배기
 를 포함하고,
 상기 가변 이득 주파수 체배기는,
 체배기 회로; 및
 전력 출력 신호에 비례하는 전력 제어 신호를 수신하도록 구성된 제어 회로
 를 포함하는 휴대형 트랜시버.

청구항 16

제15항에 있어서,
 동조 출력 회로를 더 포함하고,
 특정 임계치 아래의 전력 레벨에서는 상기 체배기 회로의 출력이 상기 동조 출력 회로를 바이패스하는 휴대형 트랜시버.

청구항 17

제16항에 있어서,
 상기 임계치 위의 전력 레벨에서 상기 체배기 회로의 상기 출력은 상기 동조 출력 회로를 통과하는 휴대형 트랜시버.

청구항 18

제17항에 있어서,
 상기 제어 회로는,
 기준 신호를 수신하도록 구성된 제1 트랜지스터; 및
 상기 전력 제어 신호를 수신하도록 구성된 제2 트랜지스터
 를 더 포함하는 휴대형 트랜시버.

청구항 19

제17항에 있어서,
 상기 제어 회로는 제1 차동 쌍과 제2 차동 쌍을 더 포함하고, 각각의 차동 쌍은 기준 신호를 수신하도록 구성된 제1 트랜지스터와 상기 전력 제어 신호를 수신하도록 구성된 제2 트랜지스터를 포함하는 휴대형 트랜시버.

청구항 20

제17항에 있어서,

전력 증폭기; 및
전력 제어 페루프
를 더 포함하고,

상기 동조 출력 회로를 바이패스하면 상기 전력 증폭기의 입력이 상기 전력 제어 페루프의 입력으로부터 분리되는 휴대형 트랜시버.

명세서

기술분야

<1> 관련출원의 상호 인용

<2> 본 출원은 2005년 9월 27일자로 출원된 미국 특허출원 제11/235,907호(발명의 명칭: 페루프 전력제어를 갖는 단일칩 GSM/EDGE 트랜시버 구조(Single chip GSM/EDGE Transceiver Architecture With Closed Loop Power Control))의 일부 계속 출원이고, 전체가 참조로서 본원에 포함된다.

배경기술

<3> 무선 주파수(RF) 송신기는 휴대형 통신 장치, (셀룰러 전화), 개인 휴대 정보 단말(PDA), 기타 다른 통신 장치와 같은 많은 단방향이나 양방향 통신 장치에 구비되어 있다. RF 송신기는 동작중인 특정 통신 시스템에 의해 지시되는 것이라면 어떠한 통신 방식을 이용해서라도 송신을 할 수 있어야 한다. 예컨대, 통신 방식으로는 통상적으로 진폭 변조, 주파수 변조, 위상 변조 또는 이들을 조합한 방식이 있다. 협대역 TDMA 기법을 이용하는 통상의 GSM(Global System for Mobile communications) 이동 통신 시스템에 있어서는 가우시안 최소 시프트 키잉(Gaussian minimum shift keying: GMSK) 변조 방식에 따라서 깨끗한 위상 변조(PM) 송신 신호를 발진기로부터 바로 비선형 전력 증폭기로 공급한다.

<4> 이와 같은 구성에서는 고효율의 비선형 전력 증폭기를 사용하여 위상 변조 신호의 전송 효율을 높이고 전력 소모도 최소화할 수가 있다. 변조 신호는 발진기로부터 바로 공급되기 때문에 전력 증폭기 전단 또는 후단에서 필터링의 필요성이 최소화된다. 그러나 IS-136 등에서 채용하는 다른 송신 표준은 송신 신호에 대해 위상 변조(PM)와 진폭 변조(AM) 양쪽을 행하는 변조 방식을 사용한다. 이와 같은 표준들은 송신 신호의 대역폭을 증가시키지 않으면서 데이터 전송율을 증가시킨다. 불행히도 기존의 GSM 송신기 하드웨어는 PM 성분과 AM 성분 모두를 포함하는 신호를 송신하기에 그다지 적합하게 구성되어 있지 않다. 이러한 난점에 대한 한 가지 이유는 PM 성분과 AM 성분을 포함하는 신호를 송신하기 위해서는 전력 증폭기의 선형성이 아주 좋아야 한다는 것이다. 불행히도 선형성이 좋은 전력 증폭기는 효율이 낮아서 비선형 전력 증폭기에 비해 전력 소모가 훨씬 많고 배터리나 기타 전력 공급원의 수명을 크게 감소시킨다.

<5> 이런 상황은, GSM 통신 시스템에서 통상적으로 사용되는 송신기는 버스트로 송신하고 또 출력 전력 레벨을 넓은 전력 범위에 걸쳐 고도로 제어하는 것은 물론 송신 전력의 램프 상승(ramp-up)을 제어할 수 있어야 하기 때문에 더 복잡하다. GSM에서는 이런 전력 제어를 통상적으로, 전력 증폭기로부터 출력된 신호의 일부를 기준 신호와 비교하고, 결과로서의 에러 신호를 전력 증폭기의 제어 포트에 피드백시키는 피드백 페루프를 이용하여 수행한다.

<6> EDGE 통신 시스템은 GSM 통신 시스템의 데이터 전송 능력을 향상시키기 위해 송신 신호에 진폭 변조(AM) 성분을 포함시킨다. 그러나 GSM 타입 변조 시스템에 AM 성분을 추가하고자 하면, 전력 제어 루프가 출력 전력을 일정하게 유지하기 위해서 신호에 존재하는 진폭 변동을 감쇠시킬 것이다. 이와 같은 구성에서는 전력 제어 루프는 신호의 AM 성분을 제거하는 경향이 있다.

<7> 더욱이, PM 신호와 AM 신호 모두를 전력 증폭기에 송신하는 전송 표준들에서는 전력 증폭기의 선형성이 아주 좋지 않으면, 원치 않는 AM-PM 변환이 생겨 그 결합된 송신 신호에 왜곡이 생길 수가 있다. 이 변환은 송신 신호에 좋지 영향을 미치며, 이를 해소하기 위해서는 비싸고 비효율적인 선형 전력 증폭기의 사용을 필요로 할 수 있다.

<8> 종래에는 그와 같은 통신 시스템에 쓰이는 트랜시버 컴포넌트들은 통상적으로 "칩"이라고도 불리는 다수의 장치를 이용하여 구현하였다. 그러나 비용, 구현 복잡성 및 전력 소모는 줄이면서 배터리 수명을 늘리려는 업계의 요망에 따라 업계는 단일 칩 구조화를 시도하고 있다. 불행히도, GSM/EDGE 트랜시버에 대한 단일 칩 구현에는,

특히 전력 제어 패루프를 사용하여 송신기의 출력 전력을 제어하는 시스템에서는 많은 설계 난점이 있다. 예컨대, 트랜시버 컴포넌트와 동일한 칩 상에 패루프 전력 제어 시스템을 구현하는 경우에는 그 컴포넌트들 간의 무선 주파수(RF) 온 칩 분리 요구가 트랜시버 성능에 영향을 미치는 주요인이 되고 있다.

<9> <발명의 개요>

<10> 가변 이득 주파수 체배기는 체배기 회로와, 전력 출력 신호에 비례하는 전력 제어 신호를 수신하도록 구성된 제어 회로를 포함한다.

<11> 다른 실시예들도 제공된다. 본 발명의 다른 시스템, 방법, 특징 및 이점은 하기의 상세한 설명과 첨부 도면을 통해서 당업자에게 명백하게 드러날 것이다. 그와 같은 추가적인 시스템, 방법, 특징 및 이점은 본 명세서에 포함되며 본 발명의 범위에 속하며, 청구 범위에 의해 보호되어야 한다.

실시예

<21> 특별히 휴대형 트랜시버에 관련하여 설명하겠지만, 가변 이득 주파수 체배기는 바람직하게는 단일 칩 GSM/EDGE 트랜시버를 갖춘 임의의 시스템에서 구현될 수 있다.

<22> 가변 이득 주파수 체배기는 하드웨어, 소프트웨어, 또는 하드웨어와 소프트웨어의 조합으로 구현될 수 있다. 하드웨어로 구현하는 경우에는 가변 이득 주파수 체배기는 특수한 하드웨어 요소와 로직을 이용하여 구현될 수 있다. 가변 이득 주파수 체배기를 부분적으로 소프트웨어로 구현하는 경우에는 가변 이득 주파수 체배기의 각종 컴포넌트를 정밀하게 제어하기 위해 소프트웨어의 일부를 사용할 수 있다. 소프트웨어는 메모리에 저장되어 적당한 명령어 실행 시스템(마이크로프로세서)에 의해 실행될 수 있다. 가변 이득 주파수 체배기의 하드웨어 구현은, 본 기술 분야에서 잘 알려진 이하의 기술들: 개별 전자 컴포넌트, 데이터 신호에 대한 논리 기능을 구현하기 위한 로직 게이트를 구비한 개별 로직 회로(들), 적당한 로직 게이트를 구비한 주문형 집적회로(ASIC), 프로그래머블 게이트 어레이(들)(PGA), 필드 프로그래머블 게이트 어레이(FPGA) 등에서 어느 하나 또는 이들의 조합을 포함할 수 있다.

<23> 가변 이득 주파수 체배기용 소프트웨어는 논리 기능을 구현하기 위한 일련의 실행가능 명령어들을 포함하고, 컴퓨터 기반 시스템이나 프로세서 내장 시스템, 또는 명령어 실행 시스템, 장치 또는 디바이스로부터 명령어들을 폐치하여 그 명령어들을 실행할 수 있는 기타 다른 시스템과 같은 명령어 실행 시스템, 장치 또는 디바이스에 의해 또는 이들과 관련하여 사용하기 위한 임의의 컴퓨터 판독가능 매체로 구체화될 수 있다.

<24> 본 명세서에서 "컴퓨터 판독가능 매체"는 명령어 실행 시스템, 장치 또는 디바이스에 의해 또는 이들과 관련하여 사용하기 위한 프로그램을 포함하거나 저장하거나 통신하거나 전파하거나 운송할 수 있는 임의의 수단일 수 있다. 예컨대 컴퓨터 판독가능 수단은 전자, 자기, 광학, 전자기, 적외선 또는 반도체 시스템, 장치, 디바이스, 또는 전파 매체일 수 있으나, 이들에 한정되는 것은 아니다. 컴퓨터 판독가능 매체의 추가의 특징 예(다른 것을 배제하지 않음)로는 하나 이상의 배선을 구비한 전기적 연결부(전자적), 휴대형 컴퓨터 디스켓(자기적), RAM(random access memory), ROM(read-only memory), EPROM(erasable programmable ROM) 또는 플래시 메모리(자기적), 광파이버(광학적), 그리고 휴대형 CDROM(compact disc ROM)(광학적)이 있다. 컴퓨터 판독가능 매체는 심지어, 프로그램이 예컨대 종이나 기타 다른 매체의 광 스캐닝을 통해 전자적으로 캡처되어, 편집, 해석되거나, 필요한 경우 적당한 방식으로 처리되어 컴퓨터 메모리에 저장될 수 있음에 따라, 프로그램이 프린트 되는 종이나 기타 다른 적당한 매체가 될 수 있다.

<25> 도 1은 간략화된 휴대형 트랜시버(100)를 도시한 블록도이다. 휴대형 트랜시버(100)는 스피커(102), 디스플레이(104), 키보드(106) 및 마이크로폰(108)을 포함하며, 이들은 모두 기저 대역 서버 시스템(110)에 연결되어 있다. 특정 실시예에서, 휴대형 트랜시버(100)는 예컨대 모바일 셀룰러형 전화와 같은 휴대형 원격 통신 핸드셋일 수 있으나 이에 제한되지 않는다. 스피커(102)와 디스플레이(104)는, 당업자에게 공지된 바와 같이, 각각 연결부(112, 114)를 통해 기저 대역 서버 시스템(110)으로부터 신호를 수신한다. 마찬가지로, 키보드(106)와 마이크로폰(108)은 각각 연결부(116, 118)를 통해 기저 대역 서버 시스템(110)에 신호를 공급한다. 기저 대역 서버 시스템(110)은 버스(128)를 통해 서로 통신하는 마이크로프로세서(μP)(120), 메모리(122), 아날로그 회로(124) 및 디지털 신호 처리기(DSP)(126)를 포함한다. 버스(128)는, 이 도면에는 단일 연결부로서 도시되어 있지만, 필요에 따라 기저 대역 서버 시스템(110) 내의 서버 시스템들 간에 연결된 여러 개의 버스들을 이용하여 구현될 수 있다. 마이크로프로세서(120)와 메모리(122)는 휴대형 트랜시버(100)에 신호 타이밍, 처리 및 저장 기능을 제공한다. 가변 이득 주파수 체배기가 부분적으로 소프트웨어로 구현되는 경우에는 메모리(122)도 마이크로프로세서(120), DSP(126) 또는 기타 다른 프로세서가 실행할 수 있는 가변 이득 주파수 체배기 소프트웨어

(155)를 포함한다.

- <26> 아날로그 회로(124)는 기저 대역 서브 시스템(110) 내의 신호들에 대해 아날로그 처리 기능을 제공한다. 기저 대역 서브 시스템(110)은 버스(128)를 통해 무선 주파수(RF)/혼합 신호 디바이스(mixed signal device: MSD) 서브 시스템(130)과 통신한다.
- <27> RF/MSD 서브 시스템(130)은 아날로그와 디지털 컴포넌트를 모두 갖고 있다. RF/MSD 서브 시스템(130)은 일반적으로 수신기(200), 합성기(300) 및 송신기(400)를 포함한다. 이 예에서는 RF/MSD 서브 시스템(130)은 아날로그-디지털 변환기(134)를 포함하며, 송신기(400)는 하나 이상의 디지털-아날로그 변환기(DAC)(142, 144)를 포함한다.
- <28> 일 실시예에서 기저 대역 서브 시스템(11)은 RF/MSD 서브 시스템(130)에 (아날로그 전압 신호로서 공급되며, V_{APC} 로 지칭되는) 자동 전력 제어 신호를 공급한다. 단일 연결부(132)로서 도시되었지만, 제어 신호는 DSP(126)나 마이크로프로세서(120)나 다른 요소로부터 발생하며, DAC(142)에 의해 RF/MSD 서브 시스템(130)내의 여러 지점으로 공급된다. 간단하게 하기 위하여 휴대형 트랜시버(100)의 기본 컴포넌트들만 도시되어 있음을 주의해야 한다.
- <29> ADC(134), DAC(142) 및 DAC(144)도 버스(128)를 통해 마이크로프로세서(120), 메모리(122), 아날로그 회로(124) 및 DSP(126)와 통신한다. DAC(144)는 기저 대역 서브 시스템(110) 내의 디지털 통신 정보를 아날로그 신호로 변환하고, 송신기(400)는 그 아날로그 신호를 연결부(140)를 통해 송신한다. 2개의 화살표로 나타낸 연결부(140)는 디지털 영역에서 아날로그 영역으로의 변환 후에 RF/MSD 서브 시스템(130)이 전송할 정보를 포함한다.
- <30> DAC(144)는 정보 신호의 기저 대역 동일 위상(I) 성분과 직각 위상(Q) 성분 또는 위상과 진폭 성분 상에서 동작할 수 있다. I 및 Q 신호의 경우에 변조기(146)는 공지된 I/Q 변조기이고, 위상 및 진폭 성분의 경우에는 변조기(146)는 위상 성분만을 이용하는 위상 변조기로서 동작하고 진폭 성분은 그대로 전력 제어 요소(145)로 보낸다. DAC(142)는 여러 가지 다른 제어 신호를 연결부(132)를 통해 RF/MAD 서브 시스템(130) 내의 여러 컴포넌트에 공급한다.
- <31> 변조기(146)는 DAC(144)로부터 수신된 I 및 Q 정보 신호나 위상 정보 신호를, 연결부(156)를 통해 합성기(300)가 제공하는 "국부 발진기" 또는 "LO" 신호로 불리는 주파수 기준 신호로 변조한다. 이 예에서 변조기(146)는 업컨버터(154)의 일부이나 반드시 필요한 것은 아니다. 단일 칩 GSM/EDGE 트랜시버에서 채용되는 주파수 계획(frequency plan)(후술함)에 따라서 최소 후변조(post-modulation) 필터링을 수행하는 고조파 억제형(harmonic rejection type) I/Q 변조기를 사용할 수 있다.
- <32> 변조기(146)는 또한 연결부(138) 상의 원하는 진폭 변조(AM) 신호 성분만을 포함하는 중간 주파수(IF) 신호를 연결부(138)를 통해 전력 제어 요소(145)로 공급한다. 연결부(138)를 통해 변조기가 공급한 AM 신호는 먼저 RF 서브 시스템(130)과 연관된 기준 가변 이득 요소에 공급된다. 변조기(146)가 공급하는 AM 신호는 후술하는 기준 가변 이득 요소에 기준 신호로서 공급되는 일정한(평균) 전력 레벨을 가진 중간 주파수(IF) AM 신호이다. 전력 제어 페루프를 구성하는 전력 제어 요소(145)의 동작에 대해서는 도 4를 참조로 후술한다.
- <33> 후술할 합성기(300)는 업컨버터(154) 변조 신호를 변환할 적당한 주파수를 결정한다. 이 실시예에서, 합성기는 예컨대 대략 2.5 내지 3.0 기가헤르츠(GHz)의 중심 주파수에서 동작하는 하나의 전압 제어 발진기(VCO)와, 원하는 LO 신호를 송신기(400)와 수신기(200)에 제공하는 분주기만을 사용한다.
- <34> 업컨버터(154)는 적당한 송신 주파수에서 위상 변조 신호를 연결부(158)를 통해 전력 증폭기(160)에 공급한다. 전력 증폭기(160)는 연결부(158) 상의 위상 변조 신호를 적당한 전력 레벨로 증폭하여 연결부(162)를 통해 안테나(164)로 송신한다. 예시적으로 스위치(166)는 연결부(162) 상의 증폭된 신호를 안테나(164)로 전송할 것인지 또는 안테나(164)로부터 수신한 신호를 필터(168)에 공급할 것인지 여부를 제어한다. 스위치(166)의 동작은 연결부(132)를 통해 기저 대역 서브 시스템(110)으로부터의 제어 신호에 의해 제어된다.
- <35> 일 실시예에서, 연결부(162) 상의 증폭된 송신 신호 전력의 일부는 연결부(170)를 통해 전력 제어 요소(145)에 공급될 수 있다. 이 실시예에서, 전력 제어 요소(145)는 연속한 전력 제어 피드백 페루프를 구성하며, 연결부(158) 상의 신호가 증폭되어야 하는 전력에 대해 전력 증폭기(160)에게 지시하는 정보 신호를 연결부(172) 상에 공급한다. 또한 전력 제어 요소(145)는 연결부(198)를 통해 합성기(300)로부터 LO 신호를 수신한다. 단일 VCO를 가진 합성기(300)는 필요한 LO 신호 전부를 수신기(200)와 송신기(400)에 공급한다.

<36> 안테나(164)에 의해 수신된 신호는 기저 대역 서브 시스템(110)에 의해 결정된 적당한 시점에서 스위치(166)를 통해 수신 필터(168)로 보내질 수 있다. 수신 필터(168)는 수신된 신호를 필터링하여 필터링된 신호를 연결부(174)를 통해 저잡음 증폭기(LNA)(176)에 공급한다. 도 1에는 하나의 LNA(176)만이 도시되어 있지만, 통상적으로는 휴대형 트랜시버(100)가 동작하는 주파수 또는 주파수들에 따라서 복수의 LNA가 사용될 수 있음을 이해해야 한다. 수신 필터(168)는 휴대형 트랜시버(100)가 동작하는 특정 셀룰러 시스템의 모든 채널을 통과하는 대역통과 필터일 수 있다. 일 예로서, 900 MHz GSM 시스템에 대해서는 수신 필터(168)는 각각 200 kHz의 175개의 인접 채널 모두를 포함하는 925.1 MHz에서 959.9 MHz에 이르는 모든 주파수를 통과시킬 것이다. 수신 필터(168)의 목적은 모든 원하는 영역 밖에 있는 주파수를 제거하는 것이다. LNA(176)는 연결부(174) 상의 매우 약한 신호를, 다운컨버터(178)가 그 신호를 송신 주파수에서 다시 기저 대역 주파수로 변환할 수 있는 레벨까지 증폭시킨다. 또는 LNA(176)와 다운컨버터(178)의 기능은 예컨대 저잡음 블록 다운컨버터(LNB)와 같은 (이에 한정되지 않음) 다른 요소를 이용하여 달성될 수 있다. 이 예에서, 수신기(200)는 수신된 RF 신호가 바로 기저 대역 신호로 하향 변환되는 직접 변환 수신기(DCR)로서 동작한다. 일 실시예에서, LNA(176)는 완전 차동형이며 LNA(176)의 입력에서 큰 전계가 제거되도록 전압 이득을 이용하지 않고 동작한다.

<37> 다운컨버터(178)는 연결부(180)를 통해 합성기(300)로부터 하나 이상의 LO 신호를 수신한다. 이 실시예에서, LO 신호의 위상은 대략 45도 정도 시프트되어 수신 신호 경로에서 다상 필터 또는 큰 인덕턴스를 사용하지 않고 동일 위상 및 직각 위상 수신 신호의 주파수 변환을 제공한다. 합성기(300)는 연결부(182)를 통해 LNA(176)로부터 수신된 신호가 하향 변환될 주파수를 결정한다. DCR의 경우에 수신 신호는 기저 대역(DC) 또는 거의 기저 대역으로 바로 변환된다. 다운컨버터(178)는 하향 변환된 신호를 연결부(184)를 통해 "IF 필터"라고도 불리는 채널 필터(186)로 보낸다. 채널 필터(186)는 원하는 채널만을 선택하고 나머지는 제거한다. 일례로서 GSM 시스템을 사용하면 실제로는 175개의 인접 채널들 중 하나만 수신될 것이다. 모든 채널이 수신 필터(168)를 통과하고 다운컨버터(178)에 의해 주파수가 하향 변환된 후에는, 원하는 하나의 채널만이 채널 필터(186)의 중심 주파수에 정확히 나타날 것이다. 합성기(300)는 연결부(180)를 통해 다운컨버터(178)에 공급된 국부 발진 주파수를 제어함으로써 그 선택된 채널을 결정한다. 복조기(194)는 송신된 아날로그 정보를 재생하여 이 정보를 나타내는 신호를 연결부(196)를 통해 ADC(134)에 공급한다. ADC(134)는 이들 아날로그 신호를 기저 대역 주파수의 디지털 신호로 변환하고 이를 버스(128)를 통해 DSP(126)로 전송하여 여기서 더 처리한다.

<38> 도 2는 도 1의 수신기(200)를 도시한 개략도이다. 수신기(200)는 주로 수신기(200)에 관련된 GSM/EDGE 트랜시버 구조의 개념을 설명하기 위해 간략하게 도시되어 있다. 수신기(200)는 LNA부(176)와, 믹서(250)와 동일 위상 및 직각 위상 모두를 이용하여 도시된 다운컨버터부와, 필터 요소(274, 276)를 포함한다. 이 실시예에서, LNA부(176)는 LNA(212, 214, 216, 218)를 포함하며, 각 LNA는 특정 송신 주파수 대역의 신호를 수신하도록 설계되어 있다. LNA(212, 214, 216, 218)와, 수신기 내의 모든 요소들(후술함)은 전압 이득을 제공하지 않으며, 완전히 차동적이므로, 차동 변환 회로가 싱글 엔디드(single ended)될 필요가 없고 또 수신 신호를 추가적으로 더 증폭할 필요도 없다. 이 예에서, LNA(212, 214)는 GSM 통신 대역에서 동작하고, LNA(216, 218)는 PCS 통신 대역에서 동작한다. LNA(212)는 연결부(202)를 통해 차동 850 MHz 수신 신호를 수신하도록 설계되고, LNA(214)는 연결부(204)를 통해 차동 900 MHz 수신 신호를 수신하도록 설계되어 있다. LNA(216)는 연결부(206)를 통해 차동 1800 MHz 수신 신호를 수신하도록 설계되고, LNA(218)는 연결부(208)를 통해 차동 1900 MHz 수신 신호를 수신하도록 설계되어 있다. LNA(212, 214, 216, 218)의 출력은 연결부(182)를 통해 믹서(250)에 바로 공급된다. 이 실시예에서, 완전 차동 LNA(212, 214, 216, 218)는 RF 위상 시프팅 네트워크를 필요로 하는 수신기에서 흔히 있는 큰 입력 특성 임피던스를 제거하도록 설계된다. 이런 식으로 LNA(212, 214, 216, 218)의 입력에서의 수신 신호는 손실이 최소화되며, 수신기(200)를 통한 추가적인 증폭을 거의 또는 전혀 필요로 하지 않는다.

<39> 동일 위상 및 직각 위상 하향변환을 제공하기 위하여 믹서(250)는 위상 시프트 RF 신호 대신에 부고조파(sub-harmonic) 주파수의 위상 시프트 LO 신호를 이용하여 동작하도록 설계된 부고조파 믹서이다. 위상 시프트 LO 신호(이것의 발생에 대해서는 후술함)를 이용하면, 수신기(200)는 고가이면서 전력 소모가 많은 소위 "다상" 필터 네트워크가 없어도 된다. 종래에는 동일 위상 및 직각 위상 하향 변환을 달성하기 위하여 수신 RF 신호의 위상은 하나 이상의 다상 필터 네트워크에 의해 시프트되었다. 여기서 설명되는 GSM/EDGE 트랜시버 구조에서는, 믹서(250)는 위상 시프트 LO 신호를 이용하여 하향 변환을 실시하므로 다상 필터가 필요 없게 된다. 위상 시프트 LO 신호를 이용하면 LNA(212, 214, 216, 218)의 출력은 결합되어 단일 믹서(250)에 공급될 수 있다. 이에 따라 다이 크기가 감소되며 수신기 설계도 간단하게 된다. 이 실시예에서, LNA부(176)의 입력으로부터 믹서(250)의 출력으로의 신호 경로는 완전히 차동적이므로, DC 오프셋, 수신기 자기 혼합(self-

mixing), 동일 위상 채널과 직각 위상 채널 간의 주파수 변동을 감소시키고, 신호 대 잡음비(s/n)의 저하와 수신 경로를 통한 송신 신호의 누설을 최소화할 수 있다. 더욱이, 수신기(200)에서 추가적인 증폭이 이용되지 않기 때문에 수신기(200)의 전력 소모가 최소화된다.

- <40> 믹서(250)는 동일 위상 믹서 요소(252)와 직각 위상 믹서 요소(254)를 포함한다. 동일 위상 믹서 요소(252)는 믹서 코어(256, 258)를 포함한다. 직각 위상 믹서 요소(254)는 믹서 코어(262, 264)를 포함한다. 수신 RF 신호는 연결부(182)를 통해 믹서 코어(256, 258, 262, 264)에 연결된다. 믹서 코어(256, 258, 262, 264)는 합성기(300)로부터 위상 시프트 LO 신호를 수신하는데, 이에 대해서는 뒤에자세히 설명한다. 위상 시프트 LO 신호를 이용하면 믹서에 공급된 RF 입력 신호는 변하지 않고 그대로 이므로 RF 경로 내의 (하나 이상의 다상 필터같은) 위상 시프팅 네트워크가 필요없게 된다. 더욱이, 완전 차동 LNA부(176)와 단일 믹서(250)를 이용하면 수신기(200)의 제2 차단점(IP2) 성능이 IP2 교정이 필요없는 포인트까지 실질적으로 향상된다.
- <41> 단일 믹서(250)를 이용할 수 있기 때문에 수신기(200)가 차지하는 다이 면적이 최소화될 수 있고, 수신기(200)가 구성되는 집적 회로의 레이아웃을 단순화할 수 있다. 더욱이, 집적 회로의 레이아웃을 단순화하게 되면, 기생 용량을 최소화할 수 있고, 2개 이상의 믹서를 사용하는 경우보다 수신기 설계를 더욱 대칭적으로 할 수 있고, 여러 가지 수신 대역에 대해 수신 이득 교정을 단순화하고 최소화할 수가 있다. 더욱이, 믹서(250) 앞에서 RF 신호의 전압을 최소화하게 되면, 믹서(250)의 LO 포트에 큰 RF 전압이 걸리는 경우에 발생할 수 있는 RF 자기 혼합을 최소화하는데 도움이 된다. 더욱이, 다운컨버터의 입력에서 그 출력으로의 (즉, LNA부(176)로의 입력으로부터 동일 위상 및 직각 위상 이득 및 필터 요소(274, 276)의 출력으로의) 완전 차동 경로에 의해서 입력 신호의 포지티브 및 네거티브 반파형의 비대칭 아날로그 처리에 관련된 다른 IP2 메카니즘이 최소화될 수 있다.
- <42> 일 실시예에서, 믹서 코어(256)에는 0도 및 180도 LO 신호가 공급되고, 믹서 코어(258)에는 90도 및 270도 LO 신호가 공급되고, 믹서 코어(262)에는 45도 및 225도 LO 신호가 공급되고, 믹서 코어(264)에는 135도 및 315도 LO 신호가 공급된다. 동일 위상 믹서 요소(252)의 차동 출력은 연결부(270)를 통해 동일 위상 이득 및 필터 요소(274)에 공급되고, 직각 위상 믹서 요소(254)의 차동 출력은 연결부(272)를 통해 직각 위상 이득 및 필터 요소(276)에 공급된다. 기저 대역 이득 및 필터링 요소(274, 276)로서 설명된 수신기(200)의 기저 대역부는 수신기(200)가 GSM 표준과 DC 오프셋 보상(DCOC)을 충족할 수 있도록 하는 이득 채널 선택 필터링을 제공한다. 공지된 바와 같이 여러 개의 필터링단과 이에 이어진 이득단이 사용된다.
- <43> 동일 위상 이득 및 필터 요소(274)의 차동 출력과 직각 위상 이득 및 필터 요소(276)의 차동 출력은 연결부(196)를 통해 ADC(134)(도 1)에 공급되어, 디지털 영역으로 변환된 후에 기저 대역 서브 시스템(110)에서 더 처리되게 된다.
- <44> 도 3은 도 1의 합성기(300)의 개략도이다. 합성기(300)는 대략 2.5 내지 3.0 기가헤르츠(GHz) 주파수 범위에서 동작하도록 설계된 전압 제어 발진기(VCO)(302)를 포함하며, 일 실시예에서는, 대략 2.8 GHz의 중심 주파수와 대략 +/- 250 메가헤르츠(MHz)의 조정 범위를 갖고 있다. VCO(302)의 출력은 연결부(304)를 통해 분주기(306)에 공급된다. 이 실시예에서, PCS1800/1900 주파수 대역에서 고역 동작을 위해 사용되는 경우에는 분주기(306)는 연결부(304) 상의 입력 주파수를 1로 나눈다. GSM850/900 주파수 대역에서 저역 동작을 위해 사용되는 경우에는 분주기(306)는 연결부(304) 상의 입력 주파수를 2로 나눈다.
- <45> 수신기(200)에 신호를 공급하기 위해 사용되는 경우에는 분주기(306)의 출력은 연결부(314)를 통해 다른 분주기(320)로 보내진다. 분주기(320)는 연결부(314) 상의 신호의 주파수를 3으로 나누고, 그 출력을 연결부(322, 324, 326)를 통해 위상 결합기(330)에 공급한다.
- <46> 대략 2.8 GHz에서 동작하는 VCO(302)이 사용, 및 분주기(306, 320)는 합성기(300)에서 주파수 체배기가 필요하지 않게 한다. 주파수 체배기와 비교해서 분주기는 집적 회로 칩 상의 다이 면적이 작고, 잡음도 덜 발생하고, 전력 소모도 적다. 분주기(306, 320)는 일반적으로 입력 신호의 위상 정밀도를 유지하면서 넓은 동작 범위를 제공하고 일관된 고조파 내용을 제공한다.
- <47> 분주기(306)의 /2 저역 출력은 연결부(316)를 통해 위상 고정 루프(PLL)(308)에 공급된다. 이 실시예에서, 위상 고정 루프(308)는 델타-시그마 분수 N 위상 고정 루프이다. 위상 고정 루프(308)의 출력은 연결부(318)를 통해 VCO(302)에 피드백으로서 공급된다.
- <48> 수신 모드에서 위상 결합기(330)는 부고조파 믹서(250)(도 2)에 공급되는 1/2 LO 위상 시프트 LO 신호를 발생한다. 위상 결합기(330)는 다상 필터 네트워크에 비해 다이 상에 차지하는 면적이 훨씬 작고 전력 소모도 작고,

연결부(332) 상에 정확한 공칭 45도 위상 시프트 신호를 공급한다. 이 실시예에서, 이 위상 결합기는 부고조파 믹서(250)(도 2)에서 RF 신호를 하향 변환하기 위하여 0, 45, 90, 135, 180, 225, 270, 및 315도 L0 신호를 공급한다. 위상 결합기(330)는 연결부(322, 324, 326)에서 IF 신호를 수신한다. 연결부(322) 상의 신호의 위상은 0도이고, 연결부(324) 상의 신호의 위상은 60도이고, 연결부(326) 상의 신호의 위상은 120도이다. 위상 결합기(330)는 분주기(320)의 3개 출력으로 나누어진 3개의 위상, 즉 0, 60 및 120도를 수신한다. 이들 0, 60 및 120도 위상으로부터 0 및 90도(서로에 대해 상대적임) 신호가 발생된다. 0 및 90도 신호로부터 0, 45, 90, 135, 180, 225, 270 및 315도 신호가 발생된다. 이와 같은 신호 발생은 위상 결합기(330)에서 일어난다.

<49> 연결부(324) 상의 분주기(320)의 출력은 송신기(400)의 컴포넌트에도 공급되는데, 이 컴포넌트들은 합성기(300)에 대한 설명을 용이하게 하기 위하여 도 3에 도시되어 있다. 송신기(400)의 부분들은 참고로 도 3에 도시되어 있다. 합성기(300)에 속하는 것으로서, 송신기(400)는 I/Q 변조기 제산기(350)와 L0 체배기 요소(340)를 포함한다. L0 체배기 요소(340)는 송신기(400) 내에 배치된 믹서에 주파수 기준 L0 신호를 공급하는데, 이에 대해서는 후술한다. 고역 동작에 있어서 L0 체배기 요소(340)는 연결부(324) 상의 신호에 2의 인수를 곱하고, 그 곱해진 신호를 연결부(342)(도 1에서의 연결부(198))를 통해 송신기(400)에 공급한다. 저역 동작에 있어서는 L0 체배기 요소(340)는 연결부(324) 상의 신호에 1의 인수를 곱하고, 그 신호를 연결부(342)(도 1에서의 연결부(198))를 통해 송신기(400)에 공급한다.

<50> I/Q 변조기 제산기(350)는 연결부(312)에서 분주기(306)의 출력을 수신하고 이에 따라 동작하여 적당한 L0 신호를 연결부(352, 354, 356)를 통해 변조기(146)(도 1)에 공급한다. I/Q 변조기 제산기(350)는 변조기 구현에 따라서 여러 가지 제산 인수를 이용하여 구현될 수 있다. 일 실시예에서, I/Q 변조기 제산기(350)는 4.25, 4.5, 4.75 또는 5로 나누도록 프로그램될 수 있는 제1 단과 6으로 나누도록 프로그램될 수 있는 제2 단을 갖도록 구현된다. 다른 실시예에서, I/Q 변조기 제산기(350)는 3.25, 3.5, 3.75 또는 4로 나누도록 프로그램될 수 있는 제1 단과 6로 나누어지도록 프로그램될 수 있는 제2 단을 갖도록 구현된다. 적어도 두 가지 제산 옵션을 갖게 되면 송신 주파수 계획의 유연성이 최대화될 수 있다. 이런 식으로, 동일한 RF 송신 주파수가 UHF L0 주파수와 중간 주파수의 여러 가지 조합으로부터 발생될 수 있다. 그와 같은 유연성은 많은 경우에 서로 다른 주파수의 몇 가지 M×N 곱이 칩에서 공존하여 원치 않는 의사 톤(spurious tone) 또는 톤들을 발생하기 때문에 바람직하다. 원치 않는 의사 톤들 때문에 트랜시버는 원근 스펙트럼/의사 방사 요건을 충족시킬 수가 없었다. 이 실시예에서, I/Q 변조기에 대한 IF 발생을 위한 최종 분주기는 변조기(146)(도 1)로서 구현될 가능성이 있는 고조파 억제 I/Q 변조기의 특정 구조로 인해 3이나 4의 배수이다. 일 실시예에서, 변조기(146)는 공칭 90도 이외에 추가적인 ±30도 위상 시프트 L0로 구현될 수 있다. 다른 실시예에서, I/Q 변조기(146)는 3개의 차동 45도 위상 시프트 L0 신호로 구현될 수 있다.

<51> 도 4는 도 1의 송신기(400)를 도시한 블록도이다. 전력 제어 요소(145)에 대한 설명으로 시작하면, 연결부(162) 상의 전력 증폭기(160)의 출력에 존재하는 출력 전력의 일부는 연결부(170)를 통해 커플러(422)에 의해 반전되어 피드백 경로에 있는 믹서(426)에 입력된다. 송신기와 전력 제어 요소(145)가 동일 칩 상에 구현되는 단일 칩 구조를 이용하여 송신기를 구현하는 경우에는, 전력 증폭기(160)(또는 161)의 입력과 연결부(170) 상의 특히 저 출력 전력 레벨에서의 전력 제어 요소(145)의 입력 간의 분리를 최대화하는 것이 바람직하다.

<52> 믹서(426)는 "RF" 믹서라고도 한다. 믹서(426)는 연결부(342)(도 1에서 198)를 통해 합성기(300) 내의 L0 체배기 요소(340)로부터 국부 발진기(L0) 신호를 수신한다. 일 실시예에서, 저역 동작을 위해 주파수 곱셈없이(고역 동작을 위해 L0 체배기 요소(340)에 의해 실시되는) 단 한 번의 주파수 곱셈만을 이용하여 연결부(342) 상에 원하는 L0 신호가 발생된다.

<53> 믹서(426)는 연결부(170) 상의 RF 신호를 연결부(428) 상의 중간 주파수(IF) 신호로 하향 변환한다. 예컨대, 믹서(426)는 연결부(170) 상의 대략 2 기가헤르츠(GHz)의 주파수를 가진 신호를 연결부(428) 상의 대략 100 메가헤르츠(MHz)의 주파수로 변환하여 가변 이득 요소(432)에 입력한다. 가변 이득 요소(432)는 예컨대 가변 이득 증폭기나 감쇠기일 수 있으나 이에 제한되지 않는다. 그와 같은 구성에서 가변 이득 요소(432)는 총 가변 이득 범위가 대략 70 데시벨(dB)일 수 있다. 가변 이득 요소(432)는 연결부(434)를 통해 증폭기(436)의 반전 출력으로부터 제어 신호 입력을 수신한다. 증폭기(436)의 입력은 연결부(132)를 통해 도 1의 DAC(142)로부터 공급된다. 연결부(132) 상의 신호는 송신 전력 레벨을 결정하여 전력 프로파일을 제공하는 기준 전압 자동 전력 제어 신호(V_{APC})이다. 연결부(132) 상의 V_{APC} 신호는 저항(440)과 커패시터(442)를 포함하는 재구성 필터에 공급된다. 이런 식으로, 송신 전력 레벨과 전력 프로파일을 위한 기준 전압이 연결부(434)를 통해 가변 이득 요소(432)의 제어 입력에 공급된다. 후술하는 바와 같이, 연결부(132) 상의 V_{APC} 신호는 가변 이득 주파수 체배

기(500)에도 공급된다.

- <54> 연결부(446) 상의 가변 이득 요소(432)의 출력은 AM 성분과 PM 성분을 모두 갖는 중간 주파수에서 존재하며, "전력 측정 신호"로 불린다. 이 전력 측정 신호는 전력 증폭기(160)의 절대 출력 전력에 관계되는 것으로, 신호 내에 존재하는 AM 및 PM 성분에 관련된 매우 작은 에러를 포함한다. 연결부(446) 상의 가변 이득 요소(432)의 출력은 전력 검출기(462)의 입력에 공급되며, 위상 고정 루프(420) 내의 리미터(448)에도 공급되나, 리미터(448)는 위상 고정 루프(420) 밖에 있을 수 있다.
- <55> 연결부(446) 상의 IF 신호는 AM 성분과 PM 성분 모두를 포함한다. 연결부(446) 상의 IF 신호는 전력 검출기(462)에 공급되며, 이 검출기는 연결부(464)에 이 연결부(446) 상에 존재하는 순간 IF 전력 레벨을 나타내는 기저 대역 신호를 제공한다. 연결부(464) 상의 전력 검출기(462)의 출력은 증폭기(468)의 반전 입력에 공급된다.
- <56> 증폭기(468), 커패시터(466) 및 커패시터(470)는 연결부(472)를 통해 전력 증폭기(160)를 제어하기 위해 이용되는 에러 신호를 제공하는 비교기(484)를 구성한다. 증폭기(468)의 비반전 입력은 연결부(138)를 통해 전력 검출기(476)로부터 공급된다. 연결부(452) 상의 변조기(146)의 출력은 기준 가변 이득 요소(450)에 공급된다. 이 실시예에서, 기준 가변 이득 요소(450)는 가변 이득 요소(432, 474)와 유사하나 이득 특성이 다른 가변 이득 증폭기(VGA)로 구현될 수 있다. 연결부(452) 상의 기준 VGA에 공급된 신호는 변조 신호의 진폭 변조(AM)부를 포함하는 IF 신호를 포함한다. 기준 VGA(450)는 연결부(132)를 통해 V_{APC} 신호를 그 제어 입력에서 수신한다. 기준 VGA(450)는 전력 검출기(476)를 통해 비교기(484) 내의 증폭기(468)의 비반전 입력에 공급되는 AM 제어 신호의 동적 범위를 확장한다. 증폭기(468)의 비반전 입력에 공급된 연결부(138) 상의 신호는 변조기(146)에 의해 발생된 AM 신호의 복조 진폭 정보를 포함한다.
- <57> 전력 제어 요소(145)의 이득은 증폭기(468)에 입력된 연결부(464, 138) 상의 신호들 간의 차이가 연결부(472)에 에러 신호를 제공하도록 연결부(472) 상의 신호를 증폭한다. 연결부(472) 상의 에러 신호는 전력 증폭기(160)의 출력을 제어하는데 사용된다. 연결부(472) 상의 에러 신호는 가변 이득 요소(432)와 구조가 유사할 수 있는 가변 이득 요소(474)에 공급된다. 그러나, 가변 이득 요소(474)는 가변 이득 요소(432)의 이득 함수의 역인 이득 함수를 갖는데, 그 이유는 가변 이득 요소(432)의 제어 입력이 증폭기(436)의 반전 출력으로부터 공급되기 때문이다. 이런 식으로, 전력 증폭기(160)의 제어 포트에 공급된 연결부(172) 상의 전력 증폭기 제어 신호는 전력 증폭기(160)를 구동시켜 연결부(162) 상에 적당한 출력을 제공하게 한다. 고역 동작에 있어서는 전력 증폭기(161)의 제어 포트에 공급된 연결부(172) 상의 전력 증폭기 제어 신호가 전력 증폭기(161)를 구동시켜 연결부(163) 상에 적당한 출력을 제공하게 한다.
- <58> 연결부(464) 상의 신호의 레벨과 연결부(138) 상의 신호의 레벨은 전력 제어 요소(145)의 네거티브 피드백(negative feedback)의 기능에 의해서 거의 같을 것이다. 예컨대, 가변 이득 요소(432)의 출력 레벨이 10의 인수만큼 증가하면 그에 따라 전력 증폭기(160)의 출력 레벨은 증폭기(468)의 입력에서 평형을 유지하기 위해 감소할 것이다. 전력 증폭기(160)의 출력은 가변 이득 요소(432)의 이득 변화를 상쇄하도록 변화한다. 이런 식으로, 연결부(464) 상의 피드백 진폭 신호는 연결부(138) 상의 기준 진폭 신호와 거의 같게 유지된다. 이런 식으로, AM 및 PM부를 포함하는 피드백 신호가 연결부(446) 상에 존재하게 된다. 연결부(446) 상의 신호는 전력 검출기(462)에 의해 연결부(464)에서 IF 신호로부터 기저 대역 신호로 변환된다. 연결부(464) 상의 신호와 연결부(138) 상의 신호 간의 차이는 증폭기(468, 474)에 의해 증폭되어, 연결부(162) 상의 전력 증폭기(160)의 출력에서 원하는 신호가 얻어지도록 연결부(172) 상의 전력 증폭기 제어 포트를 구동한다. 전력 제어 요소(145)는 충분한 이득을 갖고 있으므로 연결부(472) 상의 에러 신호는 작게 유지될 수 있다. 그 경우에 가변 이득 요소(432)와 전력 증폭기(160)의 이득 변화는 대체로 서로 반대가 될 것이다.
- <59> 증폭기(468)는 연결부(464) 상의 전력 측정 신호를 연결부(138) 상의 기준 검출기(476)로부터의 기준 전압 신호(변조기(146)가 공급한 신호의 AM 부분을 나타냄)와 비교한다. 연결부(472) 상의 증폭기(468)의 출력은 진폭 에러 신호이다. 연결부(138) 상의 DC 전압 레벨은 AM 변조와 관계없이 증폭기(468)의 원하는 고정 출력 전력에 영향을 미친다. 증폭기(468)는 연결부(464) 상의 신호 레벨을 연결부(138) 상의 신호 레벨과 비교한 다음에 그 차이를 증폭하여 연결부(472) 상에 에러 신호를 제공한다. 비교기(484)는 저역 통과 필터인 적분기로서 기능한다.
- <60> 기준 VGA(450)는 진폭 제어 범위를 확장한다. 전력 제어 루프 밖에 위치한 기준 VGA(450)는 전력 제어 요소(145)에 공급된 기준 신호의 레벨을 제어한다. 기준 VGA(450)의 이득 특성은 가변 이득 요소(432, 474)의 이득 특성과는 다르다. 기준 VGA(450)는 가장 높은 출력 진폭 레벨을 포함하여 전력 제어 요소(145)의 진폭 범위의

대부분에 대해 일정한 이득을 유지한다. 그러나, 출력 진폭이 그 범위(아날로그 전력 제어 신호(V_{APC})의 범위)의 하단에 있는 경우에는, 즉 V_{APC} 의 값이 작으면, 기준 VGA(450)의 이득이 감소한다. 이런 식으로, V_{APC} 가 소정의 최소값에 있을 때에, 특히 송신 전력 램프 상승과 송신 전력 램프 하강 중에 기준 VGA(450)는 페루프 진폭 제어를 최저 출력 전력 레벨로 다운시켜 유지한다. 기준 VGA(450)의 이득 범위는 "소프트 스텝(soft step)" 함수라고 하는 것으로 실현되고, 선형이 아니다. 전력 제어 전압(V_{APC})이 송신기(예컨대, 업컨버터(154) 및 전력 증폭기(160))가 램프 상승 또는 램프 하강 상태에 있음을 나타내기에 충분히 낮은 레벨에 있으나 일정한 출력 전력 레벨에는 있지 않은 경우에는 기준 VGA(450)의 이득은 적당한 양(예컨대, 15 또는 18 dB)만큼 시프트 다운된다. 전력 검출기(462, 476)의 동적 범위는 가변 이득 요소(432)와 가변 이득 요소(474)가 제공하는 진폭 제어를 제한한다. 기준 VGA(450)는 최소 V_{APC} 신호 레벨과 연관된 최소 전력 출력보다 낮은 전력 출력 레벨에서 진폭 제어를 제공한다. 예컨대, 이 "소프트 스텝" 함수는 전력 증폭기(160)의 전력 제어 특성이 이 V_{APC} 전압값에 대해 항상 0 dBm 아래의 출력 전력 레벨을 발생시킬 것이라고 알려진 경우, 대략 0.6 V의 V_{APC} 신호 레벨에 대해 구현될 수 있다.

<61> 연결부(172) 상의 전력 증폭기 제어 신호는 가변 이득 요소(432)가 전력 제어 루프(145)의 전달 함수에 미치는 영향을 보정하는 가변 이득 요소(474)에 의해 구동된다. 가변 이득 요소(432)와 가변 이득 요소(474)의 가변 이득은 상보적이다. 연결부(464) 상에는 피드백 전력 측정 신호가 존재하고 연결부(138) 상에는 진폭 기준 신호가 존재하므로 증폭기(468)는 이중 기능, 즉 (1) 정확한 AM 양을 갖기 위해 연결부(172)를 통해 전력 증폭기(160)의 전력 출력을 변조하도록 AM 에러 신호(연결부(138) 상의 신호와 연결부(464) 상의 신호 간의 차이)를 증폭하는 기능과, (2) 평균 전력 비교를 실시하고, 그 결과를 증폭하여, 전력 증폭기(160)를 정확한 평균 전력 출력으로 구동하는 제어 신호를 연결부(172)를 통해 제공하는 기능을 제공한다. 그러므로, 연결부(172)에서는 AM 에러 신호와 전력 제어 에러 신호 모두가 전력 증폭기(160)를 원하는 AM 신호를 가진 원하는 평균 전력으로 구동하기에 충분한 레벨로 증폭된다. 이런 식으로, 신호의 원하는 AM 부분은 전력 증폭기(160)의 제어 입력(172)에 공급되어 연결부(162) 상의 전력 증폭기 출력에 나타나게 된다. 믹서(426), 가변 이득 요소(432), 전력 검출기(462), 증폭기(468) 및 가변 이득 요소(474)는 연결부(138)를 통한 송신 신호의 AM 부분의 도입을 가능하게 하면서 전력 증폭기(160)의 전력 출력을 제어하는 연속 페루프 전력 제어 피드백 시스템을 제공한다.

<62> 항상, 연속 전력 제어 피드백 루프는 전력 증폭기(160)에 의해 발생하는 임의의 위상 시프트를 보정할 수 있게 한다. 이런 식으로, PLL(420)은 전력 증폭기(160)의 출력을 위상/주파수 검출기(408)의 입력으로 되돌리는 피드백 루프를 포함한다. 전력 증폭기(160)에 의해 발생된 임의의 원치 않는 위상 시프트는 PLL(420)에 의해 보정될 것이다. 가변 이득 요소(432)의 출력은 연결부(446)를 통해 존재하는 임의의 위상 왜곡을 리미터(440)로 보내 PLL(420)에 의해 보정한다. 따라서 전력 증폭기(160)의 출력의 위상은 도 4에서의 연결부(312)에 대응하는 연결부(156)(도 1) 상의 LO 신호의 위상을 따르도록 강요한다.

<63> 가변 이득 요소(432)의 출력으로부터 AM을 제거하기 위해서는 가변 이득 요소(432)는 연결부(446)와 연결부(147)를 통해 리미터(448)의 입력에 연결된다. 리미터(448)는 연결부(406) 상에 PM 성분만을 포함하는 피드백 신호를 발생한다. 기저 대역 I 및 Q 정보 신호는 각각 연결부(478, 482)를 통해 변조기(146)에 공급된다. I 및 Q 기저 대역 정보 신호 인터페이스에 대해서는 당업자라면 잘 이해할 것이다. 변조기(146) 동작의 결과로서, 연결부(452) 상의 출력은 AM 기준 신호를 제공하는 AM 성분과 PM 기준 신호를 제공하는 PM 성분을 포함하는 중간 주파수 신호이다. 변조기(146)의 출력은 연결부(452)를 통해 기준 VGA(450)에 공급된다. 기준 VGA(450)의 출력은 전력 검출기(476)에 공급되어, 전력 검출기(476)가 일정한 평균 전력을 가진 신호를 수신하여 전력 검출기(476)의 동적 범위 요건을 통상적으로 20 dB 미만인 변조 범위를 커버하는데 필요한 정도로만 감소시키는 것을 보장한다. 전력 검출기(476)의 출력은 원하는 송신 신호의 진폭을 나타내는 전압 신호이다. 이런 식으로, 연결부(138) 상에 제공된 신호는 전체 출력 전력 범위에 걸친 전력 출력 레벨에서 전력 제어 루프(145)의 진폭 제어를 가능하게 하여 전력 제어 루프(145)의 페루프 제어 범위를 65 dB 이상으로 확장할 수 있는 기준 신호이다.

<64> 변조기(146)는 또한 연결부(452) 상의 신호의 PM 성분을 제공한다. 그 다음, 이 PM 신호는 리미터(449)에 공급되고, 리미터(449)는 위상 기준 성분을 포함하는 신호를 연결부(456) 상에 출력한다. 위상 고정 루프(420) 내의 성분들은 연결부(456) 상의 PM과 연결부(406) 상의 위상 피드백 신호의 비교를 위한 이득을 제공하며, 따라서 연결부(410) 상에 위상 검출기(408)의 위상 에러 출력을 제공한다. 이런 식으로, 연결부(446) 상의 가변 이득 요소(432)의 출력으로부터 취해진 피드백 신호는 연속 피드백으로서 위상 고정 루프(420)에 공급된다.

- <65> 위상 에러를 포함하는 연결부(452) 상의 변조기(146)의 에러 신호 출력은 위상 고정 루프(420)의 이득이 증가함에 따라 더욱 작아질 것이다. 그러나, 항상 어떤 에러 신호는 존재할 것이므로 위상 고정 루프(420)는 위상 고정을 달성할 수 있을 것이다. 전력 증폭기(160)가 동작하고 있지 않은 경우에도 전력 증폭기(160)를 통해 연결부(162) 상으로의 약간의 작은 누설이 있을 것이라는 점에 유의해야 한다. 이러한 작은 누설은 가변 이득 요소(432)를 통해 위상 고정 루프(420)로 피드백 신호를 제공하기에 충분하며, 따라서 위상 고정 루프(420)는 전력 증폭기(160)의 누설 출력만을 이용하여 고정될 수 있다. 이런 식으로, 하나의 피드백 루프를 사용하여, 전력 증폭기(160)가 오프된 시점부터 전력 증폭기(160)가 전체 출력 전력을 제공하는 시간에 걸쳐 전력 증폭기(160)의 출력 전력을 연속적으로 제어할 수가 있다.
- <66> 변조기(146)는 연결부(312)(도 1에서 156)를 통해 합성기(300)로부터 LO 입력 신호를 수신한다. 이 LO 신호는 연결부(404) 상에 적당한 주파수를 가진 신호를 제공하기 위하여 수 "x"로 분주된다. 수 "x"는 합성기(300)의 설계 복잡성을 최소화하도록 선택되며, 예컨대 합성기(300)의 출력을 약 100 MHz의 주파수로 변환하도록 선택될 수 있으나, 이에 제한되지 않는다.
- <67> 연결부(410) 상의 위상/주파수 검출기(408)의 출력은 두 가지 출력 상태 간에 매우 작은 과도 시간을 가지는 0 또는 1의 값을 갖는 디지털 신호이다. 연결부(410) 상의 이 신호는 저역 통과 필터(412)에 공급되며, 이 필터는 연결부(410) 상의 이 신호를 적분하여, 송신 전압 제어 발진기(TX VCO)(416)의 주파수를 제어하는 DC 신호를 연결부(414) 상에 발생한다. 저역 동작에 있어서는 TX VCO(416)의 출력은 연결부(157)를 통해 저역 출력 버퍼(417)에 공급된다. 저역 동작에서 저역 출력 버퍼(417)의 출력은 연결부(158)를 통해 전력 증폭기(160)로 보내진다. 고역 동작에 있어서는 TX VCO(416)의 출력은 가변 이득 주파수 체배기(500)로 보내진다. 가변 이득 주파수 체배기(500)는 TX VCO(416)의 출력의 주파수에 연결부(132) 상의 V_{AFC} 신호에 의해 제어되는 조정가능한 이득을 곱한다. 뒤에 자세히 설명될 가변 이득 주파수 체배기(500)는 별도의 고역 TX VCO를 구비할 필요성을 제거하고 하나의 TX VCO(416)만을 사용할 수 있게 한다. 가변 이득 주파수 체배기(500)는 고역에서 출력 버퍼로서도 기능한다. 가변 이득 주파수 체배기(500)의 출력은 증폭기(161)에 공급되며, 이 증폭기는 연결부(163) 상에 출력을 공급한다.
- <68> 합성기(300), 리미터(448), 변조기(146), 리미터(449), 제한기(402), 위상/주파수 검출기(408), 저역 통과 필터(412) 및 TX VCO(416)는 연결부(158) 상의 송신 주파수를 결정하는데 사용되는 위상 고정 루프(PLL)(420)를 구성한다. PLL(420)이 처리 또는 "고정"되면, 연결부(456, 406) 상의 위상/주파수 검출기(408)로 입력되는 두 개의 신호는 정확히 같은 위상과 주파수를 가지며, 연결부(140) 상의 위상/주파수 검출기(408)의 출력은 제로가 된다. 연결부(414) 상의 적분 저역 통과 필터(412)의 출력은 안정화되며, 따라서 TX VCO(416)로부터 고정된 주파수가 나온다. 예컨대, 합성기(300)와 믹서(426)는 연결부(158) 상의 TX VCO(416)으로부터 출력된 신호의 주파수가 합성기(300)가 공급한 국부 발진기 신호의 주파수들과 연결부(406) 상의 IF 주파수의 합을 따라가는 것을 보장한다.
- <69> 위상 고정 루프(420)가 고정되면, 연결부(456) 상의 신호의 위상과 연결부(406) 상의 신호의 위상은 같아질 것이다. 위상 고정 루프(420)의 이득은 연결부(406) 상의 에러 신호를 위상/주파수 검출기(408)가 비교를 할 수 있는 레벨로 증폭할 수 있을 만큼 충분히 커야 한다. 변조기(146)를 사용하여 I 및 Q 정보 신호를 연결부(404) 상의 신호에 부가함으로써, 위상 고정 루프(420)가 TX VCO(416)의 위상을 계속 고정할 것이므로 연결부(158) 상의 TX VCO(416)로부터 출력된 신호의 위상은 변조기(146)에 의해 부과된 위상의 신호를 따를 것이다. 이런 식으로, 연결부(410) 상에 나타나는 PM 에러 신호는 TX VCO(416)의 볼트당 수 MHz 정도의 매우 높은 감도에 의해 최소화된다.
- <70> 전력 제어 루프(145)는 연결부(138)에서 AM 신호에 대한 페루프이므로 비선형이고 따라서 고효율인 전력 증폭기(160)를 이용하는 것이 가능하다. 더욱이, 증폭기의 위상 시프트의 진폭 의존성으로 인해 발생하는 원치 않는 해로운 AM-PM 변환은 위상 고정 루프(420) 내에 포함된 전력 증폭기(160)에 의해 정류된다. AM 및 PM 변조를 분리하고 AM 및 PM 변조 모두에 대한 페루프 제어를 제공함으로써 비선형이고 따라서 고효율인 전력 증폭기를 이용할 수 있다.
- <71> 몇몇 응용에 있어 전력 증폭기(160)를 비선형 (따라서 고효율) 전력 증폭기로서 유지하면서 전력 증폭기(160)가 AM 성분과 PM 성분 모두를 포함하는 신호를 출력할 수 있도록 하는 것이 바람직하다. 그와 같은 경우에는 변조기(146)의 출력은 AM 및 PM 성분을 모두 포함할 것이나, 리미터(449)를 이용하여 연결부(452) 상에 나타난 AM 성분을 상쇄시키므로 위상/주파수 검출기(408)에서의 AM-PM 변환을 방지할 수 있다.

- <72> 도 5는 도 4의 가변 이득 주파수 체배기의 실시예를 도시한 개략도이다. 가변 이득 주파수 체배기(500)는 체배기 회로(510), 제어 회로(520), "탱크" 회로라고도 하는 동조 출력 회로(530)를 포함한다. 이 예에서, 체배기 회로(510)는 한 쌍의 트랜지스터(502, 504)를 포함한다. 이 예에서, 트랜지스터(502, 504)는 전계 효과 트랜지스터이나 다른 트랜지스터 설계도 가능하다. 이 예에서, TX VCO(416)는 대략 1 기가헤르츠(GHz)의 교류 전압 신호를 연결부(157)를 통해 트랜지스터(502, 504)의 게이트 단자에 공급한다. 이런 식으로, 트랜지스터(502, 504)는 TX VCO(416)로부터의 입력 신호를 정류하고 체배하여 연결부(506) 상에 공칭 2 GHz 신호를 제공한다.
- <73> 연결부(506) 상의 2 GHz 신호는 제어 회로(520)에 공급된다. 제어 회로(520)는 한 쌍의 트랜지스터(522, 524)를 포함한다. 트랜지스터(522, 524)는 전술한 트랜지스터(502, 504)와 유사하다. 연결부(132) 상의 V_{APC} 신호는 정형 회로(550)에 공급된다. 정형 회로의 출력은 연결부(552)를 통해 트랜지스터(522)의 게이트 단자에 공급된다. 정형 회로(550)는 도 7에서 후술할 제어 신호(V_{APC})에 대한 전력 증폭기(160)의 출력 전력의 비에 기초하여 발생하는 신호를 입력으로서 수신한다.
- <74> 트랜지스터(522)의 드레인단은 커패시터(542)를 통해 동조 출력 회로(530)와 출력 단자(159)에 연결된다. 여기서 동조 출력 회로(530)는 많은 가능한 동조 회로 구성들 중 하나이다. 다른 공지의 구성도 사용될 수 있다. 트랜지스터(524)의 드레인단은 연결부(538)를 통해 시스템 전압(V_{CC})에 직접 연결된다. 동조 출력 회로(530)는 인덕터(532)와 커패시터(534)를 포함하며, 또한 연결부(538)를 통해 시스템 전압(V_{CC})에 연결된다. 그러나, 동조 출력 회로(530)로부터의 무선 주파수 방사는 전력 제어 요소(145)(도 4)의 입력부(170)로 누설될 가능성이 있다. 그러므로, 본 발명의 일 실시예에 따라서, 저전력 레벨에서 동조 출력 회로(530)로부터의 누설이 전력 제어 요소(145)에 상당한 장애를 일으킬 가능성이 있는 경우에는 도 5에서의 체배기(510)의 출력인 연결부(506)에서의 신호 전류는 동조 출력 회로(530)를 바이패스하여(bypass) 트랜지스터(554)를 통해 전압 공급부(538)에 연결된다. (연결부(132) 상의 낮은 V_{APC} 값에 대응하는) 저전력 레벨에서는 노드(556)에서의 출력 전압 변동은 감소할 것이다. 그러므로, 믹서(426)(도 4)와의 원치 않는 RF 커플링이 감소 또는 제거될 것이다. 더욱이, TX VCO(416)의 주파수에, 이 예에서는 2의 인수를 곱함으로써 TX VCO(416)로부터의 임의의 방사는 송신 주파수 밖에서 일어나며, 전력 제어 요소(145)의 입력 신호에 영향을 거의 미치지 않는다.
- <75> 동작에 있어서, 연결부(552) 상의 제어 전압(V_{APC})의 레벨이 연결부(554) 상의 기준 전압의 레벨을 초과하면, 동조 출력 회로(530)를 통해 전류가 흐르게 되고, 이 전류는 출력 단자(159)에 흐르는 전류를 감소시킨다. 반대로, 연결부(552) 상의 제어 전압(V_{APC})의 레벨이 연결부(554) 상의 기준 전압의 레벨보다 작다면, 전류가 동조 출력 회로(530)를 바이패스하게 되고, 이 전류는 출력 단자(159)에 흐르는 전류를 증가시킨다. 이런 식으로, 저전력 출력 동작 상태 하에서는 연결부(157)(도 4) 상의 전력 증폭기(160)의 입력과 연결부(170)(도 4) 상의 전력 제어 요소(145)의 입력 간의 외견상 분리가 최대화된다. 예컨대, 저전력 상태 하에서는 V_{APC} 를 이용하여 연결부(159) 상에는 대략 -15 dBm이 되고 연결부(170) 상에는 대략 -63 dBm이 되도록 가변 이득 주파수 체배기(500)를 제어하면 외견상 분리는 대략 28 dB 만큼 개선된다. 이것은 "동적 분리"를 제어하는 것으로 생각될 수 있다. 즉, 가변 이득 주파수 체배기(500)를 이용하여 전력을 연결부(159)에서 대략 -15 dBm으로 제어하면, 기존의 온칩 스테틱 분리는, 연결부(157)에서 연결부(170)까지의 원치 않는 커플링을 방지하여 연결부(170) 상의 피드백 신호(전력 증폭기의 출력 전력의 감쇠된 버전)를 무색케 하기에 충분하다.
- <76> 전술한 예에서, 낮은 입력 전력에서(즉, V_{APC} 신호가 기준 전압 신호(V_{REF})에 비해 상대적으로 작은 경우에), 가변 이득 주파수 체배기(500)의 출력은 -10 내지 -15 dBm 정도이다. 전력 증폭기의 출력에 동기하여 가변 이득 주파수 체배기(500)의 출력은 램프 상승(또는 하강)된다. 가변 이득 주파수 체배기(500)의 최대 출력 전력은 +5 dBm 정도이고 전력 증폭기의 출력 전력은 +30 dBm 정도이다. LO 주파수의 2배(2X)에서 가변 이득 주파수 체배기(500)의 동작과 결합된 가변 이득 주파수 체배기(500)의 출력 전력의 동적 변화에 따라서, 시스템의 동적 분리는 가변 이득 주파수 체배기(500)의 이득의 제어 범위와 같은 양만큼 개선된다.
- <77> 도 6은 도 4의 가변 이득 주파수 체배기의 다른 실시예를 도시한 개략도이다. 가변 이득 주파수 체배기(600)는 체배기 회로(610), 제어 회로(620), "탱크" 회로라고도 하는 동조 출력 회로(640)를 포함한다. 동조 출력 회로(640)는 도 5의 동조 출력 회로(530)와 유사하다. 이 예에서, 체배기 회로(610)는 한 쌍의 트랜지스터(602, 604)를 포함한다. 이 예에서, 트랜지스터(602, 604)는 전계 효과 트랜지스터이나 다른 트랜지스터 설계도 가능하다. 이 예에서, TX VCO(416)는 대략 1 기가헤르츠(GHz)의 교류 전압 신호를 연결부(157)를 통해 트랜지스터(602, 604)의 게이트 단자에 공급한다. 이런 식으로, 트랜지스터(602, 604)는 TX VCO(416)로부터의 입력 신호를 정류하고 체배하여 연결부(606, 612) 상에 공칭 2 GHz 신호를 제공한다. 이때, 연결부(606) 상에 나타나는

성분과 연결부(612) 상에 나타나는 성분은 서로 다르다.

- <78> 연결부(606, 612) 상의 신호는 제어 회로(620)에 공급된다. 제어 회로(620)는 한 쌍의 트랜지스터(622, 624)와 한 쌍의 트랜지스터(626, 628)를 포함한다. 트랜지스터(622, 624, 626, 628)는 전술한 트랜지스터(602, 604)와 유사하다. 연결부(132) 상의 V_{APC} 신호는 전술한 정형 회로(550)와 유사한 정형 회로(650)에 공급된다. 정형 회로(650)의 출력은 연결부(652)를 통해 트랜지스터(628)의 게이트 단자에 그리고 연결부(652)를 통해 트랜지스터(624)의 게이트 단자에 공급된다. 정형 회로(650)는 도 7에서 후술하는 바와 같이 제어 신호(V_{APC})에 대한 전력 증폭기(160)의 출력 전력의 비에 기초하여 발생하는 신호를 입력으로서 수신한다.
- <79> 트랜지스터(624)의 드레인 단자와 트랜지스터(628)의 드레인 단자는 커패시터(642)를 통해 동조 출력 회로(640)와 출력 단자(159)에 연결된다. 트랜지스터(622)의 드레인 단자와 트랜지스터(626)의 드레인 단자는 연결부(638)을 통해 시스템 전압(V_{CC})에 직접 연결된다. 동조 출력 회로(640)는 인덕터(644)와 커패시터(646)를 포함하며, 또한 연결부(660)를 통해 시스템 전압(V_{CC})에 연결된다. 그러나, 동조 출력 회로(640)로부터의 무선 주파수 방사는 전력 제어 요소(145)(도 4)의 입력부(170)로 누설될 가능성이 있다. 그러므로, 본 발명의 일 실시예에 따라서, 저전력 레벨에서 동조 출력 회로(640)로부터의 누설이 전력 제어 요소(145)에 상당한 장애를 일으킬 가능성이 있는 경우에는 도 6에서의 체배기(610)의 출력인 연결부(606, 612)에서의 신호 전류는 동조 출력 회로(640)를 바이패스하여 트랜지스터(622, 626)를 통해 전압 공급부(660)에 연결된다. (연결부(132) 상의 낮은 V_{APC} 값에 대응하는) 저전력 레벨에서는 노드(634)에서의 출력 전압 변동이 감소될 것이다. 이런 식으로, 믹서(426)(도 4)와의 원치 않는 RF 커플링이 감소 또는 제거된다. 더욱이, TX VCO(416)의 주파수에, 이 예에서는 2의 인수를 곱함으로써 TX VCO(416)로부터의 임의의 방사는 송신 주파수 밖에서 일어나며, 전력 제어 요소(145)의 입력 신호에 영향을 거의 미치지 않는다.
- <80> 동작에 있어서, 연결부(652) 상의 제어 전압(V_{APC})의 레벨이 연결부(654, 656) 상의 기준 전압의 레벨을 초과하면, 동조 출력 회로(640)를 통해 전류가 흐르게 되고, 이 전류는 출력 단자(159)에 흐르는 전류를 감소시킨다. 반대로, 연결부(652) 상의 제어 전압(V_{APC})의 레벨이 연결부(654, 656) 상의 기준 전압의 레벨보다 작다면, 전류가 동조 출력 회로(640)를 바이패스하게 되고, 이 전류는 출력 단자(159)에 흐르는 전류를 증가시킨다. 이런 식으로, 저전력 출력 동작 상태 하에서는 연결부(158)(도 4) 상의 전력 증폭기(160)의 입력과 연결부(170)(도 4) 상의 전력 제어 요소(145)의 입력 간의 외견상 분리가 최대화된다. 예컨대, 저전력 상태 하에서는 V_{APC} 를 이용하여 연결부(159) 상에는 대략 -15 dBm이 되고 연결부(170) 상에는 대략 -63 dBm이 되도록 가변 이득 주파수 체배기(600)를 제어하면 외견상 분리는 대략 28 dB 만큼 개선된다. 이것은 "동적 분리"를 제어하는 것으로 생각될 수 있다. 즉, 가변 이득 주파수 체배기(600)를 이용하여 전력을 연결부(159)에서 대략 -15 dBm으로 제어하면, 기존의 온칩 스테틱 분리는 연결부(157)에서 연결부(170)까지의 원치 않는 커플링을 방지하여 연결부(170) 상의 피드백 신호(도 4에서 노드(170)에서의 전력 증폭기의 출력 전력의 감소된 버전)를 무색케 하기에 충분하다.
- <81> 전술한 예에서, 낮은 입력 전력에서(즉, V_{APC} 신호가 작은 경우에), 가변 이득 주파수 체배기(600)의 출력은 -10 내지 -15 dBm 정도이다. 전력 증폭기의 출력에 동기하여 가변 이득 주파수 체배기(600)의 출력은 램프 상승(또는 하강)된다. 가변 이득 주파수 체배기(600)의 최대 출력 전력은 +5 dBm 정도이고 전력 증폭기의 출력 전력은 +30 dBm 정도이다. LO 주파수의 2배(2X)에서의 가변 이득 주파수 체배기(600)의 동작과 결합된 가변 이득 주파수 체배기(600)의 출력 전력의 동적 변화에 따라서 시스템의 동적 분리는 가변 이득 주파수 체배기(600)의 이득의 제어 범위와 같은 양만큼 개선된다.
- <82> 도 7은 가변 이득 주파수 체배기를 제어하는데 이용된 제어 함수를 도시한 개략도이다. 수평축(702)은 제어 전압(V_{APC})을 나타내며, 수직축(704)은 TX VCO(416)의 출력 전력(P_{OUT})을 나타낸다. 곡선(710)은, 제어 전압(V_{APC})을 나타내며 전술한 제어 회로(520)(도 5)와 제어 회로(620)(도 6)의 동작을 제어하는데 사용되는 정형 회로(550)(도 5)와 정형 회로(650)(도 6)에 공급되는 함수를 나타낸다. 도시된 예에서, 0.6 V의 V_{APC} 전압은 -10 dBm의 TX VCO 출력 전력에 해당하며 -15 dBm의 전력 증폭기 출력에도 해당한다. V_{APC} 전압이 증가함에 따라 TX VCO(416)의 출력 전력이 증가하며, 전력 증폭기의 출력 전력도 마찬가지로 증가한다. 0.8 V의 V_{APC} 전압은 -5 dBm의 TX VCO 출력 전력에 해당하며 -6 dBm의 전력 증폭기 출력에도 해당하고, 1.0 V의 V_{APC} 전압은 0 dBm의 TX VCO 출력 전력에 해당하며 +2 dBm의 전력 증폭기 출력에도 해당하며, 1.2 V의 V_{APC} 전압은 +5 dBm의 TX VCO 출력

전력에 해당하며 +10 dBm의 전력 증폭기 출력에도 해당한다. 그러나, 도 7에 나타난 값들은 단지 예시적으로만 나타난 것이다. 이 값들은 원하는 시스템 동작 파라미터에 기초하여 선택된다.

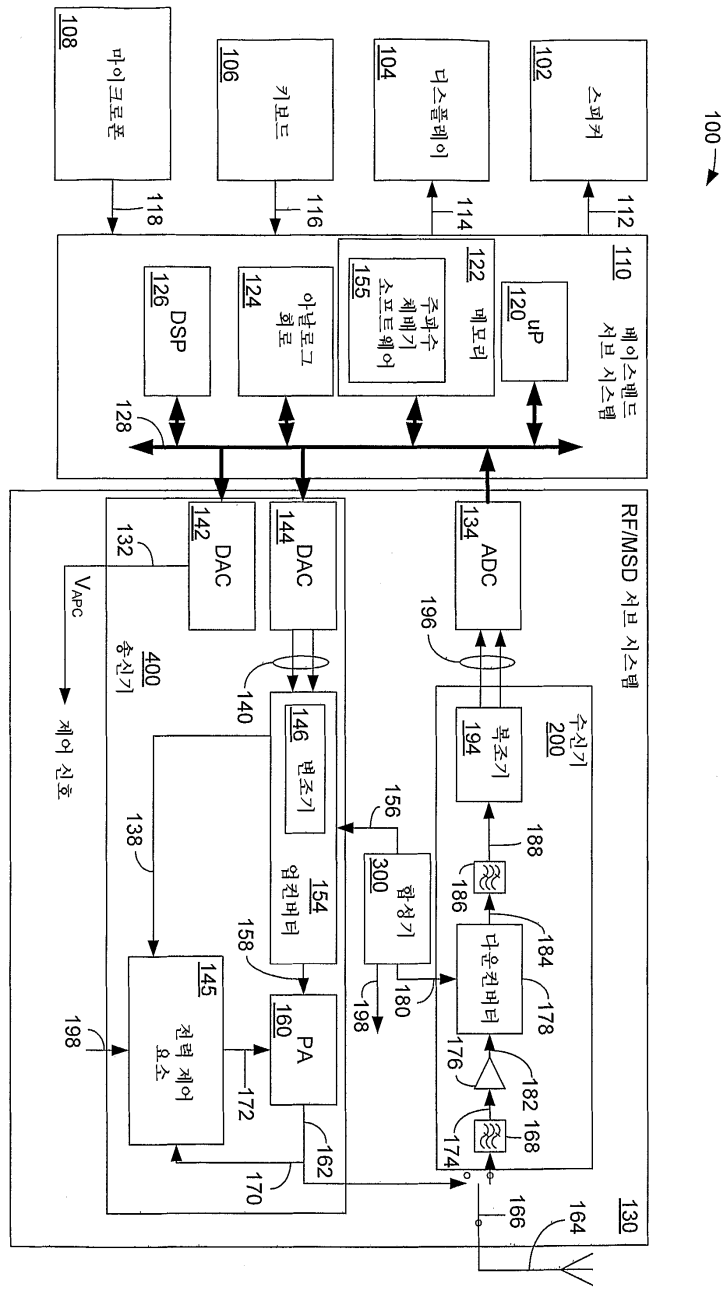
- <83> 도 8은 상기 가변 이득 주파수 체배기의 실시예의 동작을 설명하는 흐름도(800)이다. 흐름도에서 블록들은 도시된 순서대로, 또는 도시된 순서와 다르게, 또는 실질적으로 병행하여 실행될 수 있다. 블록(802)에서, TX VCO(416)의 출력에 트랜지스터(502, 504)(도 5)와 트랜지스터(602, 604)(도 6)에 의해 2의 공칭 인수(2X)가 곱해진다. 블록(804)에서, 가변 이득 주파수 체배기(500)(도 4)의 이득을 V_{APC} 신호의 레벨에 기초하여 조정함으로써 전력 증폭기의 전력 출력이 조정된다. 블록(806)에서, 출력 신호의 전력을 최대 출력 전력 상태로 변화시키기 위하여 TX VCO(416)의 전류 출력이 동조 출력 회로(도 5에서 530, 도 6에서 640)로 보내진다. 이것은 정형된 V_{APC} 신호를 제어 회로(520(도 5), 620(도 6))에 공급함으로써 행해진다. 블록(808)에서, 출력 신호의 전력을 최소 출력 전력 상태로 변화시키기 위하여 TX VCO(416)의 전류 출력이 동조 출력 회로(도 5에서 530, 도 6에서 640)를 바이패스하게 하고, 이 전류 출력은, 최소 전력 상태 하에서 전력 증폭기의 입력에 적은 전류가 보내지도록 트랜지스터(524(도 5), 및 622/632(도 6))를 통해 V_{cc} 로 보내진다. 트랜지스터(524(도 5)) 및 트랜지스터(622/632(도 6))는 바이패스 요소라고 할 수 있다.
- <84> 블록(810)에서, 가변 이득 주파수 체배기(500)의 이득 제어는 전력 증폭기의 출력 전력의 함수로서 TX VCO(416)의 전류 출력을 최대(주로 동조 출력 회로를 포함)에서 최소(주로 바이패스 요소를 포함)로 연속적으로 조정함으로써 실시된다.
- <85> 온 칩으로 발생하는 실제 RF 전력은 전류 공급이 부하 임피던스이므로, TX VCO 주파수의 2배(2X) 주파수에서 온 칩 분리가 개선된다. 최대 출력 전력의 경우에는 동조 출력 회로(530/640)는 임피던스가 비교적 높다. 일 구현 예에서, 동조 출력 회로(530/640)는 2GHz에서 약 200 오옴을 제공한다. 낮은 출력 전력의 경우에는 전원 공급부(V_{cc})는 임피던스가 (바이패스 커패시터(540(도 5), 662(도 6))를 가짐) 한 자릿수의 오옴 정도로 매우 낮다.
- <86> TX VCO(416)가 - 주파수에 중심을 두고 있는 경우에는, 넓은 출력 전력 범위에 걸쳐 안정된 동작을 실현하기가 어렵다. 도시된 예에서, 이것은 저출력 전력에서 가변 이득 주파수 체배기(500)로부터의 실제 전력이 낭비되고 있다는 것을 의미한다. 그러나, 시스템 안정성을 위해서는 전체 제어 범위에 대해 TX VCO(416)에 연결된 체배기(510(도 5), 610(도 6))의 안정된 동작 상태를 유지하는 것이 매우 중요하다. 그렇지 못하면, 체배기(510(도 5), 610(도 6))의 입력 참조 임피던스(리액턴스)가 변하게 되어 TX VCO(416)의 동작 주파수에 영향을 미치게 된다. 주파수 변동이 크다면, PLL이 완전히 고정되지 못하거나 시스템이 상당한 주파수 과도 현상을 겪게 될 수 있다.
- <87> 지금까지 본 발명의 여러 가지 실시예들에 대해서 설명하였지만, 당업자라면 본 발명의 범위 내에서 더 많은 실시예와 구현이 가능함을 잘 알 것이다. 따라서 본 발명은 청구 범위와 그 등가물에 의하지 않고는 제한되지 않는다.

도면의 간단한 설명

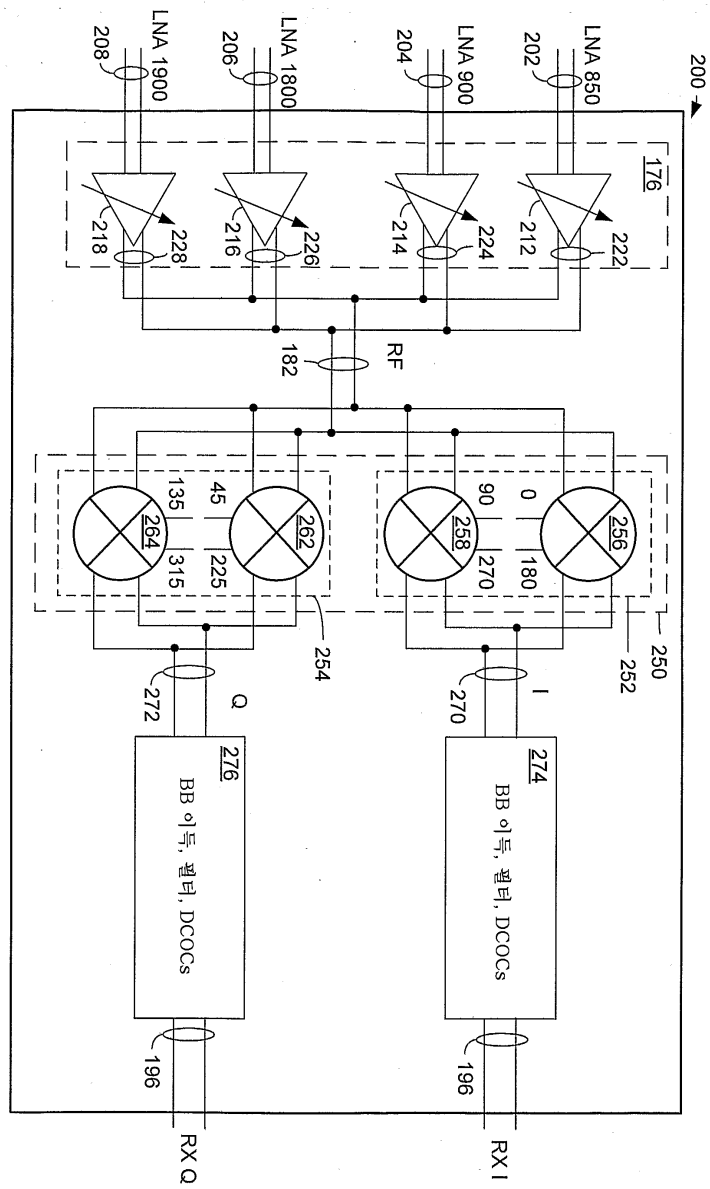
- <12> 본 발명은 첨부 도면을 참조하면 더욱 잘 이해될 것이다. 도면에 도시된 구성 요소들은 반드시 일정 비율로 그려진 것은 아니며, 대신 본 발명의 원리를 명백히 나타내기 위해 강조하여 도시되어 있다. 더욱이, 도면 전체를 통해 동일 도면 부호는 동일 구성 요소를 지시한다.
- <13> 도 1은 간략화된 휴대형 트랜시버를 도시한 블록도.
- <14> 도 2는 도 1의 수신기를 도시한 개략도.
- <15> 도 3은 도 1의 합성기의 개략도.
- <16> 도 4는 도 1의 송신기를 도시한 블록도.
- <17> 도 5는 도 4의 가변 이득 주파수 체배기의 실시예를 도시한 개략도.
- <18> 도 6은 도 4의 가변 이득 주파수 체배기의 다른 실시예를 도시한 개략도.
- <19> 도 7은 가변 이득 주파수 체배기를 제어하는데 이용된 제어 함수를 도시한 개략도.
- <20> 도 8은 상기 가변 이득 주파수 체배기의 실시예의 동작을 설명하는 흐름도.

도면

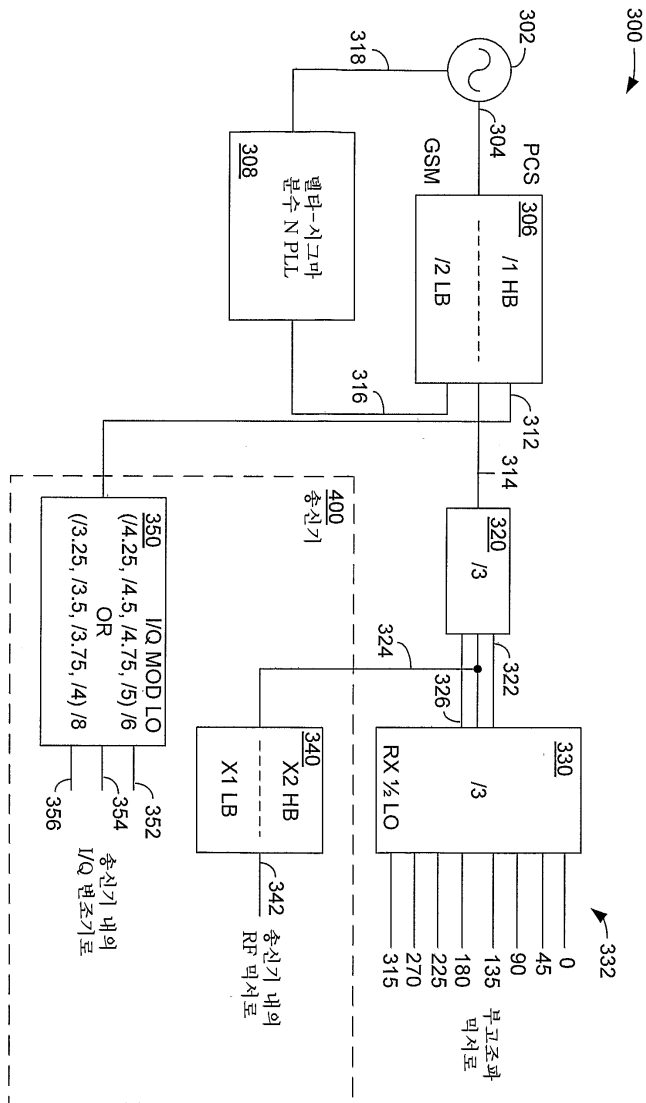
도면1



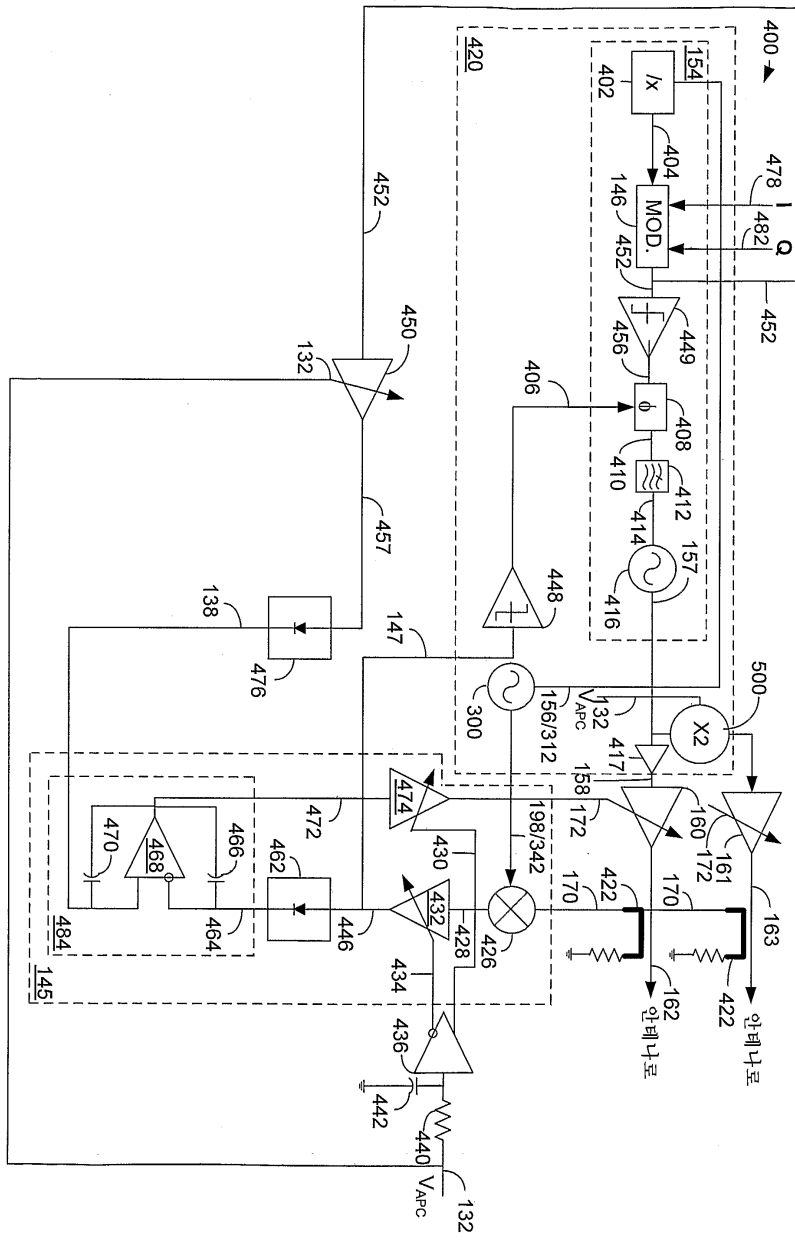
도면2



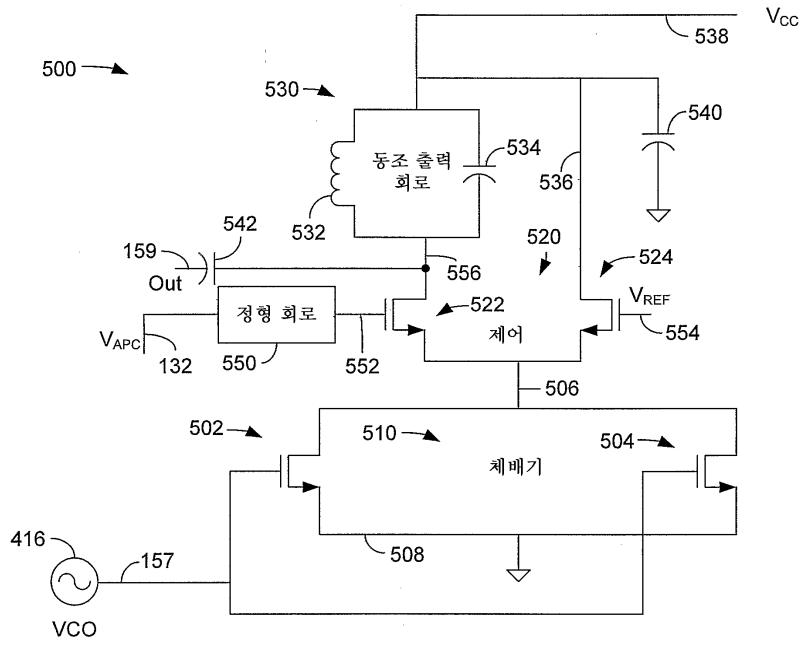
도면3



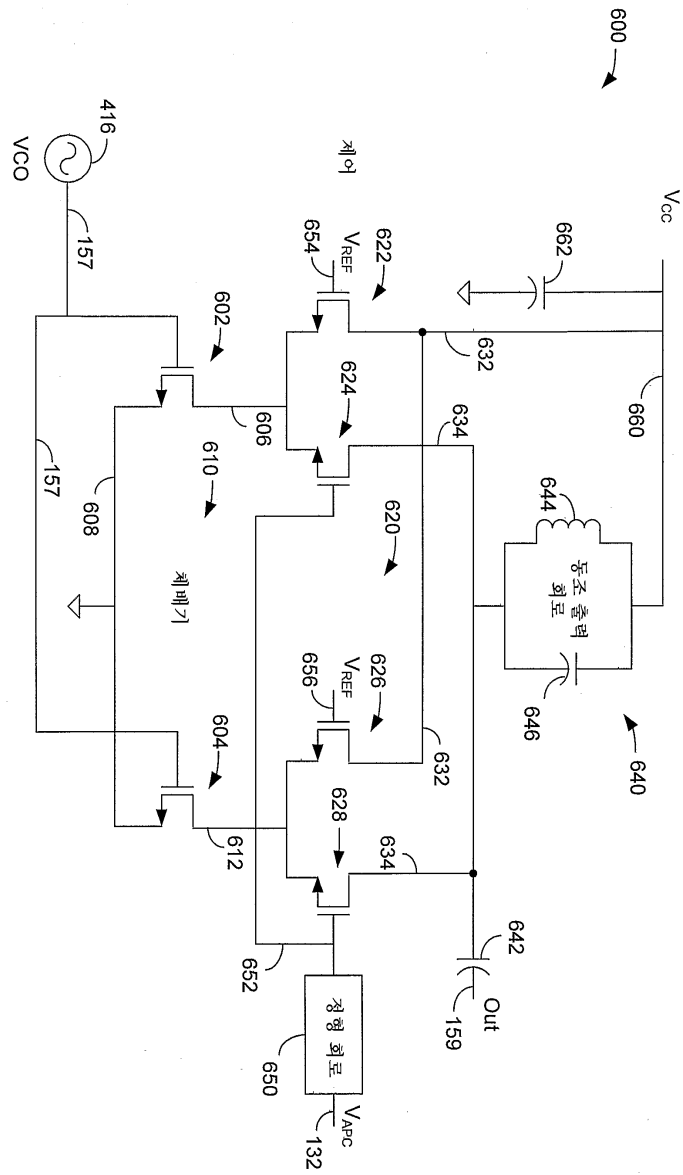
도면4



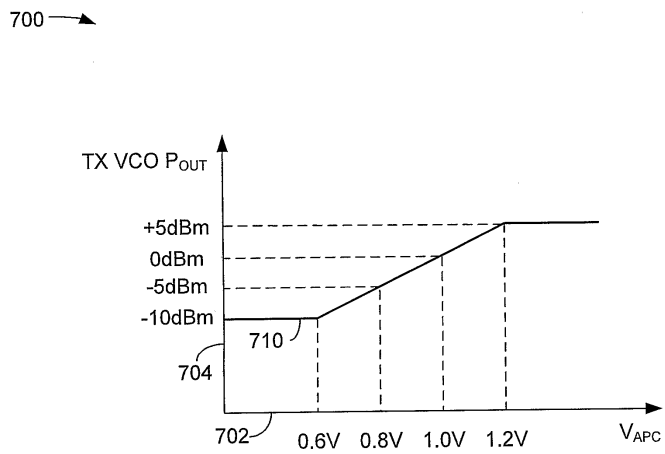
도면5



도면6



도면7



도면8

