



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I605593 B

(45)公告日：中華民國 106 (2017) 年 11 月 11 日

(21)申請案號：102140093

(22)申請日：中華民國 102 (2013) 年 11 月 05 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L21/336 (2006.01)

(30)優先權：2012/11/15 日本

2012-251701

2012/11/16 日本

2012-251860

(71)申請人：半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2010/0244029A1

審查人員：施喻懷

申請專利範圍項數：11 項 圖式數：23 共 116 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

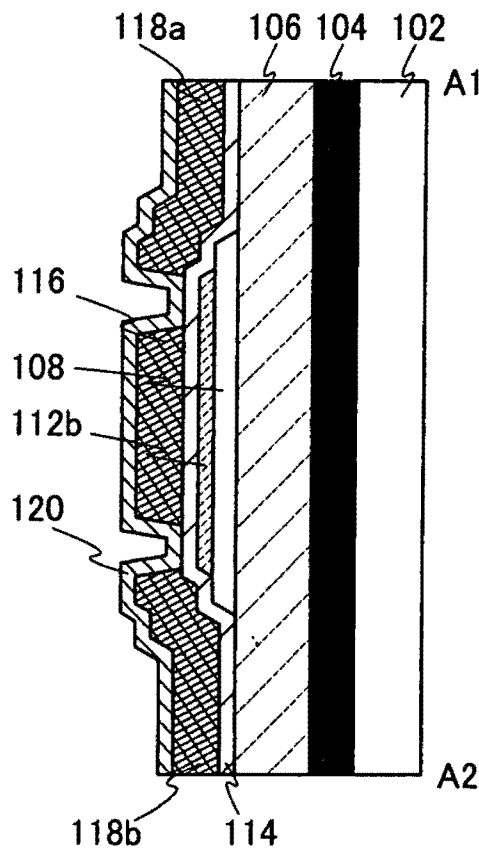
(57)摘要

本發明提供一種包含氧化物半導體層於通道形成區域中的電晶體，電晶體的臨界電壓被控制，為一種正常關態切換元件。切換元件包含第一絕緣膜，氧化物半導體層於第一絕緣膜上且氧化物半導體層包含通道形成區域，第二絕緣膜覆蓋氧化物半導體層，源極電極層及汲極電極層電連接至氧化物半導體層。半導體裝置更包含第一閘極電極層重疊通道形成區域且第一絕緣膜於其間，第二閘極電極層重疊通道形成區域且第二絕緣膜於其間，及第三閘極電極層於通道寬度方向重疊氧化物半導體層的側面且第二絕緣膜於其間。

Provided is a transistor including an oxide semiconductor in a channel formation region in which the threshold voltage is controlled, which is a so-called normally-off switching element. The switching element includes a first insulating film, an oxide semiconductor layer over the first insulating film and includes a channel formation region, a second insulating film covering the oxide semiconductor layer, a source electrode layer and a drain electrode layer electrically connected to the oxide semiconductor layer. The semiconductor device further includes a first gate electrode layer overlapping the channel formation region with the first insulating film therebetween, a second gate electrode layer overlapping the channel formation region with the second insulating film therebetween, and a third gate electrode layer overlapping a side surface of the oxide semiconductor layer in a channel width direction with the second insulating film therebetween.

指定代表圖：

第 1B 圖



符號簡單說明：

102 . . . 基板

104 . . . 第一閘極電極

106 . . . 第一絕緣膜

108 . . . 氧化物半導體層

112b . . . 汲極電極層

114 . . . 第二絕緣膜

116 . . . 第二閘極電極

118a . . . 第三閘極電極

118b . . . 第三閘極電極

120 . . . 第三絕緣膜

發明摘要

※申請案號：102140093

※申請日：102年11月05日

※IPC分類：H01L 29/78 (2006.01)
H01L 21/336 (2006.01)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【中文】

本發明提供一種包含氧化物半導體層於通道形成區域中的電晶體，電晶體的臨界電壓被控制，為一種正常關態切換元件。切換元件包含第一絕緣膜，氧化物半導體層於第一絕緣膜上且氧化物半導體層包含通道形成區域，第二絕緣膜覆蓋氧化物半導體層，源極電極層及汲極電極層電連接至氧化物半導體層。半導體裝置更包含第一閘極電極層重疊通道形成區域且第一絕緣膜於其間，第二閘極電極層重疊通道形成區域且第二絕緣膜於其間，及第三閘極電極層於通道寬度方向重疊氧化物半導體層的側面且第二絕緣膜於其間。

【 英文 】

Provided is a transistor including an oxide semiconductor in a channel formation region in which the threshold voltage is controlled, which is a so-called normally-off switching element. The switching element includes a first insulating film, an oxide semiconductor layer over the first insulating film and includes a channel formation region, a second insulating film covering the oxide semiconductor layer, a source electrode layer and a drain electrode layer electrically connected to the oxide semiconductor layer. The semiconductor device further includes a first gate electrode layer overlapping the channel formation region with the first insulating film therebetween, a second gate electrode layer overlapping the channel formation region with the second insulating film therebetween, and a third gate electrode layer overlapping a side surface of the oxide semiconductor layer in a channel width direction with the second insulating film therebetween.

【代表圖】

【本案指定代表圖】：第(1B)圖。

【本代表圖之符號簡單說明】：

102：基板

104：第一閘極電極

106：第一絕緣膜

108：氧化物半導體層

112b：汲極電極層

114：第二絕緣膜

116：第二閘極電極

118a：第三閘極電極

118b：第三閘極電極

120：第三絕緣膜

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：
無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

[0001] 本發明係屬於關於一種半導體裝置，特別是一種包含氧化物半導體層的半導體裝置。

[0002] 請注意，本說明書中之半導體裝置可為所有可利用半導體特性而有功能的裝置，並且光電裝置、半導體電路及電子應用設備皆為半導體裝置。

【先前技術】

[0003] 一種利用半導體薄膜形成於具有絕緣表面的基板上而形成電晶體（亦稱為薄膜電晶體（TFT））的技術已被重視。電晶體廣泛應用於電子應用設備例如整合電路（IC）或影像顯示裝置（顯示裝置）。矽基半導體材料係一眾所皆知的可應用於電晶體的薄膜半導體材料，而氧化物半導體作為另一種材料漸被關注。

[0004] 例如，揭示包含半導體層利用包含銦（In）、鎵（Ga）、鋅（Zn）的非晶氧化物形成（In-Ga-Zn-O基非晶氧化物）的電晶體（參照專利文獻1）。

[參考文獻]

[專利文獻]

[0005]

[專利文獻 1] 日本專利公開號 No. 2011-181801

【發明內容】

[0006] 氧化物半導體中的氧空缺作為施體以產生氧化物半導體中為載子的電子。當許多氧空缺存在於包含電晶體的通道形成區域的氧化物半導體中，電子產生於通道形成區域中，造成電晶體的臨界電壓往負方向偏移。

[0007] 為達成高速運作、低功率消耗、高整合性、降低成本等的電晶體，需要小型化電晶體。然而，小型化電晶體造成臨界電壓往負方向偏移。

[0008] 鑒於上述問題，本發明之一實施例的目的係提供的半導體裝置包含，包括氧化物半導體層於通道形成區域中的電晶體，電晶體的臨界電壓係可控制的，稱為正常關態切換元件。

[0009] 另外，本發明之一實施例的目的係使包含電晶體的二極管裝置，其中使用氧化物半導體於通道形成區域，以具有高穩定電子特性及高可靠性。

[0010] 於使用氧化物半導體於通道形成區域的電晶體中，提供複數閘極電極。由控制複數閘極電極，達成正常關態切換元件。詳細如下所述。

[0011] 本發明之一實施例係一種半導體裝置包含第

一絕緣膜，氧化物半導體層形成於第一絕緣膜上且包含通道形成區域，第二絕緣膜覆蓋氧化物半導體層上，源極電極層及汲極電極層電連接氧化物半導體層。半導體裝置更包含第一閘極電極層重疊通道形成區域，且第一絕緣膜設置於其間，第二閘極電極層重疊通道形成區域，且第二絕緣膜設置於其間，及第三閘極電極層重疊氧化物半導體層的側面，垂直通道寬度方向，且第二絕緣膜設置於其間。

[0012] 本發明之另一實施例關於包含電晶體的半導體裝置，或包含包括電路的電晶體的半導體裝置。例如，本發明之一實施例關於包含電晶體的半導體裝置，其中通道形成區域使用氧化物半導體層形成，或包含電路的半導體裝置，使用例如電晶體形成。例如，本發明關於電子應用包含，作為組件，半導體整合電路包含 LSI、CPU、設置於功率電路的功率元件、記憶體、閘流體、轉換器或影像感測器等，或發光顯示裝置包含發光元件或光電元件，典型為液晶顯示面板。

[0013] 依據本發明之一實施例，可提供半導體裝置包含，電晶體包括氧化物半導體於通道形成區域中，其中電晶體的臨界電壓係可控制，稱為正常關態切換元件。

[0014] 於包含包括氧化物半導體的電晶體的半導體裝置中，可提供穩定的電子特性及可達成高可靠性。

【圖式簡單說明】

[0015]

第 1A 至 1C 圖顯示半導體裝置的一實施例的上視圖及截面圖。

第 2A 至 2D 圖顯示半導體裝置的製造方法的一實施例的截面圖。

第 3A 至 3D 圖顯示半導體裝置的製造方法的一實施例的截面圖。

第 4A 至 4D 圖顯示半導體裝置的製造方法的一實施例的截面圖。

第 5A 至 5C 圖顯示半導體裝置的一實施例的上視圖及截面圖。

第 6 圖顯示依據本發明之一實施例的氧化物層疊的截面結構。

第 7A 及 7B 圖各顯示依據本發明之一實施例的氧化物層疊的真空能階及導帶底部的能階差。

第 8A 及 8B 圖各顯示依據本發明之一實施例的氧化物層疊的能帶結構。

第 9A 至 9C 圖顯示依據本發明之一實施例的氧化物層疊的截面結構。

第 10A 至 10C 圖顯示半導體裝置的一實施例的上視圖及截面圖。

第 11A 至 11C 圖各顯示記憶單元的範例。

第 12 圖顯示記憶單元的範例。

第 13A 至 13C 圖顯示記憶單元的結構的範例。

第 14 圖顯示半導體裝置的方塊圖。

第 15A 至 15C 圖顯示半導體裝置的方塊圖。

第 16A 至 16C 圖顯示半導體裝置可應用的電子應用設備。

第 17 圖顯示包含氧化物半導體層的電晶體的電子特性的改變。

第 18 圖顯示包含氧化物半導體層的電晶體的能帶結構。

第 19A 至 19C 圖各顯示包含氧化物半導體層的電晶體的劣化模式。

第 20A 及 20B 圖係能帶圖及顯示相應的包含氧化物半導體層的電晶體的劣化模型的圖。

第 21A 及 21B 圖係能帶圖及顯示相應的包含氧化物半導體層的電晶體的劣化模型的圖。

第 22A 及 22B 圖係能帶圖及顯示相應的包含氧化物半導體層的電晶體的劣化模型的圖。

第 23 圖係包含氧化物半導體層的電晶體的截面圖。

【實施方式】

[0016] 以下，說明書將伴隨參考圖式揭示本發明之實施例。請注意，本發明不限於以下之敘述，而所屬技術領域中具有通常知識者所能輕易了解的模式及細節係可有所變化。因此，本發明之詮釋不限於發明說明書中所揭示如下實施例。請注意，在本說明書中，一般性的編號例如「第一」及「第二」僅用於簡便，且不表示步驟次序及層

的層疊次序。另外，在本說明書中，一般性的編號不表示特定名稱而限制本發明。

[0017] 請注意，本說明書中的單詞例如「上」等不特別表示組件置於另一組件的「直接上方」。例如，「閘極電極於閘極絕緣膜上」，可表示另有一層於閘極絕緣膜及閘極電極之間的情況。「下」亦表示如此。

[0018] 此外，本說明書中，單詞例如「電極」或「導線」不限制組件的功能。例如，「電極」有時可作為「導線」的部分，或是相反。另外，例如，單詞「電極」或「導線」可也表示複數「電極」或「導線」的組合。

[0019] 「源極」及「汲極」的功能有時相互置換，例如當配置相反極性之電晶體或當電路之運作電流方向改變時。因此，本說明書中，單詞「源極」及「汲極」可相互置換。

[0020] 請注意，本說明書中，單詞「電連接」包含組件經由一具有電功能的物體連接。此物體並沒有特別的限制，而可具有任何電功能，只要經由此物體連接的組件之間的電訊號可傳輸且接收。

[0021]

(第一實施例)

[0022] 本實施例的半導體裝置的結構範例如第 1A 至 1C 圖中所示。第 1A 圖係半導體裝置的上視圖。第 1B 圖係沿第 1A 圖中的虛線 A1 至 A2 的截面圖。第 1C 圖係沿第 1A 圖中的虛線 B1 至 B2 的截面圖。請注意，為了簡化

圖式，許多組件以穿透方式顯示或未顯示於上視圖第 1A 圖中。

[0023] 請注意，第 1B 圖係沿通道寬度方向的截面圖。第 1C 圖係沿通道長度方向的截面圖。

[0024] 第 1A 至 1C 圖中所示的半導體裝置包含第一絕緣膜 106，氧化物半導體層 108 於第一絕緣膜 106 上且包含通道形成區域，第二絕緣膜 114 於半導體層 108 上，及源極電極層 110 及汲極電極層 112 電連接氧化物半導體層 108。半導體裝置更包含閘極電極層 104 重疊通道形成區域且第一絕緣膜 106 設置於其間，第二閘極電極層 116 重疊通道形成區域且第二絕緣膜 114 設置於其間，及第三閘極電極層 118 重疊氧化物半導體層 108 的側面於通道寬度方向且第二絕緣膜 114 設置於其間。

[0025] 另外，第 1A 至 1C 圖中所示的半導體裝置中，形成第三閘極電極層 118 以於通道寬度方向中面對氧化物半導體層 108 的兩側面，由第三閘極電極層 118a 及第三閘極電極層 118b 表示。唯，未限制此種結構，第三閘極電極層 118 可形成以於通道寬度方向面對氧化物半導體層 108 的一側面之一。請注意，較佳的是，如本實施例中所示，形成第三閘極電極層 118 以於通道寬度方向中面對氧化物半導體層 108 的兩側面，因為可輕易控制電晶體的臨界電壓。

[0026] 如上所述，本發明之一實施例中，使用複數閘極電極層於氧化物半導體層 108，可控制電晶體的臨界

電壓，因此電晶體可為正常關態。例如，可每個第一閘極電極層 104 及第三閘極電極層 118 作為控制電晶體的臨界電壓的電極。第二閘極電極層 116 可作為控制電晶體的驅動的電極。請注意，第一至第三閘極電極層的結構不限於此，例如，第二閘極電極層 116 可作為電晶體的臨界電壓的電極。請注意，本實施例中，第一閘極電極層 104 及第三閘極電極層 118 作為控制電晶體的臨界電壓的電極，且第二閘極電極層 116 作為控制電晶體的驅動的電極的例子於下敘述。

[0027] 第一閘極電極層 104 作為控制電晶體的臨界電壓的電極可供應電場垂直氧化物半導體層 108 的通道形成區域。相對的，第三閘極電極層 118（第三閘極電極層 118a 及 118b）作為控制電晶體的臨界電壓的電極可供應電場水平氧化物半導體層 108 的通道形成區域。也就是，第一閘極電極層 104 及第三閘極電極層 118 可分別作為背閘極電極及側閘極電極。由提供側閘極電極，氧化物半導體層 108 的通道形成區域可完全空乏或實質上完全空乏，且具有此種結構的電晶體具有極低關態電流的效應。另外，氧化物半導體層 108 的厚度可很大。當氧化物半導體層 108 的厚度很大，氧化物半導體層 108 可輕易由第三閘極電極層 118 的電位影響且臨界電壓可輕易控制。氧化物半導體層 108 的厚度可為，例如，15 nm 至 1500 nm。

[0028] 此處，敘述控制電晶體的臨界電壓的範例。例如，電晶體的臨界電壓僅由第一閘極電極層 104 控制的

情況，第一絕緣膜 106 較佳的是形成為薄以使電場可供應至氧化物半導體層 108。然而，形成第一絕緣膜 106 為薄很困難，因為第一絕緣膜 106 較佳的是形成為厚以提供氧至氧化物半導體層 108。因此，僅由第一閘極電極層 104 控制電晶體的臨界電壓可能很困難。另外，第三閘極電極層 118 係設置相對於氧化物半導體層 108 的通道形成區域係水平。供應垂直電場至通道形成區域產生控制電晶體的臨界電壓的效應大於供應水平電場。因此僅由第三閘極電極層 118，難以控制電晶體的臨界電壓。

[0029] 唯，依據本發明之一實施例的半導體裝置，可解決上述問題，利用二閘極電極層，第一閘極電極層 104 及第三閘極電極層 118，控制電晶體的臨界電壓。也就是，電晶體的臨界電壓由結合第一閘極電極層 104 的臨界電壓控制及第三閘極電極層 118 的臨界電壓控制，較易控制。

[0030] 於本實施例中敘述的控制半導體裝置的臨界電壓的方法，例如，供應至第一閘極電極層 104 的電位可為接地（此種電位亦稱為 GND）或浮置狀態，且供應至第三閘極電極層 118 的電位可為負。當此電位供應至第一閘極電極層 104 及第三閘極電極層 118，電晶體的臨界電壓可往正方向偏移。

[0031] 另外，第一閘極電極層 104 具有阻擋外部電場的功能，也就是，防止外部電場影響電晶體的功能（特別是防止靜電場的功能）。第一閘極電極層 104 的防止靜

電場的功能可防止電晶體因外部電場例如靜電場的效應的電子特性改變。

[0032] 另外，第 1A 至 1C 圖中所示的半導體裝置中，例如，源極電極層 110 具有源極電極層 110a 及 110b 的層疊結構，且汲極電極層 112 具有汲極電極 112a 及 112b 的層疊結構。

[0033] 當源極電極層 110 及汲極電極層 112 具有層疊結構，可製造具有短通道長度（亦稱為 L 長度）效應的電晶體。例如，利用易與氧結合的材料形成源極電極層 110a 及汲極電極層 112a，並接觸氧化物半導體層 108，發生一種現象，氧化物半導體層 108 中所含的氧擴散或移動進入易與氧結合的導電材料中。某些電晶體製造過程中的加熱步驟，由於此種現象，因而產生氧空缺於氧化物半導體層 108 的區域與源極電極層 110a 及汲極電極層 112a 接觸的區域中及附近，因此此區域成為 n 型。

[0034] 於本實施例中的半導體裝置中，唯，可製造源極電極層 110b 及汲極電極層 112b 分別形成於源極電極層 110a 及汲極電極層 112a 上，且使用不易與氧結合的導電材料於源極電極層 110b 及汲極電極層 112b，因此電晶體具有短通道長度（L 長度）。例如，電晶體的通道長度（L 長度）可為 100 nm 或更少，較佳的是 50 nm 或更少，更佳的是 30 nm 或更少。請注意，通道長度（L 長度）係第 1C 圖中源極電極層 110b 及汲極電極層 112b 之間的距離。另外，氧化物半導體層 108 中作為 n 型的區域

於第 1C 圖中以 n 型區域 107 表示。因此，n 型區域 107 作為電晶體的源極區域或汲極區域。

[0035] 第二閘極電極層 116 作為控制電晶體驅動的情況，通道形成區域表示第 1C 圖中氧化物半導體層 108 重疊第二閘極電極層 116 的區域。請注意，於 n 型區域 107 形成於氧化物半導體層 108 中的情況，通道形成區域表示氧化物半導體層 108 重疊第二閘極電極層 116 且夾置於 n 型區域 107 之間的區域。如上所述，通道形成區域主要形成於氧化物半導體層 108 重疊第二閘極電極層 116 的區域，且依據氧化物半導體層 108 的半導體特性。因此，於某些情況，當氧化物半導體層 108 重疊第二閘極電極層 116 的區域係 i 型區域，作為通道形成區域，當係 n 型區域，不作為通道形成區域。此外，通道表示通道形成區域中電流主要流過的區域。例如，第 1C 圖中，通道表示半導體層 108 中重疊第二閘極電極層 116 且於源極電極層 110b 及汲極電極層 112b 之間及鄰接第二閘極絕緣膜 114 的區域。

[0036] 另外，本實施例揭示之半導體裝置可包含第三絕緣膜 120 於第二絕緣膜 114 上，第二閘極電極層 116 及第三閘極電極層 118。第三絕緣膜 120 可作為電晶體對電晶體的保護膜之功能。

[0037] 其次，第 1A 圖至 1C 圖中所示的半導體裝置中所包含的元件細節於下敘述。

[0038] 基板 102 不限於簡單的支撐基板，而可為另

一裝置例如電晶體形成的基板。於此情況，至少一第一閘極電極層 104，第二閘極電極層 116，第三閘極電極層 118，源極電極層 110，及汲極電極層 112 可電連接至上述之另一裝置。

[0039] 因第一閘極電極層 104 係與第一絕緣膜 106 接觸，較佳的是使用不易與氧結合的導電材料。作為導電材料，例如，較佳的是，使用導電氮化物例如氮化鈮或氮化鈦或鈺。請注意，不易與氧結合的導電材料包含，氧不易擴散或傳輸的材料種類。

[0040] 第一絕緣膜 106 可具有提供氧至氧化物半導體層 108 的功能，亦可具有防止雜質從基板 102 擴散的功能；因此，第一絕緣膜 106 為含有氧的絕緣膜。特別較佳的是，第一絕緣膜 106 為含有超量的氧的絕緣膜。含有超量的氧的氧化物絕緣膜表示，由熱處理等，氧可從氧化物絕緣膜釋放。也就是，第一絕緣膜 106 為可由加熱釋放氧的氧化物絕緣膜。較佳的是，第一絕緣膜 106 為於熱解吸附頻譜分析中，轉變成為氧原子為 1.0×10^{19} atoms/cm³ 或更多的氧釋放量的膜。此外，超量的氧表示氧可由熱處理傳輸至氧化物半導體層，氧化矽，或氧氮化矽，超過化學計量的氧組成，或可填充因缺氧造成的 Vo（氧空缺）。從第一絕緣膜 106 釋放的氧可擴散至氧化物半導體層 108 的通道形成區域，以使可能形成於氧化物半導體層中的氧空缺填充氧。如此，可達成電晶體的穩定電子特性。

[0041] 請注意，於基板 102 係另一裝置形成的基板

的情況，第一絕緣膜 106 亦可作為層間絕緣膜。此時，較佳的是，第一絕緣膜 106 接受平面化處理，例如化學機械研磨（CMP）處理以具有平整表面。

[0042] 較佳的是，氧化物半導體層可作為氧化物半導體層 108 的包含由 In-M-Zn 氧化物表示的層，其含有至少銦（In），鋅（Zn），及 M（M 係金屬元素，例如 Al、Ga、Ge、Y、Zr、Sn、La、Ce 或 Hf）。用於氧化物半導體層 108 的詳細材料及形成方法於下的電晶體製造方法敘述中描述。

[0043] 請注意，由減少氧化物半導體層中的雜質濃度以使以氧化物半導體層本質或實質上本質，使氧化物半導體層作為通道的電晶體具有穩定的電子特性。「實質本質」這個詞表示氧化物半導體層具有載子密度低於 $1 \times 10^{17} / \text{cm}^3$ ，較佳的是低於 $1 \times 10^{15} / \text{cm}^3$ ，更佳的是低於 $1 \times 10^{13} / \text{cm}^3$ 的狀態。

[0044] 於氧化物半導體層中，氫、氮、碳、矽及除了氧化物半導體的主要成分以外的金屬元素，為雜質。例如，氫及氮形成施體能階而增加載子密度。矽形成雜質能階於氧化物半導體層中。雜質能階成為陷阱，其可劣化電晶體的電子特性。

[0045] 請注意，為使氧化物半導體層本質或實質上本質，氧化物半導體層中的矽濃度，由 SIMS 量測，係設定為低於 $1 \times 10^{19} \text{ atoms/cm}^3$ ，較佳的是低於 $5 \times 10^{18} \text{ atoms/cm}^3$ ，更佳的是低於 $1 \times 10^{18} \text{ atoms/cm}^3$ 。氧化物半導

體層中之氫濃度設定為低於或等於 2×10^{20} atoms/cm³，較佳的是低於或等於 5×10^{19} atoms/cm³，更佳的是低於或等於 1×10^{19} atoms/cm³，再更佳的是低於或等於 5×10^{18} atoms/cm³。氧化物半導體層之氮濃度設定為低於 5×10^{19} atoms/cm³，較佳的是低於或等於 5×10^{18} atoms/cm³，更佳的是低於或等於 1×10^{18} atoms/cm³，再更佳的是低於或等於 5×10^{17} atoms/cm³。

[0046] 於氧化物半導體層包含結晶之情形，高濃度之矽或碳可能減少氧化物半導體層之結晶程度。為使不降低氧化物半導體層之結晶程度，氧化物半導體層中之矽的濃度設定為低於 1×10^{19} atoms/cm³，較佳的是低於 5×10^{18} atoms/cm³，更佳的是低於 1×10^{18} atoms/cm³，並且碳濃度低於 1×10^{19} atoms/cm³，較佳的是低於 5×10^{18} atoms/cm³，更佳的是低於 1×10^{18} atoms/cm³。

[0047] 如上所述，使用高度純化的氧化物半導體層於通道形成區域的電晶體，具有極低的關態電流，且於電晶體的通道寬度方向常態化的關態電流極低，如幾 yA/μm 至幾 zA/μm。

[0048] 當可用於氧化物半導體層 108 的氧化物半導體的膜中的侷限能階密度減少，可賦予包含氧化物半導體層 108 的電晶體穩定的電子特性。請注意，賦予電晶體穩定的電子特性，氧化物半導體層 108 中因侷限能階造成的吸收常數，由等光電流 (CPM) 法量測得到，設定為低於 1×10^{-3} /cm，較佳的是低於 3×10^{-4} /cm。

[0049] 對於第一源極電極層 110a 及第一汲極電極層 112a，可使用易與氧結合的導電材料。例如，可使用 Al、Cr、Cu、Ta、Ti、Mo 或 W。特別是，較佳的是，使用具有高熔點的 Ti 或 W，可允許後續製程之溫度相對較高。請注意，易與氧結合的導電材料包含，氧容易擴散或傳輸的材料種類。

[0050] n 型區域 107 係氧化物半導體層 108 的部分區域，氧從源極電極層 110a 及汲極電極層 112a 側取出因而產生許多氧空缺。另外，n 型區域 107 可含有源極電極層 110a 及汲極電極層 112a 的組成物。例如，於鎢膜作為源極電極層 110a 及汲極電極層 112a 的情況，n 型區域 107 可含有鎢元素。

[0051] 唯，於形成具有極短通道長度的電晶體的情況，由氧空缺產生的 n 型區域有時延伸至電晶體的通道長度方向。此時，電晶體的電子特性改變。例如，臨界電壓偏移或電晶體的開關不能由閘極電壓控制（也就是，電晶體常開）。因此，於形成具有極短通道長度的電晶體時，較不佳的是，使用易與氧結合的導電材料於源極電極及汲極電極。

[0052] 因此，本實施例中，源極電極及汲極電極具有層疊結構，且決定通道長度的源極電極層 110b 及汲極電極層 112b，使用不易與氧結合的導電材料形成。作為導電材料，較佳的是使用，例如，導電氮化物例如氮化鋇或氮化鈦或鈣。請注意，不易與氧結合的導電材料包含，

氧不容易擴散或傳輸的材料種類。

[0053] 由使用上述不易與氧結合的導電材料於源極電極層 110b 及汲極電極層 112b，可抑制產生於氧化物半導體層 108 的通道形成區域中的氧空缺，以抑制通道區域改變為 n 型。以此方式，即使電晶體具有極短通道長度，仍可具有良好的電子特性。

[0054] 於源極電極層與汲極電極層僅使用上述不易與氧結合的導電材料形成的情況，與氧化物半導體層 108 的接觸電阻變為過高；因此，較佳的是，如第 1C 圖中所示，源極電極層 110a 及汲極電極層 112a 形成於氧化物半導體層 108 上，並且源極電極層 110b 及汲極電極層 112b 形成以覆蓋源極電極層 110a 及汲極電極層 112a。此時，較佳的是，氧化物半導體層 108 具有與源極電極層 110a 或汲極電極層 112a 較大之接觸面積，並且氧化物半導體層 108 具有與源極電極層 110b 或汲極電極層 112b 較小之接觸面積。因產生氧空缺，氧化物半導體層 108 與源極電極層 110a 或汲極電極層 112a 接觸的區域變為 n 型區域。由於 n 型區域氧化物半導體層 108 與源極電極層 110a 或汲極電極層 112a 的接觸電阻可減小。因此，當氧化物半導體層 108 與源極電極層 110a 或汲極電極層 112a 的具有較大的接觸面積，n 型區域的面積亦可較大。

[0055] 可形成第二絕緣膜 114，使用絕緣膜含有以下一種或是多種：氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鍺、氧化釷、氧化鈳、氧

化鏷、氧化釵、氧化鉛及氧化鉬。第二絕緣膜 114 可為上述任何材料的層疊。請注意，第二絕緣膜 114 作為閘極絕緣膜的功能。

[0056] 對於第二閘極電極層 116 及第三閘極電極層 118，可使用 Al、Cr、Cu、Ta、Ti、Mo 或 W 等材料。

[0057] 較佳的是，氧不易擴散或傳輸的材料用於第三絕緣膜 120。此外，較佳的是，使用含有極少氫的材料於第三絕緣膜 120。第三絕緣膜 120 的氫濃度較佳的是 $5 \times 10^{19} / \text{cm}^3$ ，更佳的是 $5 \times 10^{18} / \text{cm}^3$ 。請注意，第三絕緣膜 120 作為電晶體的保護絕緣膜的功能。當第三絕緣膜 120 含有的氫如上所述，電晶體的關態電流可很低。例如，較佳的是，使用氮化矽膜或氮氧化矽膜作為第三絕緣膜 120。

[0058] 如上所述，如依據本發明的一實施例的電晶體具有複數閘極電極層，因而控制電晶體的臨界電壓，且因此可達成所謂的正常關態切換元件。此外，可提供包含此種電晶體的半導體裝置。

[0059] 本實施例可與本說明書中的任何其它實施例任意地結合。

[0060]

(第二實施例)

本實施例中，如第 1A 至 1C 圖中所示且於第一實施例中所述的半導體裝置的製造方法，將參照第 2A 至 2D 圖、第 3A 至 3D 圖及第 4A 至 4D 圖敘述。

[0061] 首先，準備基板 102。對於基板 102，可使用玻璃基板、陶瓷基板、石英基板或藍寶石基板等。或是，可使用由矽或碳化矽等製成的單晶半導體基板或多晶半導體基板，由鍺等製成的化合物半導體基板，絕緣覆矽（SOI）基板等。再者，可使用提供有半導體元件的任何這些基板。

[0062] 再來，導電膜形成於基板 102 上且製成所需的形狀，其中形成第一閘極電極層 104（參照第 2A 圖）。

[0063] 作為第一閘極電極層 104，例如，導電膜含有氮化鋁、氮化鈦、鈦或含有上述材料作為主要成分的合金材料，由濺鍍法等形成單層或層疊。

[0064] 再來，絕緣膜 105 形成於基板 102 及第一閘極電極層 104 上（參照第 2B 圖）。

[0065] 可使用於第一絕緣膜 106 的材料可使用於絕緣膜 105。例如，絕緣膜 105 可由電漿增強化學氣相沉積（PE-CVD）法或濺鍍法等，使用氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鍺、氧化鈮、氧化銻、氧化釷或氧化鈾等或上述材料的任何混合的氧化物絕緣膜形成。此外，可使用上述材料的層疊，且至少絕緣膜 105 與氧化物半導體層 108 接觸的上層，使用含有可作為氧化物半導體層 108 的供氧源的氧的材料。

[0066] 再來，平坦化絕緣膜 105 的表面以形成第一

絕緣膜 106 (參照第 2C 圖)。第一絕緣膜 106 可由平坦化製程例如 CMP 法形成於絕緣膜 105 上。

[0067] 由離子植入法、離子摻雜法或電漿浸潤離子植入法等，氧可加入至第一絕緣膜 106。由加入氧，第一絕緣膜 106 可更包含超量的氧。

[0068] 再來，由濺鍍法、CVD 法分子束磊晶 (MBE) 法、原子層沉積 (ALD) 法或脈衝雷射沉積 (PLD) 法及選擇性蝕刻，氧化物半導體膜形成於第一絕緣膜 106 上，因而形成氧化物半導體層 108 (參照第 2D 圖)。請注意，蝕刻前可執行加熱。

[0069] 可用於氧化物半導體層 108 的氧化物半導體層，較佳的是包含，由 In-M-Zn 氧化物表示的層，包含以下至少一種銦 (In)、鋅 (Zn) 及 M (M 係金屬元素例如 Al、Ga、Ge、Y、Zr、Sn、La、Ce 或 Hf)。或是，較佳的是，氧化物半導體含有 In 及 Zn 兩者。為減少包含氧化物半導體的電晶體的電子特性的波動，氧化物半導體較佳的是含有 In 及 Zn 之外的穩定物。

[0070] 可提供鎵 (Ga)、錫 (Sn)、鈦 (Hf)、鋁 (Al)、鋯 (Zr) 等作為穩定物。可提供鏷係元素，例如鏷 (La)、鈾 (Ce)、鐳 (Pr)、釹 (Nd)、釷 (Sm)、鎔 (Eu)、釷 (Gd)、鉕 (Tb)、鐳 (Dy)、釹 (Ho)、鉕 (Er)、鐳 (Tm)、鐳 (Yb)、鐳 (Lu) 等作為另一穩定物。

[0071] 作為氧化物半導體，例如，可使用以下的任

何：氧化銮、氧化錫、氧化鋅、In-Zn 氧化物、Sn-Zn 氧化物、Al-Zn 氧化物、Zn-Mg 氧化物、Sn-Mg 氧化物、In-Mg 氧化物、In-Ga 氧化物、In-Ga-Zn 氧化物、In-Al-Zn 氧化物、In-Sn-Zn 氧化物、Sn-Ga-Zn 氧化物、Al-Ga-Zn 氧化物、Sn-Al-Zn 氧化物、In-Hf-Zn 氧化物、In-La-Zn 氧化物、In-Ce-Zn 氧化物、In-Pr-Zn 氧化物、In-Nd-Zn 氧化物、In-Sm-Zn 氧化物、In-Eu-Zn 氧化物、In-Gd-Zn 氧化物、In-Tb-Zn 氧化物、In-Dy-Zn 氧化物、In-Ho-Zn 氧化物、In-Er-Zn 氧化物、In-Tm-Zn 氧化物、In-Yb-Zn 氧化物、In-Lu-Zn 氧化物、In-Sn-Ga-Zn 氧化物、In-Hf-Ga-Zn 氧化物、In-Al-Ga-Zn 氧化物、In-Sn-Al-Zn 氧化物、In-Sn-Hf-Zn 氧化物或 In-Hf-Al-Zn 氧化物。

[0072] 請注意，例如，In-Ga-Zn 氧化物表示含有 In、Ga 及 Zn 作為主要成分的氧化物，且 In、Ga 及 Zn 的比率沒有特別的限制。In-Ga-Zn 氧化物可含有 In、Ga 及 Zn 以外的金屬元素。此外，本說明書中，使用 In-Ga-Zn 氧化物形成的膜亦稱為 IGZO 膜。

[0073] 或是，由 $\text{InMO}_3(\text{ZnO})_m$ 表示的膜（ m 滿足 $m > 0$ 且 m 非整數）可用作為氧化物半導體。請注意， M 表示一或更多的金屬元素選自 Ga、Fe、Mn 及 Co。或是，作為氧化物半導體，可使用由化學式 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ （ $n > 0$ 且 n 為自然數）表示的材料。

[0074] 請注意，較佳的是，由濺鍍法形成氧化物半導體膜。作為濺鍍法，可使用 RF 濺鍍法、DC 濺鍍法或

AC 濺鍍法等。特別是，較佳的是，使用 DC 濺鍍法，因為沉積過程中產生的灰塵可減少且膜厚可一致。

[0075] 氧化物半導體膜的結構如下所述。

[0076] 氧化物半導體膜約略分類為單晶氧化物半導體膜及非單晶氧化物半導體膜。非單晶氧化物半導體膜包含任一沿 c 軸排列的結晶氧化物半導體 (CAAC-OS) 膜、多晶氧化物半導體膜、微晶氧化物半導體膜或非晶氧化物半導體膜等。

[0077] 首先，將敘述 CAAC-OS 膜。

[0078] CAAC-OS 膜係氧化物半導體膜之一，具有複數沿 c 軸排列的結晶部分。

[0079] 於 CAAC-OS 膜的穿隧電子顯微鏡 (TEM) 影像中，結晶部分之間的邊界，也就是晶粒邊界，並不能清楚觀測。因此，於 CAAC-OS 膜中，因晶粒邊界造成的電子移動率降低較不易發生。

[0080] 根據於實質上平行樣本表面之方向觀測的 CAAC-OS 膜的 TEM 影像 (截面 TEM 影像)，金屬原子在結晶部分中係層狀排列。每個金屬原子層具有反應 CAAC-OS 膜之形成表面 (此後，CAAC-OS 膜之形成表面稱為形成表面) 或是 CAAC-OS 膜之上表面之形態結構，並且相對於 CAAC-OS 膜之形成表面或上表面平行排列。

[0081] 另一方面，根據於實質上垂直樣本表面之方向觀測的 CAAC-OS 膜的 TEM 影像 (平面 TEM 影像)，金屬原子在結晶部分中係三邊狀或六邊狀排列。唯，於不

同的結晶部分之間，金屬原子的排列並沒有規律。

[0082] 由截面 TEM 影像及平面 TEM 影像，得知 CAAC-OS 膜之結晶部分的排列。

[0083] 在本說明書中，“平行”是指兩條直線形成的角度為大於或等於 -10° 且小於或等於 10° ，因此也包括角度為大於或等於 -5° 且小於或等於 5° 的情況。另外，“垂直”是指兩條直線形成的角度為 80° 至 100° 之間，因此也包括角度為 85° 至 95° 之間的情況。

[0084] 大部分包含於 CAAC-OS 膜中的結晶部分每個適配於邊長小於 100 nm 的立方體中。因此，有包含於 CAAC-OS 膜中的結晶部分適配於邊長小於 10 nm、小於 5 nm 或小於 3 nm 的立方體中的情況。請注意，某些情況中，複數包含於 CAAC-OS 膜中的結晶部分相互連接，而形成一較大的結晶區域。例如，某些情況中，具有的 2500 nm^2 或更多、 $5 \mu\text{m}^2$ 或更多或 $1000 \mu\text{m}^2$ 或更多的面積的結晶區域，可於平面 TEM 中觀測到。

[0085] CAAC-OS 膜由 X 光散射裝置 (XRD) 進行結構分析。例如，當由出平面法分析包含 InGaZnO_4 結晶的 CAAC-OS 膜，於散射角 (2θ) 為 31 度附近常出現峰值。此峰值係由 InGaZnO_4 結晶的 (009) 面產生，表示 CAAC-OS 膜具有 c 軸排列，並且 c 軸係沿實質上垂直於 CAAC-OS 膜的形成表面或上表面的方向。

[0086] 另一方面，當 CAAC-OS 膜係以入平面法分析，即 X 光以實質上垂直 c 軸的方向進入樣本，於散射角

(2 θ) 為 56 度附近常出現峰值。此峰值係由 InGaZnO₄ 結晶的 (110) 面產生。此處，固定 2 θ 為 56 度附近，於環繞樣本表面作為一軸 (ϕ 軸) 的法向量而旋轉樣本的條件下進行分析 (ϕ 掃描)。於樣本係單晶 InGaZnO₄ 的例子，顯現六個峰值。此六個峰值係由相當於 (110) 面的結晶面產生。另一方面，於 CAAC-OS 膜的例子，即使當於固定 2 θ 為 56 度附近進行 ϕ 掃描時，並未觀測到明顯的峰值。

[0087] 如上所述，CAAC-OS 膜中具有 c 軸排列，雖然結晶部分之間的 a 軸與 b 軸方向不同，c 軸係沿平行於形成表面的法向量的方向或沿上表面的法向量的方向。因此，於相應於平行結晶的 a-b 平面的平面之 TEM 截面影像中所觀測，每個金屬原子層係以層狀方式排列。

[0088] 請注意，結晶部分係於 CAAC-OS 膜沉積時同時形成，或是經由結晶化處理，例如熱處理，中形成。如上所述，結晶的 c 軸係沿平行於形成表面的法向量或是上表面的法向量的方向。因此，例如，於 CAAC-OS 膜的形狀因蝕刻等而改變時，c 軸可能不會平行於 CAAC-OS 膜的形成表面的法向量或是上表面的法向量。

[0089] 此外，CAAC-OS 膜的結晶部分的 c 軸排列分佈不需要一致。例如，於結晶成長而使 CAAC-OS 膜的結晶部分產生於膜的上表面附近時，於某些情況，上表面附近的結晶部分的 c 軸排列比率高於形成表面附近的結晶部分的 c 軸排。此外，當雜質加入 CAAC-OS 膜時，加入摻

雜的區域改變，且於某些情況，CAAC-OS 膜中的沿 c 軸排列的結晶部分的比率依不同區域而改變。

[0090] 請注意，當由出平面法分析具有 InGaZnO_4 結晶的 CAAC-OS 膜時，亦可能觀測到 2θ 除了於 31 度附近具有峰值之外，於 36 度附近具有峰值。 2θ 於 36 度附近具有峰值表示部分 CAAC-OS 膜包含具有無 c 軸排列的結晶。較佳的是，CAAC-OS 膜中， 2θ 的峰值出現於 31 度附近而 2θ 的峰值不出現於 36 度附近。

[0091] CAAC-OS 膜係具有低雜質濃度的氧化物半導體膜。雜質係氧化物半導體膜的主要成分之外的元素，例如氫、碳、矽或過度金屬。特別是，相較於氧化物半導體膜中所包含的金屬元素，與氧具有較高的結合強度的元素，例如矽，由剝奪氧化物半導體膜中的氧並造成結晶程度下降，分散氧化物半導體膜的原子排列。此外，重金屬例如鐵或鎳、氫或二氧化碳等具有大原子半徑（分子半徑），因此當含有於氧化物半導體層中時，分散氧化物半導體膜原子排列並降低結晶程度。請注意，含有於氧化物半導體膜中的雜質可作為載子陷阱或載子產生源。

[0092] CAAC-OS 膜係具有低缺陷能階密度的氧化物半導體膜。某些情況中，當捕捉氫於期間，氧化物半導體膜中的氧空缺作為載子陷阱或作為載子產生源。

[0093] 雜質濃度低且缺陷能階密度低（氧空缺的數量極低）的狀態稱為「高度純淨本質」或「實質高度純淨本質」狀態。高度純淨本質或實質高度純淨本質的氧化物

半導體膜具有極少載子產生源，因此具有低載子濃度。因此，包含此氧化物半導體膜的電晶體極少具有負的臨界電壓（正常開態）。高度純淨本質或實質高度純淨本質的氧化物半導體膜具有低缺陷能階密度，因此具有極少載子陷阱。因此，包含此氧化物半導體膜的電晶體極具有極小的電子特性變化且具有高可靠性。由氧化物半導體膜中的載子陷阱捕捉的電荷需長時間才能釋出，且可能有類似固定電荷的行為。因此，於某些情況，包含具有高雜質濃度及高缺陷能階密度的氧化物半導體膜的電晶體具有不穩定的電子特性。

[0094] 由使用 CAAC-OS 膜於電晶體中，因可見光或紫外光造成的電晶體的電子特性變化小。

[0095] 再來，敘述微晶氧化物半導體膜。

[0096] 於由 TEM 得到的影像中，某些情況中，微晶氧化物半導體中的結晶部分不能清楚找到。於大部分情況，微晶氧化物半導體層的結晶部分大於或等於 1 nm 並且小於或等於 100 nm，或大於或等於 1 nm 並且小於或等於 10 nm。大小大於或等於 1 nm 並且小於或等於 10 nm，或大小大於或等於 1 nm 並且小於或等於 3 nm 的微晶特別稱為奈晶（nc）。包含奈晶的氧化物半導體膜稱為 nc-OS（奈晶氧化物半導體）膜。於 TEM 得到的影像中，某些情況，不能發現結晶邊界於 nc-OS 膜中。

[0097] 於 nc-OS 膜中，微晶範圍區域（例如，區域具有尺寸大於或等於 1 nm 且小於或等於 10 nm，特別

是，區域具有尺寸大於或等於 1 nm 且小於或等於 3 nm) 具有週期性原子排列。此外，nc-OS 膜中不同的結晶部分間沒有規律的原子排列方向；因此，未觀測到整體膜的排列方向。因此，於某些情況，nc-OS 膜與非晶氧化物半導體無法依靠分析方法分別。例如，當 nc-OS 膜使用 XRD 裝置利用具有大於結晶部分的直徑的 X 光，由出平面法進行結構分析，不會出現顯示結晶平面的峰值。此外，由使用具有探針直徑大於結晶部分直徑（例如大於或等於 50 nm）的電子束得到，nc-OS 膜的選擇區域電子散射圖案中顯示光暈圖案。同時，由使用具有探針直徑接近或小於結晶部分的直徑（例如大於或等於 1 nm 且小於或等於 30 nm）的電子束得到，nc-OS 膜的奈米電子束散射影像中顯示點狀。此外，於 nc-OS 膜的奈米電子束散射影像中，於某些情況，顯示圈狀（環狀）的高發光區域。另外，於 nc-OS 膜的奈米電子束散射影像中，於某些情況，複數的點狀顯示於類環狀區域中。

[0098] 因 nc-OS 膜具有比非晶氧化物半導體膜有規律的氧化物半導體膜，nc-OS 膜具有較非晶氧化物半導體膜低的缺陷能階密度。唯，nc-OS 膜中的不同結晶部分間沒有規律的結晶排列；因此，nc-OS 膜具有高於 CAAC-OS 膜的缺陷能階密度。

[0099] 請注意，氧化物半導體膜可為包含二或更多膜的層疊，例如非晶氧化物半導體膜、微晶氧化物半導體膜以及 CAAC-OS 膜。

[0100] 較佳的是，使用以下條件於沉積 CAAC-OS 膜。

[0101] 減少沉積過程中進入 CAAC-OS 膜的雜質量，可防止結晶狀態為雜質破壞。例如，存在於沉積腔室中的雜質（例如氫、水、二氧化碳及氮）濃度可減少。除此之外，存在於沉積氣體中的雜質濃度可減少。特別是，使用露點 -80°C 或更低的沉積氣體，較佳的是 -100°C 或更低。

[0102] 藉由增高沉積時的基板加熱溫度使濺鍍粒子到達基板之後易於發生濺鍍粒子遷移。特別是，沉積時基板加熱溫度為高於或等於 100°C 且低於或等於 740°C ，較佳為高於或等於 200°C 且基於或等於 500°C 。由增高沉積時的基板加熱溫度，使平面狀的濺鍍粒子在到達基板時在基板表面上發生遷移，於是濺鍍粒子的平坦的面附著到基板。

[0103] 此外，較佳的是沉積氣體中增加氧的比率並最佳化功率以減少沉積時的電漿傷害。沉積氣體中氧的比率等於 30 Vol% 或更高，較佳的是 100 Vol%。

[0104] 作為濺度標靶的範例，In-Ga-Zn-O 化合物標靶於下敘述。

[0105] 多晶 In-Ga-Zn-O 化合物標靶由於預定的分子比例混合 InO_x 粉末、 GaO_y 粉末以及 ZnO_z 粉末，供給壓力，並於高於或等於 1000°C 的溫度或低於或等於 1500°C 的溫度進行熱處理而製造。請注意， x 、 y 及 z 各為正數。混合粉末的種類及分子比例可適當的依所需的濺鍍標

靶決定。

[0106] 再來，較佳的是執行第一熱處理。可執行第一熱處理於溫度高於或等於 250°C 並且小於或等於 650°C，較佳的是高於或等於 300°C 並且小於或等於 500°C，於鈍氣氣氛中，於含有 10 ppm 或更多的氧化氣體的氣氛中，或是減壓的狀態。或者，第一熱處理可以於鈍氣氣氛中進行一熱處理，而後於含有 10 ppm 或更多的氧化氣體的氣氛中執行另一熱處理的方式執行，以補償被吸收的氧。由第一熱處理，氧化物半導體層 108 的結晶程度可提升，並且另外，雜質例如氫或水可從至少第一絕緣膜 106、及氧化物半導體層 108 中移除。請注意，第一熱處理步驟可於形成氧化物半導體層 108 的蝕刻步驟前執行。

[0107] 再來，形成作為源極電極層 110a 及汲極電極層 112a 的導電膜 109 於的於氧化物半導體層 108（參照第 3A 圖）上。對於導電膜 109，可使用 Al、Cr、Cu、Ta、Ti、Mo、W 或含有上述任一材料作為主要成分的合金。例如，100 nm 厚的鎢膜由濺鍍法等形成。

[0108] 再來，製造導電膜 109 成為所需的形狀，其中形成源極電極層 110a 及汲極電極層 112a（參照第 3B 圖）。

[0109] 此時，過度蝕刻導電膜 109，以使部分蝕刻氧化物半導體層 108，如第 3B 圖中所示。唯，當導電膜 109 與氧化物半導體層 108 的蝕刻選擇性高，不易蝕刻氧化物半導體層 108。請注意，由過度蝕刻導電膜 109，部分第

一絕緣膜 106，特別是，第一絕緣膜 106 於源極電極層 110a 及汲極電極層 112a 的邊緣的外側，被蝕刻。

[0110] 再來，形成作為源極電極層 110b 及汲極電極層 112b 的導電膜 111 於氧化物半導體層 108、源極電極層 110a 及汲極電極層 112a 上（參照第 3C 圖）。對於導電膜 111，導電氮化物可使用例如氮化鋁或氮化鈦或鈦，或含有任一此材料作為主要材料的合金。例如，由濺鍍法等形式形成 20 nm 厚的氮化鋁膜。

[0111] 再來，蝕刻導電膜 111 以於氧化物半導體層 108 上分離，而形成源極電極層 110b 及汲極電極層 112b（參照第 3D 圖）。此時，如第 3D 圖所示，可蝕刻部分氧化物半導體層 108。當蝕刻源極電極層 110b 及汲極電極層 112b，部分第一絕緣膜 106，特別是，第一絕緣膜 106 於源極電極層 110b 及汲極電極層 112b 的邊緣的外側，可被蝕刻。

[0112] 請注意，於形成具有極短通道長度（源極電極層 110b 及汲極電極層 112b 之間的距離）的電晶體的情況，可以先蝕刻第一導電膜 111 以覆蓋源極電極層 110a 及汲極電極層 112a 的方式形成源極電極層 110a 及汲極電極層 112a，再來利用光阻遮罩進行蝕刻，光阻遮罩利用適用於細線的製程製造，例如電子束曝光。請注意，利用正光阻作為光阻遮罩，可以最小化暴露區域，產量可以因此提升。以上述的方式，可形成電晶體具有通道長度 30 nm 或更小。

[0113] 再來，較佳的是執行第二熱處理。可執行第二熱處理於與第一熱處理相似的條件。由第二熱處理，雜質例如氫及水可更由氧化物半導體層 108 中移除。此外，由第二熱處理，形成 n 型區域 107 於氧化物半導體層 108 中與源極電極層 110a 及汲極電極層 112a 接觸處（參照第 3D 圖）。請注意，不僅由第二熱處理可形成 n 型區域 107，由濺鍍法形成導電膜 109 等亦可形成 n 型區域 107。

[0114] 再來，形成第二絕緣膜 114 於氧化物半導體層 108、源極電極層 110b 及汲極電極層 112b 上（參照第 4A 圖）。可形成第二絕緣膜 114 使用氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鋅、氧化鈷、氧化鈮、氧化鋯、氧化釩、氧化鈦或氧化鉭等。第二絕緣膜 114 可為任何上述材料的層疊。第二絕緣膜 114 可由執行濺鍍法、CVD 法、MBE 法、ALD 法或 PLD 法等。

[0115] 較佳的是，第二絕緣膜 114 接續形成後的熱處理形成。例如，第二絕緣膜 114 係於 PE-CVD 裝置形成且接續於真空中接受熱處理。熱處理可以從第二絕緣膜 114 中移除氫或水氣等。由熱處理，第二絕緣膜 114 可去氫化及去水化以更緻密。

[0116] 再來，形成作為第二閘極電極層 116 及第三閘極電極層 118 的導電膜 115 於第二絕緣膜 114 上（參照第 4B 圖）。

[0117] 用於第二閘極電極層 116 及第三閘極電極層 118 的材料可用於導電膜 115。例如，可使用 20 nm 厚的氮化鈮膜及 400 nm 厚的鎢膜的層疊作為導電膜 115。

[0118] 再來，導電膜 115 製造成所需的形狀以形成第二閘極電極層 116 及第三閘極電極層 118（參照第 4C 圖）。請注意，因第 4C 圖顯示通道長度方向的截面，第三閘極電極層 118 未顯示。

[0119] 再來，第三絕緣膜 120 形成於第二絕緣膜 114、第二閘極電極層 116 及第三閘極電極層 118 上（參照第 4D 圖）。較佳的是，氧不易擴散或傳輸的材料用於第三絕緣膜 120。此外，較佳的是，於形成膜時，使用含有極少氫的材料形成第三絕緣膜 120。第三絕緣膜 120 的氫含量較佳的是低於 $5 \times 10^{19} / \text{cm}^3$ ，更佳的是低於 $5 \times 10^{18} / \text{cm}^3$ 。當第三絕緣膜 120 的氫含量具有上述值，電晶體的關閉態電流可低。

[0120] 例如，較佳的是使用氮化矽膜或氮氧化矽膜作為第三絕緣膜 120。第三絕緣膜 120 可由濺鍍法、CVD 法、MBE 法、ALD 法或 PLD 法形成。特別是，對於第三絕緣膜 120，較佳的是由濺鍍法形成氮化矽膜，於水或氫含量低的情況。

[0121] 再來，較佳的是執行第三熱處理。第三熱處理可於與第一熱處理相似的條件下執行。由第三熱處理，氧容易從第一絕緣膜 106 及第二絕緣膜 114 釋放，因此氧化物半導體層 108 中的氧空缺可減少。

[0122] 經由上述製程步驟，可製造第 1A 至 1C 圖中顯示的半導體裝置。

[0123] 雖然上述實施例中敘述的導電膜可由濺鍍法形成，此種膜可由其它方法形成，例如熱 CVD 法。可使用金屬有機化學氣相沉積（MOCVD）法或原子層沉積（ALD）法作為熱 CVD 法的範例。

[0124] 熱 CVD 法具有無因電漿傷害產生的缺陷的優點，因為它不使用電漿形成膜。

[0125] 可以於腔室中的壓力設定為大氣壓或減壓的方式執行熱 CVD 法沉積，且來源氣體及氧化氣體一起供應至腔室，且於基板附近或基板上相互反應。

[0126] 例如，於鎢膜使用 ALD 的沉積裝置形成時，複數次連續導入 WF_6 氣體及 B_2H_6 以形成最初的鎢膜，而後一起導入 WF_6 氣體及 H_2 ，因而形成鎢膜。請注意，可使用 SiH_4 氣體代替 B_2H_6 氣體。

[0127] 請注意，本實施例可與本說明書中的任何其它實施例適當結合。

[0128]

（第三實施例）

本實施例中，敘述具有與第一實施例中不同結構的電晶體，參照第 5A 至 5C、6、7A、7B、8A、8B 及 9A 至 9C 圖。

[0129] 第 5A、5B 及 5C 圖係顯示本發明之一實施例的電晶體的上視圖及截面圖。第 5A 圖係電晶體的上視

圖，且沿 5A 圖中的虛線 A3-A4 的截面顯示於第 5B 圖中。沿 5A 圖中的虛線 B3-B4 的截面顯示於第 5C 圖中。請注意，為簡化圖式，一些於 5A 圖中的上視圖中的組件，以透視的方式表示或未顯示。請注意，與第一實施例所述的電晶體相同部分或具有相似功能的部分給予相同參考編號，且省略重複敘述。

[0130] 請注意，第 5B 圖係通道寬度方向的截面圖。第 5C 圖係通道長度方向的截面圖。

[0131] 如第 5A 至 5C 圖中所示的半導體裝置包含，第一絕緣膜 106 於基板 102 上，第一氧化物層 208a 於第一絕緣膜 106 上，氧化物半導體層 208b 於第一氧化物層 208a 上且包含通道形成區域，第二氧化物層 208c 於氧化物半導體層 208b 上，第二絕緣膜 114 覆蓋第一氧化物層 208a、氧化物半導體層 208b 及第二氧化物層 208c，以及源極電極層 210 和汲極電極層 212 電連接氧化物半導體層 208b。半導體裝置更包含閘極電極層 104 重疊通道形成區域且第一絕緣膜 106 設置於其間，第二閘極電極層 116 重疊通道形成區域且第二絕緣膜 114 設置於其間，以及第三閘極電極層 118 重疊氧化物層 208 的側面於通道寬度方向且第二絕緣膜 114 設置於其間。

[0132] 請注意，氧化物層 208 包含第一氧化物層 208a、氧化物半導體層 208b 及第二氧化物層 208c。

[0133] 如上所述，本發明之一實施例中，使用複數閘極電極層作為氧化物半導體層 208b，電晶體的臨界電

壓被控制，因而電晶體可為正常關態。例如，每個第一閘極電極層 104 及第三閘極電極層 118 可作為控制電晶體的臨界電壓的電極。第二閘極電極層 116 可作為控制電晶體驅動的電極。

[0134] 於本實施例中所述的控制半導體裝置的臨界電壓的方法中，例如，供應至第一閘極電極層 104 的電位可為接地（此種電位亦稱為 GND）或於浮置狀態，且供應至第三閘極電極層 118 的電位可為負。當這些電位供應至第一閘極電極層 104 及第三閘極電極層 118，電晶體的臨界電壓可往正方向偏移。

[0135] 如第 5A 至 5C 圖中所示的半導體裝置與如第 1A 至 1C 圖中所示的半導體裝置的不同在於氧化物半導體層、源極電極層及汲極電極層的結構。特別是，第 5A 至 5C 圖中所示的半導體裝置，設置氧化物層疊 208 包含第一氧化物層 208a、氧化物半導體層 208b 及第二氧化物層 208c 以代替如第 1A 至 1C 圖中所示的氧化物半導體層 108。另外，設置源極電極層 210 及汲極電極層 212 以替代源極電極層 110 及汲極電極層 112。

[0136] 首先，敘述源極電極層 210 及汲極電極層 212 如下。

[0137] 源極電極層 210 包含源極電極層 210a 及源極電極層 210b。汲極電極層 212 包含汲極電極層 212a 及汲極電極層 212b。敘述於第一實施例中，可用於源極電極層 110a 及汲極電極層 112a 的材料，可用於源極電極層

210a 及汲極電極層 212a。敘述於第一實施例中，可用於源極電極層 110b 及汲極電極層 112b 的材料，可用於源極電極層 210b 及汲極電極層 212b。

[0138] 源極電極層 210 及汲極電極層 212 的末端的截面與如第 1A 至 1C 圖中所示的源極電極層 110 及汲極電極層 112 不同。特別是，較佳的是，於截面中的源極電極層 210 及汲極電極層 212 的側面傾斜且邊緣係錐狀而不是垂直上升。也就是，源極電極層 210 及汲極電極層 212 的截面結構中，源極電極層 210 及汲極電極層 212 各具有底部末端與氧化物層疊 208 接觸及上部末端提供於相對於底部末端的外側，及該底部末端或上部末端或兩者具有彎曲。當源極電極層 210 及汲極電極層 212 的側面具有上述結構時，第二絕緣膜 114 的覆蓋程度可以提升。因此，第二絕緣膜 114 的崩潰電壓可以提升。

[0139] 作為形成源極電極層 210 及汲極電極層 212 的條件，可使用乾蝕刻裝置包含高密度電漿源的電導耦合電漿（ICP）。源極電極層 210a 及汲極電極層 212a 各於以下條件蝕刻：ICP 2000 W、偏壓 50 W、壓力 0.67 Pa、CF₄/O₂ 的流速 60/40 sccm 且基板溫度 40°C。源極電極層 210b 及汲極電極層 212b 的蝕刻條件如下：ICP 2000 W、偏壓 50 W、壓力 0.67 Pa、CF₄ 的流速 100 sccm 且基板溫度 40°C。

[0140] 請注意，於第 5C 圖中，氧化物層疊 208 中的 n 型區域顯示為 n 型區域 207。n 型區域 207 可形成於第

二氧化物層 208c 及氧化物半導體層 208b 中。因此，n 型區域 207 可作為電晶體的源極區域或汲極區域。

[0141] 於第二閘極電極層 116 係作為控制電晶體的驅動的電極的情況，通道形成區域表示第 5C 圖中氧化物層疊 208 重疊第二閘極電極層 116 的區域。請注意，於 n 型區域 207 形成於氧化物層疊 208 中的情況，通道形成區域表示氧化物層疊 208 重疊第二閘極電極層 116 且夾置於 n 型區域 207 之間的區域。通道形成區域主要形成於氧化物層疊 208 重疊閘極電極層 116 的區域，且依氧化物層疊 208 的半導體特性。因此，當氧化物層疊 208 重疊第二閘極電極層 116 的區域係 i-type 區域，作為通道形成區域，而當係 n 型區域，於某些情況不作為通道形成區域。此外，通道表示通道形成區域中電流主要流過的區域。例如，於第 5C 圖中，通道形成區域表示氧化物半導體層重疊第二閘極電極層 116 且設置於源極電極層 210b 及汲極電極層 212b 之間的區域。

[0142] 再來，參照第 6、7A、7B、8A 及 8B 圖，敘述第 5A 至 5C 圖中所示的氧化物層疊 208。

[0143] 第 6 圖中的層疊結構包含氧化物層疊 208 於第一絕緣膜 106 及第二絕緣膜 114 之間。此外，氧化物層疊 208 包含第一氧化物層 208a、氧化物半導體層 208b 及第二氧化物層 208c。

[0144] 氧化物半導體層 208b 可具有如第一實施例中敘述的與氧化物半導體層 108 相似的結構。

[0145] 每個第一氧化物層 208a 及第二氧化物層 208c 係含有一或多種形成氧化物半導體層 208b 的金屬元素的氧化物層。

[0146] 氧化物半導體層 208b 包含由 In-M-Zn 氧化物表示的層，氧化物半導體層 208b 含有至少銦、鋅及 M (M 係金屬元素，例如 Al、Ga、Ge、Y、Zr、Sn、La、Ce 或 Hf)。較佳的是，氧化物半導體層 208b 含有銦，因為電晶體的載子移動率可提升。

[0147] 第一氧化物層 208a 於氧化物半導體層 208b 下，第一氧化物層 208a 包含由 In-M-Zn 氧化物表示的氧化物層 (M 係金屬元素，例如 Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce 或 Hf)，且 M 相對於 In 的原子比高於氧化物半導體層 208b 中的原子比。特別是，第一氧化物層 208a 中的任何上述元素的量的原子比相較於氧化物半導體層 208b，係 1.5 倍或更多，較佳的是 2 倍或更多更加的是 3 倍或更多。任何上述元素相較於銦更易於與氧結合，因此有抑制氧化物層中的氧空缺的功能。也就是，相較於氧化物半導體層 208b，氧空缺較不易產生於第一氧化物層 208a 中。

[0148] 此外，第二氧化物層 208c 於氧化物半導體層 208b 上，與第一氧化物層 208a 相似，第二氧化物層 208c 包含由 In-M-Zn 氧化物表示的氧化物層 (M 係金屬元素，例如 Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce 或 Hf)，並且其中 M 與 In 之原子比係高於氧化物半導體層 208b 中之

原子比。特別是，相較於氧化物半導體層 208b 中之原子比，第二氧化物層 208c 中上述任何元素的原子比係 1.5 倍或更多，較佳的是 2 倍或更多，更佳的是 3 倍或更多。

[0149] 也就是，於每個第一氧化物層 208a、氧化物半導體層 208b 及第二氧化物層 208c 係含有至少銦、鋅及 M (M 係金屬元素，例如 Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce 或 Hf) 之 In-M-Zn 氧化物，並且第一氧化物層 208a 具有 In : M : Zn 之原子比為 $x_1 : y_1 : z_1$ ，氧化物半導體層 208b 具有 In : M : Zn 之原子比為 $x_2 : y_2 : z_2$ ，以及第二氧化物層 208c 具有 In : M : Zn 之原子比為 $x_3 : y_3 : z_3$ ，每個 y_1/x_1 及 y_3/x_3 較佳的是大於 y_2/x_2 。相較於 y_2/x_2 ，每個 y_1/x_1 及 y_3/x_3 係 1.5 倍或更多，較佳的是 2 倍或更多，更佳的是 3 倍或更多。此時，於氧化物半導體層 208b 中，若 y_2 係大於或等於 x_2 ，電晶體可具有穩定的電子特性。唯，當 y_2 係大於 3 倍 x_2 或更多，電晶體的場效移動率會降低。因此， y_2 較佳的是小於 3 倍 x_2 。

[0150] 請注意，當第一氧化物層 208a 係 In-M-Zn 氧化物，較佳的是，In 與 M 的原子比中，In 的比率小於 50 atomic%，且 M 的比率大於或等於 50 atomic%，並且更佳的是 In 與 M 的原子比中，In 的比率小於 25 atomic%，且 M 的比率大於或等於 75 atomic%。當氧化物半導體層 208b 係 In-M-Zn 氧化物，較佳的是 In 與 M 的原子比如下所述：In 的比率大於或等於 25 atomic%，且 M 的比率小於 75 atomic%；更佳的是，In 的比率大於或等於 34

atomic%，且 M 的比率小於 66 atomic%。當第二氧化物層 208c 係 In-M-Zn 氧化物，較佳的是 In 與 M 的原子比中，In 的比率小於 50 atomic%，且 M 的比率大於或等於 50 atomic%，並且更佳的是 In 與 M 的原子比中，In 的比率小於 25 atomic%，且 M 的比率大於或等於 75 atomic%。

[0151] 第一氧化物層 208a 與第二氧化物層 208c 的組成元素可相互不同，或它們的組成元素可相同且有相同或不同的原子比。

[0152] 例如，對於第一氧化物層 208a、氧化物半導體層 208b 及第二氧化物層 208c，可使用含有銦、鋅及鎵的氧化物半導體。典型地，第一氧化物層 208a 可使用含有 In : Ga : Zn 的原子比為 1 : 3 : 2 的 In-Ga-Zn 氧化物、含有 In : Ga : Zn 的原子比為 1 : 6 : 4 的 In-Ga-Zn 氧化物、含有 In : Ga : Zn 的原子比為 1 : 9 : 6 的 In-Ga-Zn 氧化物或含有 In : Ga : Zn 的原子比與前述任何原子比相近的氧化物而形成。氧化物半導體層 208b 可使用含有 In : Ga : Zn 的原子比為 1 : 1 : 1 的 In-Ga-Zn 氧化物、含有 In : Ga : Zn 的原子比為 3 : 1 : 2 的 In-Ga-Zn 氧化物或含有 In : Ga : Zn 的原子比與前述任何原子比相近的氧化物而形成。第二氧化物層 208c 可使用含有 In : Ga : Zn 的原子比為 1 : 3 : 2 的 In-Ga-Zn 氧化物、含有 In : Ga : Zn 的原子比為 1 : 6 : 4 的 In-Ga-Zn 氧化物、含有 In : Ga : Zn 的原子比為 1 : 9 : 6 的 In-Ga-Zn 氧化物或含有 In : Ga : Zn 的原子比與前述任何原子比相近的氧化物而形成。

[0153] 第一氧化物層 208a 及第二氧化物層 208c 的厚度係大於或等於 3 nm 且小於或等於 100 nm，較佳的是大於或等於 3 nm 且小於或等於 50 nm。氧化物半導體層 208b 的厚度係大於或等於 3 nm 且小於或等於 200 nm，較佳的是大於或等於 3 nm 且小於或等於 100 nm，更佳的是大於或等於 3 nm 且小於或等於 50 nm。

[0154] 較佳的是，每個第一氧化物層 208a 及第二氧化物層 208c 含有一或更多種形成氧化物半導體層 208b 的金屬元素，並且用於形成第一氧化物層 208a 及第二氧化物層 208c 的氧化物半導體的導帶底端與真空能階的距離相較於用於形成氧化物半導體層 208b 的氧化物半導體的導帶底端與真空能階的距離更接近，更接近的大小係 0.05 eV 或更多、0.07 eV 或更多、0.1 eV 或更多、0.15 eV 或更多，並且係 2 eV 或更少、1 eV 或更少、0.5 eV 或更少、0.4 eV 或更少。也就是，較佳的是，每個第一氧化物層 208a 及第二氧化物層 208c 含有一或更多種形成氧化物半導體層 208b 的金屬元素，並且用於形成第一氧化物層 208a 及第二氧化物層 208c 的氧化物半導體的導帶底端與真空能階的距離相較於用於形成氧化物半導體層 208b 的氧化物半導體的導帶底端與真空能階的距離更接近，更接近的大小係 0.05 eV 或更多且 2 eV 或更少。

[0155] 於此種結構中，當電壓施加於第二閘極電極層 116，通道形成於氧化物層疊 208 中之氧化物半導體層 208b，因為氧化物半導體層 208b 的導帶底端的能階係最

低。也就是，第二氧化物層 208c 形成於氧化物半導體層 208b 與第二絕緣膜 114 之間，其中得到電晶體的通道不接觸第二絕緣膜 114 的結構。

[0156] 此處，揭示氧化物層疊 208 之能帶結構。製造與氧化物層疊 208 相應的層疊，其中 In-Ga-Zn 氧化物具有 3.15 eV 之能隙作為一層，相應於每個第一氧化物層 208a 及第二氧化物層 208c，及 In-Ga-Zn 氧化物具有 2.8 eV 之能隙作為一層，相應於氧化物半導體層 208b，並且分析上述層疊的能帶結構。請注意，為了簡化，層疊係表示氧化物層疊，且形成層疊的層係表示第一氧化物層、氧化物半導體層以及第二氧化物層。

[0157] 每個第一氧化物層、氧化物半導體層以及第二氧化物層的厚度係 10 nm。利用光譜橢圓偏振器（由 HORIBA Jobin Yvon 製造的 UT-300）測量能隙。此外，第一氧化物層及氧化物半導體層介面附近的能隙係 3 eV，並且第二氧化物層及氧化物半導體層介面附近的能隙係 3 eV。

[0158] 於第 7A 圖中，量測當從第二氧化物層側蝕刻氧化物層疊的每個層的真空能階與價帶頂端之間的能階差異，並繪製成圖。利用紫外光電子能譜儀（UPS）（由 UL VAC-PHI, Inc. 製造的 VersaProbe）測量真空能階與價帶頂端間的能階差異。

[0159] 於第 7B 圖中，每個層的真空能階與導帶底端的能階差異（電子親和力），由每個層的真空能階與價帶

頂端間的能階差異減去能隙計算，並繪製成圖。

[0160] 第 7B 圖的部分能帶結構繪製揭示於第 8A 圖。第 8A 圖顯示氧化矽膜設置接觸第一氧化物層與第二氧化物層的例子。於第 8A 圖中，垂直軸表示能階且水平軸表示距離。此處， E_{cI1} 及 E_{cI2} 表示氧化矽膜的導帶底端的能階， E_{cS1} 表示第一氧化物層的導帶底端的能階， E_{cS2} 表示氧化物半導體層的導帶底端的能階， E_{cS3} 表示第二氧化物層的導帶底端的能階。

[0161] 如第 8A 圖中所示，第一氧化物層、氧化物半導體層及第二氧化物層的導帶底端的能階連續改變。這可理解為第一氧化物層、氧化物半導體層及第二氧化物層的組成相互接近的事實，並且氧容易擴散穿越。

[0162] 請注意，雖然如第 8A 圖中所示的情形，第一氧化物層與第二氧化物層具有相同的能隙，第一氧化物層及第二氧化物層可以是具有不同能隙的氧化物層。例如，如第 8B 圖中所示的部分能階結構， E_{cS1} 高於 E_{cS3} 。或是，雖然未揭示於第 8A 及 8B 圖中， E_{cS3} 可高於 E_{cS1} 。

[0163] 如第 7A 及 7B 圖及第 8A 及 8B 圖，包含氧化物層疊的電晶體中，通道係形成於作為井區的氧化物半導體層中。請注意，因為導帶底端的能階係連續改變，氧化物層疊亦可稱作 U 形井。此外，通道亦可形成為具有稱作埋入通道的結構。

[0164] 因為每個第一氧化物層 208a 及第二氧化物層 208c 係含有一或更多種形成氧化物半導體層 208b 的金屬

元素的氧化物層，氧化物層疊 208 亦可表示為多層含有相同主要成分的層疊的氧化物層疊。多層含有相同主要成分的層疊的氧化物層疊形成為具有連續的能帶（此處，特別是，井結構具有 U 形形狀，其導帶底端的能階在任何兩層之間係連續改變）。此係因當氧化物半導體的缺陷能階或是雜質，例如，缺陷能階如束縛中心或重結合中心，或是形成阻障而阻礙載子流動的雜質於兩層之介面之間混雜，能帶失去連續性，因此載子被束縛或是因介面間的重結合而消失。

[0165] 為了形成連續的能帶，需將多層成為連續的層疊而不暴露空氣，使用包含載鎖腔室的多腔室沉積裝置（濺鍍系統）。每個濺鍍系統較佳的是具有高真空抽取能力（至約 1×10^{-4} Pa 至 5×10^{-7} Pa 的真空），由吸式真空抽取幫浦例如冷凍幫浦以儘可能去除水等對於氧化物半導體的雜質。或是，較佳的是，渦輪分子幫浦與冷束縛一起使用，以防止氣體經由抽取系統回流至腔室。

[0166] 為了得到高純淨的本質氧化物半導體，不僅腔室必須使用高真空抽取，並且濺鍍氣體也必須高純淨化。當使用高純淨氣體具有露點 -40°C 或更低，較佳的是 -80°C 或更低，更佳的是 -100°C 或更低之氧氣或氬氣作為濺鍍氣體，儘可能減少防止水氣等進入氧化物半導體層。

[0167] 第一氧化物層 208a 及第二氧化物層 208c 設置於氧化物半導體層 208b 之上或之下各可作為阻障層並可防止束縛能階形成於氧化物層疊 208 與各接觸氧化物層

疊 208 的絕緣層（第一絕緣膜 106 及第二絕緣膜 114）之間的介面，以免影響作為電晶體的主要載子路徑的氧化物半導體層 208b。

[0168] 例如，氧化物半導體層中含有的氧空缺表現為侷域能階於氧化物半導體的能隙中的深能階區域。載子束縛於此種侷域能階，會使電晶體的可靠性降低。因此，須減少氧化物半導體層中含有的氧空缺。在氧化物層疊 208 中設置較氧化物半導體層 208b 不易產生氧空缺的氧化物層接觸於氧化物半導體層 208b 之上或之下，以使氧化物半導體層 208b 中的氧空缺可減少。例如，氧化物半導體層 208b 中，因侷域能階產生的吸收常數，由恆定光電流法（CPM）量測而得，係使小於 $1 \times 10^{-3} / \text{cm}$ ，較佳的是小於 $1 \times 10^{-4} / \text{cm}$ 。

[0169] 此外，於氧化物半導體層 208b 接觸包含不同組成元素（例如包含氧化矽膜的基底絕緣層）的絕緣層的情況，雜質元素（例如矽）可能會混合進入氧化物半導體層 208b 中的通道形成區域。當介面能階由混合雜質元素而形成這些層的介面之間，電晶體的電子特性會降低，例如造成電晶體的臨界電壓降低。唯，因氧化物層疊 208 中的第一氧化物層 208a 含有形成氧化物半導體層 208b 的一或更多種金屬元素，介面能階較不易形成於第一氧化物層 208a 與氧化物半導體層 208b 之間。因此，設置第一氧化物層 208a 可減少電晶體的電子特性的波動，例如臨界電壓。

[0170] 在通道形成於第二絕緣膜 114 及氧化物半導體層 208b 的介面附近的情況，介面散射發生於介面，並且電晶體的場效移動率降低。唯，因氧化物層疊 208 中，第二氧化物層 208c 含有一或更多種形成氧化物半導體層 208b 的金屬元素，於第二氧化物層 208c 及氧化物半導體層 208b 之間的界面的載子散射較不易發生，因此電晶體的場效移動率可提升。

[0171] 此外，每個第一氧化物層 208a 及第二氧化物層 208c 亦作為阻障層，抑制因與氧化物層疊 208 接觸的絕緣層（第一絕緣膜 106 及第二絕緣膜 114）的組成元素進入氧化物半導體層 208b 形成的雜質能階。

[0172] 例如，於使用含有矽的絕緣層作為與氧化物層疊 208 相互接觸的每個第一絕緣膜 106 及第二絕緣膜 114 的情況，某些情況下，絕緣層中的矽或絕緣層中可能含有的碳進入第一氧化物層 208a 或第二氧化物層 208c 至從介面起算數奈米深。雜質例如矽、碳等進入氧化物半導體層形成雜質能階。雜質能階作為施體並產生電子，以使氧化物半導體層可能成為 n 型。

[0173] 唯，當第一氧化物層 208a 及第二氧化物層 208c 的厚度大於數奈米時，雜質，例如氧或碳不會到達氧化物半導體層 208b，故可抑制雜質能階的影響。

[0174] 此處，氧化物半導體層中的矽濃度低於或等於 3×10^{18} atoms/cm³，較佳的是低於或等於 1×10^{18} atoms/cm³，更佳的是低於或等於 3×10^{17} atoms/cm³。另外，氧

化物半導體層中的碳濃度低於或等於 3×10^{18} atoms /cm³，較佳的是低於或等於 3×10^{17} atoms /cm³。特別更佳的是，作為載子路徑的氧化物半導體層 208b 夾置或被圍繞於第一氧化物層 208a 及第二氧化物層 208c 間，以防止多量的為 14 族的矽及碳進入氧化物半導體層 208b。也就是，氧化物半導體層 208b 中含有的矽及碳濃度較佳的是低於第一氧化物層 208a 及第二氧化物層 208c 中的濃度。

[0175] 請注意，氧化物半導體層中的雜質濃度可由二次離子質量能譜儀 (SIMS) 量測。

[0176] 若氧化物半導體層含有氫或是水氣，可作為施體並形成 n 型區域；因此，為達成井結構，從外側提供保護絕緣層 (例如氮化矽層) 於氧化物層疊 208 上以防止氫或水氣從外部進入，是有用的。

[0177] 如第 8A 及 8B 圖中所示，雜質或缺陷造成的陷阱能階可能形成於第一氧化物層及第二氧化物層與絕緣膜，例如氧化矽膜，之間的介面附近。第一氧化物層及第二氧化物層使氧化物半導體層與陷阱能階能夠相互隔離。唯，於 EcS1 或 EcS3 及 EcS2 間的能階差異小的情況，氧化物半導體層中的電子可能穿越能階差異而達到陷阱能階。當電子束縛於陷阱能階時，它們成為固定負電荷，因而電晶體的臨界電壓往正方向偏移。

[0178] 因此，較佳的是，每個 EcS1 及 EcS2 之間的能階差異以及 EcS3 及 EcS2 之間的能階差異大於或等於 0.1 eV，更佳的是大於或等於 0.15 eV，因可減少電晶體

的臨界電壓改變量，並使電晶體具有穩定電子特性。

[0179] 包含於多層結構中的每個氧化物層利用至少含有銦 (In) 的濺鍍標靶形成，並且膜可由濺鍍法形成，較佳的是 DC 濺鍍法。當濺鍍標靶含有銦，可提升其導電率；因此，使用 DC 濺鍍法形成膜較佳。

[0180] 使用由 In-M-Zn 氧化物 (M 係金屬元素例如 Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce 或 Hf) 表示的材料作為形成第一氧化物層 208a 及第二氧化物層 208c 的材料。較佳的是使用 Ga 作為 M。唯，具有高 Ga 比率的材料，特別是 $\text{InGa}_x\text{Zn}_y\text{O}_z$ 材料，其中 x 大於 10，並不適合，因為沉積過程中可能產生粉末，使用 DC 濺鍍法沉積變困難。

[0181] 請注意，對於每個第一氧化物層 208a 及第二氧化物層 208c，使用的材料的銦的比率的原子比小於氧化物半導體層 208b 使用的材料。氧化物層中含有的銦及鎵可由飛行時間二次離子質能譜儀 (亦稱作 TOF-SIMS) 以及 X 光光電子能譜儀 (亦稱作 XPS) 量測以相互比較。

[0182] 當第一氧化物層 208a 含有第一絕緣膜 106 的組成元素 (例如矽) 作為雜質，其可能具有非晶結構。請注意，氧化物半導體層 208b 中的通道形成區域較佳的是具有結晶部分。於具有結晶部分的氧化物半導體層 208b 堆疊於具有非晶結構的第一氧化物層 208a 上的情況，氧化物層疊可稱作具有不同結晶結構的異質結構。

[0183] 另外，第二氧化物層 208c 可能具有非晶結構

或包含結晶部分。形成第二氧化物層 208c 於具有結晶部分的氧化物半導體層 208b 上使第二氧化物層 208c 具有結晶結構。於某些情況中，氧化物半導體層 208b 與第二氧化物層 208c 之間的邊界無法由穿透式電子顯微鏡 (TEM) 的截面觀測清楚地辨識。請注意，第二氧化物層 208c 具有較氧化物半導體層 208b 較低的結晶程度。因此，邊界可由結晶程度決定。

[0184] 較佳的是，至少氧化物層疊 208 中的氧化物半導體層 208b 係 CAAC-OS。對於 CAAC-OS 的詳細敘述，可參考本說明書中的第二實施例。當氧化物半導體層 208b 具有如上所述的高度結晶的 CAAC-OS，電晶體的臨界電壓變化可減小，且電子特性可穩定。

[0185] 如上所述，設置氧化物層疊與氧化物半導體接觸以形成包含氧化物半導體及氧化物的氧化物層疊，其中，可防止雜質例如氫或水氣或與氧化物半導體接觸的絕緣膜中含有的雜質進入氧化物半導體膜 並形成載子。

[0186] 此外，具有此種氧化物層疊，於氧化物及氧化物半導體間不易發生介面散射。因此，介面處的載子動量不會受到妨礙，因而電晶體的場效移動率較高。另外，形成氧化物接觸氧化物半導體可防止雜質進入氧化物半導體膜，以使包含氧化物半導體的電晶體可具有穩定的電子特性。

[0187] 另外，包含氧化物半導體層 208b 的氧化物層疊 208 可具有如第 9A 至 9C 圖中所示的結構。

[0188] 第 9A 至 9C 顯示層疊 258 的結構的截面結構範例。氧化物層疊 258 包含：第一氧化物層 208a 於絕緣膜 106 上，氧化物半導體層 208b 於第一氧化物層 208a 上，第二氧化物層 208c 於氧化物半導體層 208b 上，及第三氧化物層 208d 接觸第一氧化物層 208a 的側面及氧化物半導體層 208b 的側面。該氧化物半導體層 208b 由第一氧化物層 208a、第二氧化物層 208c 及第三氧化物層 208d 圍繞。另外，第三氧化物層 208d 接觸第二絕緣膜 114 且形成第二閘極電極層 116 接觸第二絕緣膜 114。

[0189] 如第 9A 圖中所示，氧化物層疊 258 具有任一曲率半徑或任何複數曲率半徑的彎曲表面。此種情況，只少部分接觸第二絕緣膜 114 的第三氧化物層 208d 的表面係彎曲表面。

[0190] 第三氧化物層 208d 包含，例如，可應用於第一氧化物層 208a 的材料。第三氧化物層 208d 以如下的方法形成：例如，當第一氧化物層 208a、氧化物半導體層 208b 及第二氧化物層 208c 由乾蝕刻法等蝕刻，第一氧化物層 208a 的反應產物附著於氧化物半導體層 208b 及第二氧化物層 208c 的側面。

[0191] 於某些情況，當形成第三氧化物層 208d，過度蝕刻第一絕緣膜 106 並形成階梯狀截面。

[0192] 請注意，於某些情況，第一氧化物層 208a、第二氧化物層 208c 及第三氧化物層 208d 不能嚴格相互區分。因為氧化物半導體層 208b 可說是由氧化物圍繞。

[0193] 或是，氧化物層疊 258 可具有如第 9B 圖中所示的結構。如第 9B 圖中所示的氧化物層疊 258 於末端具有傾斜結構（錐角）區域。由於末端形成傾斜（錐角）區域，第二絕緣膜 114 的覆蓋度可提升。或是，可設置如第 6C 圖中所示，部分錐狀區域切斷的結構。

[0194] 如上所述，本實施例的半導體裝置包含氧化物層疊，其係包含氧化物半導體層及氧化物層形成於氧化物半導體層的上及下的層疊，且於氧化物層疊的截面，氧化物層疊具有彎曲表面或傾斜表面。因氧化物層疊的截面具有彎曲表面或傾斜彎曲表面，氧化物層疊的層覆蓋度可增加。因此，膜可一致地形成於氧化物層疊上，因此，可妨礙從低膜密度或沒有膜形成的區域至氧化物層疊中的雜質入侵，因而可防止半導體裝置的電子特性劣化。因此，可提供具有穩定電子特性的半導體裝置。

[0195] 如上所述，依據本發明的一實施例的電晶體具有複數閘極電極層，因而電晶體的臨界電壓被控制，因此可達成稱為正常關態的切換元件。此外，可提供包含此種電晶體的半導體裝置。

[0196] 本實施例可與本說明書中的其它實施例自由結合。

[0197]

（第四實施例）

本實施例中，敘述如第三實施例中參照第 5A 至 5C 圖的電晶體的修改範例，參照第 10A 至 10C 圖。

[0198] 第 10A、10B 及 10C 圖係顯示本發明之一實施例的電晶體的上視圖及截面圖。第 10A 圖係電晶體的上視圖，且沿 10A 圖中的虛線 A5-A6 的截面顯示於第 10B 圖中。沿 10A 圖中的虛線 B5-B6 的截面顯示於第 10C 圖中。請注意，為簡化圖式，一些於 10A 圖中的上視圖中的組件，以透視的方式表示或未顯示。請注意，與第一實施例或第三實施例所述的電晶體相同部分或具有相似功能的部分給予相同參考編號，且省略重複敘述。

[0199] 請注意，第 10B 圖係通道寬度方向的截面圖。第 10C 圖係通道長度方向的截面圖。

[0200] 如第 10A 至 10C 圖中所示的半導體裝置包含，第一絕緣膜 106，氧化物層疊 308 於第一絕緣膜 106 上且包含通道形成區域，第二絕緣膜 114 於氧化物層疊 308 上，及源極電極層 210 及汲極電極層 212 電連接至氧化物層疊 308。半導體裝置更包含閘極電極層 104 重疊通道形成區域且第一絕緣膜 106 設置於其間，第二閘極電極層 116 重疊通道形成區域且第二絕緣膜 114 設置於其間，以及第三閘極電極層 118 重疊氧化物層疊 308 的側面於通道寬度方向且第二絕緣膜 114 設置於其間。

[0201] 氧化物層疊 308 包含第一氧化物層 308a、氧化物半導體層 308b、第二氧化物層 308c 及第三氧化物層 308d。

[0202] 如上所述，本發明之一實施例中，使用複數閘極電極層作為氧化物半導體層 308b，電晶體的臨界電

壓被控制，因而電晶體可為正常關態。例如，每個第一閘極電極層 104 及第三閘極電極層 118 可作為控制電晶體的臨界電壓的電極。第二閘極電極層 116 可作為控制電晶體驅動的電極。請注意，第一至第三閘極電極層的結構不限於這些，例如，第二閘極電極層 116 可作為控制電晶體的臨界電壓的電極。

[0203] 於本實施例中所述的控制半導體裝置的臨界電壓的方法中，例如，供應至第一閘極電極層 104 的電位可為接地（此種電位亦稱為 GND）或於浮置狀態，且供應至第三閘極電極層 118 的電位可為負。當這些電位供應至第一閘極電極層 104 及第三閘極電極層 118，電晶體的臨界電壓可往正方向偏移。

[0204] 如第 10A 至 10C 圖中所示的半導體裝置與如第 5A 至 5C 圖中所示的半導體裝置的氧化物層疊的結構不同。特別是，氧化物層疊的製造方法不同。第 10A 至 10C 圖中所示的半導體裝置的氧化物層疊 308，可由以下方法形成：形成第一氧化物層 308a、氧化物半導體層 308b 及第二氧化物層 308c，形成源極電極層 210 及汲極電極層 212，以及之後形成第三氧化物層 308d 於第二氧化物層 308c、源極電極層 210 及汲極電極層 212 上。

[0205] 可形成第一氧化物層 308a、氧化物半導體層 308b 及第二氧化物層 308c 分別使用具有與第三實施例中所述的第一氧化物層 208a、氧化物半導體層 208b 及第二氧化物層 208c 相似的組成元素的材料。可形成第三氧化

物層 308d 使用具有與第一氧化物層 308a 及第二氧化物層 308c 相似的組成元素的材料。

[0206] 例如，第一氧化物層 308a、氧化物半導體層 308b、第二氧化物層 308c 及第三氧化物層 308d，可使用含有銦、鋅及鎵的氧化物半導體。典型地，第一氧化物層 308a 可使用含有 In : Ga : Zn 的原子比為 1 : 3 : 2 的 In-Ga-Zn 氧化物、含有 In : Ga : Zn 的原子比為 1 : 6 : 4 的 In-Ga-Zn 氧化物、含有 In : Ga : Zn 的原子比為 1 : 9 : 6 的 In-Ga-Zn 氧化物或含有 In : Ga : Zn 的原子比與前述任何原子比相近的氧化物而形成。氧化物半導體層 308b 可使用含有 In : Ga : Zn 的原子比為 1 : 1 : 1 的 In-Ga-Zn 氧化物、含有 In : Ga : Zn 的原子比為 3 : 1 : 2 的 In-Ga-Zn 氧化物或含有 In : Ga : Zn 的原子比與前述任何原子比相近的氧化物而形成。第二氧化物層 308c 可使用含有 In : Ga : Zn 的原子比為 1 : 3 : 2 的 In-Ga-Zn 氧化物、含有 In : Ga : Zn 的原子比為 1 : 6 : 4 的 In-Ga-Zn 氧化物、含有 In : Ga : Zn 的原子比為 1 : 9 : 6 的 In-Ga-Zn 氧化物或含有 In : Ga : Zn 的原子比與前述任何原子比相近的氧化物而形成。

[0207] 請注意，較佳的是，於上述結構中，第三氧化物層 308d 含有與第二氧化物層 308c 相同量的 Ga，或含有比第二氧化物層 308c 量大的 Ga。當第三氧化物層 308d 含有的 Ga 的量比第二氧化物層 308c 含有的 Ga 的量，導帶底端的能階可比第二氧化物層 308c 更接近真空能

階。

[0208] 當氧化物層疊 308 有以下結構，可得到上述的結構：第一氧化物層 308a 使用含有 In : Ga : Zn 的原子比為 1 : 3 : 2 的 In-Ga-Zn 氧化物形成，氧化物半導體層 308b 使用含有 In : Ga : Zn 的原子比為 1 : 1 : 1 的 In-Ga-Zn 氧化物形成，第二氧化物層 308c 使用含有 In : Ga : Zn 的原子比為 1 : 3 : 2 的 In-Ga-Zn 氧化物形成且第三氧化物層 308d 使用含有 In : Ga : Zn 的原子比為 1 : 6 : 4 的 In-Ga-Zn 氧化物形成。請注意，氧化物層疊 308 的結構不限於此，例如，第二氧化物層 308c 可使用含有 In : Ga : Zn 的原子比為 1 : 6 : 4 的 In-Ga-Zn 氧化物形成且第三氧化物層 308d 使用含有 In : Ga : Zn 的原子比為 1 : 9 : 6 的 In-Ga-Zn 氧化物形成。

[0209] 第三氧化物層 308d 的厚度係大於或等於 3 nm 且小於或等於 100 nm，較佳的是大於或等於 3 nm 且小於或等於 50 nm。

[0210] 如上所述，本發明的一實施例的電晶體具有複數閘極電極層，因而電晶體的臨界電壓被控制，因此可達成所謂的正常關態切換元件。此外，可提供包含此種電晶體的半導體裝置。

[0211] 本實施例可與本說明書中的任何其它實施例自由結合。

[0212]

(第五實施例)

本實施例中，敘述半導體記憶體裝置的範例，作為上述實施例中的半導體裝置的範例。

[0213] 本實施例中半導體裝置的範例包含包括複數記憶單元的記憶體單元陣列，可儲存二或更多位元的資料。

[0214] 敘述本實施例中的半導體裝置中的記憶單元陣列參照第 11A 至 11C 圖。

[0215] 第 11A 圖顯示本實施例中的記憶單元陣列的電路組態的範例。第 11A 圖中所示的記憶單元陣列包含複數記憶單元 300，複數位元線 BL，複數字線 WL（包含字線 WL_1 及字線 WL_2），複數電容線 CL（包含電容線 CL_1 及電容線 CL_2），源極線 SL，及複數閘極線 SGL（包含閘極線 SGL_a 及閘極線 SGL_b）。雖然第 11A 圖中的範例顯示二記憶單元，此係非限制範例，且記憶單元陣列可配置為矩陣。

[0216] 例如，複數位元線 BL 的電位由包含解碼器的驅動電路控制。例如，複數字線 WL 的電位各由包含解碼器的驅動電路控制。例如，複數電容線 CL 的電位各由包含解碼器的驅動電路控制。例如，恆定電位提供至源極線 SL。例如，訊號或恆定電位提供至每個複數閘極線 SGL。請注意，相同的訊號或相同的恆定電位可提供至每個複數閘極線 SGL。當訊號係輸入至複數閘極線 SGL，複數閘極線 SGL 的電位由使用，例如解碼器，的驅動電路控制。

[0217] 記憶單元 300 包含複數附屬記憶單元 301（包

含附屬記憶單元 301_1 及附屬記憶單元 301_2)。

[0218] 複數附屬記憶單元 301 各具有儲存一或更多位元的資料的功能。複數附屬記憶單元 301 可具有儲存複數位元的資料的功能。例如，使用四種電位作為位元線 BL 的電位，因此可儲存於一附屬記憶單元中的資料的位元數量可增加。

[0219] 每個附屬記憶單元 301 包含電晶體 311、電容 312 及電晶體 313。

[0220] 電晶體 311 的源極電連接複數位元線 BL 之一。電晶體 311 作為決定資料是否寫入的選擇電晶體。對於電晶體 311，可使用任何上述實施例所述的半導體裝置。

[0221] 於此種情況，一記憶單元 300 中，使用相同的氧化物半導體層或氧化物層疊，形成包含於複數附屬記憶單元 301 中包含的電晶體 311。例如，使用相同氧化物半導體層於附屬記憶單元 301_1 中的電晶體 311 及附屬記憶單元 301_2 中的電晶體 311。

[0222] 複數附屬記憶單元 301 中包含的電晶體 311 的臨界電壓由複數閘極線 SGL 控制。例如，第 11A 圖中，附屬記憶單元 301_1 中的電晶體 311 及附屬記憶單元 301_2 中的電晶體 311 的臨界電壓由閘極線 SGL_a 及閘極線 SGL_b 控制。

[0223] 如此，相同的閘極線 SGL 由複數附屬記憶單元 301 共用，因此閘極線 SGL 的數量相較於設置閘極線

予每個附屬記憶單元 301 的情況可減少。

[0224] 電容 312 的一對電極的其中之一電連接電晶體 311 的汲極，且其中之另一電連接複數電容線 CL 的其中之一。電容 312 作為保持資料的儲存電容。

[0225] 電晶體 313 的閘極電連接電晶體 311 的汲極，電晶體 313 的源極或汲極的其中之一電連接至複數位元線 BL 的其中之一，且其中之另一電連接源極線 SL。請注意，電晶體 313 作為設定將輸出的資料的值的輸出電晶體。

[0226] 此係如第 11A 圖中所示的記憶單元陣列的電路組態範例。

[0227] 此外，敘述如第 11A 圖中所示的記憶單元陣列的驅動方法範例，參照第 11B 及 11C 圖。第 11B 圖及 11C 圖係顯示如第 11A 圖中所示的記憶單元陣列的驅動方法範例的時序圖。此處，敘述一位元的資料依序寫入附屬記憶單元 301_1 及附屬記憶單元 301_2，而後讀取寫入的資料的範例。另外，電晶體 311 係 n 通道電晶體，而電晶體 313 係 p 通道電晶體。

[0228] 首先，當資料寫入附屬記憶單元 301_1 中，於 T11 期間，字線 WL_1 的電位設定為 VH 以開啟附屬記憶單元 301_1 中的電晶體 311。電位 VH 係，例如，高於參考電位的電位（例如，高功率供應電位）。電位 VH 相應於高電位準位。

[0229] 附屬記憶單元 301_1 中，當電晶體 311 開

啟，電晶體 313 的閘極電位變為等於位元線 BL 的電位。因此，資料寫入至附屬記憶單元 301_1。

[0230] 再來，於 T12 期間，字線 WL_1 的電位設定為電位 VL，以關閉附屬記憶單元 301_1 中的電晶體 311，且字線 WL_2 的電位設定為電位 VH 以開啟附屬記憶單元 301_2 中的電晶體 311。電位 VL 係，例如，低於或等於參考電位。電位 VL 相應於低電位準位。

[0231] 附屬記憶單元 301_2 中，當電晶體 311 係開啟，電晶體 313 的閘極電位變為等於位元線 BL 的電位。因此，資料寫入至附屬記憶單元 301_2 中。

[0232] 經由上述步驟，兩個位元的資料寫入記憶單元 300 中。

[0233] 其後，於 T13 期間，字線 WL_1 及字線 WL_2 的電位設定為電位 VL 以關閉附屬記憶單元 301_1 及附屬記憶單元 301_2 中的電晶體 311。因此，保持寫入的資料。

[0234] 另外，由 T11 至 T13 的期間，閘極線 SGL_a 及閘極線 SGL_b 的電位設定為電位 VL2。電位 VL2 為負電位。閘極線 SGL_a 及閘極線 SGL_b 的電位設定為電位 VL2，以使附屬記憶單元 301_1 及附屬記憶單元 301_2 中的電晶體 311 的臨界電壓往正方向偏移。因此，附屬記憶單元 301_1 及附屬記憶單元 301_2 中的電晶體 311 的漏電流及可減少。

[0235] 此時，附屬記憶單元 301_1 及附屬記憶單元

301_2 中的電晶體 313 的閘極係浮置狀態，因此累積在電晶體 313 的閘極中的電荷保持一段時間。

[0236] 另外，當執行上述的操作於每列中的記憶單元 300，資料可寫入至所有記憶單元 300。

[0237] 此外，當資料從記憶單元 300 讀出，於 T21 期間，字線 WL_1 及字線 WL_2 的電位設定為電位 VL，因此附屬記憶單元 301_1 及附屬記憶單元 301_2 中的電晶體 311 關閉。另外，電容線 CL_1 的電位設定為電位 VL，而電容線 CL_2 的電位設定為電位 VH。

[0238] 此時，於附屬記憶單元 301_1 中，電晶體 313 的電阻依電晶體 313 的閘極電位而定。因此，相應於電晶體 313 的源汲與汲極之間的電流值的電位可讀出作為從附屬記憶單元 301_1 經由位元線 BL 的資料。

[0239] 再來，於 T22 期間，字線 WL_1 及字線 WL_2 的電位設定為電位 VL，以使附屬記憶單元 301_1 及附屬記憶單元 301_2 中的電晶體 311 維持關閉。另外，電容線 CL_1 的電位設定為電位 VH，而電容線 CL_2 的電位設定為電位 VL。

[0240] 此時，附屬記憶單元 301_2 中，相應於電晶體 313 的源汲與汲極之間的電流值的電位可讀出作為從附屬記憶單元 301_1 經由位元線 BL 的資料。

[0241] 此外，當對每列中的記憶單元 300 重複執行上述操作，資料可從所有記憶單元 300 中讀出。

[0242] 此係如第 11A 圖中所示的半導體裝置驅動方

法的範例。

[0243] 請注意，如第 12 圖中所示，可配置未設置電晶體 313 於每個附屬記憶單元 301 中的組態。

[0244] 此時，如第 12 圖中所示的記憶單元陣列包含電容線 CL2 代替複數電容線 CL。另外，未提供源極線 SL。

[0245] 恆定電位供應至電容線 CL2。

[0246] 另外，電容 312 的一對電極的其中之一電連接電晶體 311 的源極，且其中之另一電連接至電容線 CL2。

[0247] 如第 12 圖中所示的記憶單元，於資料寫入期間，字線 WL 的電位係依序設定為電位 VH 使附屬記憶單元 301 開啟電晶體 311，因而資料可經由位元線 BL 重複寫入。此外，於資料讀取期間中，位元線的電位預先設定為讀取電位或浮置，且字線 WL 的電位依序設定為電位 VH 使附屬記憶單元 301 開啟電晶體 311，以使資料可經由位元線 BL 讀出。此外，當位元線 BL 的電位與預定電位相比，資料可從記憶單元 300 中讀出。

[0248] 此時，使用具有低關態電流的電晶體作為電晶體 311，當電晶體 311 關閉時，累積於電容 312 的一對電極的其中之一的電荷可長時間保持。

[0249] 因此，如第 12 圖所示的記憶單元可長時間保持累積於電容 312 中的電荷，因為電晶體 311 的關態電流非常低。也就是，功率消耗可適當減少，因為更新操作變

為不需要或是更新操作的頻率變為極低。又，即使未提供功率源，儲存的資料可長時間保持。

[0250] 再來，將敘述如第 11A 至 11C 圖中所示的記憶單元 300 的結構範例，參照第 13A 至 13C 圖。第 13A 圖係記憶單元於電晶體 311 的通道寬度方向的截面圖。第 13B 圖係記憶單元於電晶體 311 的通道長度方向的截面圖。第 13C 圖係記憶單元於電晶體 311 的通道長度方向的截面圖，其顯示的與第 13B 部分不同。

[0251] 如第 13A 至 13C 圖中所示的記憶單元，包含使用第一導體材料的電晶體 3200_1 及電晶體 3200_2 於其下部分中，及包含使用第二半導體材料形成的電晶體、電容 3205_1 及電容 3205_2 於其上部分中。

[0252] 此處，第一半導體材料及第二半導體材料較佳的是具有不同的能隙。例如，第一半導體材料可為非半導體氧化物的半導體材料（例如矽），且第二半導體材料可為包含氧化物半導體材料的氧化物半導體。電晶體包含，例如結晶矽，作為氧化物半導體之外的材料，可輕易於高速操作。另一方面，包含氧化物半導體的電晶體因為具有低關態電流，而能使電荷長時間儲存。

[0253] 第 13A 至 13C 圖中所示的電晶體 3200_1 及電晶體 3200_2 各包含設置於包含半導體材料（例如結晶矽）的基板 3000 中的通道形成區域，設置摻雜區域以使通道形成區域夾置於其間，設置金屬互化物區域接觸摻雜區域，閘極絕緣膜設置於通道形成區域上，且閘極電極層

設置於絕緣膜上。請注意，為了簡明，未明顯顯示於圖式中的具有源極電極層或汲極電極層的電晶體，可稱為電晶體。此外，此種情況，電晶體連接的敘述，源極區域及源極電極層可整體稱為源極電極層，且汲極區域及汲極電極層可整體稱為汲極電極層。也就是，本說明書中，「源極電極層」這個詞可包含源極區域。

[0254] 此外，元件隔離絕緣層 3300 形成於基板 3000 上以包圍電晶體 3200_1 或電晶體 3200_2，且絕緣膜 3220 形成以覆蓋電晶體 3200_1 或電晶體 3200_2。請注意，元件隔離絕緣層 3300 可由元件隔離技術，例如區域矽氧化（LOCOS）或淺溝槽隔離（STI）而形成。另外，元件隔離絕緣層 3300 上，提供閘極電極層 3240 作為上述電晶體的背閘極電極，使用第二半導體材料。

[0255] 例如，使用結晶矽基板形成的電晶體 3200_1 或電晶體 3200_2 可於高速操作。使用電晶體作為輸出電晶體，資料可以高速讀取。因此，例如，電晶體 3200_1 及電晶體 3200_2 分別相應於附屬記憶單元 301_1 中的電晶體 313 及附屬記憶單元 301_2 中的電晶體 313，如第 11A 圖中所示。

[0256] 另外，作為形成於上部分的電晶體、電容 3205_1 及電容 3205_2 前的處理，執行 CMP 處理於覆蓋電晶體 3200_1 或電晶體 3200_2 的氧化物絕緣膜 3220，其中氧化物絕緣膜 3220 係平面化，以及同時，暴露電晶體 3200_1 及電晶體 3200_2 的閘極電極層的上表面。

[0257] 此外，形成包含氧化物半導體層 3106 的記憶單元於第一絕緣膜 3220 上，源極電極層 3108_1（源極電極層 3108a_1 及源極電極層 3108b_1）設置接觸氧化物半導體層 3106，源極電極層 3108_2（源極電極層 3108a_2 及源極電極層 3108b_2）設置接觸氧化物半導體層 3106，汲極電極層 3110_1（汲極電極層 3110a_1 及汲極電極層 3110b_1）設置接觸氧化物半導體層 3106，汲極電極層 3110_2（汲極電極層 3110a_2 及汲極電極層 3110b_2）設置接觸氧化物半導體層 3106，第二絕緣膜 3112 設置於氧化物半導體層 3106 上，源極電極層 3108a_1、源極電極層 3108a_2、汲極電極層 3110_1、汲極電極層 3110_2、閘極電極層 3114_1 及閘極電極層 3114_2 設置於第二絕緣膜 3112 上，閘極電極層 3114a_1 及閘極電極層 3114a_2 重疊氧化物半導體層 3106 的側面且第二絕緣膜 3112 夾置於其間，以及第三絕緣膜 3116 設置於閘極電極層 3114_1、閘極電極層 3114_2、閘極電極層 3114a_1 及閘極電極層 3114a_2 上。

[0258] 此外，記憶單元包含電容電極層 3117_1 重疊汲極電極層 3110_1 且第三絕緣膜 3116 夾置於其間，以及電容電極層 3117_2 重疊汲極電極層 3110_2 且第三絕緣膜 3116 夾置於其間。

[0259] 閘極電極層 3240 相應於，例如，如第 1A 至 1C 圖中所示的第一閘極電極層 104。由可用於形成第一閘極電極層 104 的材料形成的層，可作為閘極電極層

3240。

[0260] 氧化物半導體層 3106 相應於，例如，如第 1A 至 1C 圖中所示的氧化物半導體層 108。可使用材料可應用於氧化物半導體層 108 的層，作為氧化物半導體層 3106。

[0261] 源極電極層 3108_1 及 3108_2 相應於，例如，如第 1A 至 1C 圖中所示的源極電極層 110。汲極電極層 3110_1 及 3110_2 相應於，例如，如第 1A 至 1C 圖中所示的汲極電極層 112。作為源極電極層 3108_1 及 3108_2，可使用材料可應用於源極電極層 110 的層。作為汲極電極層 3110_1 及 3110_2，可使用材料可應用於汲極電極層 112 的層。

[0262] 另外，汲極電極層 3110_1 連接作為輸出電晶體的電晶體 3200_1 的閘極電極層。因此，依據閘極電極層 3114_1 的電位，累積於電晶體 3200_1 的閘極電極層中的電荷可保持作為第一資料。另外，汲極電極層 3110_2 連接作為輸出電晶體的電晶體 3200_2 的閘極電極層。因此，依據閘極電極層 3114_2 的電位，累積於電晶體 3200_2 的閘極電極層中的電荷可保持作為第二資料。如上所述，第一及第二資料可為二或更多位元的資料。

[0263] 源極電極層 3108_1 作為如第 11A 至 11C 圖中所示的附屬記憶單元 301_1 中的電晶體 311 的源極。此外，源極電極層 3108_1 連接另一作為位元線 BL 的導線層。

[0264] 源極電極層 3108_2 作為如第 11A 至 11C 圖中所示的附屬記憶單元 301_2 中的電晶體 311 的源極。此外，源極電極層 3108_2 連接另一作為位元線 BL 的導線層。

[0265] 汲極電極層 3110_1 作為如第 11A 至 11C 圖中所示的附屬記憶單元 301_1 中的電晶體 311 的汲極。

[0266] 汲極電極層 3110_2 作為如第 11A 至 11C 圖中所示的附屬記憶單元 301_2 中的電晶體 311 的汲極。

[0267] 第二絕緣膜 3112 相應於，例如，如第 1A 至 1C 圖中所示的第二絕緣膜 114。第二絕緣膜 3112 可為，例如，材料可用於第二絕緣膜 114 的層。

[0268] 閘極電極層 3240 相應於，例如，如第 1A 至 1C 圖中所示的第一閘極電極層 104。閘極電極層 3114_1 及 3114_2 相應於，如第 1A 至 1C 圖中所示的第二閘極電極層 116。閘極電極層 3114a_1 及 3114a_2 分別相應於，例如，如第 1A 至 1C 圖中所示的第三閘極電極層 118a 及 118b。

[0269] 閘極電極層 3114_1 作為如第 11A 至 11C 圖中所示的附屬記憶單元 301_1 中的電晶體 311 的閘極。此外，閘極電極層 3114_1 可電連接另一作為字線 WL_1 的導線層。

[0270] 閘極電極層 3114_2 作為如第 11A 至 11C 圖中所示的附屬記憶單元 301_2 中的電晶體 311 的閘極。此外，閘極電極層 3114a_2 可電連接另一作為字線 WL_2 的

導線層。

[0271] 第三絕緣膜 3116 相應於，例如，如第 1A 至 1C 圖中所示的第三絕緣膜 120。第三絕緣膜 3116 可使用，例如，材料可用於第二絕緣膜 120 的層。

[0272] 可應用於汲極電極層 3110_1 及汲極電極層 3110_2 的層的材料，例如，使用於電容電極層 3117_1 及電容電極層 3117_2。

[0273] 於第 13A 至 13C 圖中，電容 3205_1 包含汲極電極層 3110_1、第三絕緣膜 3116 及電容電極層 3117_1。電容 3205_1 相應於如第 11A 至 11C 圖中所示的附屬記憶單元 301_1 的電容 312。

[0274] 於第 13A 至 13C 圖中，電容 3205_2 包含汲極電極層 3110_2、第三絕緣膜 3116 及電容電極層 3117_2。電容 3205_2 相應於如第 11A 至 11C 圖中所示的附屬記憶單元 301_2 的電容 312。

[0275] 此外，電容電極層 3117_1 可電連接作為電容線 CL_1 的另一導線層。此外，電容電極層 3117_2 可電連接作為電容線 CL_2 的另一導線層。

[0276] 因為如第 13A 圖中所示的包含第二氧化物半導體材料的電晶體的關態電流低，由於此種電晶體，所儲存的資料可長時間保持。也就是，因為可提供不需要更新操作或是更新操作的頻率極低的半導體裝置，功率消耗可大幅減少

[0277] 如第 13A 至 13C 圖中所示，可形成電晶體

3200_1 及電晶體 3200_2 重疊使用第二半導體材料的電晶體；因此，由這些電晶體所佔據的面積可減少。因此，半導體裝置的整合度可提升。

[0278] 此係本實施例的半導體裝置的敘述。

[0279] 另外，於本實施例中的半導體裝置的範例中，可使用具有低關態電流的場效電晶體作為選擇電晶體，其中，資料保存期間可延長。因此，功率消耗可減少。

[0280] 此外，於本實施例中的半導體裝置的範例中，另一閘極電極層重疊每個電晶體的氧化物半導體層的側面，因而複數電晶體的臨界電壓可被控制。另外，不需對每個附屬記憶單元提供閘極電極層控制選擇電晶體的臨界電壓，因此導線的數量可減少。

[0281] 本實施例可與本說明書中的任何其它實施例自由結合。

[0282]

(第六實施例)

本實施例中，敘述電子應用設備的範例及可使用任何於第一實施例至第五實施例中所述的半導體裝置的電子應用設備。

[0283] 任何於第一實施例至第五實施例中所述的半導體裝置可應用於不同種電子應用設備（包含遊戲機）及電子裝置。電子應用設備的範例包含電視的顯示裝置或螢幕等、發光裝置、個人桌上電腦及個人筆記型電腦、文字

處理器、影像再生裝置，產生靜態影像或動態影像儲存於記憶媒體中，如數位多功能影音光碟（DVDs）、可攜式光碟（CD）機、收音機、錄音機、頭戴式立體聲電話、立體聲音響、無線電話機、收發機、行動電話、汽車電話、可攜式遊戲機、計算機、可攜式資訊終端、電子筆記本，電子書閱讀器、電子翻譯機、聲音輸入裝置、相機例如攝影機及數位靜態相機、電子刮鬍刀及 IC 晶片。電子裝置的範例包含高頻加熱應用設備例如微波爐、電鍋、電子清洗機、電子吸塵器、空調系統例如冷氣機、洗碗機、烘碗機、乾衣機、烘被機、電冰箱、電冷庫、電冰箱冷庫、保存 DNA 的冷庫，輻射計量器及醫藥設備如透析器。另外，電子裝置的範例包含警報裝置例如煙霧偵測器、瓦斯警報裝置及安全警報器。此外，這些範例亦包含工業設備如引導光源、交通光源、傳送帶、電梯、電扶梯、工業機器人及電源儲能系統。另外，移動物體等由油引擎及電馬達驅動，使用非水二次電池的能源等亦包含於電子裝置的分類中。移動物體的範例包含電動汽車（EV），包含內燃機引擎及馬達的混合電動汽車（HEV），充電式混合電動汽車（PHEV），履帶代替這些車輛的輪子的履帶車輛、包含電動輔助腳踏車、機車、電動輪椅等的電動機踏車、高爾夫球車、舟或船、潛水艇、直升機、飛機、火箭、人造衛星、太空探測器、行星探測器、太空船等。特別是如第 14、15A 至 15C 及 16A 至 16C 圖中所示的這些電子應用設備及電子裝置的範例。

[0284] 首先，作為警報裝置的範例，敘述火警警報器結構參照第 14 圖。本說明書中的火警警報器表示任何可於火警發生時迅速發出警報的裝置，例如，住宅火警警報器、自動火警警報器系統及用於自動火警警報器系統的火警偵測器皆包含於此分類。

[0285] 如第 14 圖中所示的警報裝置至少包含微電腦 500。此處，微電腦 500 設至於警報裝置中。微電腦 500 包含電源閘極控制器 503 電連接高電位電源供應線 VDD，電源閘極 504 電連接高電位電源供應線 VDD 及電源閘極控制器 503，中央處理單元（CPU）505 電連接電源閘極 504，以及感測器部分 509 電連接電源閘極 504 及 CPU 505。此外，CPU 505 包含揮發記憶體部分 506 及非揮發記憶體部分 507。

[0286] 如第 14 圖中所示的微電腦 500 可使用上述任何實施例中的半導體裝置於 CPU 505 的揮發記憶體部分 506。

[0287] CPU 505 經由介面 508 電連接排流匯線 502。介面 508 以及 CPU 505 電連接電源閘極 504。例如，作為介面 508 的排流匯標準，可使用 I²C 排流匯。發光元件 530 經由介面 508 電連接電源閘極 504 設置於本實施例中所述的警報裝置。

[0288] 較佳的是，發光元件 530 係直接發光元件，例如，可使用有機 EL 元件、無機 EL 元件或發光二極體（LED）。

[0289] 電源閘極控制器 503 包含計時器及由計時器控制電源閘極 504。電源閘極 504 允許或停止從高電位電源供應線 VDD 供應電源至 CPU 505、感測器部分 509 及介面 508，依據電源閘極控制器 503 的控制。此處，作為電源閘極 504 的範例，可為切換元件如電晶體。

[0290] 由使用電源閘極控制器 503 及電源閘極 504，電源供應至感測器部分 509、CPU 505 及介面 508 於量測光量的期間，以及提供電源至感測器部分 509、CPU 505 及介面 508 可於量測期間之間時停止。警報裝置以此方式運作，其中功率消耗相較於電源持續供應至上述結構的情況可減少。

[0291] 當電晶體作為電源閘極 504，較佳的是使用具有極低關態電流的電晶體，且使用於非揮發記憶體部分 507，例如，包含氧化物半導體的電晶體。使用此種電晶體，當電源閘極 504 的電源供應停止時，可減少漏電流，因而可達成減少警報裝置的功率消耗。

[0292] 可提供直流電源 501 於本實施例中所述的警報裝置中，因而電流供應從直流電源 501 至高電位電源供應線 VDD。於高電位側的直流電源 501 的電極電連接高電位電源供應線 VDD，於低電位側直流電源 501 的電極電連接低電位電源供應線 VSS。低電位電源供應線 VSS 電連接微電腦 500。此處，高電位電源供應線 VDD 係提供高電位 H。低電位電源供應線 VSS 係提供低電位 L，例如，接地電位 (GND)。

[0293] 當使用電池作為直流電源 501 時，例如，電池包含一電極電連接高電位電源供應線 VDD，一電極電連接低電位電源供應線 VSS，且設置於可保持電池的外殼中的情況。請注意本實施例中所述的警報裝置不需要包含直流電源 501，且可具有，例如，電源供應從設置於警報裝置外的交流電流電源經由導線供應的結構。

[0294] 作為上述的電池，可使用二次電池，例如二次鋰離子電池（亦稱為鋰離子儲存電池或鋰離子電池）。此外，較佳的是，提供太陽能電池以對二次電池充電。

[0295] 感測器部分 509 量測關於非正常狀況的物理量並傳輸量測值至 CPU 505。與非正常狀況相關的物理量係依警報裝置使用目的的非正常狀況，於警報裝置作為火警警報器的功能時，量測與火警相關的物理量。由此，感測器部分 509 量測關於煙霧的光量作為與火警相關的物理量。

[0296] 感測器部分 509 包含光感測器 511 電連接電源閘極 504，放大器 512 電連接電源閘極 504，且 AD 轉換器 513 電連接電源閘極 504 及 CPU 505。提供光感測器 511、放大器 512 及 AD 轉換器 513 於感測器部分 509 中，以及當電源閘極 504 允許電源供應至感測器部分 509 時，發光元件 530 運作。

[0297] 以上述的方式，包含光感測器 511 的感測器部分 509 可併入微電腦 500 中，因而組件的數量可減少且警報裝置的外殼可以減小。請注意，對於任意的光感測器

或光電轉換元件的電路組態，光感測器或光電轉換元件可另外設置以電連接微電腦 500。

[0298] 於包含上述 IC 晶片的警報裝置中，使用 CPU 505，其中的複數電路包含敘述於任意上述實施例中的半導體裝置結合並設置於單一 IC 晶片上。

[0299] 第 15A 至 15C 圖係顯示至少部分包含任何第一實施例至第五實施例中所述的半導體裝置的 CPU 的特定組態的方塊圖。

[0300] 如第 15A 圖中所示的 CPU 包含算數邏輯單元 (ALU) 1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194、時間控制器 1195、暫存器 1196、暫存器控制器 1197、排流匯介面 1198、可複寫 ROM 1199 及 ROM 介面 1189 於基板 1190 上。使用半導體基板、SOI 基板或玻璃基板等，作為基板 1190。可提供 ROM 1199 及 ROM 介面 1189 於分開的晶片上。當然，第 15A 圖中的 CPU 係一簡化組態的範例，且實際的 CPU 依應用可具有許多不同的組態。

[0301] 經由排流匯介面 1198 輸入至 CPU 中的指令輸入至指令解碼器 1193 且於其中解碼，而後輸入至 ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197 及時間控制器 1195。

[0302] ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197 及時間控制器 1195 依解碼後的指令執行不同控制。特別是，ALU 控制器 1192 產生控制 ALU 1191 運

作的訊號。當 CPU 執行程式，中斷控制器 1194 判斷從外部輸入/輸出裝置或週邊電路的中斷指令基於它們的優先順序或屏蔽狀態，以及執行指令。暫存器控制器 1197 產生暫存器 1196 的位址，並讀取/寫入資料從/至暫存器 1196，依據 CPU 的狀態。

[0303] 時間控制器 1195 產生控制 ALU 1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194 及暫存器控制器 1197 的運作時間的訊號。例如，時間控制器 1195 包含內部時脈產生器用於產生內部時脈訊號 CLK2，基於參考時脈訊號 CLK1，且供應內部時脈訊號 CLK2 至上述電路。

[0304] 如第 15A 圖中所示的 CPU，提供記憶單元於暫存器中 1196 中。對於暫存器 1196 的記憶單元，可使用上述任何實施例中敘述的電晶體。

[0305] 於第 15A 圖中所示的 CPU 中，暫存器控制器 1197 依據從 ALU 1191 的指令選擇暫存器 1196 中的保持資料的運作。也就是，暫存器控制器 1197 選擇資料由正反器或電容保持於包含於暫存器 1196 中的記憶單元。當選擇資料由正反器保持，電源供應電壓供應至暫存器 1196 中的記憶體單元。當選擇資料由電容保持，資料覆寫於電容中，且停止供應電源供應電壓至暫存器 1196 中的記憶體單元。

[0306] 電源供應可由設置於記憶單元群組及電源供應電位 VDD 或電源供應電位 VSS 供應至的節點的切換元

件而停止，如第 15B 或 15C 圖中所示。如第 15B 或 15C 圖中所示的電路於下敘述。

[0307] 第 15B 或 15C 圖各顯示記憶體電路的組態範例，其中任何於上述實施例中敘述的電晶體，作為控制電源供應電位的供應至記憶體單元的切換元件。

[0308] 如第 15B 圖中所示的記憶體裝置包含切換元件 1141 及包含複數記憶單元 1142 的記憶單元群組 1143。特別是，對於每個記憶單元 1142，可使用任何上述實施例中所述的電晶體。經由切換元件 1141 供應高電源供應電位 VDD 至每個包含於記憶單元群組 1143 中的記憶單元 1142。此外，供應訊號 IN 及低電源供應電位 VSS 至每個記包含於記憶單元群組 1143 中的記憶單元 1142。

[0309] 於第 15B 圖中，任何敘述於上述實施例中的電晶體作為切換元件 1141，且電晶體的開關由訊號 SigA 供應至其閘極電極層而控制。

[0310] 請注意，第 15B 圖揭示組態僅包含一電晶體的切換元件 1141；唯，並不特別限制，而切換元件 1141 可包含複數電晶體。於切換元件 1141 包含作為切換元件的功能的複數電晶體的情況，複數電晶體可以並聯或串連的方式相互連接，或以並聯及串連的組合方式連接。

[0311] 雖然切換元件 1141 控制高電源供應電位 VDD 至每個包含於記憶單元群組 1143 中的記憶單元 1142，如第 15B 圖，切換元件 1141 可控制低電源供應電位 VSS 的供應。

[0312] 第 15C 圖顯示記憶體裝置的範例，其中經由切換元件 1141 供應低電源供應電位 VSS 至每個包含於記憶體單元群組 1143 中的記憶體單元 1142。供應低電源供應電位 VSS 至每個包含於記憶體單元群組 1143 中的記憶體單元 1142 可由切換元件 1141 控制。

[0313] 資料可保持即使當切換元件設置於記憶體單元群組及電源供應電位 VDD 或電源供應電位 VSS 供應至的節點，CPU 的運作暫時停止且電源供應電壓停止；因此，功率消耗可降低。特別是，例如，當個人電腦不輸入資料至輸入裝置例如鍵盤，CPU 的運作可暫時停止，因而功率消耗可減少。

[0314] 雖然提供 CPU 作為範例，電晶體亦可應用於 LSI，例如數位訊號處理器（DSP）、客製化 LSI 或場可程式閘極陣列（FPGA）。

[0315] 於第 16A 圖中，警報裝置 8100 係一住宅火警警報器且係使用感測器部分及微電腦 8101 的電子裝置的範例。微電腦 8101 係各包含 CPU，其中使用的電晶體如上述實施例所述，的電子裝置的範例。

[0316] 於第 16A 圖中，空調包含室內單元 8200 及室外單元 8204 係電子裝置的範例，各包含 CPU，其中使用任何敘述於上述實施例中的電晶體。特別是，室內單元 8200 包含外殼 8201、空氣出口 8202 及 CPU 8203 等。雖然 CPU 8203 設置於第 16A 圖中的室內單元 8200，CPU 8203 可設置於室外單元 8204。或是，CPU 8203 可皆設置

於室內單元 8200 及室外單元 8204。由使用任何敘述於上述實施例中的電晶體作為空調中的 CPU，空調的功率消耗可降低。

[0317] 第 16A 圖中，電冰箱 8300 係包含 CPU 的電子裝置的範例，其中使用任何敘述於上述實施例中的電晶體。特別是，電冰箱 8300 包含外殼 8301、冰箱門 8302、冷庫門 8303 及 CPU 8304 等。第 16A 圖中，設置 CPU 8304 於外殼 8301 中。當使用任何敘述於上述實施例中的電晶體作為電冰箱 8300 的 CPU 8304，電冰箱 8300 的功率消耗可減少。

[0318] 第 16B 及 16C 圖顯示電動汽車的範例，其係此種電子裝置的範例。電動汽車 9700 配備二次電池 9701。二次電池 9701 所輸出的電功率由控制電路 9702 調整且電功率係提供至駕駛裝置 9703。控制電路 9702 由處理單元 9704 控制，處理單元 9704 包含 ROM、RAM 或 CPU 等，未顯示於圖中。當使用任何上述實施例中敘述的電晶體於電動汽車 9700 中的 CPU 時，電動汽車 9700 的功率消耗可減少。

[0319] 駕駛裝置 9703 係單獨包含 DC 馬達或 AC 馬達或與內燃機引擎組合。處理單元 9704 輸出控制訊號控制電路 9702 基於由駕駛輸入資料，例如操作資料（例如加速、減速或停止），或駕駛中的電動汽車 9700 的資料（例如上坡、下坡的資料，或駕駛中的車輪負荷資料）。控制電路 9702 調整從二次電池 9701 供應的電能，以回應

處理單元 9704 的控制訊號以控制駕駛裝置 9703 的輸出。當使用 AC 馬達，雖然未顯示，亦併入有把直流電轉換成交流電的反轉器。

[0320] 本實施例可與本說明書中的任何其它實施例自由結合。

[0321]

(第七實施例)

為了提升包含氧化物半導體 (OS) 層的電晶體的可靠性，釐清影響可靠性的因素是很重要的。此處，為了提升包含氧化物半導體層的電晶體的可靠性，製作劣化機制模型如下所述。

[0322] 請注意，氧化物半導體層的氧空缺形成氧化物半導體層中的深能階 DOS。為了減少深能階 DOS，重要的是，使氧化物半導體層為含有超過化學計量的氧的狀態並提供氧化物半導體層以提供氧而從外部修復氧空缺。

[0323] 當執行+閘極 BT (+GBT: +閘極偏壓溫度) 測試於包含氧化物半導體層的電晶體，臨界電壓 (V_{th}) 與原始 V_g - I_d 特性比較往正方向偏移。另外，當執行-閘極 BT (-GBT: -閘極偏壓溫度) 測試於包含氧化物半導體層的電晶體，臨界電壓 (V_{th}) 與原始 V_g - I_d 特性比較往負方向偏移。以此方式，電晶體的臨界電壓變為交替正及負，與閘極 BT 測試的+閘極 BT 測試及-閘極 BT 測試的交替關聯 (參照第 17 圖)。

[0324] 第 17 圖顯示包含氧化物半導體層的電晶體的

V_g - I_d 特性的改變與固定電荷無關，而與能階（陷阱能階）有關。

[0325] 第 18 圖係包含氧化物半導體層的電晶體的能帶圖模型。請注意，第 18 圖顯示未供應閘極電壓的狀態。第 18 圖中，假設三種缺陷能階（DOS）於氧化物半導體層中，於氧化物半導體層及閘極絕緣膜（GI）之間的介面，於氧化物半導體層及保護絕緣膜（Passivation）之間的介面。作為缺陷能階，有兩種淺能階 DOS 及一種深能階 DOS。請注意，每個缺陷能階具有能階分布。此處，第一淺能階（寬能階 DOS）具有寬能階分布，且第二淺能階（峰能階 DOS）具有窄能階分佈。另外，於價帶頂端至深能階 DOS 之間的能階差異（ ΔE_{vd} ）大於導帶底端至峰能階 DOS 之間的能階差異（ ΔE_{cs} ）。

[0326] 例如，當其能階高於費米能階，淺能階變為中性，且當其能階低於費米能階，淺能階帶負電。另一方面，當其能階高於費米能階，深能階帶正電，且當其能階低於費米能階，深能階變為中性。

[0327] 第 19A 至 19C 圖各顯示包含氧化物半導體層的電晶體的劣化模式的 V_g - I_d 特性。包含氧化物半導體層的電晶體具有三種劣化模式。特別是，第 19A 圖顯示開態電流降低的劣化模式，第 19B 圖顯示臨界電壓往正向偏移的劣化模式，及第 19C 圖顯示臨界電壓往負向偏移的劣化模式。

[0328] 何種缺陷能階造成包含氧化物半導體層的電

晶體的如此劣化將於以下敘述。

[0329] 首先，解釋第 19A 圖中所示的開態電流降低的劣化模式。當量測 V_g - I_d 特性，當閘極電壓上升，電子由寬能階 DOS 所捕捉（參照第 20A 圖）。此時，被捕捉的電子不貢獻導電性，因而電晶體的開態電流降低，即，線低化（參照第 20B 圖）。因此，劣化模式之一的電晶體的開態電流降低，可能因寬能階 DOS 所引起。請注意，圖式中的 N 表示中性。

[0330] 再來，將解釋當執行+閘極 BT 測試時的臨界電壓往正向偏移並參照第 21A 及 21B 圖。

[0331] 當執行+閘極 BT 測試，電子由正閘極電壓吸引並由峰能階 DOS 捕捉（參照第 21A 圖）。當+閘極 BT 測試時電子，即負電荷，被捕捉，具有長釋放時間因此表現類似固定電荷。因為負固電荷，即使閘極電壓（偏壓）係關閉，可能仍有相當的等效負電壓供應。因此，當於+閘極 BT 測試之後量測電晶體的電子特性，電晶體的臨界電壓特性（ V_g - I_d 特性）往正方向偏移（參照第 21B 圖）。

[0332] 再來，將解釋當執行-閘極 BT 測試時的臨界電壓往負向偏移並參照第 22A 及 22B 圖。

[0333] 當-閘極電壓 V_g 供應至電晶體且電晶體發光於執行-閘極 BT 測試中，電洞，也就是正電荷，由深能階 DOS 捕捉（參照第 22A 圖）。因為導帶（ E_c ）底部至深能階 DOS 之間的能階差異大且價帶（ E_v ）頂端至深能階

DOS 之間的能階差異大，在電洞被吸引前需要一段長時間。另外，於半導體氧化物層中的電洞具有大等效質量，且電洞不易注入，即使從汲極。正電荷具有長的釋放時間因此表現類似固定電荷。因為正固電荷，即使閘極電壓（偏壓）關閉後，可能仍有相當的等效正電壓供應。因此，當於-閘極 BT 測試之後量測電晶體的電子特性，電晶體的臨界電壓特性（ V_g-I_d 特性）往負方向偏移（參照第 22B 圖）。

[0334] 再來，將參考第 23 圖敘述 n 型區域，其中氧化物半導體層連接源極電極及汲極電極。第 23 圖係包含氧化物半導體層的電晶體的截面圖。電晶體包含閘極電極，閘極絕緣膜形成於閘極電極上，氧化物半導體層形成於閘極絕緣膜上，源極電極及汲極電極形成於氧化物半導體層上，以及絕緣膜（含有超量的氧（exO）的絕緣膜）形成於氧化物半導體層、源極電極及汲極電極上。

[0335] 形成氧化物半導體層，而後形成源極電極及汲極電極接觸氧化物半導體層。例如，當源極電極及汲極電極由濺鍍法形成，對於氧化物半導體層的電漿傷害或用於源極電極及汲極電極的材料原子或分子因濺鍍而碰撞使部分氧化物半導體層成為 n 型，因而形成 n 型區域（ n^+ 層）。

[0336] 另外，n 型區域亦由源極電極及汲極電極形成之後的熱處理形成。例如，由熱處理，氫進入氧化物半導體層中的氧空缺位置（形成 V_oH ）或氧化物半導體層中所

含有的 In 減少，因而形成 n 型區域。

[0337] 另一方面，於未形成源極電極及汲極電極的氧化物半導體層區域中，即通道未形成的區域，形成含有超量的氧（exO）的絕緣膜連接於氧化物半導體層。因此，由於形成含有超量的氧的絕緣膜後執行熱處理，氧化物半導體層中的氧空缺由超量的氧（exO）修復並且減少，其中氧化物半導體層變為 i 型（i 層）。

[0338] 請注意，當氧化物半導體層係 In-Ga-Zn 氧化物，與銦鍵結的氧，因銦與氧的鍵能低，易於釋放（易形成 In-Vo）。請注意，較佳的是，峰能階 DOS 與 In-VoH 於機率上相關，且可由 n 型區域形成。寬能階 DOS 及深能階 DOS 係被認為分別與 In-Vo-HO-Si 及 In-Vo-In 相關。

[0339] 為了減少氧化物半導體層中缺陷能階的密度，重要的是減少氧空缺（Vo）。特別是，氧空缺可由防止 Si 進入氧化物半導體層或由過量的氧修復而減少。另外，因為 VoH 造成作為缺陷能階的淺能階的形成，較佳的是，減少氧化物半導體層中的氫。

本發明係基於申請於 2012 年 11 月 15 日之日本專利申請案號 No. 2012-251701，及申請於 2012 年 11 月 16 日之日本專利申請案號 No. 2012-251860，全部內容併同參考。

【符號說明】

[0340]

- 102 : 基板
- 104 : 第一閘極電極
- 106 : 第一絕緣膜
- 107 : n 型區域
- 108 : 氧化物半導體層
- 109 : 導電膜
- 110 : 源極電極層
- 110a : 源極電極層
- 110b : 源極電極層
- 111 : 導電膜
- 112 : 汲極電極層
- 112a : 汲極電極層
- 112b : 汲極電極層
- 114 : 第二絕緣膜
- 115 : 導電膜
- 116 : 第二閘極電極
- 118 : 第三閘極電極
- 118a : 第三閘極電極
- 118b : 第三閘極電極
- 120 : 第三絕緣膜
- 208 : 氧化物層疊
- 208a : 第一氧化物層疊
- 208b : 氧化物半導體層

208c：第二氧化物層疊
208d：第三氧化物層疊
210：源極電極層
210a：源極電極層
210b：源極電極層
212：汲極電極層
212a：汲極電極層
212b：汲極電極層
258：氧化物層疊
300：記憶單元
301：附屬記憶單元
308：氧化物層疊
308a：第一氧化物層疊
308b：氧化物半導體層
308c：第二氧化物層疊
308d：第三氧化物層疊
311：電晶體
312：電容
313：電晶體
500：微電腦
501：直流電源
503：電源閘極控制器
504：電源閘極
505：CPU

- 506：揮發記憶體部分
- 507：非揮發記憶體部分
- 508：介面
- 509：感測器部分
- 511：光感測器
- 512：放大器
- 513：AD 轉換器
- 1141：切換元件
- 1142：記憶單元
- 1189：ROM 介面
- 1190：基板
- 1191：ALU
- 1192：ALU 控制器
- 1193：指令解碼器
- 1194：中斷控制器
- 1195：時間控制器
- 1196：暫存器
- 1197：暫存器控制器
- 1198：排流匯介面
- 1199：可複寫 ROM
- 3000：基板
- 3106：氧化物半導體層
- 3108_1：源極電極層
- 3108a_1：源極電極層

3108b_1 : 源極電極層
3110_1 : 汲極電極層
3110a_1 : 汲極電極層
3110b_1 : 汲極電極層
3108_2 : 源極電極層
3108a_2 : 源極電極層
3108b_2 : 源極電極層
3110_2 : 汲極電極層
3110a_2 : 汲極電極層
3110b_2 : 汲極電極層
3112 : 第二絕緣膜
3116 : 第三絕緣膜
3117_1 : 電容電極層
3117_2 : 電容電極層
3200_1 : 電晶體
3200_2 : 電晶體
3220 : 第一絕緣膜
3205_1 : 電容
3205_2 : 電容
3240 : 閘極電極層
3300 : 元件隔離絕緣層
8100 : 警報裝置
8101 : 微電腦
8200 : 室內單元

- 8201 : 外殼
- 8202 : 空氣出口
- 8203 : CPU
- 8204 : 戶外單元
- 8300 : 電冰箱
- 8301 : 外殼
- 8302 : 門
- 8303 : 冷庫門
- 8304 : CPU
- 9700 : 汽車
- 9701 : 電池
- 9702 : 控制電路
- 9703 : 駕駛裝置
- 9704 : 處理單元

申請專利範圍

1. 一種半導體裝置包含：

第一閘極電極層；

於該第一閘極電極層上的第一絕緣膜；

於該第一絕緣膜上的氧化物半導體層，且該氧化物半導體層包含通道形成區域，其中該通道形成區域重疊該第一閘極電極層且該第一絕緣膜於該通道形成區域及該第一閘極電極層之間；

電連接該氧化物半導體層的源極電極層及汲極電極層；

覆蓋該氧化物半導體層的第二絕緣膜；

重疊該通道形成區域的第二閘極電極層，且該第二絕緣膜於該第二閘極電極層及該通道形成區域之間；及

重疊該氧化物半導體層的側面的第三閘極電極層，且該第二絕緣膜於該第三閘極電極層與該氧化物半導體層的該側面之間，其中該氧化物半導體層的該側面與通道寬度方向垂直。

2. 一種半導體裝置包含：

第一閘極電極層；

於該第一閘極電極層上的第一絕緣膜；

於該第一絕緣膜上的第一氧化物層；

於該第一氧化物層上的氧化物半導體層，且該氧化物半導體層包含通道形成區域，其中該通道形成區域重疊該第一閘極電極層且該第一絕緣膜於該通道形成區域及該第

一閘極電極層之間；

於該氧化物半導體層上的第二氧化物層；

電連接該氧化物半導體層的源極電極層及汲極電極層；

覆蓋該第一氧化物層、該氧化物半導體層及該第二氧化物層的第二絕緣膜；

重疊該通道形成區域的第二閘極電極層，且該第二絕緣膜於該第二閘極電極層及該通道形成區域之間；及

重疊該氧化物半導體層的側面的第三閘極電極層，且該第二絕緣膜於該第三閘極電極層及該氧化物半導體層的該側面之間，其中該氧化物半導體層的該側面與通道寬度方向垂直。

3. 如申請專利範圍第 1 或 2 項之半導體裝置，其中該第三閘極電極層面對該氧化物半導體層的該側面。

4. 如申請專利範圍第 1 或 2 項之半導體裝置，其中該源極電極層包含：

第一導電層；及

覆蓋該第一導電層的第二導電層，及

其中該汲極電極層包含：

第三導電層；及

覆蓋該第三導電層的第四導電層。

5. 如申請專利範圍第 4 項之半導體裝置，其中該第一導電層及該第三導電層包含選自 Al、Cr、Cu、Ta、Ti、Mo 及 W 的群組中的至少之一。

6. 如申請專利範圍第 4 項之半導體裝置，其中該第二導電層及該第四導電層包含選自氮化鋁、氮化鈦及鈮的群組中的至少之一。

7. 如申請專利範圍第 1 或 2 項之半導體裝置，其中該第一絕緣膜由加熱釋放氧。

8. 如申請專利範圍第 1 或 2 項之半導體裝置，其中該氧化物半導體層包含 In、Zn 及 M (M 係選自 Al、Ga、Ge、Y、Zr、Sn、La、Ce 及 Hf 組成的群組中的至少之一)。

9. 如申請專利範圍第 1 或 2 項之半導體裝置，其中該第一閘極電極層含有包含選自氮化鋁、氮化鈦及鈮的群組中的至少之一。

10. 如申請專利範圍第 2 項之半導體裝置，
其中該第一氧化物層於導帶底端的能階係較該氧化物半導體層於導帶底端的能階接近真空能階 0.05 eV 或更多及 2 eV 或更少，及

其中該第二氧化物層於導帶底端的能階係較該氧化物半導體層於導帶底端的能階接近真空能階 0.05 eV 或更多及 2 eV 或更少。

11. 如申請專利範圍第 2 項之半導體裝置，
其中該第一氧化物層、該氧化物半導體層及該第二氧化物層包含 In、Zn 及 M (M 係選自 Al、Ga、Ge、Y、Zr、Sn、La、Ce 及 Hf 的群組中的至少之一)，

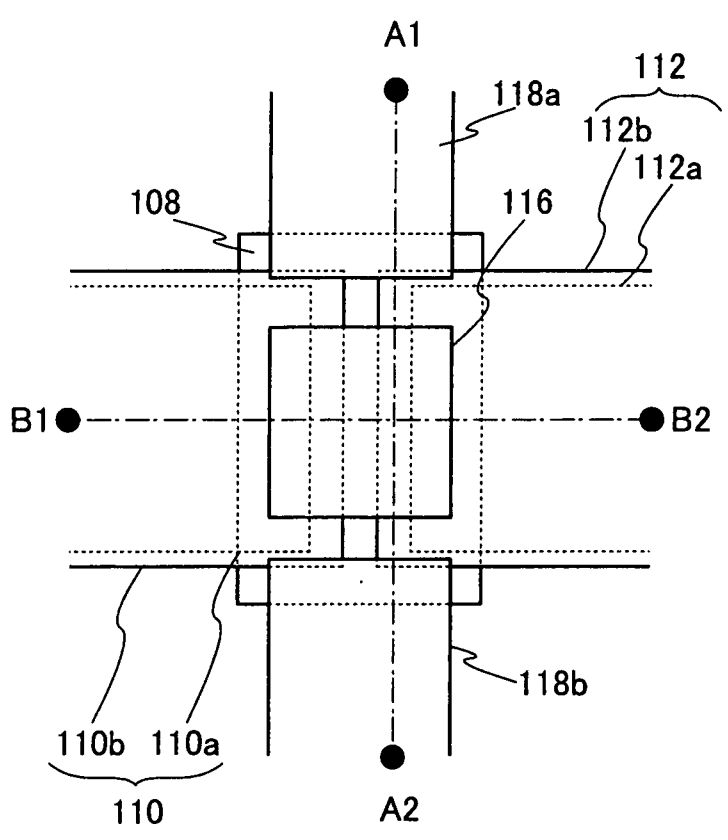
其中該第一氧化物層的 M 對 In 的原子比係大於該氧

化物半導體層的 M 對 In 的原子比，及

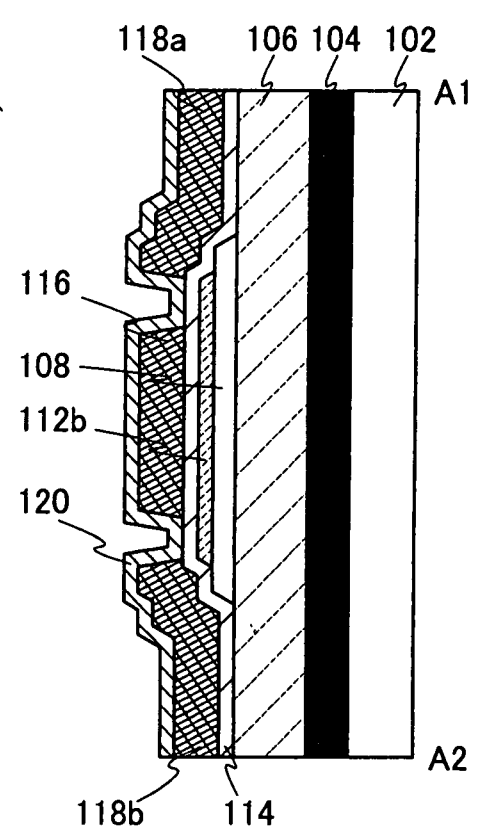
其中該第二氧化物層的 M 對 In 的原子比係大於該氧化物半導體層的 M 對 In 的原子比。

圖式

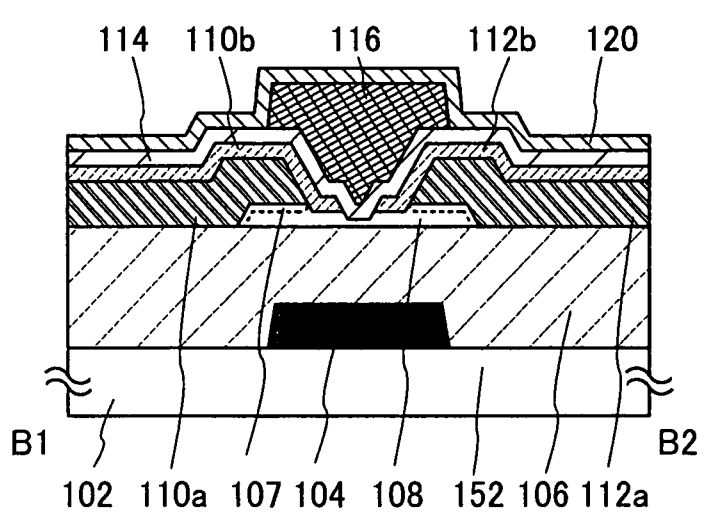
第 1A 圖



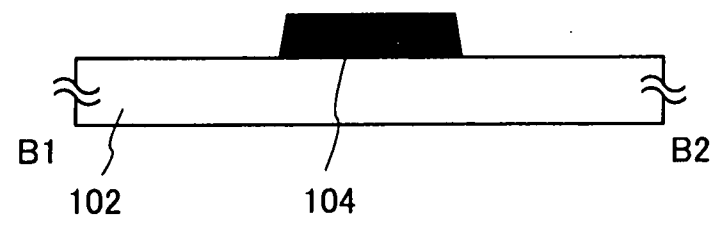
第 1B 圖



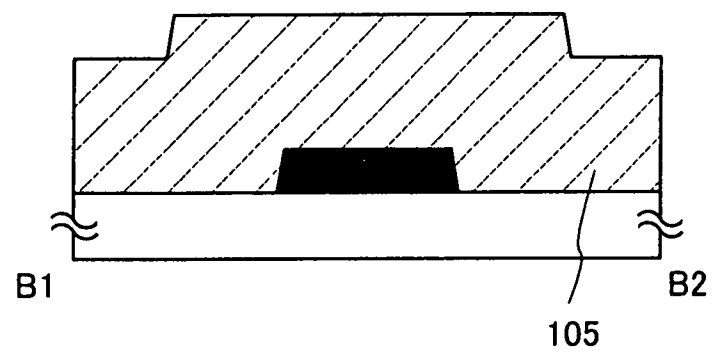
第 1C 圖



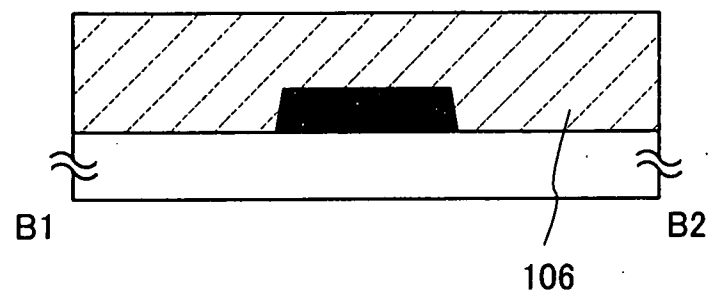
第 2A 圖



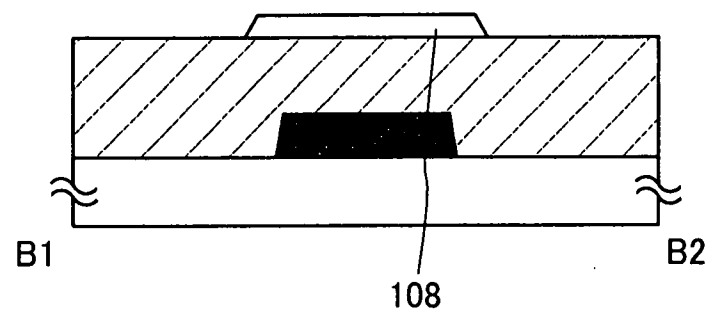
第 2B 圖



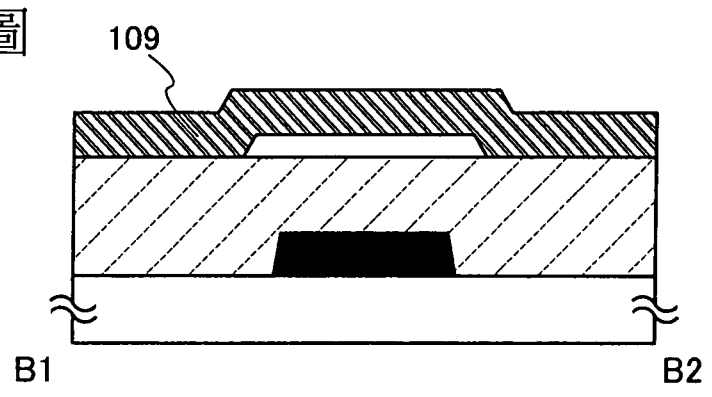
第 2C 圖



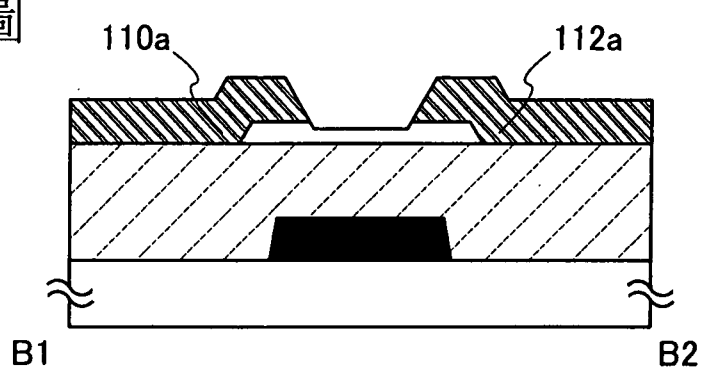
第 2D 圖



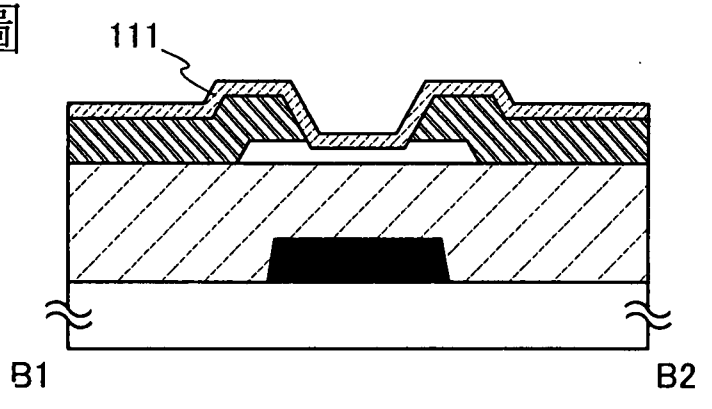
第 3A 圖



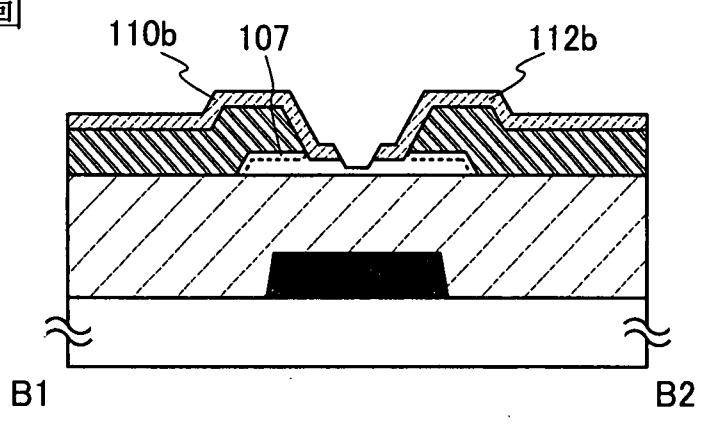
第 3B 圖



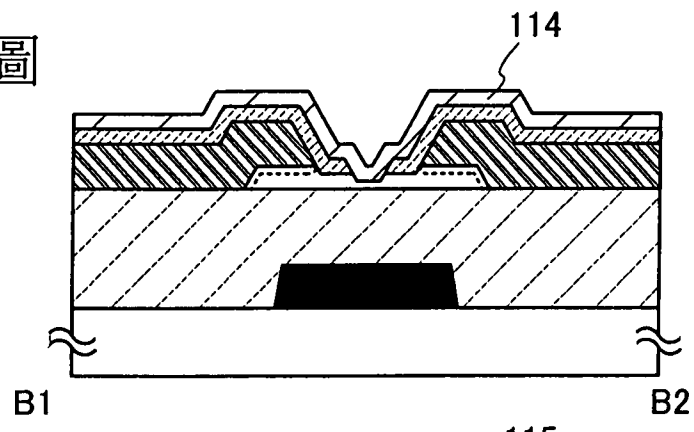
第 3C 圖



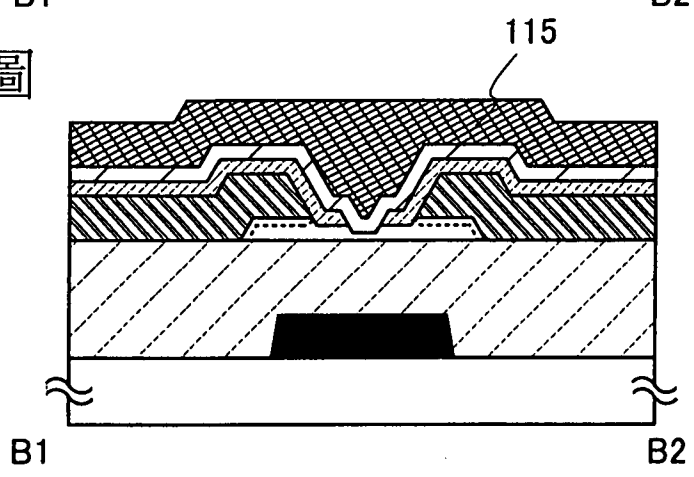
第 3D 圖



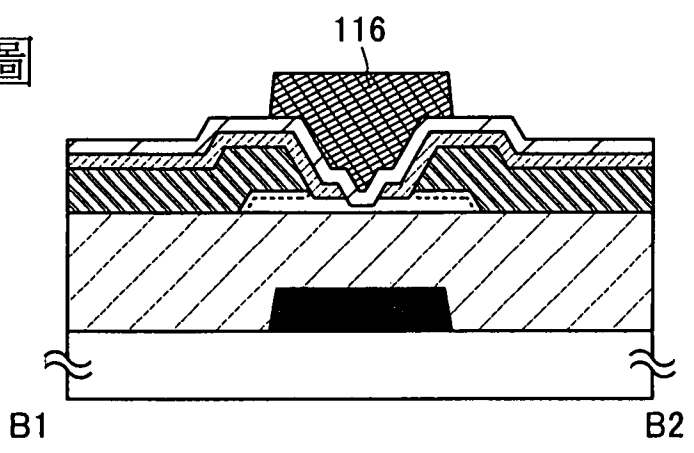
第4A圖



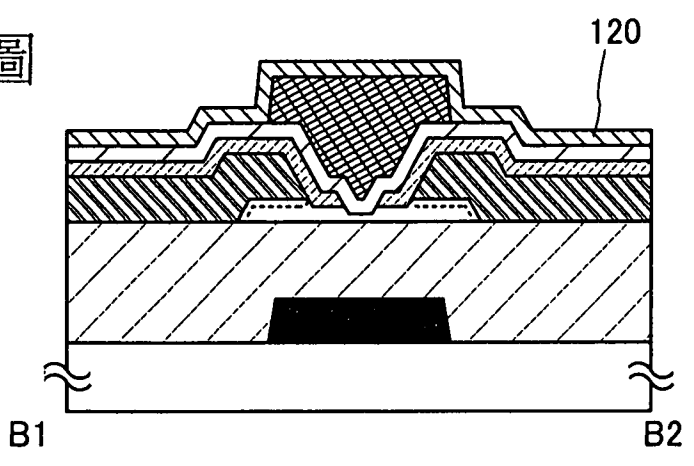
第4B圖



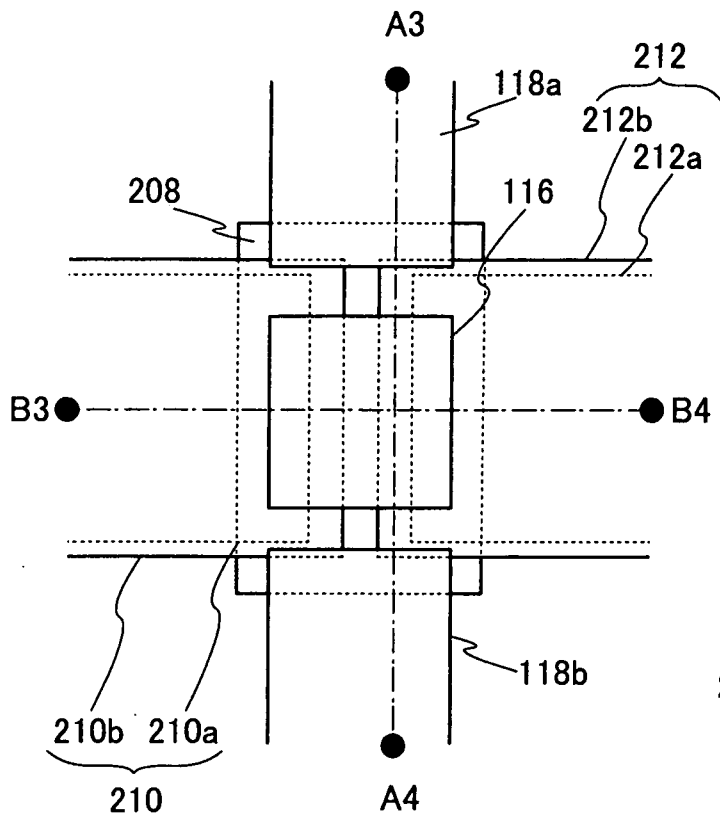
第4C圖



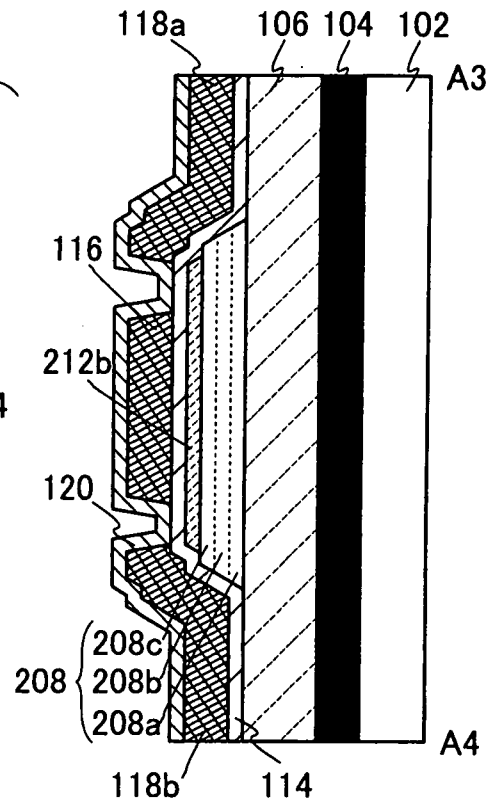
第4D圖



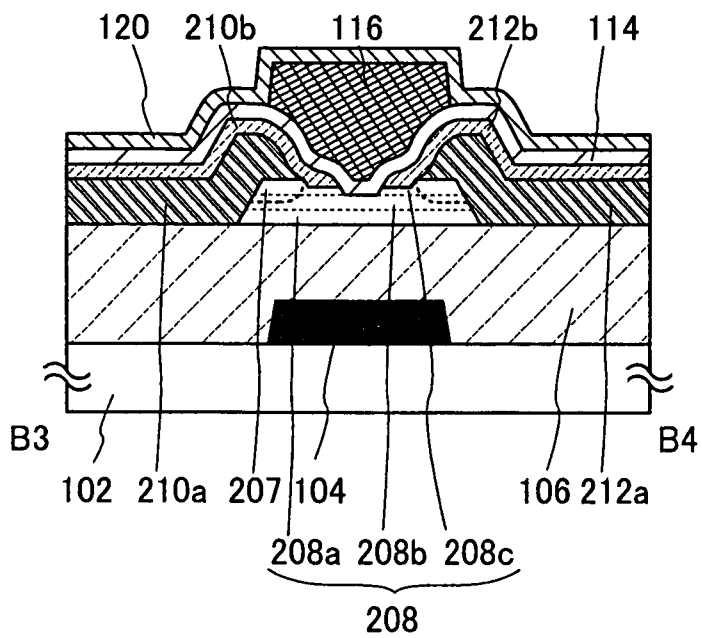
第 5A 圖



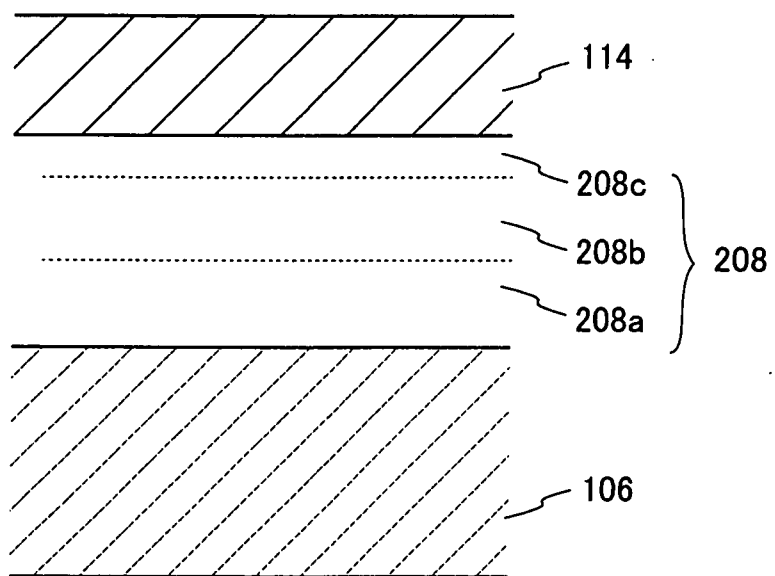
第 5B 圖



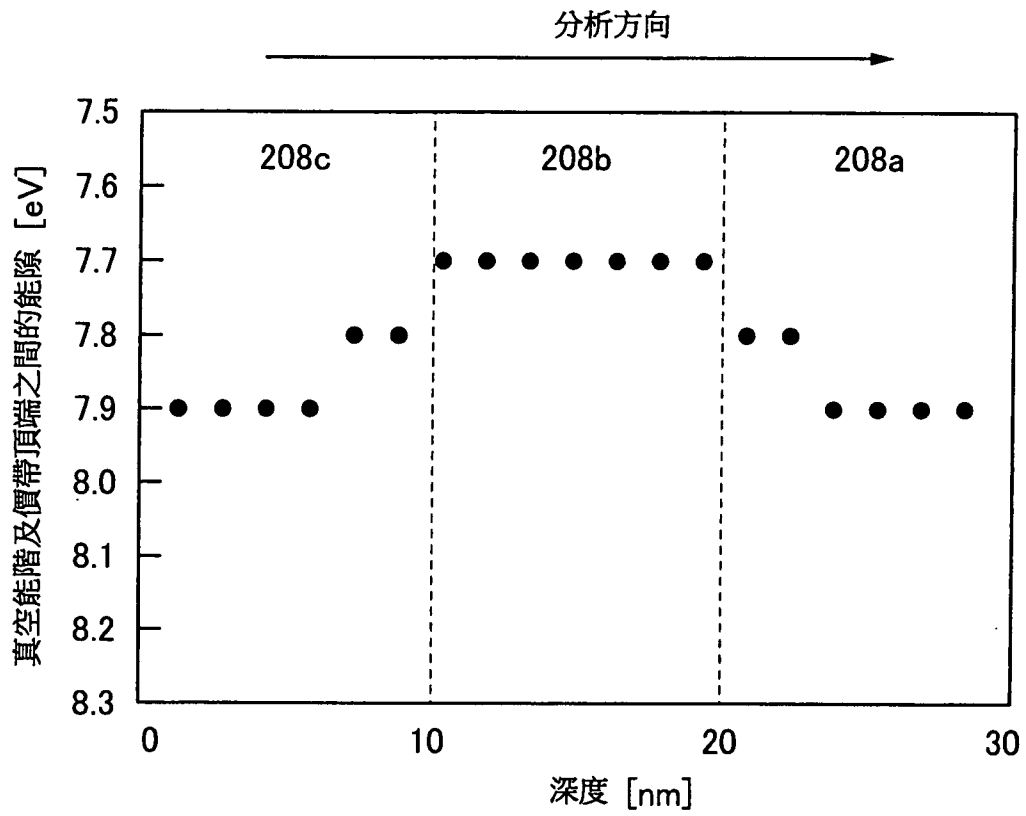
第 5C 圖



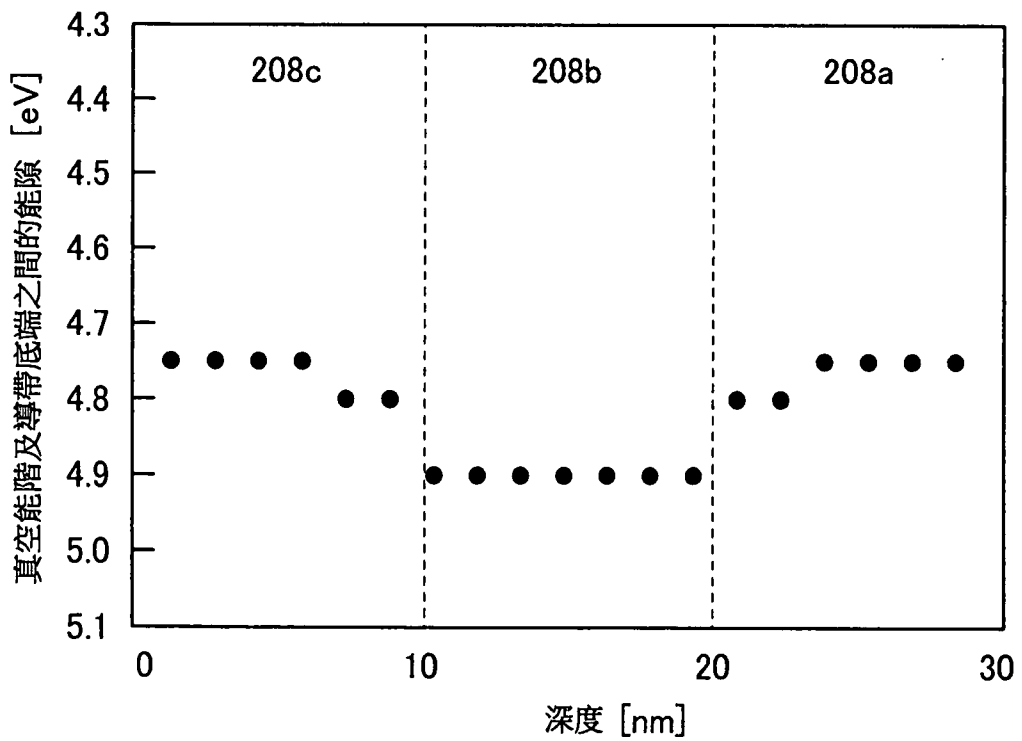
第 6 圖



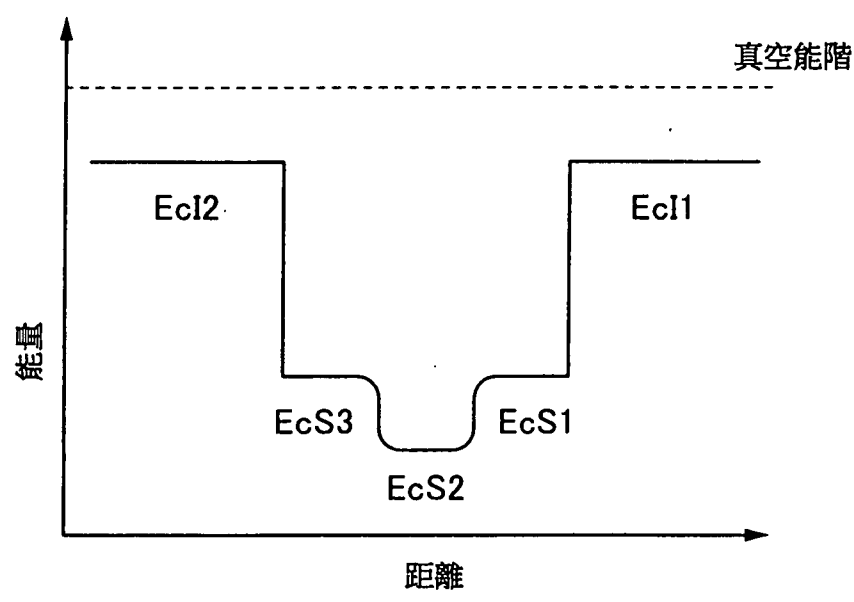
第 7A 圖



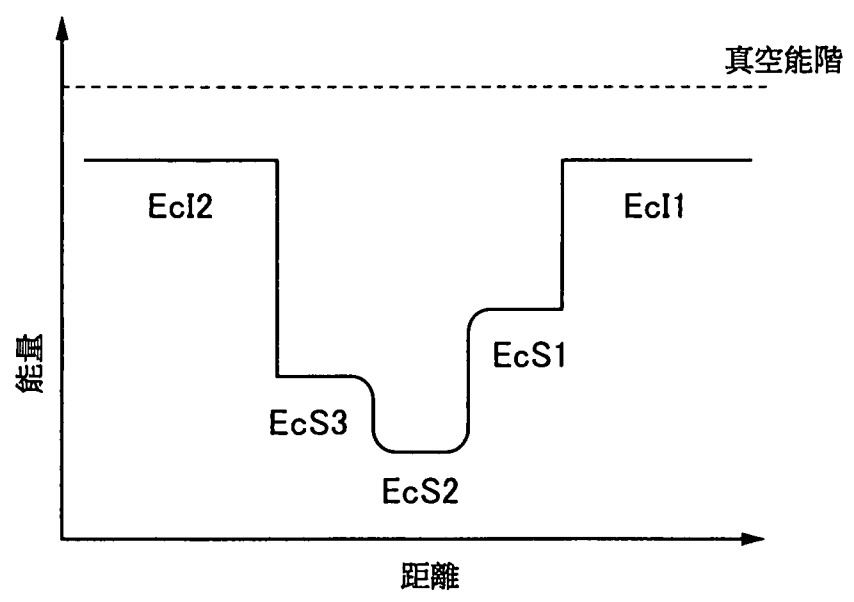
第 7B 圖



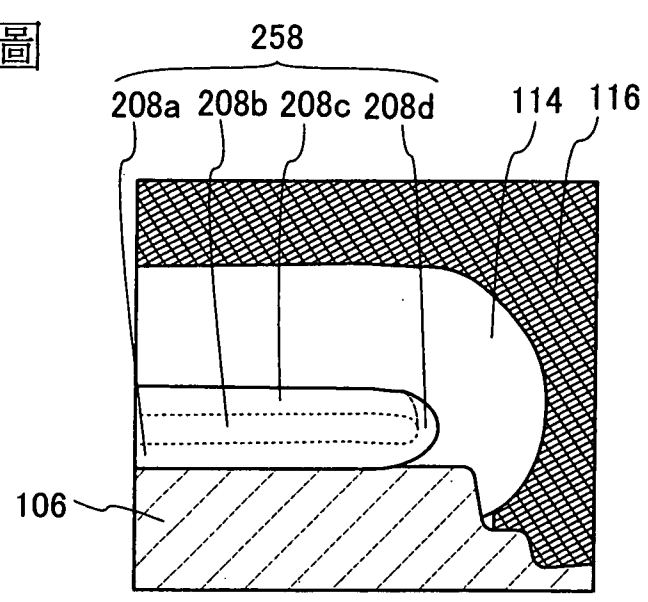
第 8A 圖



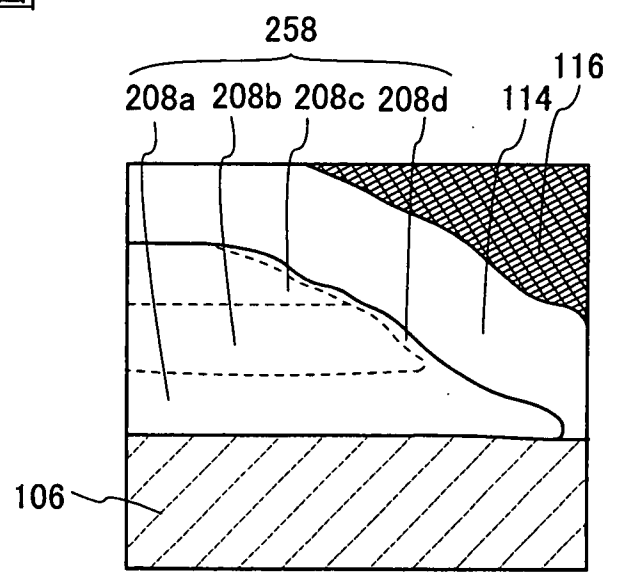
第 8B 圖



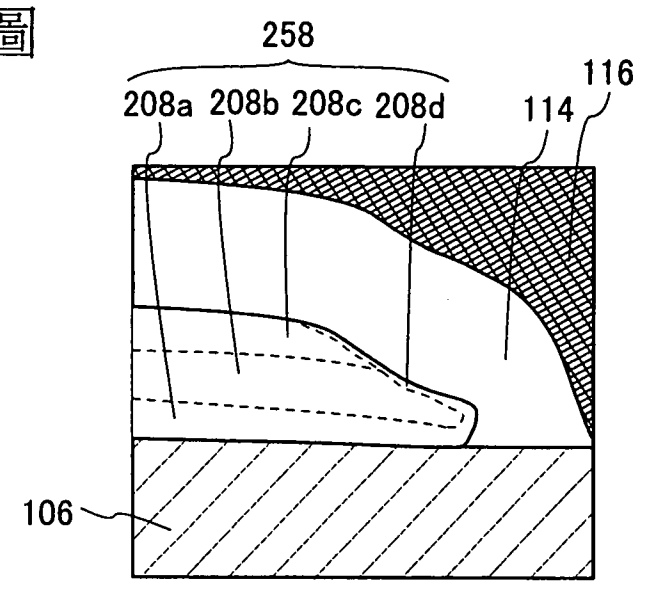
第 9A 圖



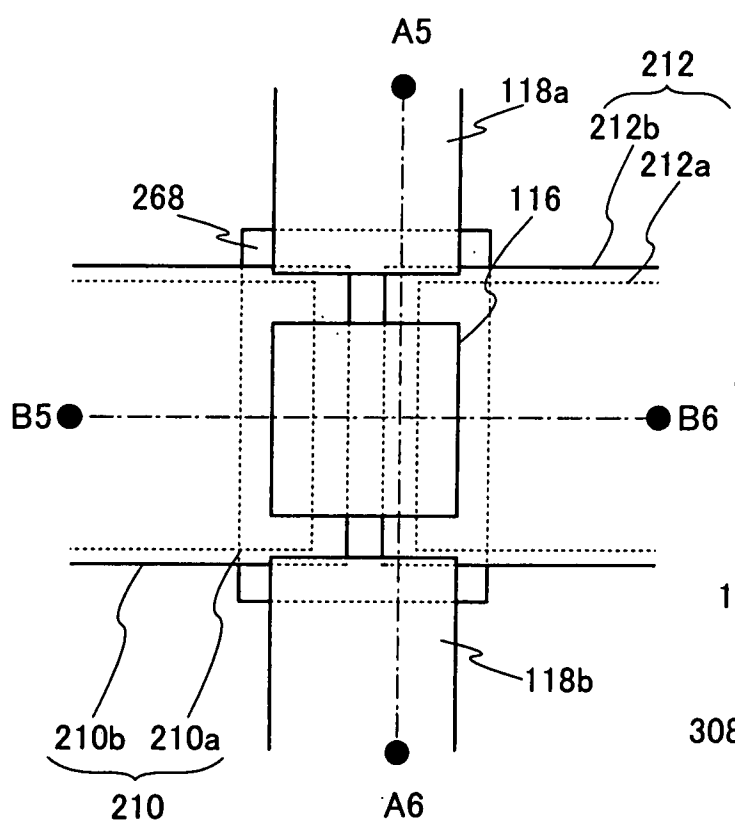
第 9B 圖



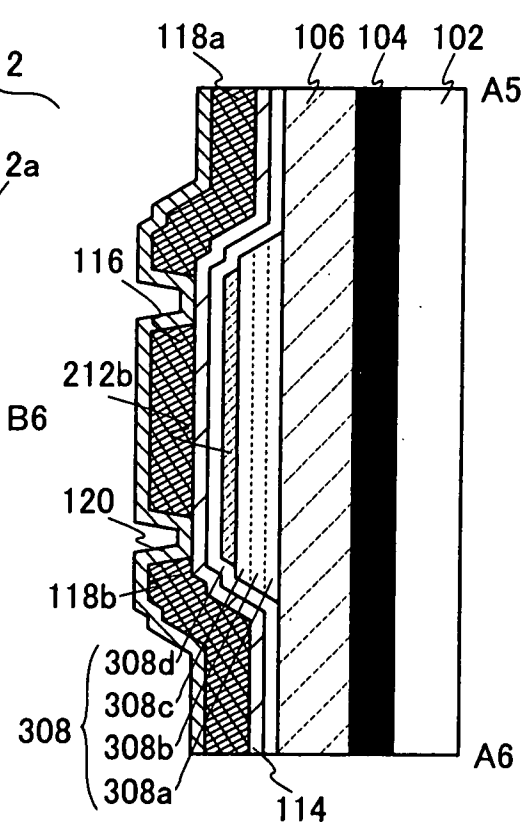
第 9C 圖



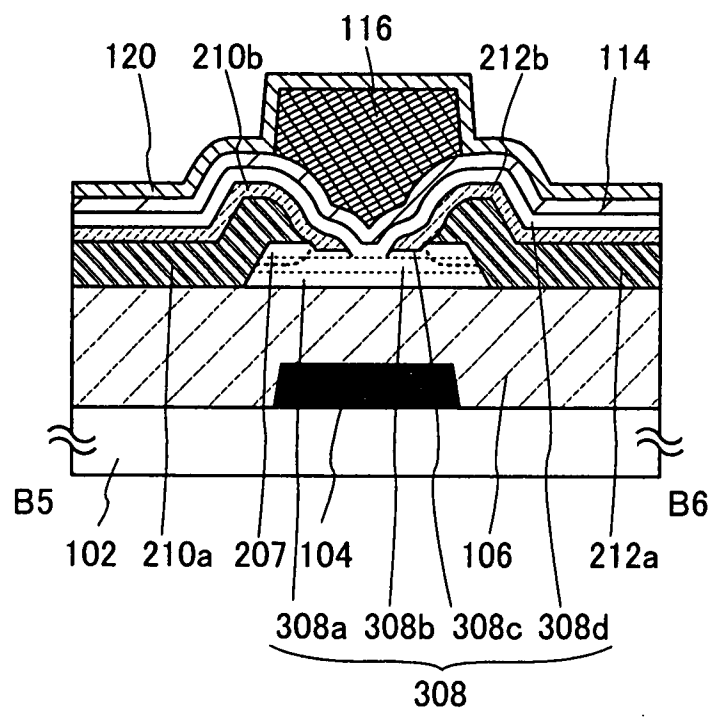
第 10A 圖



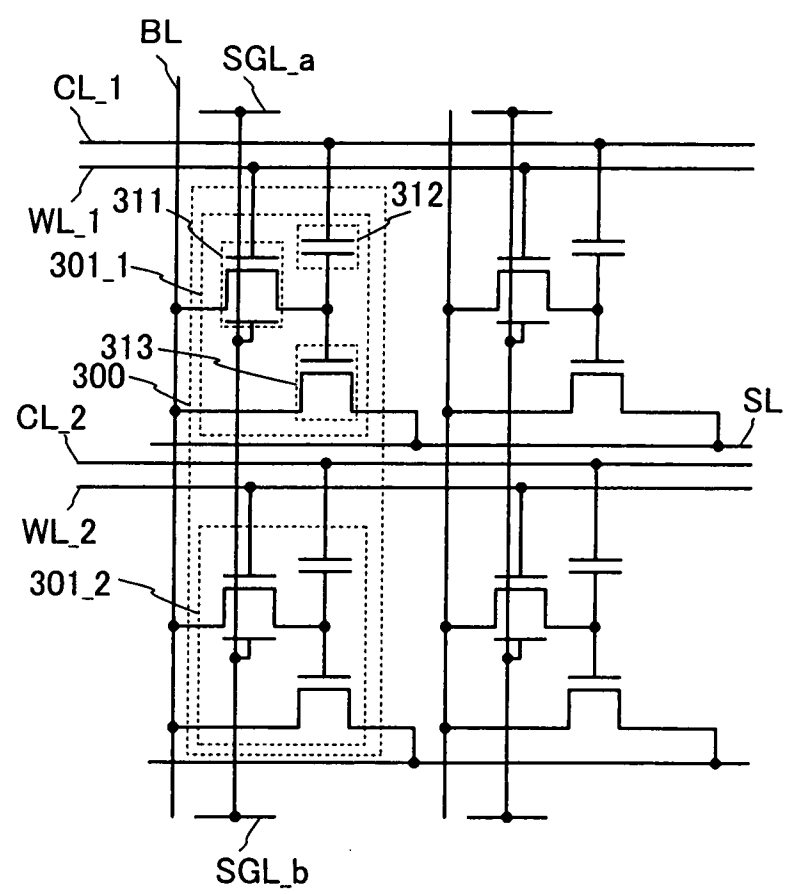
第 10B 圖



第 10C 圖

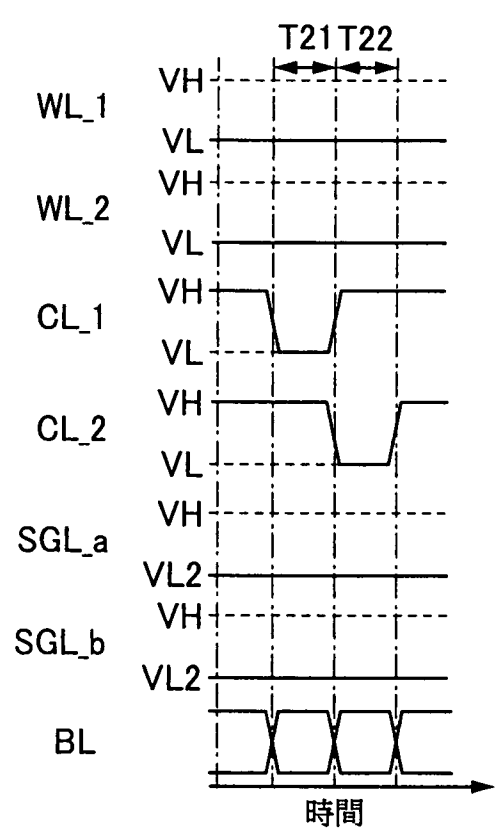
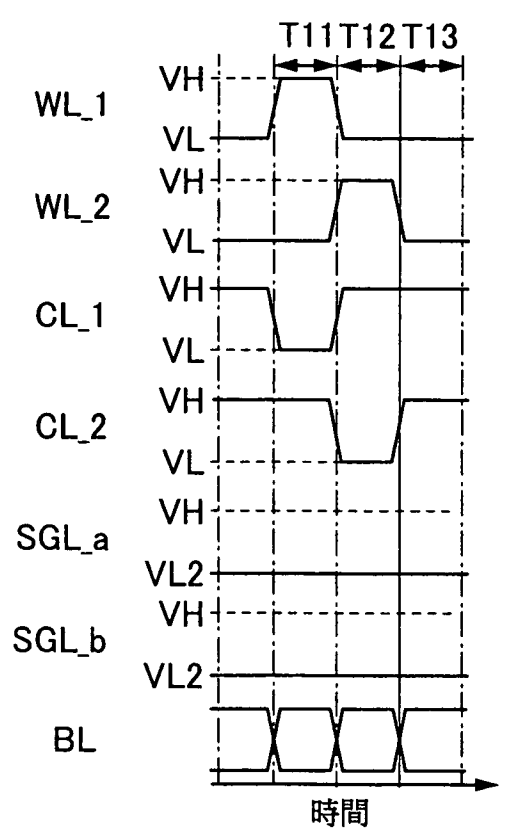


第 11A 圖

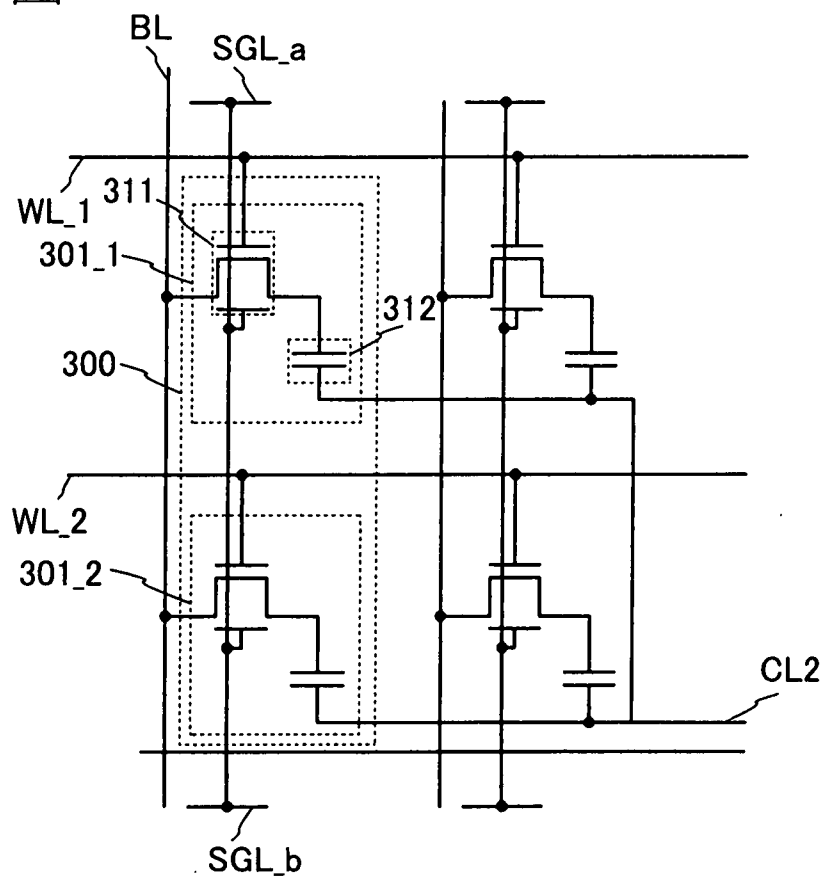


第 11B 圖 寫入

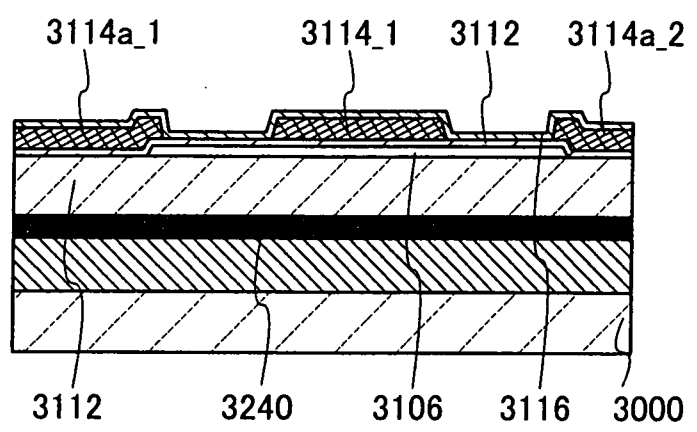
第 11C 圖 讀取



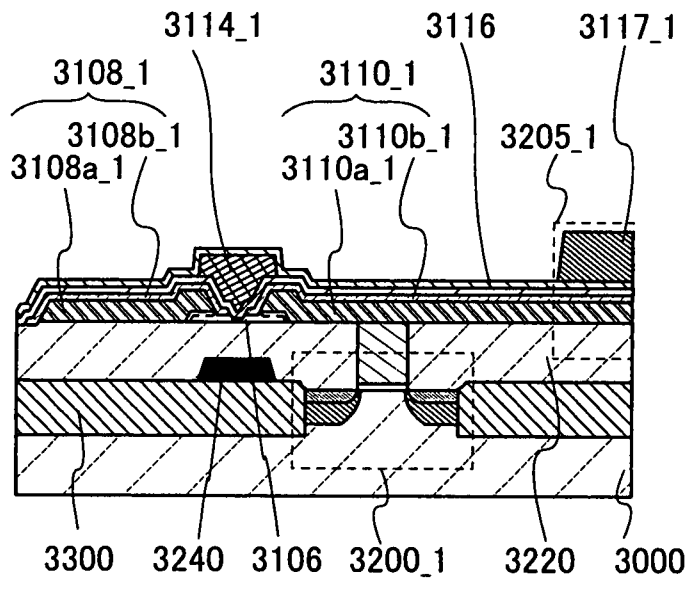
第 12 圖



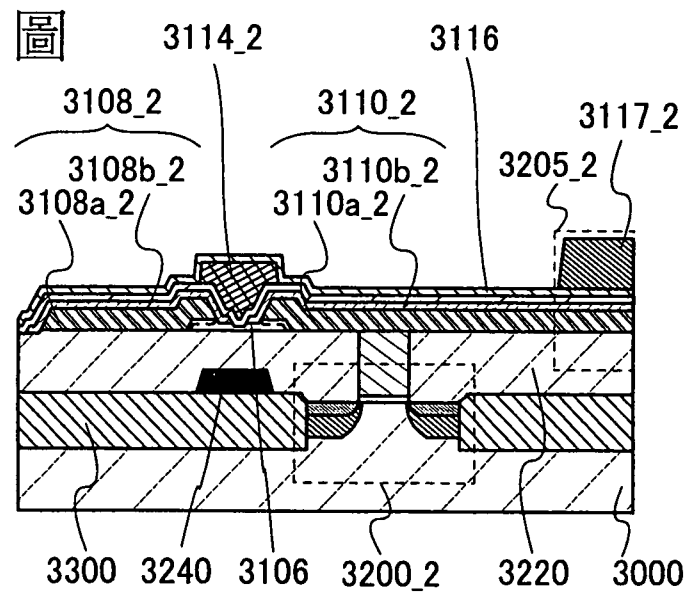
第 13A 圖



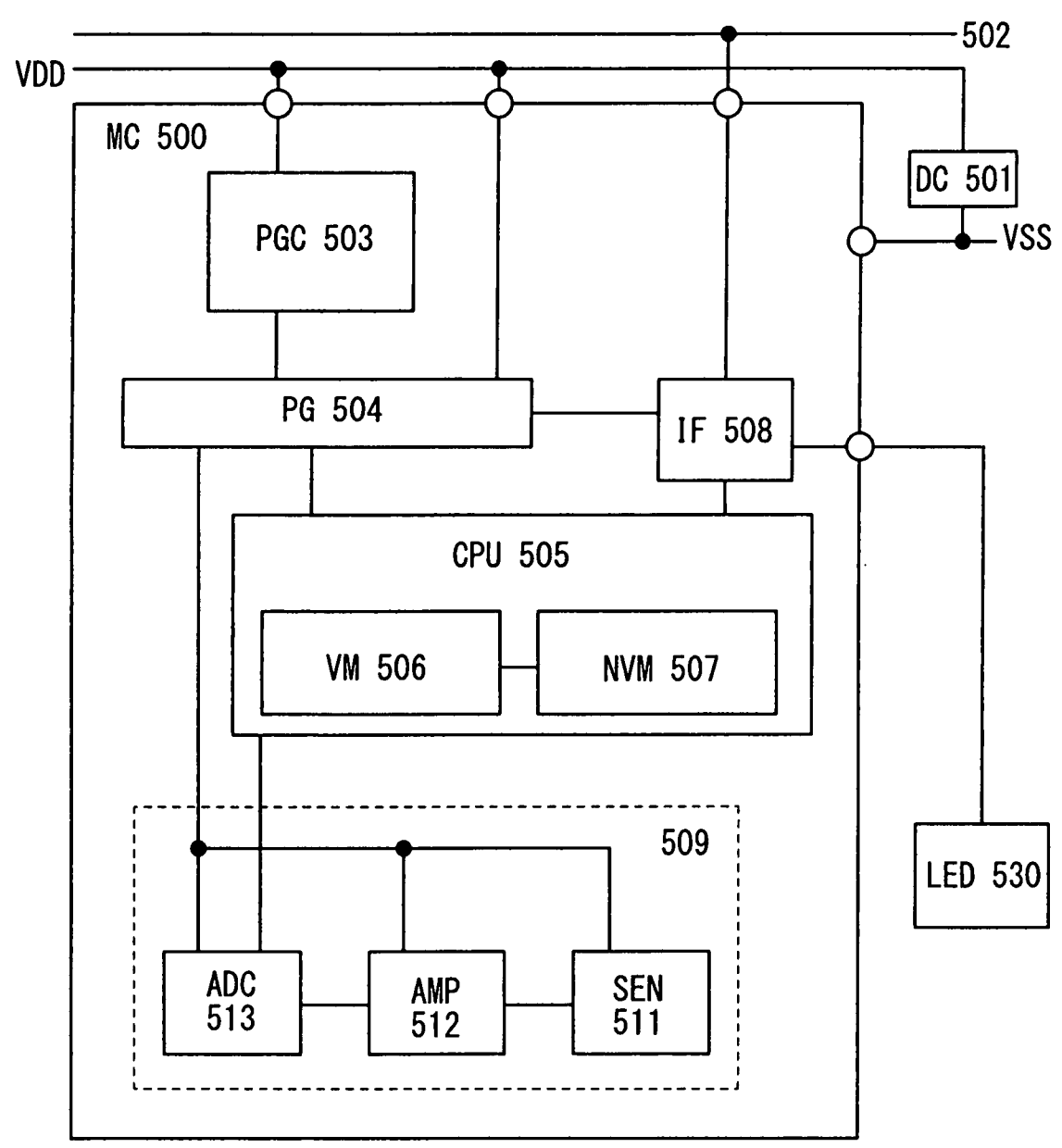
第 13B 圖



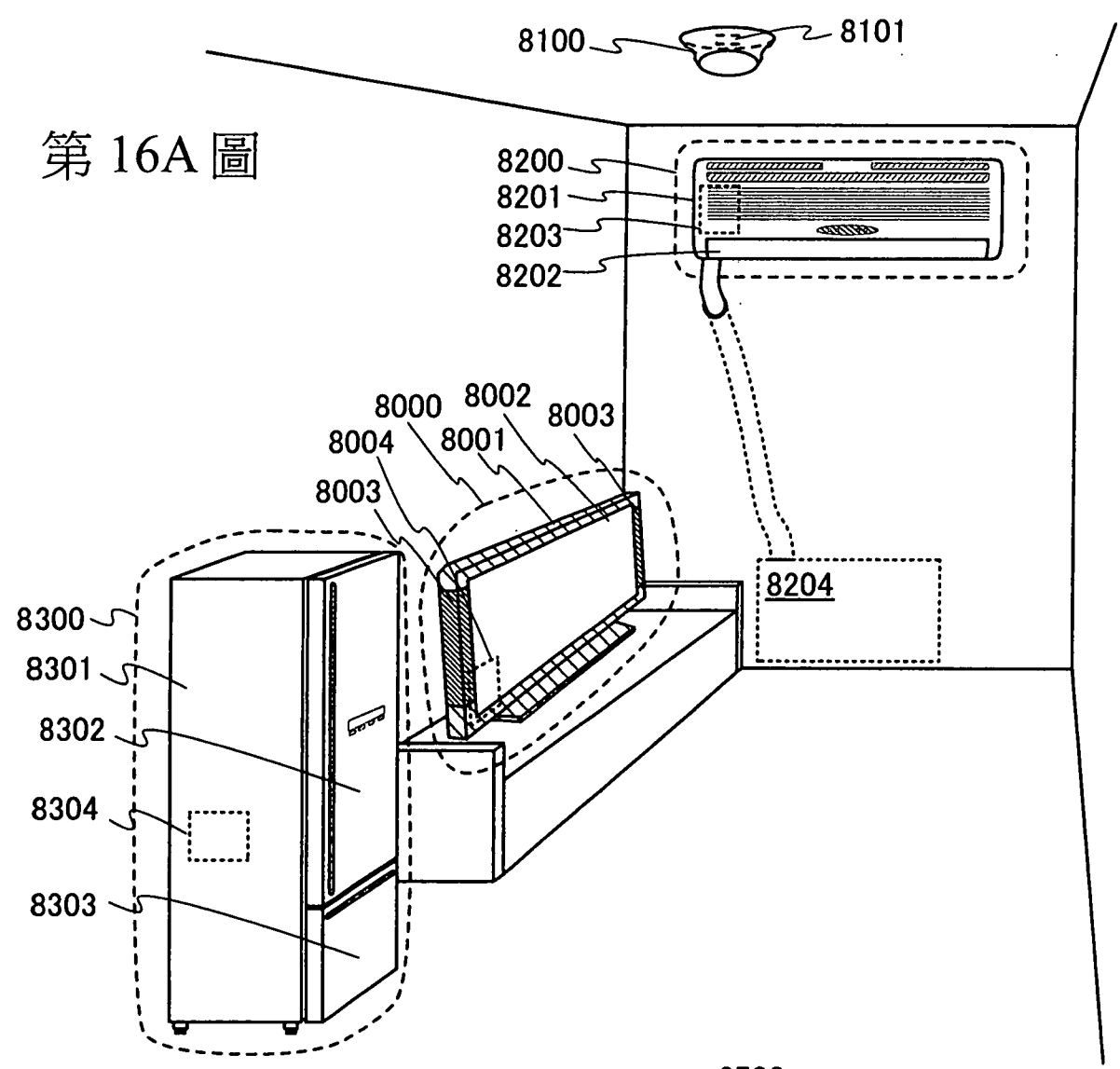
第 13C 圖



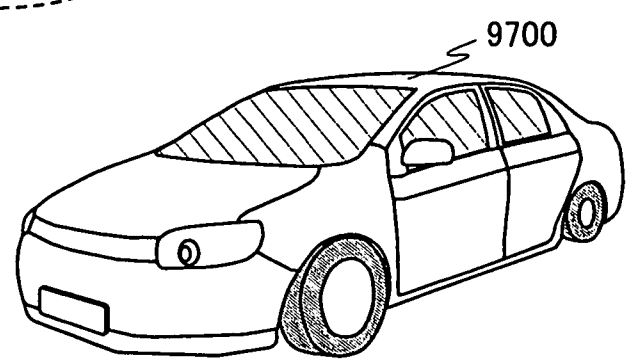
第 14 圖



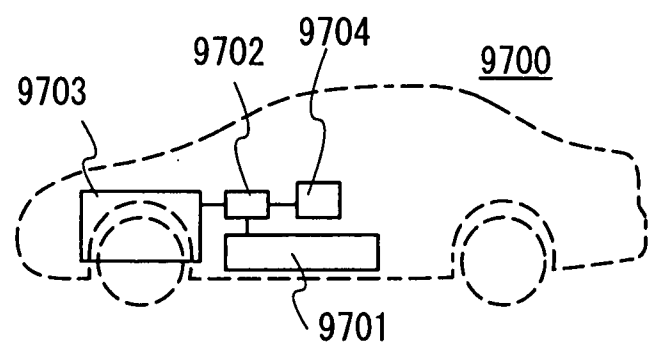
第 16A 圖



第 16B 圖

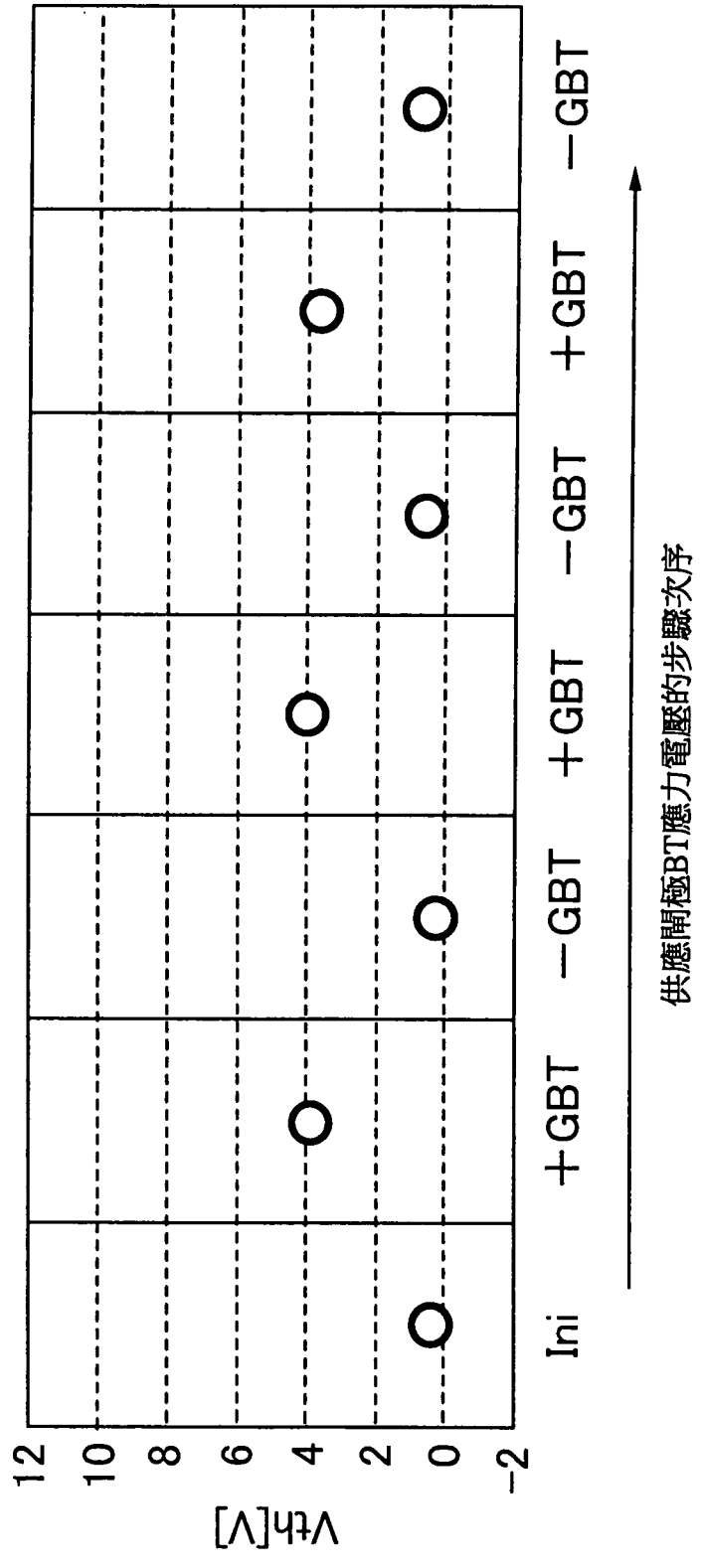


第 16C 圖



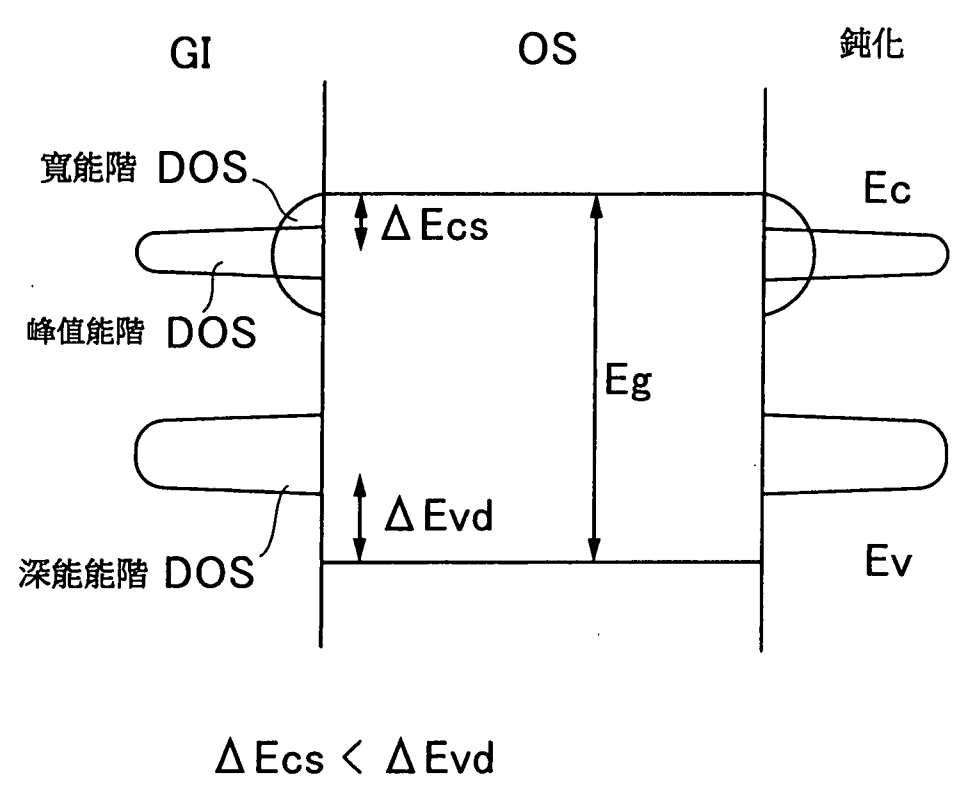
第17圖

由閘極BT應力電壓之Vth改變

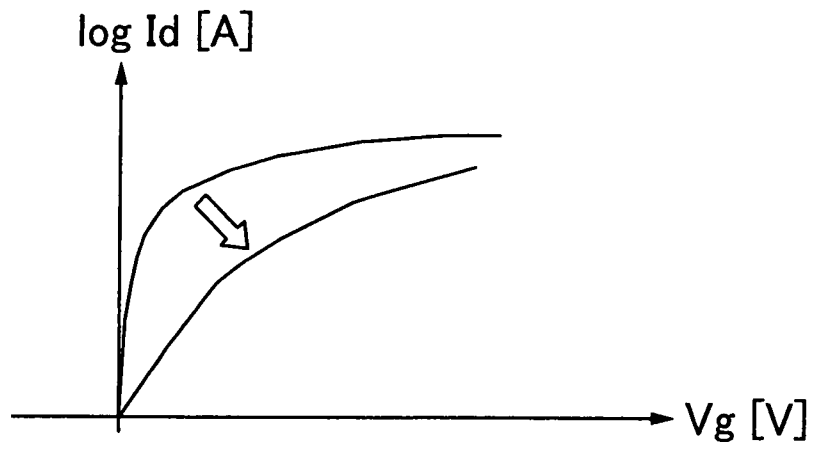


供應閘極BT應力電壓的步驟次序

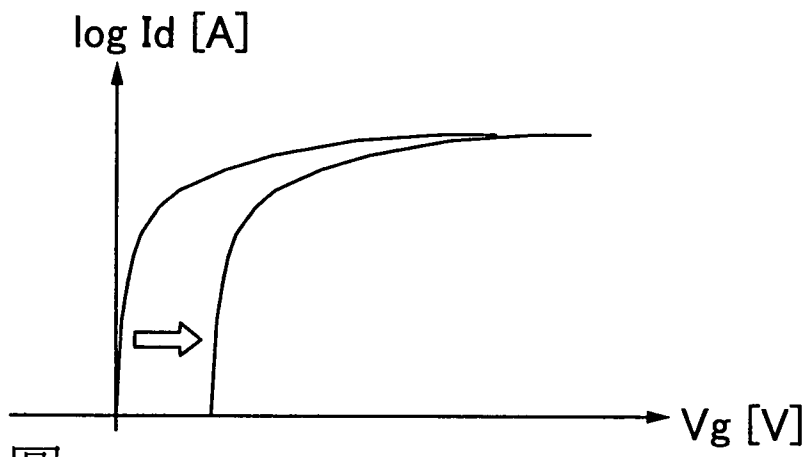
第 18 圖



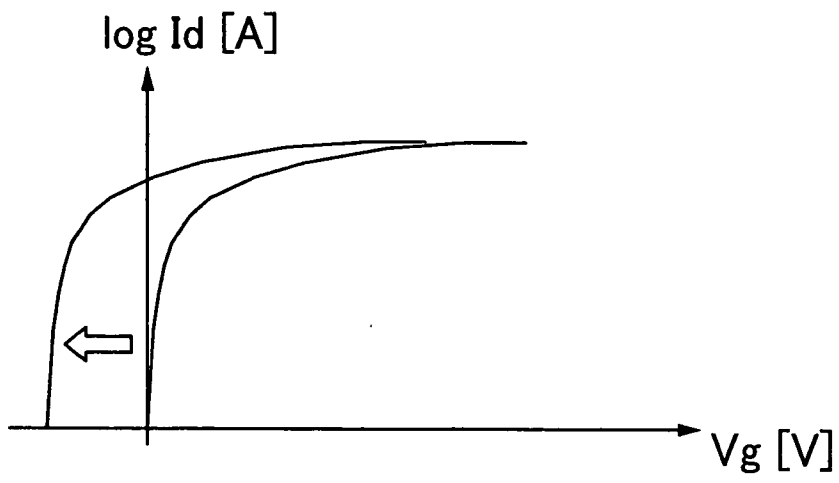
第 19A 圖



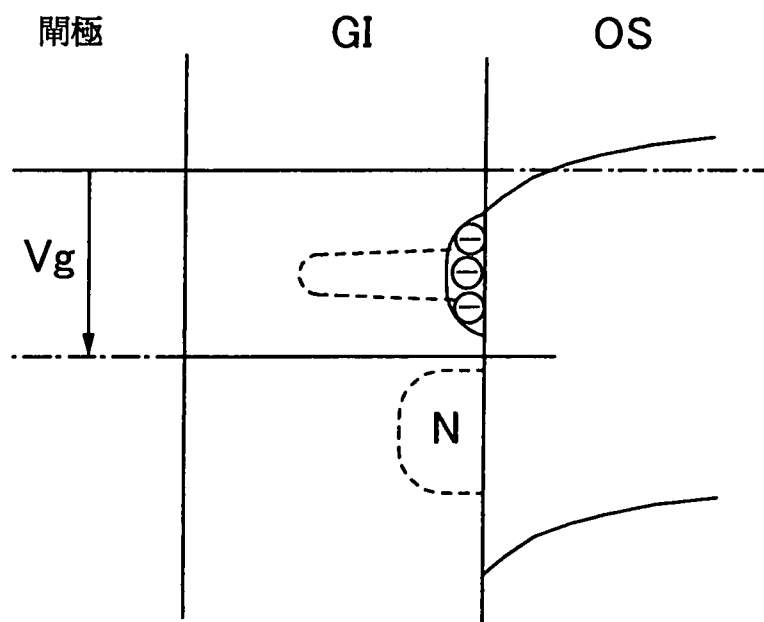
第 19B 圖



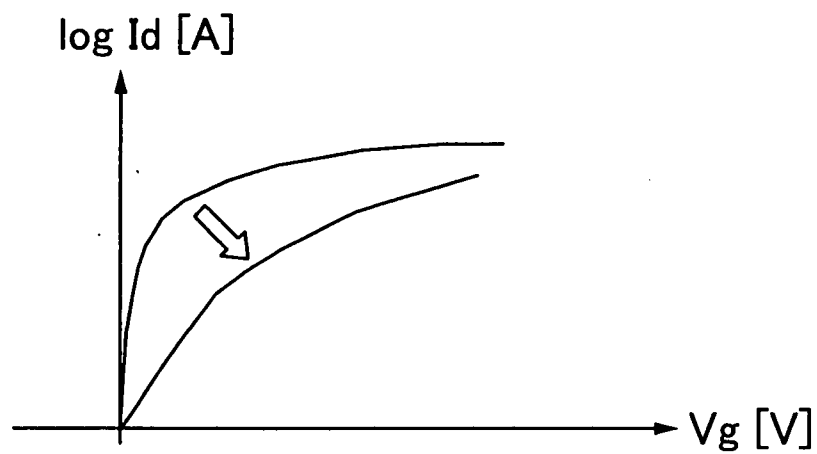
第 19C 圖



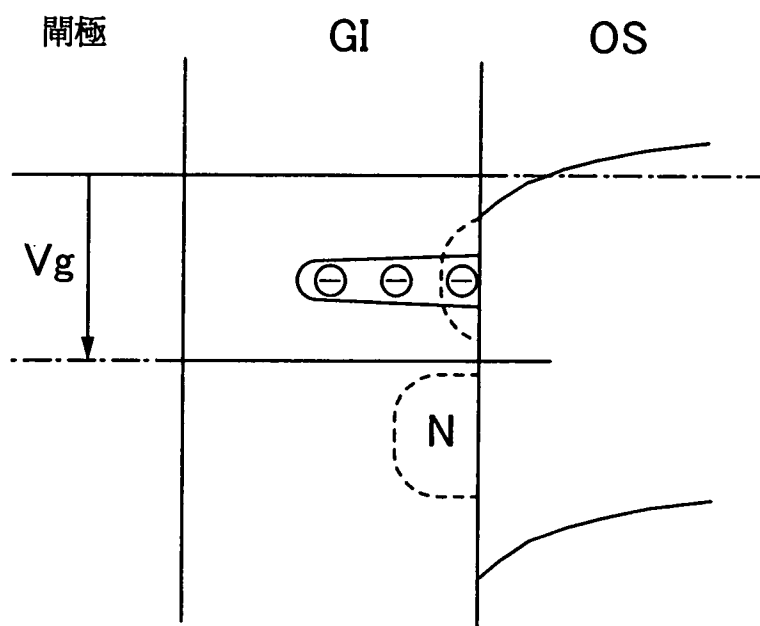
第 20A 圖



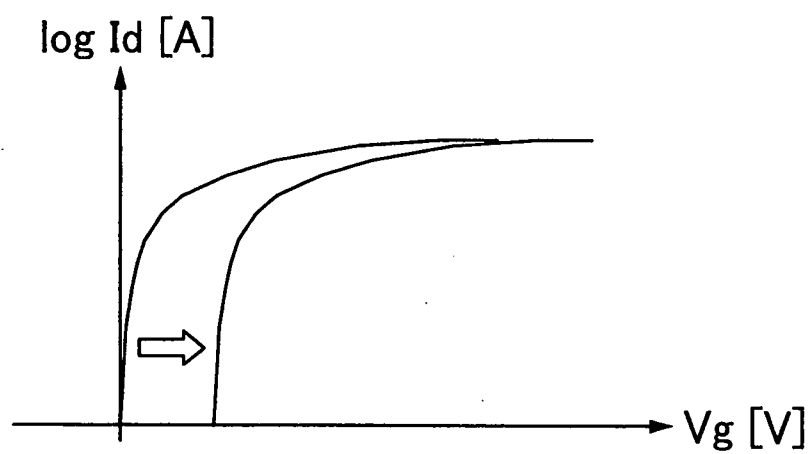
第 20B 圖



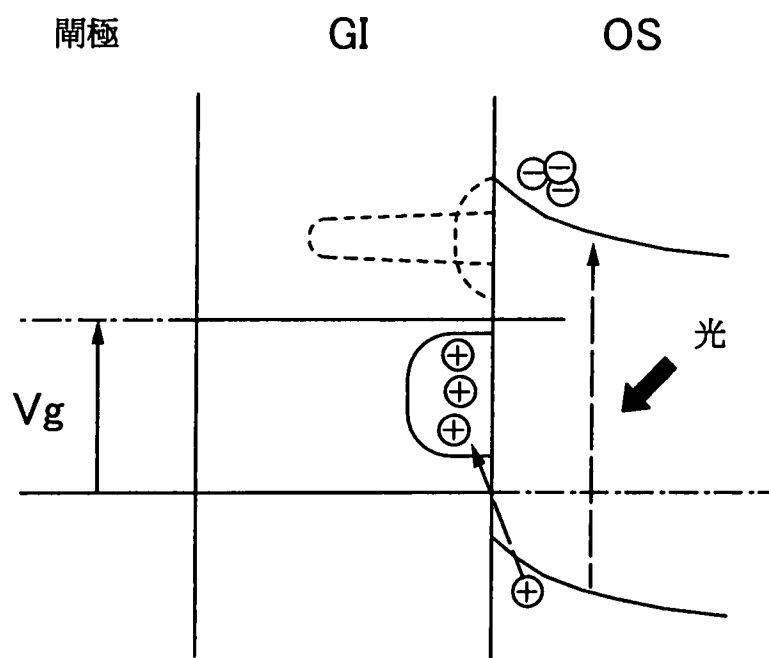
第 21A 圖



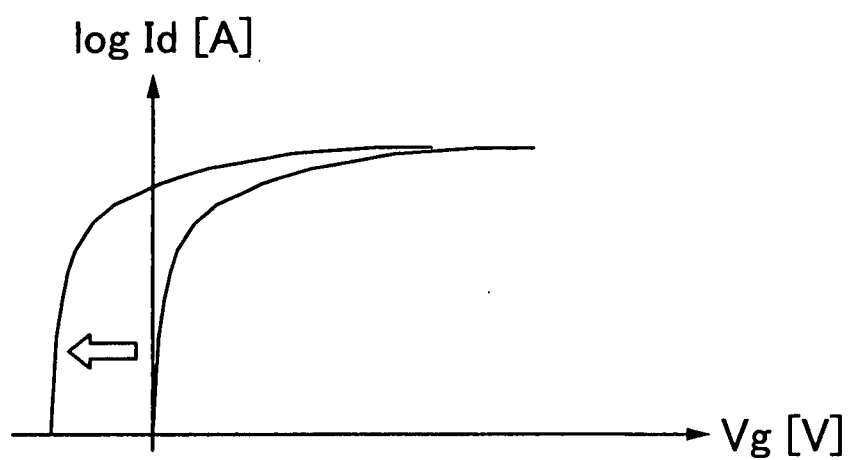
第 21B 圖



第 22A 圖



第 22B 圖



第 23 圖

