



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년09월17일
(11) 등록번호 10-1309111
(24) 등록일자 2013년09월10일

(51) 국제특허분류(Int. Cl.)
H01L 21/8247 (2006.01) H01L 27/115 (2006.01)
(21) 출원번호 10-2006-0070884
(22) 출원일자 2006년07월27일
심사청구일자 2011년02월18일
(65) 공개번호 10-2008-0010621
(43) 공개일자 2008년01월31일
(56) 선행기술조사문헌
US20060157683 A1*
JP2005347560 A
US6818967 B2
US6704235 B2
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
후아상영
경기도 용인시 기흥구 삼성로 97 (농서동, 삼성종합기술원)
박영수
경기도 수원시 영통구 태장로71번길 19, 동수원엘지빌리지2차 204동 502호 (망포동)
(뒷면에 계속)
(74) 대리인
리엔특허법인

전체 청구항 수 : 총 17 항

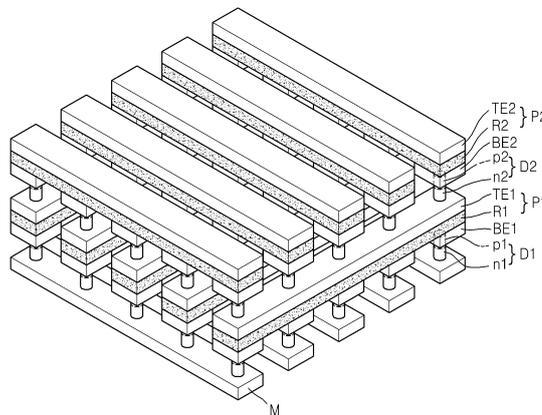
심사관 : 구본재

(54) 발명의 명칭 폴리실리콘 패턴의 형성방법과 폴리실리콘 패턴을 포함한다층 교차점 저항성 메모리 소자 및 그의 제조방법

(57) 요약

본 발명은 폴리실리콘 패턴의 형성방법과 폴리실리콘 패턴을 포함한 다층 교차점 저항성 메모리 소자 및 그의 제조방법에 관한 것이다. 본 발명의 폴리실리콘 패턴의 형성방법은, 반도체 기판 상에 제1폭 및 제1높이를 갖는 도트 타입의 비정질 실리콘 패턴을 형성하는 단계와, 상기 비정질 실리콘 패턴을 덮도록 기판 상에 캡핑막을 형성하는 단계와, 상기 비정질 실리콘 패턴을 엑시머 레이저 어닐링에 의해 다결정화하여 상기 제1폭보다 작은 제2폭 및 상기 제1높이보다 큰 제2높이를 갖는 지주(pole) 형상의 폴리실리콘을 형성하는 단계와, 상기 캡핑막을 제거하는 단계를 포함하고, 상기 비정질 실리콘 패턴은 도트 타입의 층(layer) 형상이고, 상기 다결정화 공정에 의해 상기 지주 형상의 폴리실리콘으로 변형되며, 이 과정에서 상기 캡핑막의 일부에 크랙이 발생하는 것을 특징으로 한다. 그리고, 본 발명에서는 상기 방법에 의해 형성된 폴리실리콘 패턴 내에 n형 및 p형 불순물을 도핑하여 구성한 폴리실리콘 다이오드를 다층 저항성 메모리 소자에 적용할 수 있다.

대표도 - 도7



(72) 발명자

선우문욱

경기도 수원시 영통구 영통로290번길 25,
신나무실5단지아파트 501동 304호 (영통동)

조세영

서울특별시 마포구 서강로9길 19, 금호아파트 103
동 905호 (창전동)

특허청구의 범위

청구항 1

반도체 기판 상에 제1폭 및 제1높이를 갖는 도트 타입의 비정질 실리콘 패턴을 형성하는 단계;

상기 비정질 실리콘 패턴을 덮도록 기판 상에 캡핑막을 형성하는 단계;

상기 비정질 실리콘 패턴을 엑시머 레이저 어닐링에 의해 다결정화하여 상기 제1폭보다 작은 제2폭 및 상기 제1높이보다 큰 제2높이를 갖는 지주(pole) 형상의 폴리실리콘을 형성하는 단계; 및

상기 캡핑막을 제거하는 단계;를 포함하고,

상기 비정질 실리콘 패턴은 도트 타입의 층(layer) 형상이고, 상기 다결정화 공정에 의해 상기 지주 형상의 폴리실리콘으로 변형되며, 이 과정에서 상기 캡핑막의 일부에 크랙이 발생하는 것을 특징으로 하는 폴리실리콘 패턴의 형성방법.

청구항 2

제 1 항에 있어서,

상기 비정질 실리콘 패턴은 10~100000Å의 폭으로 형성되는 것을 특징으로 하는 폴리실리콘 패턴의 형성방법.

청구항 3

제 1 항에 있어서,

상기 비정질 실리콘 패턴은 10~30000Å의 두께로 형성되는 것을 특징으로 하는 폴리실리콘 패턴의 형성방법.

청구항 4

제 1 항에 있어서,

상기 비정질 실리콘 패턴은 원형 또는 사각형으로 형성되는 것을 특징으로 하는 폴리실리콘 패턴의 형성방법.

청구항 5

제 1 항에 있어서,

상기 엑시머 레이저 어닐링은 200~3000mJ/cm²의 강도로 수행되는 것을 특징으로 하는 폴리실리콘 패턴의 형성방법.

청구항 6

삭제

청구항 7

삭제

청구항 8

하부패턴이 구비된 반도체 기판을 마련하는 단계;

상기 기판의 하부패턴 상에 제1폭 및 제1높이를 갖는 도트 타입의 비정질 실리콘 패턴을 형성하는 단계;

상기 비정질 실리콘 패턴을 덮도록 하부패턴을 포함한 기판 상에 캡핑막을 형성하는 단계;

상기 비정질 실리콘 패턴을 엑시머 레이저 어닐링에 의해 다결정화하여 상기 제1폭 보다 작은 제2폭 및 상기 제1높이 보다 큰 제2높이를 갖는 지주(pole) 형상의 폴리실리콘을 형성하는 단계; 및

상기 캡핑막을 제거하는 단계;를 포함하는 것을 특징으로 하는 폴리실리콘 패턴의 형성방법.

청구항 9

제 8 항에 있어서,

상기 하부패턴은 금속계 물질로 형성되는 것을 특징으로 하는 폴리실리콘 패턴의 형성방법.

청구항 10

제 8 항에 있어서,

상기 비정질 실리콘 패턴은 10~100000Å의 폭으로 형성되는 것을 특징으로 하는 폴리실리콘 패턴의 형성방법.

청구항 11

제 8 항에 있어서,

상기 비정질 실리콘 패턴은 10~30000Å의 두께로 형성되는 것을 특징으로 하는 폴리실리콘 패턴의 형성방법.

청구항 12

청구항 12은(는) 설정등록료 납부시 포기되었습니다.

제 8 항에 있어서,

상기 비정질 실리콘 패턴은 원형 또는 사각형으로 형성되는 것을 특징으로 하는 폴리실리콘 패턴의 형성방법.

청구항 13

청구항 13은(는) 설정등록료 납부시 포기되었습니다.

제 8 항에 있어서,

상기 엑시머 레이저 어닐링은 200~3000mJ/cm²의 강도로 수행되는 것을 특징으로 하는 폴리실리콘 패턴의 형성방법.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

반도체 기판 상에 배선을 형성하는 단계;

상기 배선 상에 폴리실리콘으로 이루어진 제1 수직 다이오드를 형성하는 단계;

상기 제1 수직 다이오드 상에 제1 하부전극을 형성하는 단계;

상기 제1 하부전극 상에 상기 배선과 직교하고, 제1 저항체와 제1 상부전극이 차례로 적층된 구조를 갖는 라인 형태의 제1 적층패턴을 형성하는 단계;

상기 제1 적층패턴 상에 폴리실리콘으로 이루어진 제2 수직 다이오드를 형성하는 단계;

상기 제2 수직 다이오드 상에 제2 하부전극을 형성하는 단계; 및

상기 제2 하부전극 상에 상기 제1 적층패턴과 직교하고, 제2 저항체와 제2 상부전극이 차례로 적층된 구조를 갖는 라인 형태의 제2 적층패턴을 형성하는 단계;를 포함하고,

상기 제1 수직 다이오드를 형성하는 단계는, 상기 배선 상에 도트 타입의 비정질 실리콘 패턴을 형성하는 단계; 상기 비정질 실리콘 패턴을 덮도록 배선을 포함한 기판 전면 상에 캡핑막을 형성하는 단계; 상기 비정질 실리콘 패턴을 엑시머 레이저 어닐링에 의해 다결정화하여 지주(pole) 형상의 폴리실리콘 패턴을 형성하는 단계; 상기 캡핑막을 제거하는 단계; 상기 폴리실리콘 패턴 내에 n형 및 p형 불순물을 도핑하는 단계; 및 상기 도핑된 불순물이 활성화되도록 상기 불순물이 도핑된 폴리실리콘 패턴을 어닐링하는 단계;를 포함하는 것을 특징으로 하는 다층 교차점 저항성 메모리 소자의 제조방법.

청구항 24

삭제

청구항 25

제 23 항에 있어서,

상기 캡핑막을 제거하는 단계 후, 그리고, 상기 불순물을 도핑하는 단계 전,

상기 폴리실리콘 패턴을 덮도록 기판 결과물의 전면 상에 층간절연막을 형성하는 단계; 및

상기 층간절연막을 폴리실리콘 패턴이 노출될 때까지 CMP 또는 에치백하는 단계;를 더 포함하는 것을 특징으로 하는 다층 교차점 저항성 메모리 소자의 제조방법.

청구항 26

제 23 항에 있어서,

상기 제2 수직 다이오드를 형성하는 단계는,

상기 제1 적층패턴 상에 도트 타입의 비정질 실리콘 패턴을 형성하는 단계;

상기 비정질 실리콘 패턴을 덮도록 제1 적층패턴을 포함한 기판 전면 상에 캡핑막을 형성하는 단계;

상기 비정질 실리콘 패턴을 엑시머 레이저 어닐링에 의해 다결정화하여 지주(pole) 형상의 폴리실리콘 패턴을 형성하는 단계;

상기 캡핑막을 제거하는 단계;

상기 폴리실리콘 패턴 내에 n형 및 p형 불순물을 도핑하는 단계; 및

상기 도핑된 불순물이 활성화되도록 상기 불순물이 도핑된 폴리실리콘 패턴을 어닐링하는 단계;를 포함하는 것을 특징으로 하는 다층 교차점 저항성 메모리 소자의 제조방법.

청구항 27

제 26 항에 있어서,
 상기 캡핑막을 제거하는 단계 후, 그리고, 상기 불순물을 도핑하는 단계 전,
 상기 폴리실리콘 패턴을 덮도록 기판 결과물의 전면 상에 층간절연막을 형성하는 단계; 및
 상기 층간절연막을 폴리실리콘 패턴이 노출될 때까지 CMP 또는 에치백하는 단계;를 더 포함하는 것을 특징으로 하는 다층 교차점 저항성 메모리 소자의 제조방법.

청구항 28

제 23 항 또는 제 26 항에 있어서,
 상기 비정질 실리콘 패턴은 10~100000Å의 폭으로 형성되는 것을 특징으로 하는 다층 교차점 저항성 메모리 소자의 제조방법.

청구항 29

제 23 항 또는 제 26 항에 있어서,
 상기 비정질 실리콘 패턴은 10~30000Å의 두께로 형성되는 것을 특징으로 하는 다층 교차점 저항성 메모리 소자의 제조방법.

청구항 30

청구항 30은(는) 설정등록료 납부시 포기되었습니다.

제 23 항 또는 제 26 항에 있어서,
 상기 비정질 실리콘 패턴은 원형 또는 사각형으로 형성되는 것을 특징으로 하는 다층 교차점 저항성 메모리 소자의 제조방법.

청구항 31

청구항 31은(는) 설정등록료 납부시 포기되었습니다.

제 23 항 또는 제 26 항에 있어서,
 상기 엑시머 레이저 어닐링은 200~3000mJ/cm²의 강도로 수행되는 것을 특징으로 하는 다층 교차점 저항성 메모리 소자의 제조방법.

청구항 32

제 23 항 또는 제 26 항에 있어서,
 상기 도핑된 폴리실리콘 패턴을 어닐링하는 단계는 엑시머 레이저를 사용해서 수행하는 것을 특징으로 하는 다층 교차점 저항성 메모리 소자의 제조방법.

청구항 33

기판 상에 제1폭 및 제1높이를 갖는 도트 타입의 비정질 실리콘 패턴을 형성하는 단계;
 상기 기판 상에 상기 비정질 실리콘 패턴을 덮는 캡핑막을 형성하는 단계;
 상기 비정질 실리콘 패턴을 엑시머 레이저 어닐링으로 다결정화하여 상기 제1폭보다 작은 제2폭 및 상기 제1높이보다 큰 제2높이를 갖는 지주(pole) 형상의 폴리실리콘 패턴을 형성하는 단계;
 상기 캡핑막을 제거하는 단계;
 상기 폴리실리콘 패턴의 제1 영역에 n형 불순물을 도핑하는 단계; 및
 상기 폴리실리콘 패턴의 제2 영역에 p형 불순물을 도핑하는 단계;를 포함하는 것을 특징으로 하는 수직 다이오드의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0024] 본 발명은 폴리실리콘 패턴의 형성방법과 폴리실리콘 패턴을 포함하는 저항성 메모리 소자 및 그의 제조방법에 관한 것으로서, 보다 상세하게는, 엑시머 레이저 어닐링에 의한 폴리실리콘 패턴의 형성방법과 폴리실리콘 패턴으로 이루어진 수직 다이오드를 포함하는 다층 교차점 저항성 메모리 소자 및 그의 제조방법에 관한 것이다.
- [0025] 반도체 메모리 소자는 크게 휘발성 메모리 소자와 비휘발성 메모리 소자로 나눌 수 있다. 휘발성 메모리 소자는 전원이 차단될 경우, 기록된 데이터가 모두 지워지는 메모리 소자이고, 비휘발성 메모리 소자는 전원이 차단되더라도 기록된 데이터가 지워지지 않는 메모리 소자이다. 이에, 상기 비휘발성 메모리 소자는 컴퓨터, 이동 통신 단말기 및 메모리 카드 등에 널리 채택되고 있다.
- [0026] 특히, 최근에 장시간 온전하게 저장해야 할 데이터의 양이 증가되고, 메모리 스틱과 같이 한 곳에서 작업한 결과를 다른 곳으로 이동하는데 사용되는 데이터 저장 수단이 보급되면서 비휘발성 메모리 소자에 대한 관심이 높아지고 있다.
- [0027] 비휘발성 메모리 소자를 구성하는 기본 요소인 메모리 셀의 구성은 비휘발성 메모리 소자가 사용되는 분야에 따라 달라지게 된다.
- [0028] 예컨대, 현재 널리 사용되고 있는 고용량 비휘발성 메모리 소자로서, NAND(not and)형 플래시 메모리 소자의 메모리 셀의 경우, 그 트랜지스터의 게이트 구조물은 전하(charge)가 저장되는, 즉 데이터가 저장되는 플로팅 게이트(floating gate)와 게이트간 절연막(inter-gate dielectric layer) 및 플로팅 게이트를 제어하는 컨트롤 게이트(control gate)가 순차적으로 적층된 구조를 갖는 것이 일반적이다.
- [0029] 그러나, 이러한 플래시 메모리 소자는 대표적인 휘발성 메모리 소자인 DRAM(Dynamic Random Access Memory)에 비해 집적도가 낮고 동작 속도가 느리다는 단점이 있다. 보충 설명하면, 플래시 메모리 소자는 플로팅 게이트 물질로서 도핑된 폴리실리콘과 같은 도전 물질을 사용하기 때문에, 고집적화시 인접한 게이트 구조물들 간에 기생 캐패시턴스가 커진다는 문제가 발생한다.
- [0030] 이에, 플래시 메모리 소자의 단점을 개선할 수 있는 새로운 비휘발성 메모리 소자들에 대한 연구 및 개발이 활발히 진행되고 있다. 이러한 노력의 일환으로 인가되는 전압에 따라 저항 특성이 변하는 것을 이용하는 RRAM(Resistive Random Access Memory) 소자가 제안되었다.
- [0031] 특히, RRAM 소자의 하나인, 다층 교차점(multi-layer cross point) RRAM 소자는 그 셀 구조가 간단하기 때문에 고집적화에 매우 유리한 이점이 있다. 이하, 도 1을 참조하여 일반적인 다층 교차점 RRAM 소자를 보다 자세하게 설명하도록 한다.
- [0032] 도 1은 일반적인 다층 교차점 RRAM 소자의 구조를 설명하기 위한 사시도로서, 이를 참조하면, 다층 교차점 RRAM 소자에서는 반도체 기판(미도시) 상에 다수의 배선(M)들이 등간격으로 형성된다. 그리고, 상기 배선(M)의 상부면과 일정 간격 이격하여 라인 형태의 제1 적층패턴(P1)들이 등간격으로 형성된다. 여기서, 상기 제1 적층패턴(P1)은 상기 배선(M)과 직교하고, 제1 저항체(R1)와 제1 상부전극(TE1)이 차례로 적층된 구조를 갖는다.
- [0033] 상기 배선(M)과 제1 적층패턴(P1)이 교차되는 부분에는 제1 수직 다이오드(D1)를 포함하는 플러그형 제1 적층 구조물(S1)이 개재된다. 상기 제1 적층 구조물(S1)은 제1 텅스텐 플러그(W1)와 제1 수직 다이오드(D1) 및 제1 하부전극(BE1)이 차례로 적층된 구조물이다. 여기서, 상기 제1 수직 다이오드(D1)는 일반적으로 TiO_2 와 같은 n형 산화막(n_0)과 NiO와 같은 p형 산화막(p_0)이 차례로 적층된 구조물로 이루어진다. 상기 제1 텅스텐 플러그(W1)는 산화막 재질로 이루어진 제1 수직 다이오드(D1)와 배선(M) 간의 콘택 저항을 낮춰주기 위한 것이다.
- [0034] 또한, 상기 제1 적층패턴(P1)의 상부면과 일정 간격 이격하여 라인 형태의 제2 적층패턴(P2)들이 등간격으로 형성된다. 상기 제2 적층패턴(P2)은 제1 적층패턴(P1)과 직교하고, 제2 저항체(R2)와 제2 상부전극(TE2)이 차례로 적층된 구조를 갖는다.
- [0035] 상기 제1 적층패턴(P1)과 제2 적층패턴(P2)이 교차되는 부분에는 제2 수직 다이오드(D2)를 포함하는 플러그형

제2 적층 구조물(S2)이 개재된다. 상기 제2 적층 구조물(S2)은 제2 텅스텐 플러그(W2)와 제2 수직 다이오드(D2) 및 제2 하부전극(BE2)이 차례로 적층된 구조물로서, 그 재질은 상기 제1 적층 구조물(S1)과 동일하다. 상기 제2 적층 구조물(S2)의 구조는 상기 제1 적층 구조물(S1)과 동일하므로 그 상세도는 생략한다.

[0036] 여기서, 상기 제1 및 제2 저항체(R1, R2)는 NiO와 같은 산화막으로서 데이터 저장층으로 작용하고, 상기 제1 및 제2 수직 다이오드(D1, D2)는 앞서 언급한 바와 같이 산화막으로 이루어진 pn 접합 구조로서 순방향으로만 전류를 흘려주는 정류 소자로 작용한다.

[0037] 이와 같은 다층 교차점 RRAM 소자는 다이오드와 저항체가 수직인 방향으로 적층된 구조로서, 그 구조가 매우 단순하다. 그러므로, 다층 교차점 RRAM 소자는 용이하게 고집적화될 수 있어서, 차기 NAND 형 소자의 가장 유력한 후보로 기대를 모으고 있다.

[0038] 그러나, 전술한 종래의 다층 교차점 RRAM 소자는 수직 다이오드 물질로 TiO₂ 및 NiO와 같은 이성분계 산화막들을 사용하기 때문에, 다이오드를 통한 전류 밀도가 충분히 높지 않고 정류 특성이 좋지 않다는 단점이 있다. 또한, 상기 다이오드용 산화막들은 그 막질의 우수성을 위해 고온에서 형성됨이 바람직하기 때문에, 고온 공정에 의한 비용 증가 등의 문제가 발생한다.

[0039] 한편, 다층 교차점 RRAM 소자의 수직 다이오드는 단결정 실리콘으로 형성됨이 가장 바람직하는데, 이것은 단결정 실리콘으로 이루어진 다이오드는 이성분계 산화막으로 이루어진 다이오드에 비해 전류 밀도가 높고, 턴-온(turn-on) 전류가 낮으며, 누설전류가 낮기 때문이다. 그러나, 수직 다이오드는 금속막 또는 금속산화막으로 이루어진 하층 상에 형성되어야 하기 때문에, 실제적으로 단결정 실리콘으로 이루어진 다이오드의 형성은 불가능하다.

발명이 이루고자 하는 기술적 과제

[0040] 본 발명은 전술한 종래 기술의 문제점을 해결하기 위해 안출된 것으로서, 종래의 이성분계 산화막 다이오드 보다 정류 특성이 개선된 다이오드를 포함하는 다층 교차점 저항성 메모리 소자 및 그의 제조방법을 제공하는데 그 목적이 있다.

[0041] 본 발명이 이루고자 하는 다른 기술적 과제는 다층 교차점 저항성 메모리 소자를 위한 다이오드 등의 재료로서 이용될 수 있는 폴리실리콘 패턴의 형성방법을 제공함에 있다.

발명의 구성 및 작용

[0042] 상기 기술적 과제를 달성하기 위하여, 본 발명은 반도체 기판 상에 도트(dot) 타입의 비정질 실리콘 패턴을 형성하는 단계; 상기 비정질 실리콘 패턴을 덮도록 기판 상에 캡핑막을 형성하는 단계; 상기 비정질 실리콘 패턴을 엑시머 레이저 어닐링(Excimer Laser Annealing)에 의해 다결정화하는 단계; 및 상기 캡핑막을 제거하는 단계를 포함하는 것을 특징으로 하는 폴리실리콘 패턴의 형성방법을 제공한다.

[0043] 여기서, 상기 비정질 실리콘 패턴은 10~100000Å의 폭으로 형성될 수 있다.

[0044] 상기 비정질 실리콘 패턴은 10~30000Å의 두께로 형성될 수 있다.

[0045] 상기 비정질 실리콘 패턴은 원형 또는 사각형으로 형성될 수 있다.

[0046] 상기 엑시머 레이저 어닐링은 200~3000mJ/cm²의 강도로 수행될 수 있다.

[0047] 상기 폴리실리콘 패턴의 폭은 상기 비정질 실리콘 패턴의 폭 보다 작고, 상기 폴리실리콘 패턴의 높이는 상기 비정질 실리콘 패턴의 높이 보다 높다.

[0048] 상기 폴리실리콘 패턴은 지주(pole) 형상으로 형성된다.

[0049] 또한, 상기 기술적 과제를 달성하기 위하여, 본 발명은 하부패턴이 구비된 반도체 기판을 마련하는 단계; 상기 기판의 하부패턴 상에 제1폭 및 제1높이를 갖는 도트 타입의 비정질 실리콘 패턴을 형성하는 단계; 상기 비정질 실리콘 패턴을 덮도록 하부패턴을 포함한 기판 상에 캡핑막을 형성하는 단계; 상기 비정질 실리콘 패턴을 엑시머 레이저 어닐링에 의해 다결정화하여 상기 제1폭 보다 작은 제2폭 및 상기 제1높이 보다 큰 제2높이를 갖는 지주(pole) 형상의 폴리실리콘을 형성하는 단계; 및 상기 캡핑막을 제거하는 단계;를 포함하는 것을 특징으로 하는 폴리실리콘 패턴의 형성방법을 제공한다.

- [0050] 여기서, 상기 하부패턴은 금속계 물질로 형성될 수 있다.
- [0051] 상기 비정질 실리콘 패턴은 10~100000Å의 폭으로 형성될 수 있다.
- [0052] 상기 비정질 실리콘 패턴은 10~30000Å의 두께로 형성될 수 있다.
- [0053] 상기 비정질 실리콘 패턴은 원형 또는 사각형으로 형성될 수 있다.
- [0054] 상기 엑시머 레이저 어닐링은 200~3000mJ/cm²의 강도로 수행될 수 있다.
- [0055] 한편, 상기 기술적 과제를 달성하기 위한 본 발명의 다층 교차점 저항성 메모리 소자는, 반도체 기판 상에 형성된 배선; 상기 배선 상에 형성되고, 폴리실리콘으로 이루어진 제1 수직 다이오드; 상기 제1 수직 다이오드 상에 형성된 제1 하부전극; 상기 제1 하부전극 상에 상기 배선과 직교하게 형성되고, 제1 저항체와 제1 상부전극이 차례로 적층된 구조를 갖는 라인 형태의 제1 적층패턴; 상기 제1 적층패턴 상에 형성되고, 폴리실리콘으로 이루어진 제2 수직 다이오드; 상기 제2 수직 다이오드 상에 형성된 제2 하부전극; 및 상기 제2 하부전극 상에 상기 제1 적층패턴과 직교하게 형성되고, 제2 저항체와 제2 상부전극이 차례로 적층된 구조를 갖는 라인 형태의 제2 적층패턴;을 포함하는 것을 특징으로 한다.
- [0056] 여기서, 상기 제1 및 제2 수직 다이오드는 각각 상기 배선 및 상기 제1 적층패턴 상에 형성된 비정질 실리콘 패턴을 엑시머 레이저 어닐링으로 다결정화한 폴리실리콘 패턴으로 이루어진다.
- [0057] 상기 제1 및 제2 수직 다이오드는 하단의 n형 불순물 영역과 상단의 p형 불순물 영역으로 이루어진다.
- [0058] 상기 제1 및 제2 수직 다이오드는 제1 및 제2 적층패턴의 폭 보다 작은 폭을 갖는다.
- [0059] 상기 제1 및 제2 수직 다이오드는 지주(pole) 형상일 수 있다.
- [0060] 본 발명의 다층 교차점 저항성 메모리 소자는 상기 제2 적층패턴 상에 상기 제1 수직 다이오드, 상기 제1 하부전극 및 상기 제1 적층패턴의 적층 구조물과 동일한 구조를 갖는 구조물을 더 포함할 수 있다.
- [0061] 본 발명의 다층 교차점 저항성 메모리 소자는 상기 제2 적층패턴 상에 상기 제1 수직 다이오드, 상기 제1 하부전극, 상기 제1 적층패턴, 상기 제2 수직 다이오드, 상기 제2 하부전극 및 상기 제2 적층패턴의 적층 구조물과 동일한 구조를 갖는 구조물을 적어도 한 세트 이상 더 포함할 수 있다.
- [0062] 본 발명의 다층 교차점 저항성 메모리 소자는 상기 제2 적층패턴 상에 상기 제1 수직 다이오드, 상기 제1 하부전극, 상기 제1 적층패턴, 상기 제2 수직 다이오드, 상기 제2 하부전극, 상기 제2 적층패턴, 상기 제1 수직 다이오드, 상기 제1 하부전극 및 상기 제1 적층패턴의 적층 구조물과 동일한 구조를 갖는 구조물을 적어도 한 세트 이상 더 포함할 수 있다.
- [0063] 본 발명의 다층 교차점 저항성 메모리 소자는 상기 배선과 상기 제1 수직 다이오드 사이 및 상기 제1 적층패턴과 상기 제2 수직 다이오드 사이에 베리어막을 더 포함할 수 있다.
- [0064] 또한, 상기 기술적 과제를 해결하기 위한 본 발명의 다층 교차점 저항성 메모리 소자의 제조방법은, 반도체 기판 상에 배선을 형성하는 단계; 상기 배선 상에 폴리실리콘으로 이루어진 제1 수직 다이오드를 형성하는 단계; 상기 제1 수직 다이오드 상에 제1 하부전극을 형성하는 단계; 상기 제1 하부전극 상에 상기 배선과 직교하고, 제1 저항체와 제1 상부전극이 차례로 적층된 구조를 갖는 라인 형태의 제1 적층패턴을 형성하는 단계; 상기 제1 적층패턴 상에 폴리실리콘으로 이루어진 제2 수직 다이오드를 형성하는 단계; 상기 제2 수직 다이오드 상에 제2 하부전극을 형성하는 단계; 및 상기 제2 하부전극 상에 상기 제1 적층패턴과 직교하고, 제2 저항체와 제2 상부전극이 차례로 적층된 구조를 갖는 라인 형태의 제2 적층패턴을 형성하는 단계;를 포함하는 것을 특징으로 한다.
- [0065] 여기서, 상기 제1 수직 다이오드를 형성하는 단계는, 상기 배선 상에 도트 타입의 비정질 실리콘 패턴을 형성하는 단계; 상기 비정질 실리콘 패턴을 덮도록 배선을 포함한 기판 전면 상에 캡핑막을 형성하는 단계; 상기 비정질 실리콘 패턴을 엑시머 레이저 어닐링에 의해 다결정화하여 지주(pole) 형상의 폴리실리콘 패턴을 형성하는 단계; 상기 캡핑막을 제거하는 단계; 상기 폴리실리콘 패턴 내에 n형 및 p형 불순물을 도핑하는 단계; 및 상기 도핑된 불순물이 활성화되도록 상기 불순물이 도핑된 폴리실리콘 패턴을 어닐링하는 단계;를 포함한다.
- [0066] 상기 제1 수직 다이오드를 형성하는 단계는, 상기 캡핑막을 제거하는 단계 후, 그리고, 상기 불순물을 도핑하는 단계 전, 상기 폴리실리콘 패턴을 덮도록 기판 결과물의 전면 상에 층간절연막을 형성하는 단계; 및 상기 층간절연막을 폴리실리콘 패턴이 노출될 때까지 CMP(Chemical Mechanical Polishing) 또는 에치백(Etch-back)하는

단계;를 더 포함한다.

- [0067] 상기 제2 수직 다이오드를 형성하는 단계는, 상기 제1 적층패턴 상에 도트 타입의 비정질 실리콘 패턴을 형성하는 단계; 상기 비정질 실리콘 패턴을 덮도록 제1 적층패턴을 포함한 기판 전면 상에 캡핑막을 형성하는 단계; 상기 비정질 실리콘 패턴을 엑시머 레이저 어닐링에 의해 다결정화하여 지주(pole) 형상의 폴리실리콘 패턴을 형성하는 단계; 상기 캡핑막을 제거하는 단계; 상기 폴리실리콘 패턴 내에 n형 및 p형 불순물을 도핑하는 단계; 및 상기 도핑된 불순물이 활성화되도록 상기 불순물이 도핑된 폴리실리콘 패턴을 어닐링하는 단계;를 포함한다.
- [0068] 상기 제2 수직 다이오드를 형성하는 단계는, 상기 캡핑막을 제거하는 단계 후, 그리고, 상기 불순물을 도핑하는 단계 전, 상기 폴리실리콘 패턴을 덮도록 기판 결과물의 전면 상에 층간절연막을 형성하는 단계; 및 상기 층간절연막을 폴리실리콘 패턴이 노출될 때까지 CMP 또는 에치백하는 단계;를 더 포함한다.
- [0069] 상기 제1 및 제2 수직 다이오드 형성을 위한 비정질 실리콘 패턴은 10~100000Å의 폭 및 10~30000Å의 두께로 형성될 수 있다.
- [0070] 상기 제1 및 제2 수직 다이오드 형성을 위한 비정질 실리콘 패턴은 원형 또는 사각형으로 형성될 수 있다.
- [0071] 상기 엑시머 레이저 어닐링은 200~3000mJ/cm²의 강도로 수행될 수 있다.
- [0072] 상기 도핑된 폴리실리콘 패턴의 어닐링은 엑시머 레이저를 사용해서 수행될 수 있다.
- [0073] 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 의한 폴리실리콘 패턴의 형성방법과 폴리실리콘 패턴을 포함한 다층 교차점 저항성 메모리 소자 및 그의 제조방법을 상세하게 설명한다. 첨부된 도면에 도시된 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되게 도시된 것이다.
- [0074] 먼저, 본 발명의 요지를 간략히 설명하면 다음과 같다.
- [0075] 본 발명에서는 다층 교차점 저항성 메모리 소자용 다이오드의 정류 특성을 개선하기 위해, 다이오드 재료로서 산화막이 아닌 폴리실리콘을 사용한다. 폴리실리콘으로 이루어진 다이오드를 구현하기 위해, 본 발명은 비정질 실리콘 패턴을 엑시머 레이저 어닐링(Eximer Laser Annealing : 이하, ELA)에 의해 다결정화시켜 지주(pole) 형상의 폴리실리콘 패턴을 형성한 후, 상기 폴리실리콘 패턴 내에 n형 및 p형 불순물을 도핑하는 방법을 제시한다. 이러한 방법을 따르면, 폴리실리콘 다이오드를 용이하게 구현할 수 있고, 폴리실리콘 다이오드를 포함하는 다층 교차점 저항성 메모리 소자를 제조할 수 있다.
- [0076] 이하에서는, 도 2a 내지 도 2c를 참조하여 상기 n형 및 p형 불순물을 도핑하기 이전의 폴리실리콘 패턴의 형성 방법을 설명하도록 한다.
- [0077] 도 2a 내지 도 2c는 본 발명의 실시예에 따른 폴리실리콘 패턴의 형성방법을 설명하기 위한 공정별 단면도이다.
- [0078] 도 2a를 참조하면, 반도체 기판(200) 상에 소정의 하부패턴(210)을 형성한다. 상기 하부패턴(210)은 금속계 물질일 수 있다.
- [0079] 그런 다음, 상기 하부패턴(210) 상에 제1폭 및 제1높이를 갖는 도트 타입의 비정질 실리콘 패턴(220)을 형성한다. 상기 비정질 실리콘 패턴(220)은 원형 또는 사각형으로 형성될 수 있고, 10~100000Å의 폭 및 10~30000Å의 두께로 형성될 수 있다.
- [0080] 계속해서, 상기 비정질 실리콘 패턴(220)을 덮도록 상기 하부패턴(210)을 포함한 기판(200) 상에 캡핑막(230)을 형성한다. 상기 캡핑막(230)은 실리콘 산화막으로 형성될 수 있다.
- [0081] 다음으로, 상기 캡핑막(230)이 형성된 기판 결과물에 엑시머 레이저를 조사하여 비정질 실리콘 패턴의 다결정화를 진행시킨다. 상기 엑시머 레이저의 강도는 200~3000mJ/cm² 일 수 있다.
- [0082] 엑시머 레이저가 조사되면 비정질 실리콘 패턴이 형성되지 않은 하부패턴(210) 부분에서는 레이저가 반사된다. 이것은 하부패턴(210)이 금속계 물질이기 때문이다. 반면, 비정질 실리콘 패턴으로는 레이저가 잘 흡수되어, 비정질 실리콘 패턴의 온도가 급격히 상승한다. 이에 따라, 비정질 실리콘 패턴은 부분 용융 또는 완전 용융된다.
- [0083] 도 2b를 참조하면, 엑시머 레이저에 의해 용융된 실리콘 패턴은 표면 장력(surface tension) 등에 의해, 반구형과 유사한 모양을 가지려는 경향을 나타낸다. 한편, 용융된 실리콘 패턴이 점차 냉각되면서 그 중앙 하부에서 결정화를 위한 씨드(seed)들이 발생된다. 용융된 실리콘 패턴의 중앙 하부에서 씨드가 발생하는 것은 그 부분에서의 유체 흐름이 가장 적기 때문이다. 이러한 중앙 하부 씨드들로부터 상방향으로 다결정화가 진행된다. 도면

부호 220a는 다결정화 과정 중에 있는 실리콘 패턴을 나타낸다.

- [0084] 상기 다결정화가 진행되는 동안 캡핑막(230)의 단차부에 결함(crack)이 발생할 수 있다.
- [0085] 도 2c를 참조하면, ELA에 의한 다결정화를 통해 비정질 실리콘 패턴으로부터 지주(pole) 형상의 폴리실리콘 패턴(220b)을 형성한 후, 상기 캡핑막을 제거한다. 이때, 상기 폴리실리콘 패턴(220b)은 상기 제1폭 보다 작은 제2폭 및 상기 제1높이 보다 큰 제2높이를 갖는다.
- [0086] 도 3은 본 발명에서 ELA를 수행하기 이전의 비정질 실리콘 패턴(a-Si)을 보여주는 평면사진이고, 도 4a 내지 도 4c는 각각 870mJ/cm², 950mJ/cm² 및 1030mJ/cm²의 강도로 ELA를 수행하여 형성한 폴리실리콘 패턴(poly-Si)을 보여주는 평면사진이다. 도 3과 도 4a 내지 도 4c를 참조하면, 본 발명의 방법으로 비정질 실리콘 패턴(a-Si) 보다 작은 폭을 갖는 폴리실리콘 패턴(poly-Si)을 형성할 수 있음을 확인할 수 있다.
- [0087] 한편, 도 5는 본 발명의 방법으로 형성된 폴리실리콘 패턴의 단면사진으로서, 이를 참조하면, 다결정화된 폴리실리콘 패턴의 미세구조를 확인할 수 있다.
- [0088] 이와 같이, 지주(pole) 형상의 폴리실리콘 패턴(220b)을 형성한 후, 상기 폴리실리콘 패턴(220b)에 n형 및 p형 불순물을 도핑함으로써, 폴리실리콘으로 이루어진 수직 다이오드를 구현할 수 있다.
- [0089] 이하에서는, 상기와 같은 방법으로 형성된 폴리실리콘 다이오드를 포함하는 다층 교차점 저항성 메모리 소자의 구조를 설명하도록 한다.
- [0090] 도 6 및 도 7은 본 발명의 실시예에 따른 다층 교차점 저항성 메모리 소자의 단면도 및 사시도이다.
- [0091] 도 6 및 도 7을 참조하면, 본 발명의 다층 교차점 저항성 메모리 소자는 반도체 기판(미도시) 상에 형성된 배선(M)을 구비한다. 상기 배선(M)은 금속계 물질로 형성되고, 도 7에 도시된 바와 같이 등간격으로 다수가 형성된다. 도시하지는 않았지만, 상기 배선(M)은 그 상부에 TiN과 같은 베리어막을 구비할 수도 있다.
- [0092] 그리고, 상기 배선(M) 상에 폴리실리콘으로 이루어진 제1 수직 다이오드(D1)들이 등간격으로 구비된다. 상기 제1 수직 다이오드(D1)는 하단의 제1 n형 불순물 영역(n1)과 상단의 제1 p형 불순물 영역(p1)으로 이루어진다.
- [0093] 상기 제1 수직 다이오드(D1) 상에는 제1 하부전극(BE1)이 구비된다. 상기 제1 하부전극(BE1)은 상기 제1 수직 다이오드(D1) 각각에 개별적으로 형성되고, 상기 제1 수직 다이오드(D1) 보다 큰 크기를 갖는 패드형일 수 있다.
- [0094] 상기 제1 하부전극(BE1) 상에는 상기 배선(M)과 직교하고, 제1 저항체(R1)와 제1 상부전극(TE1)이 차례로 적층된 구조를 갖는 라인 형태의 제1 적층패턴(P1)이 구비된다. 상기 제1 적층패턴(P1)은, 도 7에 도시된 바와 같이 등간격으로 다수가 형성된다. 도시하지는 않았지만, 상기 제1 적층패턴(P1)은 그 상부에 베리어막을 더 구비할 수도 있다.
- [0095] 상기 제1 적층패턴(P1) 상에 폴리실리콘으로 이루어진 제2 수직 다이오드(D2)들이 등간격으로 구비된다. 상기 제2 수직 다이오드(D2)는 하단의 제2 n형 불순물 영역(n2)과 상단의 제2 p형 불순물 영역(p2)으로 이루어진다.
- [0096] 상기 제2 수직 다이오드(D2) 상에는 제2 하부전극(BE2)이 구비된다. 상기 제2 하부전극(BE2)은 제1 하부전극(BE1)과 유사하게 상기 제2 수직 다이오드(D2) 각각에 개별적으로 형성되고, 상기 제2 수직 다이오드(D2) 보다 큰 크기를 갖는 패드형일 수 있다.
- [0097] 상기 제2 하부전극(BE2) 상에는 상기 제1 적층패턴(P1)과 직교하고, 제2 저항체(R2)와 제2 상부전극(TE2)이 차례로 적층된 구조를 갖는 라인 형태의 제2 적층패턴(P2)이 구비된다. 상기 제2 적층패턴(P2)은, 도 7에 도시된 바와 같이 등간격으로 다수가 형성된다. 도시하지는 않았지만, 상기 제2 적층패턴(P2)은 그 상부에 베리어막을 더 구비할 수도 있다.
- [0098] 다시 말해, 본 발명의 다층 교차점 저항성 메모리 소자에서는 배선(M)과 제1 적층패턴(P1)이 일정 간격 이격하여 서로 직교하도록 형성되고, 그 교차부에 제1 수직 다이오드(D1)가 구비된다. 또한, 제1 적층패턴(P1)과 제2 적층패턴(P2)이 일정 간격 이격하여 서로 직교하도록 형성되고, 그 교차부에 제2 수직 다이오드(D2)가 구비된다.
- [0099] 여기서, 상기 제1 및 제2 수직 다이오드(D1, D2)는 각각 상기 배선(M) 및 상기 제1 적층패턴(P1) 상에 형성된 비정질 실리콘 패턴을 ELA로 다결정화한 폴리실리콘 패턴으로부터 형성된다. 즉, 상기 제1 및 제2 수직 다이오드(D1, D2)는 앞선 도 2a 내지 도 2c의 과정을 거쳐 형성한 지주(pole) 형상의 폴리실리콘 패턴 내에 n형 및 p

형 불순물을 도핑함으로써 형성된다. 이렇게 형성된 상기 제1 및 제2 수직 다이오드(D1, D2)는 상기 제1 및 제2 적층패턴(P1, P2)의 폭 보다 작은 폭을 갖는다. 예컨대, 상기 제1 및 제2 수직 다이오드(D1, D2)의 폭은 상기 제1 및 제2 적층패턴(P1, P2)의 폭의 1/3 수준일 수 있다.

- [0100] 도 6에서 미설명된 도면부호 ILD는 층간절연막을 나타내는데, 이러한 층간절연막은 도 7에 도시되지 않았다.
- [0101] 한편, 도시하지는 않았지만, 본 발명의 다층 교차점 저항성 메모리 소자는 상기 제2 적층패턴(P2) 상에 상기 제1 수직 다이오드(D1), 상기 제1 하부전극(BE1) 및 상기 제1 적층패턴(P1)의 적층 구조물과 동일한 구조를 갖는 구조물을 더 포함할 수 있다.
- [0102] 또는, 본 발명의 다층 교차점 저항성 메모리 소자는 상기 제2 적층패턴(P2) 상에 상기 제1 수직 다이오드(D1), 상기 제1 하부전극(BE1), 상기 제1 적층패턴(P1), 상기 제2 수직 다이오드(D2), 상기 제2 하부전극(BE2) 및 상기 제2 적층패턴(P2)의 적층 구조물과 동일한 구조를 갖는 구조물을 적어도 한 세트 이상 더 포함할 수도 있다.
- [0103] 또는, 본 발명의 다층 교차점 저항성 메모리 소자는 상기 제2 적층패턴(P2) 상에 상기 제1 수직 다이오드(D1), 상기 제1 하부전극(BE1), 상기 제1 적층패턴(P1), 상기 제2 수직 다이오드(D2), 상기 제2 하부전극(BE2), 상기 제2 적층패턴(P2), 상기 제1 수직 다이오드(D1), 상기 제1 하부전극(BE1) 및 상기 제1 적층패턴(P1)의 적층 구조물과 동일한 구조를 갖는 구조물을 적어도 한 세트 이상 더 포함할 수도 있다.
- [0104] 이하, 도 8a 내지 도 8f를 참조하여, 본 발명의 실시예에 따른 다층 교차점 저항성 메모리 소자의 제조방법을 설명한다.
- [0105] 도 8a 내지 도 8f는 본 발명의 실시예에 따른 다층 교차점 저항성 메모리 소자의 제조방법을 설명하기 위한 공정별 단면도이다.
- [0106] 도 8a를 참조하면, 반도체 기판(미도시) 상에 금속 재질의 배선(M)을 형성한 후, 상기 배선(M) 상에 도트 타입의 비정질 실리콘 패턴(220)을 형성한다. 여기서, 상기 비정질 실리콘 패턴(220)은 원형 또는 사각형으로 형성될 수 있고, 10~100000Å의 폭 및 10~30000Å의 두께로 형성될 수 있다.
- [0107] 그런 다음, 상기 비정질 실리콘 패턴(220)을 덮도록 상기 배선(M)을 포함한 기판 전면 상에 캡핑막(230)을 형성한다. 상기 캡핑막(230)은 실리콘 산화막일 수 있다.
- [0108] 도 8b를 참조하면, 상기 캡핑막이 형성된 기판 결과물에 엑시머 레이저를 조사하여 비정질 실리콘 패턴의 다결정화를 진행함으로써, 지주(pole) 형상의 폴리실리콘 패턴(220b)을 형성한다. 상기 폴리실리콘 패턴(220b)은 비정질 실리콘 패턴의 폭 보다 작은 폭을 갖고, 비정질 실리콘 패턴의 높이 보다 높은 높이를 갖는다. 이때, 상기 엑시머 레이저의 강도는 200~3000mJ/cm² 일 수 있다.
- [0109] 상기 다결정화가 완료된 후, 상기 캡핑막을 습식 세정 등의 방법으로 제거한다.
- [0110] 도 8c를 참조하면, 상기 폴리실리콘 패턴(220b)을 덮도록 기판 결과물의 전면 상에 층간절연막을 형성한 후, 상기 층간절연막을 폴리실리콘 패턴(220b)이 노출될 때까지 CMP(Chemical Mechanical Polishing : 이하, CMP) 또는 에치백(Etch-back)한다. 이로써, 상기 폴리실리콘 패턴(220b) 주위에 제1 층간절연막(ILD1)이 잔류된다.
- [0111] 도 8d를 참조하면, 상기 폴리실리콘 패턴 내에 n형 및 p형 불순물을 도핑한 후, 도핑된 불순물이 활성화되도록 도핑된 폴리실리콘 패턴을 어닐링한다. 이로써, 폴리실리콘으로 이루어지고, 하단의 제1 n형 불순물 영역(n1)과 상단의 제1 p형 불순물 영역(p1)으로 이루어진 제1 수직 다이오드(D1)가 형성된다.
- [0112] 여기서, 상기 도핑시 불순물의 침투 깊이는 이온주입 에너지에 의해 조절될 수 있다. 한편, 도핑된 불순물의 활성화를 위한 어닐링은 엑시머 레이저를 사용해서 수행함이 바람직하는데, 이는 엑시머 레이저를 이용한 어닐링시 도핑된 폴리실리콘 패턴으로 레이저 에너지가 집중되어 고온 공정을 피할 수 있기 때문이다.
- [0113] 도 8e를 참조하면, 상기 제1 수직 다이오드(D1) 상에 소정 모양, 예컨대 사각형 모양의 패드형 제1 하부전극(BE1)을 형성한다. 상기 제1 하부전극(BE1)은 제1 수직 다이오드(D1) 보다 크게 형성하는 것이 바람직하다.
- [0114] 그런 다음, 상기 제1 하부전극(BE1) 형성영역 이외의 제1 층간절연막(ILD1) 부분 상에 제1 하부전극(BE1)과 동일 높이의 제2 층간절연막(ILD2)을 형성한다.
- [0115] 이어서, 상기 제1 하부전극(BE1) 및 제2 층간절연막(ILD2) 상에 상기 배선(M)과 직교하고, 제1 저항체(R1)와 제1 상부전극(TE1)이 차례로 적층된 구조를 갖는 라인 형태의 제1 적층패턴(P1)을 형성한다.
- [0116] 그런 후, 상기 제1 적층패턴(P1) 양측의 제2 층간절연막(ILD2) 부분 상에 제1 적층패턴(P1)의 높이로 제3 층간

절연막(ILD3)을 형성한다.

- [0117] 도 8f를 참조하면, 상기 제1 수직 다이오드(D1)의 형성방법과 동일한 방법으로 상기 제1 적층패턴(P1) 상에 폴리실리콘으로 이루어진 제2 수직 다이오드(D2)를 형성한다. 상기 제2 수직 다이오드(D2)는 하단의 제2 n형 불순물 영역(n2)과 상단의 제2 p형 불순물 영역(p2)으로 이루어진다. 도면부호 ILD4는 상기 제1 층간절연막(ILD1)과 동일한 방법으로 형성된 제4 층간절연막을 나타낸다.
- [0118] 그런 다음, 상기 제1 하부전극(BE1)의 형성방법과 동일한 방법으로 상기 제2 수직 다이오드(D2) 상에 패드형 제2 하부전극(BE2)을 형성하고, 상기 제2 하부전극(BE2) 형성영역 이외의 제4 층간절연막(ILD4) 부분 상에 제2 하부전극(BE2)과 동일한 높이로 제5 층간절연막(ILD5)을 형성한다.
- [0119] 이어서, 상기 제2 하부전극(BE2) 및 제5 층간절연막(ILD5) 상에 상기 제1 적층패턴(P1)과 직교하고, 제2 저항체(R2)와 제2 상부전극(TE2)이 차례로 적층된 구조를 갖는 라인 형태의 제2 적층패턴(P2)을 형성한다.
- [0120] 여기서, 도시하지는 않았지만, 상기 제2 적층패턴(P2) 상에 제1 다이오드(D1), 제1 하부전극(BE1) 및 제1 적층패턴(P1)의 적층 구조물과 같은 1D-1R(1 diode - 1 resistance) 구조물을 더 형성할 수도 있고, 계속해서, 상기 1D-1R 구조물을 방향을 90° 만큼 달리하면서 연속적으로 더 형성할 수도 있다.
- [0121] 이후, 도시하지는 않았지만, 공지된 후속 공정을 차례로 수행하여 본 발명의 다층 교차점 저항성 메모리 소자를 제조한다.
- [0122] 이와 같이, 도트 타입의 비정질 실리콘 패턴을 ELA로 다결정화하고 n형 및 p형 불순물을 도핑하여 얻어진 폴리실리콘 다이오드는 종래의 이성분계 산화막 다이오드에 비하여 순방향 전류 밀도가 높고, 누설전류가 적어 매우 우수한 정류 특성, 즉 우수한 스위칭 특성을 나타낸다.
- [0123] 또한, 본 발명에 따른 폴리실리콘 PN 접합은 일반적인 방법, 즉 도트 타입으로 패터닝되지 않은 상태의 비정질 실리콘막을 ELA로 다결정화하고 불순물 도핑 및 패터닝을 수행하는 방법으로 형성한 다른 폴리실리콘 PN 접합에 비해서도 우수한 정류 특성을 나타낸다.
- [0124] 도 9는 본 발명의 효과를 설명하기 위한 전압-전류(V-I) 그래프로서, 형성 조건이 다른 PN 접합들의 V-I 특성을 보여준다. 샘플1 내지 샘플3은 모두 특성 평가를 위해 서로 다른 조건에서 제조한 TFT(Thin Film Transistor)이다. 여기서, 샘플1과 샘플2는 상기한 일반적인 방법으로 형성한 PN 접합을 포함하고, 샘플3은 본 발명의 방법으로 형성한 PN 접합을 포함한다. 한편, 샘플1은 450mJ/cm²의 강도로 ELA되었고, 샘플2와 샘플3은 950mJ/cm²의 강도로 ELA되었다.
- [0125] 도 9를 참조하면, 샘플3의 V-I 곡선이 샘플1 및 샘플2의 V-I 곡선 보다 높은 곳에 위치하고 있는데 이는 샘플3의 순방향 전류 밀도가 상대적으로 높다는 것을 의미한다. 즉, 샘플3이 샘플1 및 샘플2에 비해 빠른 시간 내에 많은 양의 전류를 흘려줄 수 있다는 것이다. 샘플2와 샘플3의 ELA 강도가 동일한데도 샘플3의 정류 특성이 보다 우수하다는 것은 본 발명의 방법이 상기한 일반적인 방법 보다 우월함을 보여준다.
- [0126] 게다가, 본 발명의 폴리실리콘 다이오드 형성방법은 종래의 산화막 다이오드 형성방법과 같이 고온 공정을 요구하지 않고 비교적 저온에서 진행되기 때문에, 고온 공정에 따르는 비용 증가 및 소자의 신뢰성 열화 문제가 방지된다.
- [0127] 또한, 본 발명에 의한 폴리실리콘 패턴의 형성방법은 폴리실리콘 패턴의 미세화에 유리하므로 소자의 고집적화에 적합하다.
- [0128] 부가해서, 본 발명에 따른 다층 교차점 저항성 메모리 소자의 다른 이점으로는 종래 구조인 도 1에서와 같은 제1 및 제2 텅스텐 플러그(W1, W2)가 필요치 않다는 것이다. 즉, 종래의 산화막 다이오드의 경우 하부의 배선(M)과의 콘택 저항을 낮춰주기 위한 텅스텐 플러그가 요구되지만, 폴리실리콘 다이오드는 이러한 별도의 텅스텐 플러그가 요구되지 않는다.
- [0129] 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 바람직한 실시예의 예시로서 해석되어야 한다. 예를 들어, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면, 본 발명의 실시예에서 제1 및 제2 적층패턴(P1, P2)의 구성을 보다 다양화할 수 있을 것이다. 따라서, 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

[0021] P2 : 제2 적층패턴

ILD1 : 제1 층간절연막

[0022] ILD2 : 제2 층간절연막

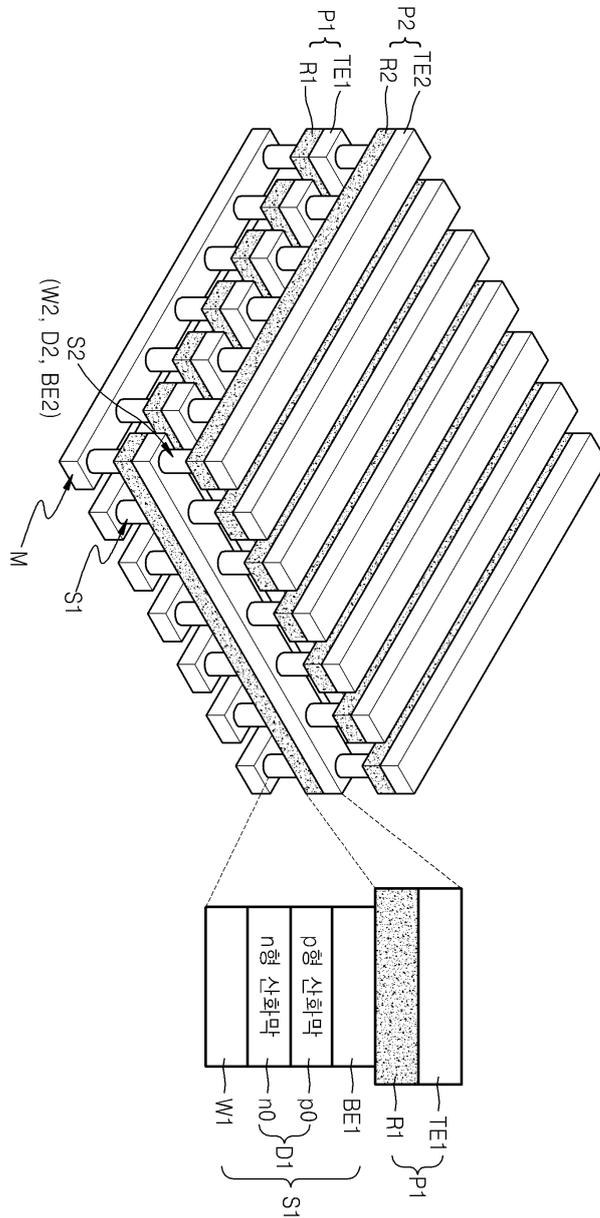
ILD3 : 제3 층간절연막

[0023] ILD4 : 제4 층간절연막

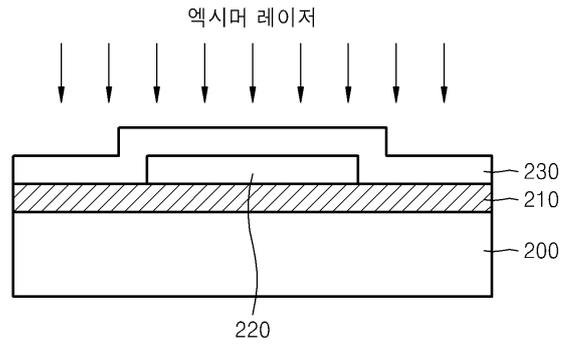
ILD5 : 제5 층간절연막

도면

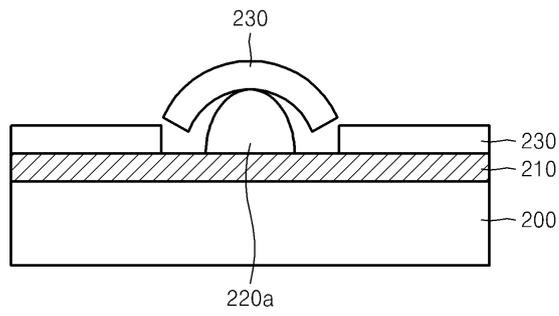
도면1



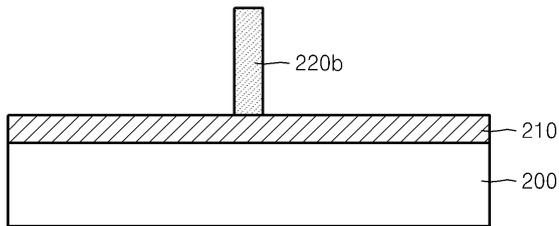
도면2a



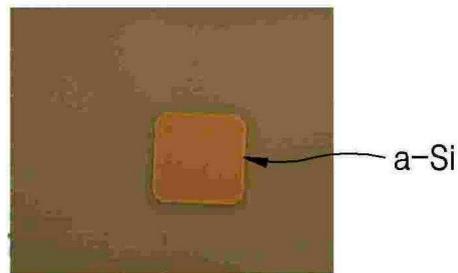
도면2b



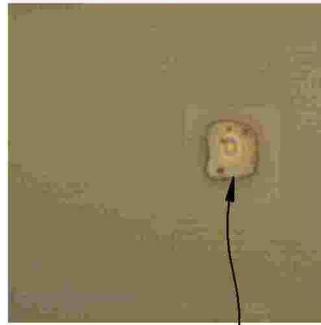
도면2c



도면3

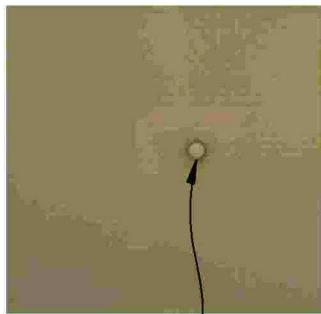


도면4a



Poly-Si

도면4b



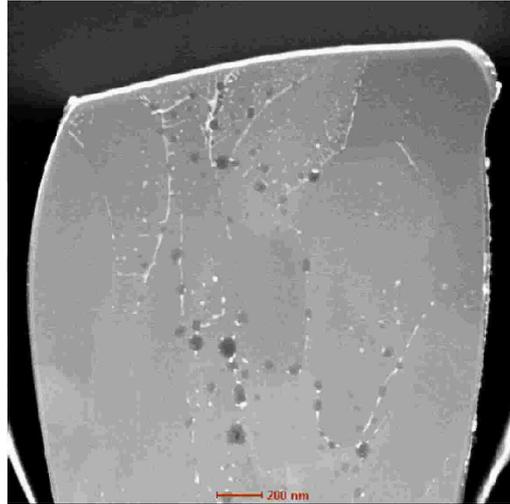
Poly-Si

도면4c

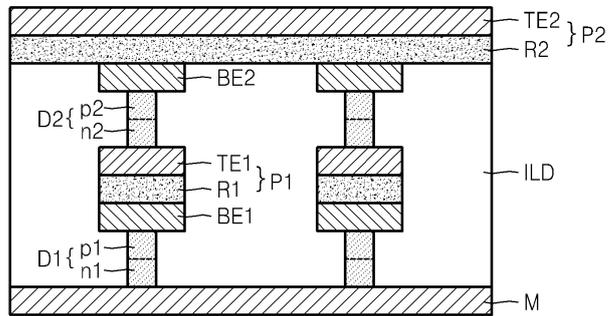


Poly-Si

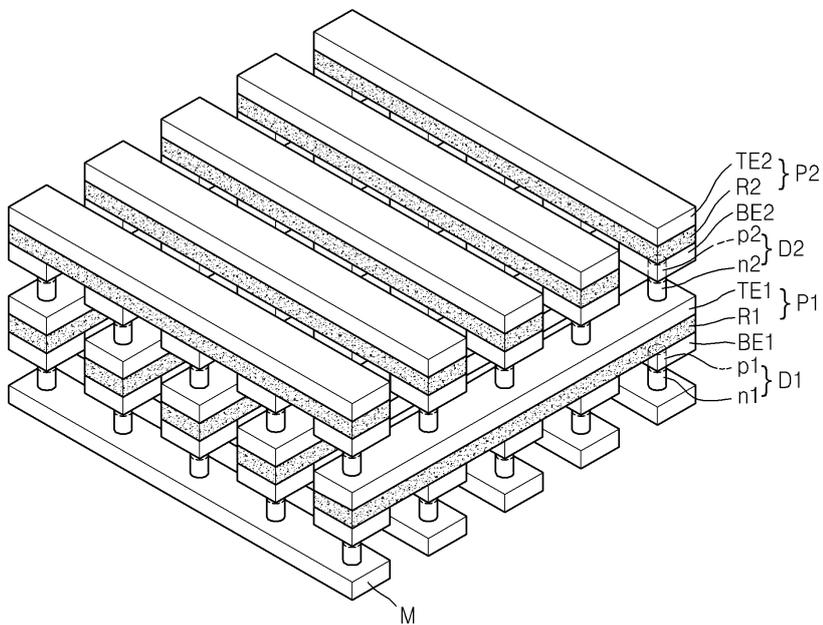
도면5



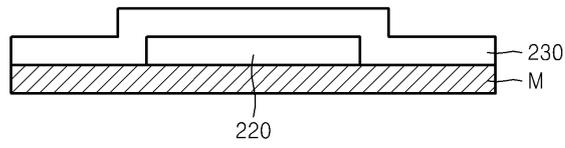
도면6



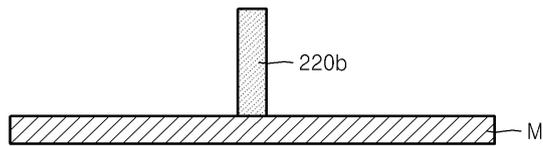
도면7



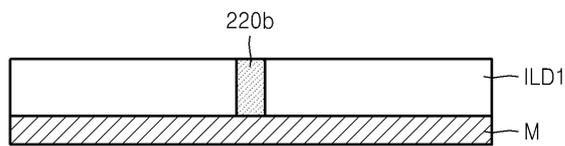
도면8a



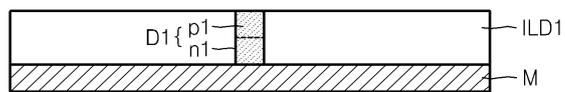
도면8b



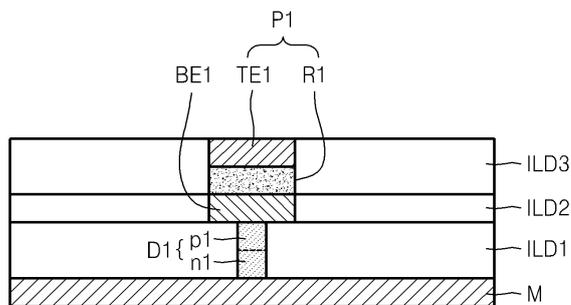
도면8c



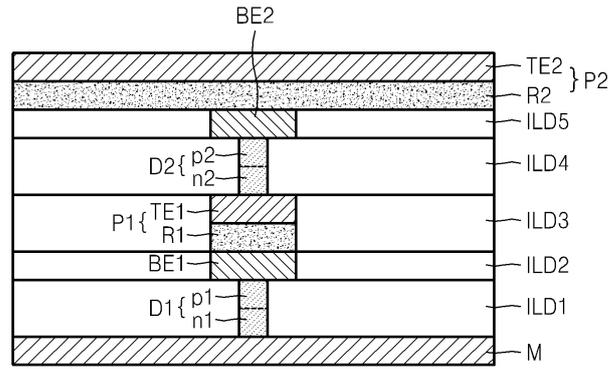
도면8d



도면8e



도면8f



도면9

