

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4371645号
(P4371645)

(45) 発行日 平成21年11月25日(2009.11.25)

(24) 登録日 平成21年9月11日(2009.9.11)

(51) Int. Cl.	F I
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 B
HO 1 L 27/04 (2006.01)	HO 1 L 27/08 3 2 1 L
HO 1 L 21/8238 (2006.01)	HO 1 L 27/04 F
HO 1 L 27/092 (2006.01)	HO 1 L 27/04 H
HO 3 K 19/00 (2006.01)	HO 3 K 19/00 A

請求項の数 12 (全 47 頁)

(21) 出願番号 特願2002-289025 (P2002-289025)
 (22) 出願日 平成14年10月1日(2002.10.1)
 (65) 公開番号 特開2004-128162 (P2004-128162A)
 (43) 公開日 平成16年4月22日(2004.4.22)
 審査請求日 平成17年9月28日(2005.9.28)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100064746
 弁理士 深見 久郎
 (74) 代理人 100085132
 弁理士 森田 俊雄
 (74) 代理人 100083703
 弁理士 仲村 義平
 (74) 代理人 100096781
 弁理士 堀井 豊
 (74) 代理人 100098316
 弁理士 野田 久登
 (74) 代理人 100109162
 弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1および第2の電源ノードにそれぞれ与えられる第1および第2の電圧を動作電源電圧として受けて動作する機能回路を備え、前記機能回路は、前記第1および第2の電源ノードの間に直列に接続される第1、第2、第3および第4の電界効果トランジスタを含み、前記第1および第2の電界効果トランジスタは、前記第3および第4の電界効果トランジスタと導電型が異なり、

前記第1および第2の電圧それぞれに基づいて電圧レベルの異なる第1および第2のバイアス電圧を発生して、それぞれ、前記第2および第3の電界効果トランジスタのゲートへ与えるバイアス電圧発生回路を備え、前記バイアス電圧発生回路は、前記第1および第4の電界効果トランジスタの少なくとも一方のしきい値電圧が前記機能回路の出力信号に対する影響を抑制するように前記第1および第2のバイアス電圧を生成し、

前記バイアス電圧発生回路は、

前記第1の電圧を受ける第1のノードと第2のノードの間に直列に接続されかつ各々がダイオード接続された複数の電界効果トランジスタと、

前記第2のノードと前記第1のバイアス電圧を出力する出力ノードとの間に接続され、前記第2のノードと前記出力ノードとの間に所定の電圧差を生じさせる電圧レベル変換素子とを備え、

前記レベル変換素子は、抵抗素子を備える、半導体装置。

【請求項2】

第 1 および第 2 の電源ノードにそれぞれ与えられる第 1 および第 2 の電圧を動作電源電圧として受けて動作する機能回路を備え、前記機能回路は、前記第 1 および第 2 の電源ノードの間に直列に接続される第 1、第 2、第 3 および第 4 の電界効果トランジスタを含み、前記第 1 および第 2 の電界効果トランジスタは、前記第 3 および第 4 の電界効果トランジスタと導電型が異なり、

前記第 1 および第 2 の電圧それぞれに基づいて電圧レベルの異なる第 1 および第 2 のバイアス電圧を発生して、それぞれ、前記第 2 および第 3 の電界効果トランジスタのゲートへ与えるバイアス電圧発生回路を備え、前記バイアス電圧発生回路は、前記第 1 および第 4 の電界効果トランジスタの少なくとも一方のしきい値電圧が前記機能回路の出力信号に対する影響を抑制するように前記第 1 および第 2 のバイアス電圧を生成し、

前記バイアス電圧発生回路は、

前記第 2 の電圧を受ける第 1 のノードと第 2 のノードの間に直列に接続されかつ各々がダイオード接続される複数の電界効果トランジスタと、

前記第 2 のノードと前記第 2 のバイアス電圧を出力する出力ノードとの間に接続され、前記第 2 のノードと前記出力ノードとの間に所定の大きさの電圧差を生じさせる電圧レベル変換素子とを備え、

前記レベル変換素子は、抵抗素子を備える、半導体装置。

【請求項 3】

前記バイアス電圧発生回路は、前記出力ノードを介して前記抵抗素子に結合され、前記抵抗素子に一定の大きさの電流の流れを生じさせる定電流回路をさらに備える、請求項 1 または 2 記載の半導体装置。

【請求項 4】

第 1 および第 2 の電源ノードにそれぞれ与えられる第 1 および第 2 の電圧を動作電源電圧として受けて動作する機能回路を備え、前記機能回路は、前記第 1 および第 2 の電源ノードの間に直列に接続される第 1、第 2、第 3 および第 4 の電界効果トランジスタを含み、前記第 1 および第 2 の電界効果トランジスタは、前記第 3 および第 4 の電界効果トランジスタと導電型が異なり、

前記第 1 および第 2 の電圧それぞれに基づいて電圧レベルの異なる第 1 および第 2 のバイアス電圧を発生して、それぞれ、前記第 2 および第 3 の電界効果トランジスタのゲートへ与えるバイアス電圧発生回路を備え、前記バイアス電圧発生回路は、前記第 1 および第 4 の電界効果トランジスタの少なくとも一方のしきい値電圧が前記機能回路の出力信号に対する影響を抑制するように前記第 1 および第 2 のバイアス電圧を生成し

前記バイアス電圧発生回路は、

前記第 1 の電圧を受けるノードと前記第 1 のバイアス電圧を出力する出力ノードとの間に直列に接続される各々がダイオード接続されかつ各々が前記第 2 のトランジスタと同一導電型の複数の電界効果トランジスタおよび抵抗素子の直列体と、

前記出力ノードと前記第 2 の電圧を受けるノードとの間に結合される一定の大きさの電流を駆動する定電流源とを備える、半導体装置。

【請求項 5】

第 1 および第 2 の電源ノードにそれぞれ与えられる第 1 および第 2 の電圧を動作電源電圧として受けて動作する機能回路を備え、前記機能回路は、前記第 1 および第 2 の電源ノードの間に直列に接続される第 1、第 2、第 3 および第 4 の電界効果トランジスタを含み、前記第 1 および第 2 の電界効果トランジスタは、前記第 3 および第 4 の電界効果トランジスタと導電型が異なり、

前記第 1 および第 2 の電圧それぞれに基づいて電圧レベルの異なる第 1 および第 2 のバイアス電圧を発生して、それぞれ、前記第 2 および第 3 の電界効果トランジスタのゲートへ与えるバイアス電圧発生回路を備え、前記バイアス電圧発生回路は、前記第 1 および第 4 の電界効果トランジスタの少なくとも一方のしきい値電圧が前記機能回路の出力信号に対する影響を抑制するように前記第 1 および第 2 のバイアス電圧を生成し、

前記バイアス電圧発生回路は、

10

20

30

40

50

前記第2の電圧を受けるノードと前記第2のバイアス電圧を出力する出力ノードとの間に直列に接続される各々がダイオード接続されかつ各々が前記第3のトランジスタと同一導電型の複数の電界効果トランジスタおよび抵抗素子の直列体と、

前記出力ノードと前記第1の電圧を受けるノードとの間に結合されて一定の大きさの電流を駆動する定電流源とを備える、半導体装置。

【請求項6】

第1および第2の電源ノードにそれぞれ与えられる第1および第2の電圧を動作電源電圧として受けて動作する機能回路を備え、前記機能回路は、前記第1および第2の電源ノードの間に直列に接続される第1、第2、第3および第4の電界効果トランジスタを含み、前記第1および第2の電界効果トランジスタは、前記第3および第4の電界効果トランジスタと導電型が異なり、

10

前記第1および第2の電圧それぞれに基づいて電圧レベルの異なる第1および第2のバイアス電圧を発生して、それぞれ、前記第2および第3の電界効果トランジスタのゲートへ与えるバイアス電圧発生回路を備え、前記バイアス電圧発生回路は、前記第1および第4の電界効果トランジスタの少なくとも一方のしきい値電圧が前記機能回路の出力信号に対する影響を抑制するように前記第1および第2のバイアス電圧を生成し、

前記バイアス電圧発生回路は、

前記第1の電圧を受けるノードと前記第1のバイアス電圧を出力する出力ノードとの間に直列に接続される、各々がダイオード接続された複数の電界効果トランジスタおよび抵抗素子の直列体と、

20

前記出力ノードと前記第2の電圧を受けるノードとの間に結合されて一定の大きさの電流を駆動する電流源トランジスタと、

前記第1の電圧を受ける内部電源ノードと第1の内部ノードとの間に接続される第1の抵抗素子と、

前記第1の抵抗素子と前記電流源トランジスタのゲートとの間に接続されかつ前記第1の内部ノードにゲートが接続される、前記電流源トランジスタと同一導電型の第1の基準トランジスタと、

前記内部電源ノードと第2の内部ノードとの間に接続されかつそのゲートが前記第1の内部ノードに接続される、前記電流源トランジスタと同一導電型の第2の基準トランジスタと、

30

前記電流源トランジスタのゲートと前記第2の電圧を受けるノードとの間に接続されかつそのゲートが前記第2の内部ノードに接続される、前記電流源トランジスタと同一導電型の第3の基準トランジスタと、

前記第2の内部ノードと前記第2の電圧を受けるノードとの間に接続される第2の抵抗素子を含む、半導体装置。

【請求項7】

第1および第2の電源ノードにそれぞれ与えられる第1および第2の電圧を動作電源電圧として受けて動作する機能回路を備え、前記機能回路は、前記第1および第2の電源ノードの間に直列に接続される第1、第2、第3および第4の電界効果トランジスタを含み、前記第1および第2の電界効果トランジスタは、前記第3および第4の電界効果トランジスタと導電型が異なり、

40

前記第1および第2の電圧それぞれに基づいて電圧レベルの異なる第1および第2のバイアス電圧を発生して、それぞれ、前記第2および第3の電界効果トランジスタのゲートへ与えるバイアス電圧発生回路を備え、前記バイアス電圧発生回路は、前記第1および第4の電界効果トランジスタの少なくとも一方のしきい値電圧が前記機能回路の出力信号に対する影響を抑制するように前記第1および第2のバイアス電圧を生成し、

前記バイアス電圧発生回路は、

前記第2の電圧を受けるノードと前記第2のバイアス電圧を出力する出力ノードとの間に直列接続される各々がダイオード接続された複数の電界効果トランジスタおよび抵抗素子の直列体と、

50

前記出力ノードと前記第 1 の電圧を受けるノードとの間に結合されて一定の大きさの電流を駆動する電流源トランジスタと、

前記第 2 の電圧を受ける内部電源ノードと第 1 の内部ノードとの間に接続される第 1 の抵抗素子と、

前記第 1 の抵抗素子と前記電流源トランジスタのゲートとの間に接続されかつ前記第 1 の内部ノードにそのゲートが接続される、前記電流源トランジスタと同一導電型の第 1 の基準トランジスタと、

前記内部電源ノードと第 2 の内部ノードとの間に接続されかつそのゲートが前記第 1 の内部ノードに接続される、前記電流源トランジスタと同一導電型の第 2 の基準トランジスタと、

前記電流源トランジスタのゲートと前記第 1 の電圧を受けるノードとの間に接続され、かつそのゲートが前記第 2 の内部ノードに接続される、前記電流源トランジスタと同一導電型の第 3 の基準トランジスタと、

前記第 2 の内部ノードと前記第 2 の電圧を受けるノードとの間に接続される第 2 の抵抗素子とを含む、半導体装置。

【請求項 8】

第 1 および第 2 の電源ノードにそれぞれ与えられる第 1 および第 2 の電圧を動作電源電圧として受けて動作する機能回路を備え、前記機能回路は、前記第 1 および第 2 の電源ノードの間に直列に接続される第 1、第 2、第 3 および第 4 の電界効果トランジスタを含み、前記第 1 および第 2 の電界効果トランジスタは、前記第 3 および第 4 の電界効果トランジスタと導電型が異なり、

前記第 1 および第 2 の電圧それぞれに基づいて電圧レベルの異なる第 1 および第 2 のバイアス電圧を発生して、それぞれ、前記第 2 および第 3 の電界効果トランジスタのゲートへ与えるバイアス電圧発生回路を備え、前記バイアス電圧発生回路は、前記第 1 および第 4 の電界効果トランジスタの少なくとも一方のしきい値電圧が前記機能回路の出力信号に対する影響を抑制するように前記第 1 および第 2 のバイアス電圧を生成し、

相補信号対を差動的に増幅して相補出力信号を生成する第 1 の増幅回路と、

前記第 1 の増幅回路が出力する相補出力信号をさらに差動的に増幅して、前記第 1 および第 4 の電界効果トランジスタのゲートへそれぞれ与えられる互いに論理レベルの等しい第 1 および第 2 の駆動信号を生成する第 2 の増幅回路と、

前記機能回路の出力信号に従って駆動される画像表示素子をさらに備え、

前記機能回路の出力信号は、前記第 2 および第 3 の電界効果トランジスタの接続点から出力される、半導体装置。

【請求項 9】

前記第 1 の増幅回路は、

前記相補信号対を差動的に増幅する第 1 の差動段と、

前記第 1 の差動段の出力信号をラッチする第 1 のラッチ段と、

前記第 1 の差動段と前記第 1 のラッチ段との間に接続され、前記第 1 の差動段と前記第 1 のラッチ段との間に転送される信号の振幅を制限する第 1 の振幅制限段とを備え、

前記第 2 の増幅回路は、

前記第 1 のラッチ段のラッチ信号を差動的に増幅する第 2 の差動段と、

前記第 2 の差動段の出力信号をラッチする第 2 のラッチ段と、

前記第 2 のラッチ段と前記第 2 の差動段との間に接続され、前記第 2 の差動段と前記第 2 のラッチ段との間で転送される信号の振幅を制限する第 2 の振幅制限段とを備え、

前記第 2 のラッチ段のラッチ信号と前記第 2 の差動段の出力信号とがそれぞれ前記第 1 および第 4 の電界効果トランジスタのゲートへ与えられる、請求項 8 記載の半導体装置。

【請求項 10】

前記画像表示素子は、液晶表示素子およびエレクトロルミネッセンス発光素子のいずれかを備える、請求項 8 記載の半導体装置。

【請求項 11】

10

20

30

40

50

各前記電界効果トランジスタは、薄膜トランジスタである、請求項 1 から 10 のいずれかに記載の半導体装置。

【請求項 12】

前記第 1 の電圧は、前記第 2 の電圧よりも高い電圧である、請求項 1 から 11 のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置に関し、特に MOS トランジスタ（絶縁ゲート型電界効果トランジスタ）で構成される半導体装置に関する。より特定的には、この発明は、MOS トランジスタのゲート絶縁膜に印加される電圧が低減される半導体装置に関する。より特定的には、この発明は、MOS 型出力回路において、プロセスパラメータのばらつきの影響を受けることなく MOS トランジスタのゲート絶縁膜の信頼性を保証しつつ安定に出力信号を生成するための構成に関する。より具体的には、この発明は、画像表示装置の表示素子選択信号を生成する回路の構成に関する。

10

【0002】

【従来の技術】

MOS トランジスタ（絶縁ゲート型電界効果トランジスタ）を用いた回路は、消費電力が小さいという利点を有しており、集積回路などの用途において広く用いられている。

【0003】

MOS トランジスタにおいては、絶縁膜により基板領域から分離された制御電極（ゲート）に電圧を印加して、この MOS トランジスタの導通 / 非導通を制御する。このゲート直下の絶縁膜（ゲート絶縁膜）が絶縁破壊を生じると、ゲートと基板領域とが短絡して大電流が流れる。したがって、このゲート絶縁膜の耐压特性を十分に保証する必要がある。特に、素子が微細化されると、一般に、このゲート絶縁膜の膜厚も薄くされ、そのゲートに印加される電圧の許容範囲を低くすることにより、ゲート絶縁膜の耐压特性が一般に保証される。

20

【0004】

ゲート絶縁膜に印加される電圧が許容範囲内であっても、長期にわたってゲートに電圧が印加されると、ゲート絶縁膜に電圧ストレスが印加され、このストレスが累積されて、ゲート絶縁膜の破壊が生じる。このような現象は、ゲート絶縁膜の経時的絶縁破壊（TDDB）として知られている。このようなゲート絶縁膜の破壊を防止するために、ゲート絶縁膜に印加される電圧を低減する構成が、特許文献 1（特開平 11 - 149773）において示されている。

30

【0005】

図 26 は、上述の特許文献 1 に示される CMOS インバータの構成を示す図である。図 26 において、CMOS インバータは、ソースが電源電圧 VCC を受ける電源ノード 900 に結合され、かつそのゲートに入力信号 IN2 を受ける P チャネル MOS トランジスタ PQ0 と、そのソースが接地電圧 VSS を受ける接地ノード 902 に接続されかつそのゲートに入力信号 IN1 を受ける N チャネル MOS トランジスタ NQ0 と、これらの MOS トランジスタ PQ0 および NQ0 のゲート絶縁膜に印加される電圧を緩和する電圧緩和回路 905 を含む。

40

【0006】

電圧緩和回路 905 は、MOS トランジスタ PQ0 と出力ノード 910 の間に接続されかつそのゲートにバイアス電圧 VP を受ける P チャネル MOS トランジスタ PQ1 と、出力ノード 910 と MOS トランジスタ NQ0 の間に接続されかつそのゲートにバイアス電圧 VN を受ける N チャネル MOS トランジスタ NQ1 を含む。

【0007】

バイアス電圧 VP は、電源電圧 VCC に基づいて生成され、バイアス電圧 VN は、接地電圧 VSS に基づいて生成される。出力ノード 910 から、出力信号 OUT0 が出力され、

50

MOSトランジスタPQ0およびPQ1の接続ノード911から、出力信号OUT2が出力され、MOSトランジスタNQ1およびNQ0接続ノードから、出力信号OUT1が出力される。

【0008】

入力信号IN1は、接地電圧と電圧VN - VTNの間で変化し、入力信号IN2は、電源電圧VCCと電圧VP - VTPの間で変化し、電圧VTPおよびVTPは、それぞれ、NチャネルMOSトランジスタNQ0およびNQ1のしきい値電圧を示し、電圧VTPは、PチャネルMOSトランジスタPQ0およびPQ1のしきい値電圧を示す。入力信号IN1およびIN2の振幅を制限することにより、MOSトランジスタPQ0およびNQ0のゲート絶縁膜に印加される電圧を緩和する。

10

【0009】

図27は、この図26に示すバイアス電圧VPおよびVNの電源電圧依存性を示す図である。図27において、縦軸に、電圧を示し、横軸に電源電圧VCCの電圧レベルを示す。バイアス電圧VPは、電源電圧VCCから電圧V0だけ低い電圧レベルであり、電源電圧VCCとともに直線的に増加する。一方、バイアス電圧VNは、電源電圧VCCが電圧V0を超えると、この電圧V0に固定される。バイアス電圧VNは、電源電圧VCCが、電圧V0を超えるまで、電源電圧VCCとともに増大する。電圧V0は、例えば2Vであり、MOSトランジスタのしきい値電圧の絶対値は、1Vよりも低いため、この電圧V0は、 $2 \cdot V_{TN}$ および $2 \cdot |V_{TP}|$ よりも高い電圧レベルである。

【0010】

20

図28は、ハイレベル信号出力時の入出力信号の電圧レベルを示す図である。図28に示すように、入力信号IN1が、接地電圧VSS (= 0V) に設定され、入力信号IN2が、電圧VP + |VTP| に設定される。この状態においては、MOSトランジスタNQ0はゲートおよびソースが同一電圧レベルであり、非導通状態を維持する。出力信号OUT1は、MOSトランジスタNQ1のソースフォロワ動作により、電圧VN - VTNの電圧レベルに設定される。

【0011】

一方、MOSトランジスタPQ0は、ゲートに、入力信号IN2として、電圧VP + |VTP| を受ける。バイアス電圧VPは、 $V_{CC} - V_0$ であり、電圧V0は、 $2 \cdot |V_{TP}|$ よりも高い電圧レベルである。したがって、入力信号IN2が、電圧VP + |VTP| の場合、MOSトランジスタPQ0が導通し、出力信号OUT2の電圧レベルは、電源電圧VCCレベルとなる。また、バイアス電圧VPは、電源電圧VCCよりも、 $2 \cdot |V_{TP}|$ 以上低いため、MOSトランジスタPQ1も導通し、出力信号OUT0も、電源電圧VCCレベルとなる。

30

【0012】

この図28に示す電圧印加条件下においては、MOSトランジスタPQ0のゲート絶縁膜に印加される電圧は、次式で表される。

【0013】

$V_{CC} - V_P - |V_{TP}| = V_0 - |V_{TP}| - |V_{TP}|$
MOSトランジスタPQ1においては、そのゲート絶縁膜に、電圧VCC - VP (= V0) の電圧が印加される。MOSトランジスタNQ1においては、そのゲート絶縁膜に、電圧VCC - VNが印加される。MOSトランジスタNQ0において、ゲート絶縁膜に、電圧VN - VTN - V0 - VTNが印加される。

40

【0014】

したがって、これらのMOSトランジスタPQ0、PQ1、NQ1およびNQ0のゲート絶縁膜には、電源電圧VCCよりも低い電圧が印加されるだけである。電源電圧が高い場合においても、確実にこれらのMOSトランジスタのゲート絶縁膜に印加される電圧を低減することができ、ゲート絶縁膜の信頼性を保証することができる。

【0015】

図29は、ローレベル信号を出力する際の入出力信号の電圧レベルを示す図である。この

50

ローレベル信号出力時においては、入出力 I_{N1} は、電圧 $V_N - V_{TN}$ に設定され、入力信号 I_{N2} が、電源電圧 V_{CC} レベルに設定される。この状態においては、MOSトランジスタ $PQ0$ はオフ状態であるため、出力信号 O_{UT2} は、MOSトランジスタ $PQ1$ のソースフォロア動作により、電圧 $V_{P+} + |V_{TP}|$ の電圧レベルに維持される。

【0016】

一方、MOSトランジスタ $NQ0$ は、この入力信号 I_{N1} の電圧 $V_N - V_{TN}$ に従ってオン状態となり、出力信号 O_{UT1} を接地電圧 $V_{SS} (= 0V)$ に設定する。ここで、バイアス電圧 V_N は、 $2 \cdot V_{TN}$ よりも高い電圧レベルにある。したがって、MOSトランジスタ $NQ1$ も、オン状態となり、出力信号 O_{UT0} は、接地電圧 $V_{SS} (= 0V)$ となる。

10

【0017】

この図29に示す電圧印加条件下においても、MOSトランジスタ $PQ0$ のゲート絶縁膜に印加される電圧は、電圧 $V_{CC} - V_{P-} + |V_{TP}|$ である。MOSトランジスタ $PQ1$ のゲート絶縁膜に印加される電圧は、最大 V_P となる（出力信号 O_{UT0} は、接地電圧レベル）。MOSトランジスタ $NQ1$ においては、そのゲート絶縁膜に印加される電圧は、バイアス電圧 V_N に等しい。またMOSトランジスタ $NQ0$ においても、そのゲート絶縁膜に印加される電圧は、 $V_N - V_{TN}$ となる。

【0018】

したがって、この場合においても、MOSトランジスタ $PQ0$ 、 $PQ1$ 、 $NQ1$ および $NQ0$ のゲート絶縁膜に印加される電圧は、電源電圧 V_{CC} よりも低くすることができる。

20

【0019】

出力信号 O_{UT0} は、電源電圧 V_{CC} と接地電圧の間で変化する大振幅の信号である。一方、出力信号 O_{UT1} は、接地電圧 V_{SS} と電圧 $V_N - V_{TN}$ の間で変化する小振幅信号であり、また出力信号 O_{UT2} も、電源電圧 V_{CC} と電圧 $V_{P+} + |V_{TP}|$ の間で変化する小振幅の信号である。

【0020】

入力信号 I_{N1} および I_{N2} の電圧レベルを設定し、または出力信号 $O_{UT0} - O_{UT2}$ の電圧レベルを設定するためには、バイアス電圧 V_P および V_N を安定に生成する必要がある。前述の特許文献1においては、このバイアス電圧 V_P および V_N を、カレントミラー回路を利用して生成する構成を示している。

30

【0021】

図30は、前述の特許文献1に示されるバイアス電圧発生回路の構成を示す図である。図30において、バイアス電圧発生回路は、電源線920と出力ノード924の間に直列に接続されるそれぞれが、ゲートおよびドレインが相互接続されるNチャネルMOSトランジスタ $NQT1$ および $NQT2$ と、出力ノード924と接地線922の間に接続されるNチャネルMOSトランジスタ $NQ3$ と、MOSトランジスタ $NQ3$ とカレントミラー回路を構成する、ゲートおよびドレインが相互接続されたNチャネルMOSトランジスタ $NQ4$ と、MOSトランジスタ $NQ4$ のドレインに接続される抵抗素子 RZ と、抵抗素子 RZ と電源線920の間に接続されかつそのゲートおよびドレインが相互接続されるPチャネルMOSトランジスタ $PQ3$ を含む。

40

【0022】

MOSトランジスタ $NQT1$ および $NQT2$ は、そのバックゲート（基板領域）がソースに接続され、基板効果のしきい値電圧に及ぼす影響を相殺している。

【0023】

このバイアス電圧発生回路は、さらに、電源線920に結合され、MOSトランジスタ $PQ3$ とカレントミラー回路を構成するPチャネルMOSトランジスタ $PQ4$ と、出力ノード926と接地線922の間に直列に接続されかつそれぞれが、ゲートおよびドレインが相互接続されるNチャネルMOSトランジスタ $NQT3$ および $NQT4$ を含む。これらのMOSトランジスタ $NQT3$ および $NQT4$ も、そのバックゲートがソースに接続され、基板効果がしきい値電圧に及ぼす影響を相殺している。

50

【 0 0 2 4 】

出力ノード 9 2 4 からバイアス電圧 V_P が生成され、出力ノード 9 2 6 に、バイアス電圧 V_N が生成される。これらの電源線 9 2 0 と出力ノード 9 2 4 の間にデカップル容量 C_P が設けられ、また、出力ノード 9 2 6 と接地線 9 2 2 の間にデカップル容量 C_N が設けられる。

【 0 0 2 5 】

MOS トランジスタ $NQT_1 - NQT_4$ は、イオン注入などによりそのしきい値電圧が、電圧 V_0 の $1/2$ に設定される。これらの MOS トランジスタ $NQT_1 - NQT_4$ の電流駆動力は、十分に大きくされる。

【 0 0 2 6 】

MOS トランジスタ PQ_3 および NQ_4 のチャネル抵抗と抵抗素子 RZ の抵抗値により、MOS トランジスタ PQ_3 および NQ_4 と抵抗素子 RZ を流れる電流 I_r の大きさが決定される。MOS トランジスタ NQ_4 および NQ_3 がカレントミラー回路を構成しており、MOS トランジスタ NQ_4 を流れる電流 I_r のミラー電流 I_p が、MOS トランジスタ NQ_3 に流れる。このミラー電流 I_p は、MOS トランジスタ NQT_1 および NQT_2 が駆動可能な電流よりも十分小さな電流量であり、したがって、MOS トランジスタ NQT_1 および NQT_2 が、ダイオードモードで動作し、それぞれのしきい値電圧の電圧降下を生じさせる。今、MOS トランジスタ $NQT_1 - NQT_4$ のしきい値電圧を、 V_{TH} であるとする。その場合、ノード 9 2 4 からのバイアス電圧 V_P は、電圧 $V_{CC} - 2 \cdot V_{TH}$ の電圧レベルとなる。したがって、 $V_{TH} = V_0 / 2$ に設定することにより、先の図 2 7 に示すバイアス電圧 V_P の線形電圧特性が得られる。

【 0 0 2 7 】

一方、MOS トランジスタ PQ_3 および PQ_4 がカレントミラー回路を構成しており、MOS トランジスタ PQ_3 を流れる電流 I_r のミラー電流 I_n が、MOS トランジスタ PQ_4 を介して流れる。このミラー電流 I_n は、MOS トランジスタ NQT_3 および NQT_4 の駆動可能な電流よりも十分小さいため、これらの MOS トランジスタ NQT_3 および NQT_4 が、導通時、しきい値電圧 V_{TH} の電圧降下を生じさせる。したがって、電源電圧 V_{CC} は、 $2 \cdot V_{TH}$ よりも高い場合には、バイアス電圧 V_N は、 $2 \cdot V_{TH}$ の電圧レベルとなり、電源電圧 V_{CC} が、この $2 \cdot V_{TH}$ よりも低い場合には、MOS トランジスタ NQT_3 および NQT_4 の少なくとも一方が非導通状態であり、バイアス電圧 V_N は、電源電圧 V_{CC} とともに変化する。これにより、先の図 2 7 に示す電源電圧依存性を有するバイアス電圧 V_N を生成することができる。

【 0 0 2 8 】

また、上述のような出力回路を利用することにより、電源電圧 V_{CC} の電圧レベルが、高い場合においても MOS トランジスタのゲート絶縁膜の信頼性を確保することが可能であり、また、電源電圧 V_{CC} をインターフェイス仕様に応じて広い範囲にわたって変化させても、安定に動作させることが可能である。

【 0 0 2 9 】

また、特許文献 4 (特開平 1 1 - 1 6 3 7 1 5 号公報) においては、前述の特許文献 1 と同様のバイアス電圧を利用して、ゲート絶縁膜の信頼性を保証する CMOS 出力ドライブ回路が示されている。しかしながら、このバイアス電圧のしきい値電圧依存性が出力信号に及ぼす影響については、何らこの特許文献 4 においては考慮されていない。

【 0 0 3 0 】

【特許文献 1】

特開平 1 1 - 1 4 9 7 7 3 号公報

【 0 0 3 1 】

【特許文献 2】

特開 2 0 0 0 - 1 5 5 6 1 7

【 0 0 3 2 】

【特許文献 3】

10

20

30

40

50

特開 2000 - 155620

【0033】

【特許文献4】

特開平 11 - 163715号公報

【0034】

【発明が解決しようとする課題】

いま、バイアス電圧 V_P が、図 30 に示す回路を用いて生成され、次式 (1) の条件を満たすとする。

【0035】

$$V_P = V_{CC} - 2 \cdot V_{TH} \dots (1)$$

10

次に、図 28 に示される電圧印加条件を考える。すなわち、MOS トランジスタ PQ_0 のゲートへ与えられる入力信号 I_N が、電圧 $V_P + |V_{TP}|$ の状態を考える。この場合、出力信号 O_{UT0} および O_{UT2} は、電源電圧 V_{CC} へ駆動される。出力信号 O_{UT0} および O_{UT2} が電源電圧 V_{CC} レベルへ上昇する場合の駆動速度は、MOS トランジスタ PQ_0 の電流駆動能力に依存する。MOS トランジスタ PQ_0 の電流駆動能力は、MOS トランジスタ PQ_0 のゲート - ソース間電圧に依存する。すなわち、MOS トランジスタ PQ_0 を流れる電流 I_0 は、次式で表わされる。

【0036】

$$I_0 (V_{GS0} - V_{TP}) \dots (2)$$

ここで、 V_{GS0} は、MOS トランジスタ PQ_0 のゲート - ソース間電圧であり、次式 (3) で表わされる。

20

【0037】

$$V_{GS0} = V_P + |V_{TP}| - V_{CC} \dots (3)$$

上式 (1) で示されるバイアス電圧 V_P の値を、上式 (3) に代入すると、次式 (4) が得られる。

【0038】

$$\begin{aligned} V_{GS0} &= V_{CC} - 2 \cdot V_{TH} + |V_{TP}| - V_{CC} \\ &= -2 \cdot V_{TH} + |V_{TP}| \dots (4) \end{aligned}$$

したがって、上式 (4) を、上式 (2) に代入すると、次式 (5) が得られる。

【0039】

$$\begin{aligned} I_0 &(-2 \cdot V_{TH} + |V_{TP}| - V_{TP}) \\ &(-2 \cdot V_{TH} + 2 \cdot |V_{TP}|) \dots (5) \end{aligned}$$

30

上式 (5) から明らかなように、MOS トランジスタ PQ_0 の電流駆動能力は、しきい値電圧 V_{TP} および V_{TH} のばらつきの影響を受ける。したがって、製造パラメータのばらつきにより、しきい値電圧 V_{TH} および V_{TP} がばらついた場合、この MOS トランジスタ PQ_0 の電流駆動能力が、変動する。その出力信号 O_{UT2} の電位変化速度が、応じてばらつき、次段の回路の動作マージンを確保することができなくなる。

【0040】

回路を安定に動作させるためには、出力信号 O_{UT0} および O_{UT2} が安定化するまでのマージンを考慮する必要があり、従って、出力信号 O_{UT2} に対するタイミングマージンを十分に大きくとる必要があり、高速動作を行なうことができなくなるという問題が生じる。

40

【0041】

また、入力信号 I_{N2} が電源電圧 V_{CC} の場合、出力信号 O_{UT2} は、電圧 $V_P + |V_{TP}|$ の電圧レベルとなる。この場合、出力信号 O_{UT2} の電圧レベルは、次式 (6) で表わされる。

【0042】

$$O_{UT2} = V_{CC} - 2 \cdot V_{TH} + |V_{TP}| \dots (6)$$

したがって、この場合においても、出力信号 O_{UT2} の電圧レベルが、しきい値電圧 V_{TH} および V_{TP} のばらつきの影響を受ける。この出力信号 O_{UT2} はの電源電圧 V_{CC} と

50

電圧 $V_{CC} - 2 \cdot V_{TH} + |V_{TP}|$ の間で変化する小振幅信号である。したがって、このしきい値電圧 V_{TH} および V_{TP} が、ばらついた場合、出力信号 OUT_2 のハイレベルおよびローレベルを正確に識別することができなくなるという問題が生じる。

【0043】

特に、この図 26 に示すインバータが複数段縦続接続される場合、出力信号 OUT_1 および OUT_2 が、次段のインバータの入力信号 IN_1 および IN_2 として用いられる。この場合、次段のインバータにおいて、トランジスタ PQ_0 を、完全に導通状態とすることができず、正確な回路動作を保証することができなくなる可能性がある。

【0044】

また、バイアス電圧 V_N についても、このバイアス電圧 V_N は、 $2 \cdot V_{TH}$ であり、入力信号 IN_1 は、接地電圧レベルの場合、出力信号 OUT_1 の電圧レベルは、次式(7)で表わされる。

【0045】

$$OUT_1 = 2 \cdot V_{TH} - V_{TN} \dots (7)$$

しきい値電圧 V_{TH} および V_{TN} が等しい場合には、この出力信号 OUT_1 は、ハイレベルが、 $V_{TH} (= V_{TN})$ となり、その電圧レベルがしきい値電圧のばらつきの影響を受ける。

【0046】

また、入力信号 IN_1 が電圧 $V_N - V_{TN}$ の場合、そのゲート-ソース間電圧は電圧 $V_N - V_{TN} = 2 \cdot V_{TH} - V_{TN}$ である。したがって、この場合の、MOS トランジスタ PQ_0 の駆動電流 I_{nq_0} は、次式(8)で表わされる。

【0047】

$$I_{nq_0} \quad (2 \cdot V_{TH} - V_{TN} - V_{TN}) \\ (V_{TH} - V_{TN}) \dots (8)$$

したがって、この場合においても、しきい値電圧 V_{TH} および V_{TN} が変動する場合、同様、出力信号 OUT_1 を接地電圧レベルへ駆動する際の速度が異なり、先の P チャネル MOS トランジスタ PQ_0 についての問題と同様の問題が、出力信号 OUT_1 についても生じる。

【0048】

したがって、これらの出力信号 OUT_1 および OUT_2 が、しきい値電圧の影響を受けるため、同様、出力信号 OUT_0 の駆動速度も、しきい値電圧のばらつきの影響を受ける。

【0049】

また、次段回路を正確に動作させることができなくなる問題が同様に生じる。

特に、この回路を、画像表示装置などにおいて適用する場合、MOS トランジスタは、TFET (薄膜トランジスタ) で構成される。薄膜トランジスタは、ガラス基板または樹脂層などの絶縁層上に形成された半導体層内に形成される。この薄膜トランジスタの場合、したがって、しきい値電圧のばらつきが、通常の、半導体基板表面に、形成される MOS トランジスタに比べてそのしきい値電圧のばらつきが大きい。これは、薄膜トランジスタの場合、樹脂層またはガラス基板上に半導体層が形成され、この半導体層にソース、チャンネルおよびドレイン領域が形成される。このため、半導体層の膜質の影響がしきい値電圧に対し大きく現われ、この膜質の制御が、通常の、半導体基板表面に形成される MOS トランジスタに比べて困難なためである。薄膜トランジスタにおいては、しきい値電圧調整のためのチャンネル領域への不純物注入および、しきい値電圧安定化のためのバックゲートバイアス電圧の印加は、一般に行なわれていない。

【0050】

また、このバイアス電圧 V_P および V_N を発生するために、イオン注入などにより、バイアス電圧発生用の MOS トランジスタのしきい値電圧 V_{TH} を、出力回路のトランジスタのしきい値電圧 V_{TP} および V_{TN} の絶対値と異ならせている。このため、バイアス電圧を生成するために、しきい値電圧調整のためのイオン注入などの工程が、必要となり、製造工程数が増加し、製造コストが増加するという問題が生じる。

10

20

30

40

50

【0051】

また、動作環境および製造パラメータの変動の影響を受けることなく安定に一定の電圧レベルの出力電圧を生成する構成が、特許文献2において示されている。この特許文献2の構成においては、負帰還回路を用いて、内部電圧を生成する電流ドライプトランジスタのゲート電圧が、一定電圧レベルに維持される。この構成においては、出力電圧の電源電圧依存性を抑制することが現われている。ゲート絶縁膜の信頼性を保証する回路のバイアス電圧による出力電圧に対するしきい値電圧の影響は何ら考慮していない。

【0052】

また、ここで、動作環境に係らず一定の電圧レベルの記憶電圧を生成することを意図する構成が、特許文献3において示されている。この特許文献3においては、出力電圧の電源電圧依存性を抑制し、またソースフォロワトランジスタを利用して、出力電圧の温度依存性をなくすことを図っている。しかしながら、ゲート絶縁膜の信頼性を確保する回路におけるバイアス電圧のしきい値電圧依存性が出力信号に及ぼす影響などについては全く考慮していない。

10

【0053】

それゆえ、この発明の目的は、出力信号に対するMOSトランジスタのしきい値電圧の変動の影響を抑制することのできる半導体装置を提供することである。

【0054】

この発明の他の目的は、しきい値電圧がばらついていても、安定に出力信号を生成することのできる半導体装置を提供することである。

20

【0055】

この発明のさらに他の目的は、出力信号に対するしきい値電圧の影響を抑制することのできる出力回路駆動のためのバイアス電圧を発生する回路を提供することである。

【0056】

この発明のさらに他の目的は、画像表示装置において駆動信号を生成するのに適した半導体装置を提供することである。

【0057】

この発明のさらに他の目的は、出力信号を安定に、MOSトランジスタのゲート絶縁膜の信頼性を損なうことなく生成することのできる半導体装置を提供することである。

【0058】

【課題を解決するための手段】

この発明に係る半導体装置は、第1および第2の電源ノードにそれぞれ与えられる第1および第2の電圧を動作電源電圧として受けて動作する機能回路を含む。この機能回路は、第1および第2の電源ノードの間に直列に接続される第1、第2、第3および第4の電界効果トランジスタを含む。第1および第2の電界効果トランジスタは、第3および第4の電界効果トランジスタと導電型が異なる。

30

【0059】

この発明に係る半導体装置は、さらに、第1および第2の電圧それぞれに基づいて電圧レベルの異なる第1および第2のバイアス電圧を発生して、それぞれ、第2および第3の電界効果トランジスタのゲートへ与えるバイアス電圧発生回路を含む。このバイアス電圧発生回路は、第1および第4の電界効果トランジスタの少なくとも一方のしきい値電圧の出力信号に対する影響を抑制するように、第1および第2のバイアス電圧の対応のバイアスを生成する。

40

【0060】

この発明の第1の観点においては、バイアス電圧発生回路は、第1の電圧を受ける第1のノードと第2のノードの間に直列に接続されかつ各々がダイオード接続された複数個の電界効果トランジスタと、この第2のノードと第1のバイアス電圧を出力する出力ノードとの間に接続され、第2のノードと出力ノードとの間に所定の電圧差を生じさせる電圧レベル変換素子とを含む。この電圧レベル変換素子は、抵抗素子を備える。

【0061】

50

この発明の第2の観点においては、バイアス電圧発生回路は、第2の電圧を受ける第1のノードと第2のノードの間に直列に接続されかつ各々がダイオード接続された複数の電界効果トランジスタと、この第2のノードと第2のバイアス電圧を出力する出力ノードとの間に接続され、第2のノードと出力ノードとの間に所定の大きさの電圧差を生じさせる電圧レベル変換素子とを含む。この電圧レベル変換素子は、抵抗素子を備える。

【0066】

この抵抗素子に対して、好ましくは、一定の大きさの電流を駆動する定電流回路が設けられる。

【0067】

この発明の第3の観点においては、バイアス電圧発生回路は、第1の電圧を受けるノードと第1のバイアス電圧の出力する出力ノードとの間に直列に接続される各々がダイオード接続され、かつ各々が第2のトランジスタと同一導電型の複数の電界効果トランジスタおよび抵抗素子の直列体と、出力ノードと第2の電圧を受けるノードとの間に結合される一定の大きさの電流を駆動する定電流源とを含む。

10

【0068】

この発明の第4の観点においては、バイアス電圧発生回路は、第2の電圧を受けるノードと第2のバイアス電圧を出力する出力ノードとの間に直列に接続され、各々がダイオード接続されかつ各々が第3のトランジスタと同一導電型の複数の電界効果トランジスタおよび抵抗素子の直列体と、出力ノードと第1の電圧を受けるノードとの間に結合されて一定の大きさの電流を駆動する定電流源とを含む。

20

【0069】

この発明の第5の観点においては、バイアス電圧発生回路は、第1の電圧を受けるノードと第1のバイアス電圧を出力する出力ノードとの間に直列に接続される各々がダイオード接続された複数の電界効果トランジスタおよび抵抗素子の直列体と、出力ノードと第2の電圧を受けるノードとの間に結合される一定の大きさの電流を駆動する電流源トランジスタと、第1の電圧を受ける内部電源ノードと第1の内部ノードとの間に接続される第1の抵抗素子と、この第1の抵抗素子と電流源トランジスタのゲートとの間に接続されかつ第1の内部ノードに接続されるゲートを有する電流源トランジスタと同一導電型の第1の基準トランジスタと、内部電源ノードと第2の内部ノードとの間に接続されかつそのゲートが第1の内部ノードに接続される電流源トランジスタと同一導電型の第2の基準トランジスタと、電流源トランジスタのゲートと第2の電圧を受けるノードとの間に接続されかつそのゲートが第2の内部ノードに接続される、電流源トランジスタと同一導電型を有する第3の基準トランジスタと、第2の内部ノードと第2の電圧を受けるノードとの間に接続される第2の抵抗素子を含む。

30

【0070】

この発明の第6の観点においては、バイアス電圧発生回路は、第2の電圧を受けるノードと第2のバイアス電圧を出力する出力ノードとの間に直列に接続される、各々がダイオード接続された複数の電界効果トランジスタおよび抵抗素子の直列体と、出力ノードと第1の電圧を受けるノードとの間に結合されて、一定の大きさの電流を駆動する電流源トランジスタと、第2の電圧を受ける内部電源ノードと第1の内部ノードとの間に接続される第1の抵抗素子と、この第1の抵抗素子と電流源トランジスタのゲートとの間に接続されかつ第1の内部ノードに接続されるゲートを有する、電流源トランジスタと同一導電型の第1の基準トランジスタと、内部電源ノードと第2の内部ノードとの間に接続されかつそのゲートが第1の内部ノードに接続される、電流源トランジスタと同一導電型の第2の基準トランジスタと、電流源トランジスタのゲートと第2の電圧を受けるノードとの間に接続されかつそのゲートが第2の内部ノードに接続される、電流源トランジスタと同一導電型の第3の基準トランジスタと、第2の内部ノードと第2の電圧を受けるノードとの間に接続される第2の抵抗素子とを含む。

40

【0071】

この発明にかかる半導体装置は、第7の観点において、さらに、相補信号対を差動的に

50

増幅して相補出力信号を生成する第1の増幅回路と、この第1の増幅回路を出力する相補出力信号をさらに差動的に増幅して、第1および第4のトランジスタのゲートへ与えられる互いに論理レベルが等しくかつ電圧レベルの異なる第1および第2の駆動信号を生成する第2の増幅回路と、この機能回路の出力信号に従って駆動される画像表示素子とを備える。この機能回路の出力信号は、第2および第3の電界効果トランジスタの接続点から出力される。

【0072】

好ましくは、第1の増幅回路は、相補信号対を差動的に増幅する第1の差動段と、この第1の差動段の出力信号をラッチする第1のラッチ段と、これら第1の差動段と第1のラッチ段との間に接続されて、第1の差動段と第1のラッチ段との間で転送される信号の振幅を制限する第1の振幅制限段を含む。第2の増幅回路は、第1のラッチ段のラッチ信号を差動的に増幅する第2の差動段と、この第2の差動段の出力信号をラッチする第2のラッチ段と、第2の差動段と第2のラッチ段との間に接続されて、第2の差動段と第2のラッチ段との間で転送される信号の振幅を制限する第2の振幅制限段を含む。第2のラッチ段のラッチ信号と第2の差動段の出力信号とがそれぞれ、第1および第4の電界効果トランジスタのゲートへ与えられる。

10

【0073】

好ましくは、画像表示素子は、液晶表示素子およびエレクトロルミネッセンス発光素子のいずれかで構成される。

【0074】

また各電界効果トランジスタは、薄膜トランジスタである。

また、好ましくは、第1の電圧は、第2の電圧よりも高い電圧レベルに設定される。

20

【0075】

これに代えて、第2の電圧は、第1の電圧よりも高い電圧レベルに設定される。

【0078】

バイアス電圧として、第1および第4の電界効果トランジスタのしきい値電圧の出力信号に対応する影響を抑制するような電圧を生成して利用することにより、たとえしきい値電圧が製造パラメータのばらつきによりばらついても、安定に、しきい値電圧のばらつきの影響を抑制して出力信号を生成することができる。

【0079】

また、バイアス電圧として、第2および第3のトランジスタのしきい値電圧と同じ大きさのしきい値電圧成分を含む電圧を生成することにより、しきい値電圧成分により、第1または第4のトランジスタのしきい値電圧のばらつきの影響を相殺することができ、安定に出力信号を生成することができる。

30

【0080】

また、抵抗素子とMOSトランジスタとで構成される回路により電流源トランジスタを駆動することにより、この電流源トランジスタのゲート電圧を電源電圧と独立の電圧レベルに設定でき、また電流源トランジスタのゲートへしきい値電圧の影響を相殺した電圧を印加することができ、安定に定電流を生成することができる。したがって、この回路をバイアス電圧発生回路に適用することにより、安定にしきい値電圧の影響が除去するためのバイアス電圧を、電源電圧に依存しない定電流に基づいて生成することができる。応じて、バイアス電圧の電源電圧依存性をなくすことができる。

40

【0081】

特に、この半導体装置を、画像表示装置に適用することにより、しきい値電圧のばらつきが大きい薄膜トランジスタを用いて回路が構成される場合においても、安定にバイアス電圧を生成して応じて出力信号を生成して画像表示素子を駆動することができる。

【0082】

【発明の実施の形態】

[実施の形態1]

図1は、この発明の実施の形態1に従うバイアス電圧発生回路の構成を示す図である。図

50

1においては、バイアス電圧 V_P を発生するバイアス電圧発生回路BPKの構成を示す。このバイアス電圧発生回路BPKが発生するバイアス電圧 V_P は、機能回路1に含まれるPチャンネルMOSトランジスタPQ1のゲートへ与えられる。

【0083】

この機能回路1は、先の図26に示す構成と同様、入力信号 I_{N2} をゲートに受けるPチャンネルMOSトランジスタPQ0と、バイアス電圧 V_N をゲートに受けるNチャンネルMOSトランジスタNQ1と、入力信号 I_{N1} をゲートに受けるNチャンネルMOSトランジスタNQ0を含む。

【0084】

MOSトランジスタPQ1とMOSトランジスタNQ1の接続点から出力信号OUT0が出力される。

10

【0085】

バイアス電圧発生回路BPKは、電源ノードとバイアス出力ノード106の間に直列に接続されるPチャンネルMOSトランジスタ101および102と抵抗素子103を含む。PチャンネルMOSトランジスタ101および102は、それぞれ、ゲートが、ノード104および105にそれぞれ接続される。抵抗素子103は、抵抗値 r を有する。これらのノード104および105は、MOSトランジスタ101および102のドレインノードとして機能する。

【0086】

バイアス電圧発生回路BPKは、さらに、出力ノード106と接地ノードの間に接続される定電流源100と、電源ノードと出力ノード106の間に接続されるデカップル容量107を含む。この定電流源100は、接地ノードではなく、他の負電圧などの一定の電圧を供給する定電圧ノードに結合されてもよい。デカップル容量107は、容量 C を有し、容量結合などに起因するバイアス電圧 V_P のノイズ成分を除去し、バイアス電圧 V_P の電圧レベルを安定化する。

20

【0087】

定電流源100の駆動電流が、電流 I であり、MOSトランジスタ101および102の駆動可能な電流よりも十分小さな電圧レベルであるとする。この場合、MOSトランジスタ101および102がダイオードモードで動作し、それぞれしきい値電圧 V_{TP} の絶対値の電圧降下を生じさせる。ここで、MOSトランジスタ101および102のしきい値電圧 V_{TP} は、機能回路1のPチャンネルMOSトランジスタPQ1およびPQ0の有するしきい値電圧と同じであるとする。すなわち、このバイアス電圧発生回路BPKは、出力回路1と同一製造工程で作成され、バイアス電圧を生成するしきい値電圧を設定するための特別のイオン注入などは行われない。

30

【0088】

この条件下においては、バイアス電圧 V_P は、次式(9)で表わされる。

$$V_P = V_{CC} - 2 \cdot |V_{TP}| - r \cdot I \dots (9)$$

今、入力信号 I_{N2} が、電圧 $V_P + |V_{TP}|$ の電圧レベルであり、MOSトランジスタPQ0のゲート-ソース間に、電圧が印加される場合を考える。この場合は、MOSトランジスタPQのゲート-ソース間に印加する電圧 V_{GS0} は、先の式(3)から次式(10)により示される。

40

【0089】

$$\begin{aligned} V_{GS0} &= V_P + |V_{TP}| - V_{CC} \\ &= V_{CC} - 2 \cdot |V_{TP}| - r \cdot I + |V_{TP}| - V_{CC} \\ &= -|V_{TP}| - r \cdot I \dots (10) \end{aligned}$$

この場合、MOSトランジスタPQ0の駆動電流 I_0 は、先の式(2)から、次式で示される。

【0090】

$$I_0 = (-|V_{TP}| - r \cdot I - V_{TP})$$

しきい値電圧 V_{TP} は負の値であるため、上述の式において、しきい値電圧成分が相殺さ

50

れ、電流 I_0 は、次式 (11) で表わされる。

【0091】

$$I_0 = (-r \cdot I) \dots (11)$$

上式 (11) に示されるように、MOSトランジスタ PQ_0 の駆動電流は、抵抗素子 103 の抵抗値 r と定電流源 100 の駆動電流 I により決定され、しきい値電圧 V_{TP} および V_{TN} と独立の電流である。したがって、MOSトランジスタ PQ_0 の駆動電流は、しきい値電圧 V_{TP} および V_{TN} のばらつきの影響を受けないため、これらのしきい値電圧 V_{TP} および V_{TN} のばらつきに起因する回路動作マージンの減少を防止することができる。

【0092】

抵抗素子 103 は、MOS半導体回路装置の場合には、MOSトランジスタのチャネル抵抗、不純物拡散層またはポリシリコンなどの配線層を用いて形成することができる。また、画像表示装置に集積化される駆動回路に用いられる場合、MOSトランジスタは、薄膜トランジスタで構成される。この場合、抵抗素子 103 は、薄膜抵抗またはゲート電極材料を用いて形成してもよい。

【0093】

また、電源ノードには電源電圧 V_{CC} が、与えられる。しかしながら、このバイアス電圧発生回路 BPK が、安定に動作する電圧レベルであればよく、電源電圧 V_{CC} に代えて、高電圧が用いられてもよい。これは、接地電圧 V_{SS} についても同様である。

【0094】

以上のように、この発明の実施の形態 1 に従えば、バイアス電圧 V_P に、この機能回路 1 に含まれる出力ドライブトランジスタのしきい値電圧成分を含むように構成しており、出力ドライブトランジスタの駆動電流量を、しきい値電圧と同一な電流量に設定することができ、しきい値電圧のばらつきを受けることなく安定に出力信号を駆動することができる。

【0095】

[実施の形態 2]

図 2 は、この発明の実施の形態 2 に従うバイアス電圧発生回路の構成を示す図である。この図 2 に示すバイアス電圧発生回路 BPK は、図 1 に示す定電流源 100 として、カレントミラー回路が利用される。

【0096】

すなわち、この図 2 に示すバイアス電圧回路 BPK は、電源電圧 V_{CC} を受ける電源ノードとノード 99 の間に接続される抵抗素子 109 と、ノード 99 と接地電圧 V_{SS} を受ける接地ノードの間に接続されかつそのゲートがノード 99 に接続される N チャネル MOS トランジスタ 108 と、出力ノード 106 と接地ノードの間に接続されかつそのゲートがノード 99 に接続される N チャネル MOS トランジスタ 110 を含む。図 2 に示すバイアス電圧発生回路 BPK の他の構成は、図 1 に示すバイアス電圧発生回路 BPK の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0097】

抵抗素子 109 は、抵抗値 R を有する。この抵抗素子 109 と MOS トランジスタ 108 のチャネル抵抗 (オン抵抗) により、これらの抵抗素子 109 および MOS トランジスタ 108 を流れる電流の大きさが決定される。MOS トランジスタ 110 および 108 は、カレントミラー回路を構成しており、MOS トランジスタ 108 を流れる電流のミラー電流が、MOS トランジスタ 110 を介して流れる。

【0098】

抵抗素子 109 の抵抗値 R が、MOS トランジスタ 108 のチャネル抵抗よりも十分大きい場合、この MOS トランジスタ 108 を介して流れる電流は、抵抗素子 109 の抵抗値 R により決定される。MOS トランジスタ 110 および 108 のサイズ (チャネル幅とチャネル長との比) が同じであり、ミラー比が 1 の場合、この MOS トランジスタ 108 を介して流れる電流と同じ大きさの電流が MOS トランジスタ 110 を介して流れる。した

10

20

30

40

50

がって、MOSトランジスタ110および108のサイズ(チャンネル幅とチャンネル長の比)を同じとして、ミラー比を1に設定した場合、MOSトランジスタ108および110において、同じゲート-ソース間電圧が生成される。

【0099】

バイアス電圧VPに含まれる成分 $r \cdot I$ において、電流Iは、 VCC/R で近似することができる。この場合、抵抗素子103および109を、同一抵抗材料で形成し、同じ抵抗値のばらつきが、抵抗素子109および103に現われるように構成する。バイアス電圧VPにおける抵抗素子103の抵抗値rのばらつきの影響を、抵抗109の抵抗値のバラツキにより、相殺することができ、安定に所望の電圧レベルのバイアス電圧VPを生成することができる。

10

【0100】

以上のように、この発明の実施の形態2に従えば、カレントミラー回路を用い、定電流を生成し、この定電流成分において、バイアス電圧に含まれる抵抗成分を操作する成分を含ませることにより、安定に、製造時において抵抗素子の抵抗ばらつきの影響を受けることなく一定の電圧レベルのバイアス電圧VPを生成することができる。

【0101】

[実施の形態3]

図3は、この発明の実施の形態3に従うバイアス電圧発生回路の構成を示す図である。この図3に示すバイアス電圧発生回路BPKは、図2に示すバイアス電圧発生回路BPKの構成と、出力ノード106に接続されるNチャンネルMOSトランジスタ110のゲート電圧を生成する回路の構成が異なる。

20

【0102】

すなわち、この図3に示すバイアス電圧発生回路BPKにおいて、ゲート電圧発生回路は、電源ノードとノード114の間に接続される抵抗素子111と、ノード114とノード115の間に接続されかつそのゲートがノード114に接続されるNチャンネルMOSトランジスタ112と、ノード115と接地ノードの間に接続されかつそのゲートがノード118に接続されるNチャンネルMOSトランジスタ113と、電源ノードとノード118の間に接続されかつそのゲートがノード114に接続されるNチャンネルMOSトランジスタ116と、ノード118と接地ノードの間に接続される抵抗素子117を含む。

30

【0103】

抵抗素子111および117は、それぞれ、抵抗値R1およびR2を有する。抵抗素子111および117の有する抵抗値R1およびR2は、MOSトランジスタ112、113および116のチャンネル抵抗(オン抵抗)よりも十分大きな抵抗値である。

【0104】

MOSトランジスタ110のゲートが、ノード115に接続される。この図3に示すバイアス電圧発生回路の他の構成は、図2に示すバイアス電圧発生回路の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0105】

このバイアス電圧発生回路BPKの構成において、抵抗素子111の抵抗値R1が、MOSトランジスタ112のチャンネル抵抗(オン抵抗)よりも十分大きな値に設定されており、MOSトランジスタ112はダイオードモードで動作し、導通時、そのしきい値電圧VTNの電圧降下を生じさせる。

40

【0106】

MOSトランジスタ113は、ノード118の電圧に応じた電流を、接地ノードへ放電し、ノード115の電圧レベルを適当な値に設定する。

【0107】

ノード114へは、抵抗素子111の抵抗値R1により、電源電圧VCCよりも低い電圧が伝達される。このノード114の電圧レベルは、電源電圧VCCに対し依存性を有する。MOSトランジスタ116は、そのゲート電圧が、ドレイン電圧(VCC)よりも低いため、また、そのオン抵抗が、抵抗素子117の抵抗値R2よりも十分小さいため、ソー

50

スフォロワモードで動作する。したがってノード114の電圧レベルが低下したときには、このMOSトランジスタ116のソースフォロワモード動作により、ノード118へ、ノード114の電圧上昇が伝達される。応じて、MOSトランジスタ113のコンダクタンスが大きくなり、ノード115の電圧レベルを低下させる。これにより、ノード114の電圧レベルが応じて低下する。

【0108】

逆に、ノード114の電圧レベルが低下したとき、MOSトランジスタ116のソースフォロワモード動作により、ノード118の電圧レベルが低下し、応じてMOSトランジスタ113のコンダクタンスが小さくなり、ノード25の電圧レベルが上昇する。応じてノード114の電圧レベルが上昇する。

10

【0109】

したがって、これらのMOSトランジスタ112および116のサイズを適当に選択することにより、ノード115の電圧レベルを、電源電圧VCCの変動にかかわらず、一定の電圧レベルに保持することができる。

【0110】

ノード115の電圧レベルが、電源電圧VCCに依存しないため、MOSトランジスタ110は、この電源電圧VCCに依存しない電流を駆動することができる。応じて、機能回路1において、駆動電流を、電源電圧VCCに依存しない一定の電流に設定することができる。安定に機能回路1を動作させることができる。

20

【0111】

このMOSトランジスタ110のゲートへ、電源電圧VCCに依存しない一定の電圧を与えて、MOSトランジスタ110を介して定電流を駆動する構成は、一般に、バイアス電圧発生回路ではなく、一般的な半導体装置に適用することができる。

【0112】

[実施の形態4]

図4は、この発明の実施の形態4に従う半導体装置の構成を概略的に示す図である。この図4に示す半導体装置の構成においては、電圧V3を一方動作電源電圧として受ける機能回路1Aの動作電流を、MOSトランジスタ110の駆動電流I3により決定する。この機能回路1Aは、内部信号を処理して、出力信号VOUTを生成する。動作電流が、MOSトランジスタ110により決定される回路であれば、この機能回路1Aとしては、任意の半導体回路を適用することができる。例えば、この機能回路1Aは、電流源により動作電流が決定される差動増幅回路である。

30

【0113】

MOSトランジスタ110のゲートノード115を駆動するために、図3に示すゲート電圧発生回路と同様の構成が用いられる。図4に示すノード115にゲート電圧を発生する回路において、図3に示すゲート電圧発生回路と対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0114】

この図4に示すゲート電圧発生回路の構成においては、電源電圧VCCおよび接地電圧VSSに代えて、電圧V1およびV2がそれぞれ用いられる。この電圧V1は、機能回路1Aの一方動作電源電圧V3と同じ電圧レベルであってもよい。また、電圧V2は、接地電圧VSSであってもよい。ゲートノード115に、一定の電圧を生成することのできる電圧レベルであれば、この電圧V2の電圧レベルを任意の値に設定することができ、したがって、電圧V2は、負電圧であってもよい。また、電圧V1は、高電圧であってもよい。

40

【0115】

抵抗素子117、および111は、MOS集積回路装置の場合には、MOSトランジスタのチャネル抵抗、不純物拡散層の抵抗、およびポリシリコンなどの配線層を抵抗として利用することができる。また、この機能回路1Aが、画像表示装置に集積化されており、その構成要素として薄膜トランジスタ(TFT)が用いられる場合には、抵抗素子111および117としては、薄膜抵抗またはTFTのゲート電極材料が用いられてもよい。

50

【 0 1 1 6 】

この図 4 に示すゲート電圧発生回路において、MOS トランジスタ 1 1 2 および 1 1 3 を流れる電流 I_2 は、次式 (1 2) で表わされる。

【 0 1 1 7 】

$$I_2 = \mu_{112} \cdot (V_{114} - V_{115} - V_{TN})^2 / 2 \\ = \mu_{113} \cdot (V_{118} - V_2 - V_{TN})^2 / 2 \quad \dots (12)$$

電圧 V_{114} 、 V_{115} および V_{118} は、それぞれ、ノード 1 1 4、1 1 5 および 1 1 8 の電圧を示す。また μ_{112} および μ_{113} は、それぞれ、MOS トランジスタ 1 1 2 および 1 1 3 のサイズおよび構成材料により決定される定数である。

【 0 1 1 8 】

MOS トランジスタ 1 1 2 および 1 1 3 が、同一サイズを有する場合、これらの MOS トランジスタ 1 1 2 および 1 1 3 は、同一材料で構成されているため、係数 μ_{112} および μ_{113} は互いに等しくなる。したがって、上式 (1 2) から、次式 (1 3) が得られる。

【 0 1 1 9 】

$$V_{114} - V_{115} - V_{TN} = V_{118} - V_2 - V_{TN} \\ V_{114} - V_{115} = V_{118} - V_2 \\ V_{114} - V_{118} = V_{115} - V_2 \quad \dots (13)$$

この式 (1 3) は、MOS トランジスタ 1 1 6 および 1 1 0 のゲート - ソース間電圧が、同一電圧レベルであることを示している。MOS トランジスタ 1 1 6 が飽和領域で動作している。したがって、MOS トランジスタ 1 1 0 も、飽和領域で動作させることにより、この MOS トランジスタ 1 1 6 を介して流れる電流 I_1 のミラー電流を、MOS トランジスタ 1 1 0 に流すことができる。MOS トランジスタ 1 1 6 および 1 1 0 が、サイズが同じ (チャネル長とチャネル幅の比が同じ) 場合には、MOS トランジスタ 1 1 0 を介して流れる電流 I_3 が、MOS トランジスタ 1 1 6 を介して流れる電流 I_1 と同じ電流となる。

【 0 1 2 0 】

なお、飽和領域で動作させる場合、MOS トランジスタ 1 1 6 において、ゲート - ソース間電圧 $V_{114} - V_{118}$ としきい値電圧 V_{TN} の差が、そのドレイン - ソース間電圧 $V_1 - V_{118}$ よりも小さいという条件が要求される。

【 0 1 2 1 】

これは、MOS トランジスタ 1 1 0 についても同様である。

したがって、この図 4 に示す回路構成を利用することにより、機能回路 1 A が、定電流源を用いるたとえばカレントミラー型差動増幅回路などの場合、安定に差動増幅動作を行なうことができる。

【 0 1 2 2 】

電圧 V_2 および V_1 を、適当な電圧レベルに設定することにより、この回路の MOS トランジスタ 1 1 0、1 1 3 および 1 1 6 を、確実に、飽和領域で動作させることができる。

【 0 1 2 3 】

以上のように、この発明の実施の形態 4 に従えば、電源電圧に依存しない電圧を MOS トランジスタの負帰還を利用して生成し、この電圧を用いて定電流を発生しており、電源電圧の変動の影響を受けることなく、安定に機能回路を動作させることができる。

【 0 1 2 4 】

[実施の形態 5]

図 5 は、この発明の実施の形態 5 に従うバイアス電圧発生回路の構成を示す図である。この図 5 に示すバイアス電圧発生回路 B P K は、電源電圧 V_{CC} を受ける電源ノードとバイアス電圧 V_P を出力する出力ノード 1 0 6 の間に、直列に、ダイオード接続された P チャネル MOS トランジスタ 1 0 1、1 0 2 および 1 2 0 と、出力ノード 1 0 6 と接地電圧 V_{SS} を受ける接地ノードの間に接続される抵抗素子 1 2 2 と、電源ノードと出力ノード 1 0 6 の間に接続されるデカップル容量 1 0 7 を含む。

10

20

30

40

50

【 0 1 2 5 】

抵抗素子 1 2 2 の抵抗値 R は、M O S トランジスタ 1 0 1、1 0 2 および 1 2 0 のオン抵抗よりも十分大きいため、これらの M O S トランジスタ 1 0 1、1 0 2 および 1 2 0 が、ダイオードモードで動作し、それぞれ導通時、しきい値電圧 V T P の絶対値の電圧降下を生じさせる。

【 0 1 2 6 】

したがって、この図 5 に示すバイアス電圧発生回路の場合、バイアス電圧 V P は、次式 (1 4) で表わされる。

【 0 1 2 7 】

$$V P = V C C - 3 \cdot | V T P | \quad \dots (1 4)$$

この場合、機能回路 1 において、M O S トランジスタ P Q 0 の入力信号 I N 2 が、電圧 V P + | V T P | の場合、ゲート - ソース間電圧 V G S 0 は、次式 (1 5) で表わされる。

【 0 1 2 8 】

$$\begin{aligned} V G S 0 &= V P + | V T P | - V C C \\ &= - 2 \cdot | V T P | \quad \dots (1 5) \end{aligned}$$

したがって、この場合機能回路 1 の M O S トランジスタ P Q 0 の駆動電流 I 0 は、次式 (1 6) で表わされる。

【 0 1 2 9 】

$$I \quad (- | V T P |) \quad \dots (1 6)$$

したがって、上式 (1 6) に示されるように、機能回路 1 において、M O S トランジスタ P Q 0 の駆動電流は、しきい値電圧 V T P のばらつきの影響を受ける。しかしながら、定電流源を利用する構成に比べて、回路構成が簡略化され、また電流が流れる経路も少なく、また抵抗素子 1 2 2 を介して流れる電流も小さいため、消費電力を十分に低減する効果が得られる。したがって、比較的、しきい値電圧 V T P のばらつきが小さい M O S 半導体回路装置に対して、この図 5 に示すバイアス電圧発生回路 1 0 を適用することにより、低消費電流で、バイアス電圧 V P を生成することができる。この構成の場合、電源電圧 V C C の電圧が高い場合においても機能回路 1 における M O S トランジスタのゲート絶縁膜の信頼性を確保することができる。

【 0 1 3 0 】

なお、この図 5 に示すバイアス電圧発生回路 1 0 において、P チャネル M O S トランジスタ 1 2 0 に代えて、ダイオード接続された N チャネル M O S トランジスタが用いられてもよく、またダイオード素子が用いられてもよい。この場合には、それぞれ、V T N または V P N に比例した、駆動電流 I 0 が得られる。なお、V T N は、ダイオード接続された N チャネル M O S トランジスタのしきい値電圧を示し、V P N は、ダイオード素子の順方向降下電圧を示す。

【 0 1 3 1 】

[実施の形態 6]

図 6 は、この発明の実施の形態 6 に従うバイアス電圧発生回路 B N K の構成を示す図である。この図 6 に示すバイアス電圧発生回路 B N K は、機能回路 1 に含まれる N チャネル M O S トランジスタ N Q 1 のゲートへ与えられるバイアス電圧 V N を生成する。

【 0 1 3 2 】

図 6 において、バイアス電圧発生回路 B N K は、電源電圧 V C C を受ける電源ノードとバイアス電圧 V N を出力する出力ノード 2 0 6 の間に接続される定電流源 2 0 0 と、定電流源 2 0 6 とノード 2 0 5 の間に接続される抵抗素子 2 0 3 と、ノード 2 0 5 と接地電圧 V S S を受ける接地ノードの間に直列に接続されるそれぞれダイオード接続された N チャネル M O S トランジスタ 2 0 2 および 2 0 1 を含む。

【 0 1 3 3 】

定電流源 2 0 0 は、電流 I を供給し、抵抗素子 2 0 3 は、抵抗値 r を有する。出力ノード 2 0 6 と接地ノードの間には、このバイアス電圧 V N の容量結合などに起因するノイズを抑制するためのデカップル容量 1 9 9 が設けられる。このデカップル容量 1 9 9 は、十分

10

20

30

40

50

大きな容量値 C を有する。

【 0 1 3 4 】

この図 6 に示すバイアス電圧発生回路 B N K においては、抵抗素子 2 0 3 が、電圧 $r \cdot I$ の電圧降下を生じさせる。M O S トランジスタ 2 0 2 および 2 0 1 は、それぞれゲートが、ノード 2 0 5 および 2 0 4 に接続され、ダイオードモードで動作し、それぞれ、導通時、しきい値電圧 V_{TN} の電圧降下を生じさせる。

【 0 1 3 5 】

したがって、出力ノード 2 0 6 からのバイアス電圧 V_N は、次式 (1 7) で表わされる。

【 0 1 3 6 】

$$V_N = 2 \cdot V_{TN} + r \cdot I \quad \dots (17)$$

入力信号 I_{N1} が、電圧 $V_N - V_{TN}$ の場合、N チャネル M O S トランジスタ NQ_0 のゲート - ソース間電圧 $V_{GS_{N0}}$ は、次式 (1 8) で表わされる。

【 0 1 3 7 】

$$\begin{aligned} V_{GS_{N0}} &= V_N - V_{TN} \\ &= r \cdot I + V_{TN} \quad \dots (18) \end{aligned}$$

したがって、この M O S トランジスタ NQ_0 が駆動する電流 I_n は、次式 (1 9) で示される。

【 0 1 3 8 】

$$\begin{aligned} I_n &= (r \cdot I + V_{TN} - V_{TN}) \\ &= (r \cdot I) \quad \dots (19) \end{aligned}$$

したがって、M O S トランジスタ NQ_0 により、出力信号が接地電圧レベルへ駆動される場合、一定の大きさの電流で出力ノードを駆動することができる。

【 0 1 3 9 】

先の特許文献 1 においては、イオン注入により、しきい値電圧を高くして、しきい値電圧 V_{TH} およびしきい値電圧 V_{TN} の差を利用して、M O S トランジスタ NQ_0 および NQ_1 のゲート電位を設定している。しかしながら、このようなしきい値電圧 V_{TH} を生成する回路をバイアス電圧発生のために用いる場合、製造工程をしきい値電圧を変更するために増加させる必要がある。したがって、低コストが要求される場合、このような複数種類のしきい値電圧を生成するのがコストの観点から行なえない場合がある。したがって、N チャネル M O S トランジスタのしきい値電圧を、すべて同一とすることにより、安定に、出力信号を接地電圧レベルに駆動することができる。

【 0 1 4 0 】

以上のように、この発明の実施の形態 6 に従えば、バイアス電圧 V_N として、出力部の機能回路の M O S トランジスタと同じ大きさのしきい値電圧を生成するトランジスタを用いてバイアス電圧 V_N を生成しており、製造工程を増加させることなく、安定に、出力信号を駆動することのできるバイアス電圧 V_N を生成することができる。

【 0 1 4 1 】

[実施の形態 7]

図 7 は、この発明の実施の形態 7 に従うバイアス電圧発生回路 B N K の構成を示す図である。この図 7 に示すバイアス電圧発生回路 B N K においては、図 6 に示す定電流源 2 0 0 として、カレントミラー回路が用いられる。

【 0 1 4 2 】

すなわち、バイアス電圧発生回路 B N K は、電源ノードとノード 2 0 6 の間に接続されかつそのゲートがノード 2 1 0 に接続される P チャネル M O S トランジスタ 2 0 7 と、電源ノードとノード 2 1 0 の間に接続されかつそのゲートがノード 2 1 0 に接続される P チャネル M O S トランジスタ 2 0 8 と、ノード 2 1 0 と接地ノードの間に接続される抵抗素子 2 0 9 を含む。抵抗素子 2 1 0 は、抵抗値 R を有する。

【 0 1 4 3 】

この図 7 に示すバイアス電圧発生回路 B N K の他の構成は、図 6 に示すバイアス電圧発生回路の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略す

10

20

30

40

50

る。

【0144】

この図7に示すバイアス電圧発生回路BNKの構成においては、MOSトランジスタ208のチャンネルコンダクタンス（オン抵抗）と抵抗素子209の抵抗値Rにより決定される電流が、MOSトランジスタ208および抵抗素子209を介して流れる。このMOSトランジスタ208を介して流れる電流のミラー電流が、MOSトランジスタ207を介して出力ノード206へ供給される。したがって、電流Iは、次式(20)で表わされる。

【0145】

$$I = M \cdot VCC / (R + Rcha) \quad \dots (20)$$

ここで、Rchaは、MOSトランジスタ208のチャンネル抵抗である。またMは、MOSトランジスタ207および208で構成されるカレントミラー回路のミラー係数を示す。したがって、バイアス電圧VNは、次式(21)で表わされる。

【0146】

$$VN = M \cdot VCC \cdot r / (R + Rcha) + 2 \cdot VTN \quad \dots (21)$$

したがって、入力信号IN1が電圧VN - VTNのときの機能回路1に含まれるMOSトランジスタNQ0の駆動電流Inq0は、次式(22)で表わされる。

【0147】

$$Inq0 = M \cdot r \cdot VCC / (Rcha + R) \quad \dots (22)$$

ミラー係数Mが1であり、またチャンネル抵抗Rchaが、抵抗素子209の抵抗値Rに比べて無視することができる場合、この抵抗素子209および203の抵抗値rおよびRにおける、製造パラメータのばらつきに起因する抵抗値のばらつきを相殺することができる。

【0148】

したがって、この場合においても、安定に、MOSトランジスタのしきい値電圧VTNのばらつきの影響を受けることなく、安定に、MOSトランジスタMQ0の駆動電流を設定することができる。また、バイアス電圧VNを発生するために、機能回路1に含まれるNチャンネルMOSトランジスタNQ1およびNQ0と同じしきい値電圧を有するNチャンネルMOSトランジスタを用いてバイアス電圧を生成することができ、余分の製造工程が不要となり、製造コストを低減することができる。

【0149】

[実施の形態8]

図8は、この発明の実施の形態8に従うバイアス電圧発生回路BNKの構成を示す図である。この図8に示すバイアス電圧発生回路BNKにおいては、出力ノード206に対する定電流Iを供給する回路として、以下の定電流源回路が設けられる。

【0150】

すなわち、図8において、定電流源回路は、電源ノードと出力ノード206の間に接続されかつそのゲートがノード215に接続されるPチャンネルMOSトランジスタ207と、電源ノードとノード215の間に接続されかつそのゲートがノード218に接続されるPチャンネルMOSトランジスタ213と、ノード215とノード214の間に接続されかつそのゲートがノード214に接続されるPチャンネルMOSトランジスタ212と、ノード214と接地ノードの間に接続される抵抗素子211と、電源ノードとノード218の間に接続される抵抗素子217と、ノード218と接地ノードの間に接続されかつそのゲートがノード214に接続されるPチャンネルMOSトランジスタを含む。

【0151】

抵抗素子211は抵抗値R1を有し、抵抗素子217は、抵抗値R2を有する。抵抗素子211の抵抗値R1は、MOSトランジスタ212および213の導通時のチャンネル抵抗（オン抵抗）が十分大きく、また抵抗素子217の抵抗値R2は、MOSトランジスタ216のオン抵抗よりも十分大きい。

【0152】

MOSトランジスタ212は、ダイオードモードで動作し、導通時、電圧|VTP|の電

10

20

30

40

50

圧降下を、生じさせる。MOSトランジスタ216は、そのゲート(ノード214)の電圧レベルがドレイン(接地ノード)の電圧レベルよりも高いために、ソースフォロアモードで動作する。

【0153】

電源電圧VCCが変動し、MOSトランジスタ213および212を介して流れる電流量が増加した場合、ノード214の電圧レベルが上昇する。このノード214の電圧上昇は、MOSトランジスタ214のソースフォロアモード動作により、ノード218へ伝達され、ノード218の電圧レベルが上昇する。応じて、MOSトランジスタ213のゲート-ソース間電圧の絶対値が小さくなり、MOSトランジスタ213の供給電流が低下し、ノード214の電圧レベルが低下する。

10

【0154】

逆に、ノード214の電圧レベルが低下した場合、このノード214の電圧低下が、MOSトランジスタ216により、ノード218へ伝達される。このノード218の電圧低下により、MOSトランジスタ213のオン抵抗が低下し、MOSトランジスタ213の供給電流が増大し、ノード214の電圧レベルが上昇する。

【0155】

ノード214は、したがって、これらのMOSトランジスタ213および216のフィードバック制御により、電源電圧VCCの変動にかかわらず、一定の電圧レベルとなる。抵抗素子217および211の抵抗値R2およびR1の抵抗値が、十分高い場合には、これらのMOSトランジスタ213、212および216には、微小電流が流れるだけである。MOSトランジスタ213は、ノード218の電圧を反転増幅してノード215へ伝達する。したがって、このノード218の電圧V218は、MOSトランジスタ213がほぼ導通する電圧レベルとなり、次式(23)で表わされる。

20

【0156】

$$V_{218} = V_{CC} - |V_{TP}| \quad \dots (23)$$

ノード214の電圧が、MOSトランジスタ216のソースフォロアモードにより、ノード218へ伝達される。したがって、ノード214の電圧V214は、次式(24)で表わされる。

【0157】

$$\begin{aligned} V_{214} &= V_{218} - |V_{TP}| \\ &= V_{CC} - 2 \cdot |V_{TP}| \quad \dots (24) \end{aligned}$$

30

MOSトランジスタ212が、ダイオードモードで動作しており、ノード214の電圧V214よりも、電圧|VTP|高い電圧レベルに、ノード215の電圧レベルを設定する。したがって、ノード215の電圧V215は、次式(25)で表わされる。

【0158】

$$\begin{aligned} V_{215} &= V_{214} + |V_{TP}| \\ &= V_{CC} - |V_{TP}| \quad \dots (25) \end{aligned}$$

MOSトランジスタ207が、このノード215の電圧V215に従って電流Iをノード206へ供給する。したがって、MOSトランジスタ207のゲート-ソース間電圧は、|VTP|となり、このMOSトランジスタ207が供給する電流Iは、電源電圧VCCに依存しない一定の電流となる。ここで、MOSトランジスタ212、213および216のしきい値電圧をすべて等しいとしている。

40

【0159】

MOSトランジスタ213および207が、同じサイズの場合、これらのMOSトランジスタ213および207のゲート-ソース間電圧は同じであり、同じ大きさの電流を流れる。したがって、MOSトランジスタ202および201をダイオードモードで動作させ、安定に、そのしきい値電圧VTNの電圧降下を生じさせて、電源電圧VCCに依存しないバイアス電圧VNを生成することができる。

【0160】

[実施の形態9]

50

図 8 に示す定電流源は、一般の半導体回路装置に適用することができる。図 9 に示す半導体回路装置においては、図 8 に示す定電流 I を発生する回路が、機能回路 1 B に対する電流源として用いられる。この図 9 に示す定電流発生回路においては、電源電圧 V_{CC} に代えて、電圧 V_1 が用いられ、接地電圧 V_{SS} に代えて、電圧 V_2 が用いられる。機能回路 1 B は、ロー側電源電圧 V_3 を一方電源電圧として受け、また MOS トランジスタ 2 0 7 からの電流 I_3 を動作電流として受ける。この機能回路 1 B は、たとえば、カレントミラー型差動増幅回路のような定電流を必要とする回路であり、所定の処理を行なって出力信号 V_{OUT} を生成する。

【 0 1 6 1 】

この機能回路 1 B に与えられる電圧 V_3 は、また電圧 V_2 であってもよい。この電圧 V_2 は、また接地電圧 V_{SS} であってもよい。

10

【 0 1 6 2 】

この定電流発生回路には、図 8 に示す定電流発生回路と同一回路構成であり、対応する部分には同一参照番号を付し、その詳細説明は省略する。電圧 V_1 および V_2 は、この定電流発生回路に含まれる MOS トランジスタ 2 1 2、2 1 3 および 2 1 6 が、飽和領域で動作する電源電圧レベルであればよい。

【 0 1 6 3 】

この定電流発生回路において、抵抗素子 2 1 1 および 2 1 7 は、高抵抗の抵抗素子であり、MOS L S I の場合、チャネル抵抗、不純物拡散層またはポリシリコン等の配線層により構成される。この機能回路 1 B が、画像表示装置において用いられ、T F T 回路で構成される場合、抵抗素子 2 1 1 および 2 1 7 は、薄膜抵抗または T F T ゲート電極材料で構成されてもよい。

20

【 0 1 6 4 】

この図 9 に示す定電流発生回路において、MOS トランジスタ 2 1 2 および 2 1 3 を介して流れる I_2 は、MOS トランジスタ 2 1 3 および 2 1 3 が飽和領域で動作するため、次式 (2 6) で表わされる。

【 0 1 6 5 】

$$I_2 = \frac{212 \cdot (V_{214} - V_{215} - V_{TP})^2}{2} \\ = \frac{213 \cdot (V_{213} - V_1 - V_{TP})^2}{2} \quad \dots (26)$$

ここで、2 1 2 および 2 1 3 は、それぞれ、MOS トランジスタ 2 1 2 および 2 1 3 の導電係数を示し、 V_{214} 、 V_{215} および V_{218} は、ノード 2 1 4、2 1 5 および 2 1 8 の電圧レベルを示す。

30

【 0 1 6 6 】

MOS トランジスタ 2 1 2 および 2 1 3 が、同一サイズで構成される場合、その導電係数 2 1 2 および 2 1 3 が等しくなる。したがって、上式 (2 6) を整理すると、次式 (2 7) が得られる。

【 0 1 6 7 】

$$V_{214} - V_{215} - V_{TN} = V_{218} - V_1 - V_{TP} \\ V_{214} - V_{215} = V_{218} - V_1 \\ V_{214} - V_{218} = V_{215} - V_1 \quad \dots (27)$$

40

上式 (2 7) は、MOS トランジスタ 2 0 7 および 2 1 6 のゲート - ソース間電圧が同じであることを示している。MOS トランジスタ 2 1 6 が飽和領域で動作しており、電流 I_1 を放電する。抵抗素子 2 1 7 および 2 1 1 の抵抗値が十分大きい場合、この MOS トランジスタ 2 1 6 のゲート - ソース間電圧は、電圧 V_{TP} レベルとなる。したがって、MOS トランジスタ 2 0 7 も、飽和領域で動作させると、この MOS トランジスタ 2 0 7 を介して流れる電流 I_3 も、電源電圧 V_{CC} に依存しない電流となる。MOS トランジスタ 2 1 6 および 2 0 7 がサイズが同じの場合、電流 I_1 が電流 I_3 と等しくなる。

【 0 1 6 8 】

したがって、電圧 V_1 、 V_2 および V_3 は、この MOS トランジスタ 2 1 2、2 1 3、2 1 6 および 2 0 7 を飽和領域で動作させるという条件を満足する電圧であれば、機能回路

50

1 B に対し、電圧 V_1 に依存しない一定の電流を供給することができ、機能回路 1 B を、安定に動作させることができる。

【0169】

[実施の形態 10]

図 10 は、この発明の実施の形態 10 に従うバイアス電圧発生回路 B N K の構成を示す図である。図 10 に示すバイアス電圧発生回路 B N K は、電圧 V_A を受ける電源ノードと出力ノード 206 の間に接続される抵抗素子 222 と、出力ノード 206 と接地ノードの間に直列に、接続されるそれぞれがダイオード接続された N チャネル MOS トランジスタ 220、202 および 201 を含む。出力ノード 206 からバイアス電圧 V_N が出力される。この出力ノード 206 には、バイアス電圧 V_N を安定化するためのデカップル容量 199 が設けられる。

10

【0170】

電圧 V_A は、MOS トランジスタ 201、202 および 220 が、安定に、ダイオードモードで動作する電圧レベルであればよい。

【0171】

この図 10 に示すバイアス電圧発生回路 B N K において、抵抗素子 222 の抵抗値 R_b は、MOS トランジスタ 220、202 および 201 のオン抵抗よりも十分大きな値に設定され、MOS トランジスタ 220、202 および 201 がダイオードモードで動作する。これらの MOS トランジスタ 220、202 および 201 は、導通時、しきい値電圧 V_{TN} の電圧降下を生じさせる。したがって、バイアス電圧 V_N として、 $3 \cdot V_{TN}$ が得られる。この場合、機能回路 1 において、MOS トランジスタ N Q 0 へ、入力信号 I_{N1} として、 $V_N - V_{TN}$ が与えられると、この MOS トランジスタ N Q 0 の駆動電流 I_{nq0} は、次式 (28) で表わされる。

20

【0172】

$I_{nq0} = (V_N - V_{TN} - V_{TN}) \cdot (V_{TN}) \dots (28)$

したがって、この場合、MOS トランジスタ N Q 0 の駆動電流 I_{nq0} は、しきい値電圧 V_{TN} のばらつきによる影響を受ける。しかしながら、単に、ダイオード接続される N チャネル MOS トランジスタ 220、202 および 201 が用いられるだけであり、これらのしきい値電圧 V_{TN} は、機能回路 1 の MOS トランジスタ N Q 0 および N Q 1 と同じに設定することができ、製造工程を増加させることなく、バイアス電圧 B_N を生成して、この機能回路 1 において、入力信号 I_{N1} に従って出力信号を生成することができる。また、回路構成も簡略化されており、抵抗素子 222 の抵抗値 R_b も十分大きな値であり、バイアス電圧 B_N を発生するための回路構成の占有面積を低減でき、また消費電力も低減することができる。

30

【0173】

[実施の形態 11]

図 11 は、この発明の実施の形態 11 に従う半導体装置の全体の構成を概略的に示す図である。この実施の形態 11 においては、先の実施の形態 1 から 10 において示したバイアス電圧発生回路 B P K、B N K および機能回路 1 を、画像表示装置において画素を駆動するために利用する。

40

【0174】

すなわち、この発明の実施の形態 11 に従う半導体装置は、行列状に配列される複数の表示画素素子を含む表示画素マトリクス 300 と、画素データ P D に従って表示画素マトリクス 300 のデータ線 (図示せず) を駆動するデータドライバ 304 と、タイミング信号に従ってこの表示画素マトリクス 300 の画素素子を選択するゲートドライバ 302 を含む。ゲートドライバ 302 は、この表示画素マトリクス 300 の各表示画素素子行に対応して配置されるゲート線を所定のシーケンスで駆動する。

【0175】

データドライバ 304 は、シフトレジスタまたはスイッチングトランジスタで構成され、画素データ P D に従って表示画素マトリクス 300 内の各列方向に延在して配置されるデ

50

ータ線へ画素データに応じた電圧を伝達する。データ線駆動時においては、各データ線が順次選択されて画素データにしたがって駆動されてもよく、また、1つのゲート線に接続される1行の画素素子に対して、同時に画素データが書込まれてもよい。

【0176】

このゲートドライバ302において、表示画素マトリクス300の表示画素素子を選択状態へ駆動するためのゲート線を駆動するために、先の実施の形態1から10において説明した回路を利用する。

【0177】

図12は、図11に示すゲートドライバ302および表示画素マトリクス300の、1つの表示画素素子PXに関連する部分の構成を概略的に示す図である。図12において、ゲートドライバ302は、タイミング信号TINiを受けてバッファ処理して相補信号TINおよびZTINを生成する入力バッファ回路310と、入力バッファ回路310の振幅電源電圧VDDの出力信号TINおよびZTINを、電圧VHおよびVLの電圧レベルに変換するレベル変換回路312と、レベル変換回路312の出力信号に従ってゲート線44を駆動するゲート線ドライブ回路314を含む。

10

【0178】

このレベル変換回路312は、バイアス電圧VPおよびVNに従って、小振幅の信号を生成し、かつこの小振幅信号に従ってゲート線ドライブ回路314を駆動する。ゲート線ドライブ回路314は、先の実施の形態1から10における機能回路1に対応し、レベル変換回路312の出力信号およびバイアス電圧VPおよびVNに従って対応のゲート線44

20

【0179】

表示画素マトリクス300においては、表示画素素子PXの各行に対応してゲート駆動線44が設けられ、また、表示画素素子PXの各列に対応してデータ線45が設けられる。データ線45に、図11に示す画素データPDに対応する電圧が伝達され、ゲート線44が選択状態へ駆動されたときに、データ線45上に伝達された画素データが表示画素素子PXに格納されて保持される。

【0180】

図13は、図12に示す画像表示素子PXの構成の一例を示す図である。図13において、画像表示素子PXは、ゲート線44上の信号に従って選択的に導通するNチャンネルMOSトランジスタ46と、記憶ノード(画素ノード)47と電極ノード49の間に接続される容量素子48と、記憶ノード47と対向電極51の間に接続される液晶素子50を含む。

30

【0181】

MOSトランジスタ46は、通常、薄膜トランジスタ(TFT)で構成される。このMOSトランジスタ46の導通時、データ線45上に、画像信号が伝達されて、記憶ノード47に、この画像信号が保持される。液晶素子50は、対向電極51と記憶ノード47の間の電圧に従って、その偏光状態が決定される。

【0182】

ゲート駆動線44は、図12に示すゲート線ドライブ回路314により、電圧VHおよびVLの間で駆動される。電圧VHは、電源電圧VDDよりも高い高電圧であり、電圧VLは、接地電圧VSSよりも低い電圧である。以下、この画像表示素子PXの駆動動作について簡単に説明する。

40

【0183】

ゲート線44は、所定のシーケンスで順次選択状態へ駆動される。このゲート線44が選択されて、電圧VHレベルになると、MOSトランジスタ16が導通し、データ線45に伝達された画像信号が、記憶ノード47へ伝達される。この画像信号の書込時、MOSトランジスタ46のしきい値電圧損失が生じないように、ゲート線44へ与えられる電圧VHは、十分高い電圧レベルへ設定される。これにより、記憶ノード47へは、MOSトランジスタ46のしきい値電圧損失を受けることなく、データ線45に与えられた画像信号

50

が書込まれる。

【0184】

この記憶ノード47への画像信号の書込の後、ゲート線44が非選択状態へ駆動され、その電圧レベルが電圧 V_L レベルに設定される。この記憶ノード47の画像信号は、容量素子48により保持される。このとき、MOSトランジスタ46を介して流れるリーク電流により、この記憶ノード47に格納された画像信号の電圧レベルが変化することを防止するため、MOSトランジスタ46を、深いオフ状態に設定することが要求される。このため、ゲート線44へは、負電圧 V_L が与えられ、MOSトランジスタ46のゲート-ソース間が十分深い逆バイアス状態に設定される。

【0185】

この記憶ノード47に保持される電圧に従って液晶表示素子50の偏光状態が設定され、この画素 P_X の表示状態が決定される。この表示画素素子 P_X の表示形態としては、反射型および透過型のいずれが用いられてもよい。

【0186】

画像表示素子 P_X へは、高電圧 V_H および負電圧 V_L を供給するため、ゲート線ドライブ回路314へは、電源電圧 V_{DD} レベルよりも高い電圧が、供給される。実施の形態1から10において示した機能回路1の構成を、このゲート線ドライブ回路314に適用することにより、高電圧印加時においても、ゲート絶縁膜の信頼性を保証する。

【0187】

レベル変換回路312は、入力バッファ回路310の出力信号 T_{IN} および Z_{TIN} に従って、電圧 V_H と電圧 $V_{P+} - |V_{TP}|$ の間で変化する信号と、電圧 V_L と電圧 $V_N - V_{TN}$ の間で変化する信号を生成する。

【0188】

図14は、図12に示す入力バッファ回路310の構成を示す図である。図14において、入力バッファ回路310は、入力ノード4に与えられる入力タイミング信号 T_{INi} を受けるCMOSインバータ I_{V1} と、CMOSインバータ I_{V1} の出力信号を受けるCMOSインバータ I_{V2} を含む。CMOSインバータ I_{V1} から、補の入力信号 Z_{TIN} が出力され、CMOSインバータ I_{V2} から、入力信号 T_{IN} が出力される。

【0189】

入力タイミング信号 T_{INi} は、ゲート線を駆動するタイミングおよびゲート線の活性状態の期間を決定し、ゲート線の垂直方向の走査シーケンスに従って活性化される。

【0190】

CMOSインバータ I_{V1} は、電源電圧 V_{DD} を受ける電源ノード311とノード7の間に接続されかつそのゲートが入力ノード4に接続されるPチャンネルMOSトランジスタ5と、ノード7と接地電圧 V_{SS} を受ける接地ノード312の間に接続されかつそのゲートが入力ノード4に接続されるNチャンネルMOSトランジスタ6を含む。ノード7から、信号 Z_{TIN} が出力される。

【0191】

電源電圧 V_{DD} は、先の実施の形態と同様、外部からの電源電圧 V_{CC} であってもよく、また、内部で生成される電源電圧であってもよい。ここでは、画像表示装置内において動作電源電圧として用いられる電源電圧であることを示すために、符号 V_{DD} で電源電圧を示す。

【0192】

CMOSインバータ I_{V2} は、電源ノード311とノード10の間に接続されかつそのゲートがノード7に接続されるPチャンネルMOSトランジスタ8と、ノード10と接地ノード312の間に接続されかつそのゲートがノード7に接続されるNチャンネルMOSトランジスタ9を含む。ノード10から、信号 T_{IN} が出力される。

【0193】

これらの入力バッファ回路310において、CMOSインバータ I_{V1} および I_{V2} が、電源電圧 V_{DD} および接地電圧 V_{SS} を動作電源電圧として動作し、入力タイミング信号

10

20

30

40

50

T I N_iに従って、相補な入力信号T I NおよびZ T I Nを生成する。したがって、C M O SインバータI V 1から出力される信号Z T I Nは、入力タイミング信号T I N_iとその論理レベルは相補な信号であり、C M O SインバータI V 2から出力されるT I Nは、その論理レベルが、入力タイミング信号T I I N_iと同じである。

【 0 1 9 4 】

図 1 5 は、図 1 2 に示すレベル変換回路 3 1 2 およびゲート線ドライブ回路 3 1 4 の構成を示す図である。図 1 5 において、レベル変換回路 3 1 2 は、図 1 4 に示す入力バッファ回路 3 1 0 の出力信号T I NおよびZ T I Nを受けて、電圧V Hと接地電圧との間で変化する信号を生成するレベルシフト回路 3 1 2 Aと、このレベルシフト回路 3 1 2 Aの出力信号を受けて電圧V Hおよび電圧V P + | V T P | の間で変化する信号と、電圧V Lおよび電圧V N - V T Nの間で変化する信号を生成するレベルシフト回路 3 1 2 Bを含む。

10

【 0 1 9 5 】

すなわち、レベルシフト回路 3 1 2 Aにより、入力信号T I Nの電圧V D D / V S Sレベルが、電圧V H / V S Sレベルに変換される。レベルシフト回路 3 1 2 Bにより、このレベルシフト回路 3 1 2 Aによりレベル変換された電圧V H / V S Sレベルが、電圧V H / V Lレベルに変換される。

【 0 1 9 6 】

レベルシフト回路 3 1 2 Aは、高電圧V Hを受ける昇圧ノード 3 2 4 とノード 2 3 a の間に接続されかつそのゲートがノード 2 4 a に接続されるPチャネルM O Sトランジスタ 1 1 a と、昇圧ノード 3 2 4 とノード 2 4 a の間に接続されかつそのゲートがノード 2 3 a に接続されるPチャネルM O Sトランジスタ 1 2 a と、ノード 2 3 a および 2 5 a の間に接続されかつそのゲートにバイアス電圧V Pを受けるPチャネルM O Sトランジスタ 1 9 a と、ノード 2 4 a とノード 2 6 a の間に接続されかつそのゲートにバイアス電圧V Pを受けるPチャネルM O Sトランジスタ 2 0 a と、ノード 2 5 a とノード 2 7 a の間に接続されかつそのゲートにバイアスノード 1 8 a に与えられるバイアス電圧V nを受けるNチャネルM O Sトランジスタ 2 1 a と、ノード 2 6 a とノード 2 8 a の間に接続されかつそのゲートにバイアス電圧V nを受けるNチャネルM O Sトランジスタ 2 2 a と、ノード 2 7 a と接地ノード 3 2 2 の間に接続されかつそのゲートに入力信号T I Nを受けるNチャネルM O Sトランジスタ 1 3 a と、ノード 2 8 a と接地ノード 3 2 2 の間に接続されかつそのゲートに入力信号Z T I Nを受けるNチャネルM O Sトランジスタ 1 4 a を含む。

20

30

【 0 1 9 7 】

バイアス電圧V nは、バイアス電圧V Nと異なる電圧レベルである。これは、レベルシフト回路 3 1 2 A および 3 1 2 B において、ローレベル側電源電圧が、それぞれ接地電圧V S S および負電圧V L であり、互いにロー側電源電圧の電圧レベルが異なるためである。バイアス電圧V nは、次式の関係を満たす。

【 0 1 9 8 】

$$V N = V n + | V L |$$

バイアス電圧V nは、M O Sトランジスタ 2 1 a および 2 2 a のしきい値電圧よりも高い電圧レベルであり、また、バイアス電圧V Nは、先の実施の形態 7 から 1 0 と同様、しきい値電圧V T Nの2倍以上の電圧レベルである。これらのバイアス電圧V NおよびV nの電圧レベルは、負電圧V Lの電圧レベルに応じて適当に定められる。

40

【 0 1 9 9 】

レベルシフト回路 3 1 2 A において、M O Sトランジスタ 1 3 a および 1 4 a が、入力信号T I NおよびZ T I Nを差動増幅する差動段を構成し、M O Sトランジスタ 1 1 a および 1 2 a が、この差動増幅段により増幅された電圧をラッチするラッチ段を構成する。M O Sトランジスタ 1 9 a - 2 2 a は、それぞれこのレベルシフト回路 3 1 2 A における内部の信号の振幅を制限するために用いられる。この振幅制限により、高電圧V Hが電源電圧として用いられても、各M O Sトランジスタのゲート絶縁膜に印加される電圧を緩和し、ゲート絶縁膜の信頼性を確保する。

【 0 2 0 0 】

50

レベルシフト回路 3 1 2 B は、昇圧ノード 3 2 4 とノード 2 3 b の間に接続されかつそのゲートがノード 2 4 a に接続される P チャンネル MOS トランジスタ 1 1 b と、昇圧ノード 3 2 4 とノード 2 4 b の間に接続されかつそのゲートがノード 2 3 a に接続される P チャンネル MOS トランジスタ 1 2 b と、ノード 2 3 b とノード 2 5 b の間に接続されかつそのゲートがバイアスノード 1 7 を介してバイアス電圧 V_P を受ける P チャンネル MOS トランジスタ 1 9 b と、ノード 2 4 b および 2 6 b の間に接続されかつそのゲートにバイアス電圧 V_P を受ける P チャンネル MOS トランジスタ 2 0 b と、ノード 2 5 b および 2 7 b の間に接続されかつそのゲートがバイアスノード 1 8 b を介してバイアス電圧 V_N を受ける N チャンネル MOS トランジスタ 2 1 b と、ノード 2 6 b とノード 2 8 b の間に接続されかつそのゲートにバイアス電圧 V_N を受ける N チャンネル MOS トランジスタ 2 2 b と、ノード 2 7 b と負電圧ノード 3 2 6 の間に接続されかつそのゲートがノード 2 8 b に接続される N チャンネル MOS トランジスタ 1 3 b と、ノード 2 8 b と負電圧ノード 3 2 6 の間に接続されかつそのゲートがノード 2 7 b に接続される N チャンネル MOS トランジスタ 1 4 b を含む。

10

【 0 2 0 1 】

レベルシフト回路 3 1 2 B においては、MOS トランジスタ 1 1 b および 1 2 b が、レベルシフト回路 3 1 2 A の相補信号を差動的に増幅する差動段を構成し、この MOS トランジスタ 1 3 b および 1 4 b が、差動増幅された信号のローレベル信号をラッチするラッチ段を構成する。MOS トランジスタ 1 9 b ないし 2 2 b が、電界緩和用の振幅制限回路として機能する。

20

【 0 2 0 2 】

ノード 2 3 b からゲート線ドライブ回路 3 1 4 に対する信号 I_{N2} が出力され、ノード 2 7 b から、このゲート線ドライブ回路 3 1 4 に対する信号 I_{N1} が出力される。

【 0 2 0 3 】

バイアス電圧 V_P および V_N も、同様、このゲート線ドライブ回路 3 1 4 へ電界緩和のために与えられる。

【 0 2 0 4 】

ゲート線ドライブ回路 3 1 4 は、昇圧ノード 3 2 4 とノード 3 8 の間に接続されかつそのゲートに、レベルシフト回路 3 1 2 B のノード 2 3 b からの信号 I_{N2} を受ける P チャンネル MOS トランジスタ 4 1 と、ノード 3 8 と出力ノード 4 3 の間に接続されかつそのゲートがバイアス電圧 V_P を受ける P チャンネル MOS トランジスタ 4 0 と、出力ノード 4 3 とノード 3 9 の間に接続されかつそのゲートがバイアス電圧 V_N を受ける N チャンネル MOS トランジスタ 3 7 と、ノード 3 9 と負電圧ノード 3 1 6 の間に接続されかつそのゲートが、ノード 2 7 b からの入力信号 I_{N1} を受ける N チャンネル MOS トランジスタ 4 2 を含む。

30

【 0 2 0 5 】

この図 1 5 に示すレベル変換回路 3 1 2 およびゲート線ドライブ回路 3 1 4 における MOS トランジスタは、すべて、薄膜トランジスタ (TFT) で構成される。

【 0 2 0 6 】

また、ゲート線ドライブ回路 3 1 4 においては、1 段のドライブ段が示されている。しかしながら、ゲート線ドライブ回路 3 1 4 が駆動するゲート線 4 4 の負荷が大きい場合には、ゲート線ドライブ回路 3 1 4 において、複数のドライブ段が縦続接続されて、このゲート線 4 4 の大きな負荷を高速で駆動するように構成されてもよい。この縦続接続の場合、ノード 3 8 および 3 9 からの信号が、次段の回路に対する入力信号として用いられる。バイアス電圧 V_P および V_N は、この縦続接続される回路に対して共通に与えられる。最終段の駆動回路のノード 4 3 からゲート線ドライブ信号 DV が出力される。

40

【 0 2 0 7 】

図 1 6 は、図 1 5 に示すバイアス電圧 V_P を発生する回路の構成を概略的に示す図である。図 1 6 において、バイアス電圧発生回路 BPK は、ノード 3 2 4 の高電圧 V_P とノード 3 2 6 の負電圧 V_L とから、バイアス電圧 V_P を生成する。このバイアス電圧発生回路 B

50

P Kの構成としては、先の実施の形態1から5に示すバイアス電圧発生回路B P Kの構成のいずれが用いられてもよい。バイアス電圧V Pは、電圧 $V H - 2 \cdot |V T P| - r \cdot I$ の電圧レベルである。

【0208】

図17は、図15に示すバイアス電圧V Nを発生する回路の構成を概略的に示す図である。図17において、バイアス電圧発生回路B N Kは、ノード324の高電圧V Hとノード326の負電圧V Lとから、バイアス電圧V Nを生成する。このバイアス電圧発生回路B N Kの構成としては、先の実施の形態7から10のいずれの構成が用いられてもよい。バイアス電圧V Nの電圧レベルは、 $2 \cdot V T N + r \cdot I + V L$ である。

【0209】

図18は、図15に示すバイアス電圧V nを発生する回路の構成を概略的に示す図である。このバイアス電圧発生回路B N K nは、ノード324の高電圧V Hとノード322の接地電圧V S Sとから、バイアス電圧V nを生成する。このバイアス電圧発生回路B N K nは、図17に示すバイアス電圧発生回路B N Kと同様の構成を有し、その回路構成としては、先の実施の形態7から10のいずれの構成が用いられてもよい。バイアス電圧V nの電圧レベルは、 $2 \cdot V T N + r \cdot I$ である。

【0210】

図19は、図15に示すレベル変換回路312およびゲート線駆動回路314の動作を示す信号波形図である。以下、図19を参照して、図15に示す回路の動作について説明する。

【0211】

入力タイミング信号T I N i (図14参照)が接地電圧V S Sレベルから電源電圧V D D Lレベルに上昇すると、入力信号T I Nも同様、接地電圧V S Sから電源電圧V D D Lレベルに上昇する。一方、補の入力信号Z T I Nが、電源電圧V D Dレベルから、接地電圧V S Sレベルに低下する。

【0212】

この場合、レベルシフト回路312Aにおいて、M O Sトランジスタ13aが導通し、M O Sトランジスタ14aが非導通状態となる。バイアス電圧V nは、M O Sトランジスタ13aの導通時、ノード27aが接地電圧V S Sレベルに駆動されると、M O Sトランジスタ21aがオン状態となる電圧レベルである。したがって、M O Sトランジスタ13aおよび21aがともに導通し、ノード25aの電圧レベルが接地電圧レベルに低下する。

【0213】

M O Sトランジスタ19aは、ゲートにバイアス電圧V Pを受けている。バイアス電圧V Pは、高電圧V Hよりも低い電圧レベルである。ノード23aの電圧レベルが、今、高電圧V Hレベルであるため、M O Sトランジスタ19aが導通し、ノード23aの電圧レベルが低下する。ノード23aの電圧レベルが低下すると、M O Sトランジスタ12aが導通しノード24aの電圧レベルが上昇し、応じてM O Sトランジスタ11aのコンダクタンスが小さくなる。

【0214】

M O Sトランジスタ11aおよび12aにより、ノード23aの電圧レベルがM O Sトランジスタ13aおよび21aにより放電されると、ノード24aの電圧レベルが上昇する。ノード23aの電圧レベルが、 $V P + |V T P|$ となると、M O Sトランジスタ19aが非導通状態となる。従って、ノード23aの電圧レベルは、M O Sトランジスタ19aのソースフォロアモードにより、電圧 $V P + |V T P|$ の電圧レベルに維持される。

【0215】

一方、このノード23aの電圧レベルが、電圧 $V P + |V T P|$ の場合、M O Sトランジスタ12aは、導通状態を維持するため、ノード24aは、高電圧V Hレベルにまで上昇する($V H > V P + 2 \cdot |V T P|$)。

【0216】

すなわち、ノード23aの電圧が、M O Sトランジスタ19aのゲート電圧V Pよりもそ

10

20

30

40

50

のしきい値電圧の絶対値分高い電圧レベルとなると、MOSトランジスタ19aがオフ状態となる。

【0217】

$V_H - V_P > |V_{TP}|$ である。したがって、MOSトランジスタ20aは、ノード24aの電圧が高電圧 V_H となると、非飽和領域で動作し、ノード24aの電圧レベルは、MOSトランジスタ20aを介してノード26aに電圧降下なしで伝達される。従って、ノード26aの電圧レベルは、高電圧 V_H レベルとなる。

【0218】

ノード25aの電圧レベルは、MOSトランジスタ19aが非導通状態、MOSトランジスタ21aが導通状態となっており、接地電圧 V_{SS} レベルとなる。

10

【0219】

MOSトランジスタ22aは、NチャネルMOSトランジスタであり、バイアス電圧 V_n は、高電圧 V_H よりも低い電圧レベルである。したがって、MOSトランジスタ22aは、そのゲート電圧がドレイン電圧よりも低いため、ソースフォロアモードで動作し、ノード28aの電圧レベルは、以下の電圧レベルに設定される。

【0220】

$$V_{28a} = V_n - V_{TN}$$

従って、レベルシフト回路312Aにおいては、MOSトランジスタのゲート絶縁膜に印加される電圧は、高電圧 V_H よりも低い電圧レベルである。最大、MOSトランジスタ22aにおいて電圧 $V_H - V_n$ の電圧が印加され、また、MOSトランジスタ20aにおいて、電圧 $V_H - V_P$ が印加されるだけである。これらの電圧は、高電圧よりも十分に低いため、レベルシフト回路312Aにおいて、ゲート絶縁膜の信頼性を確保して、正確に振幅 V_{DD} の信号を振幅 V_H の信号に変換することができる。

20

【0221】

レベルシフト回路312Aのノード23aの電圧レベルが、電圧 $V_P + |V_{TP}|$ となると、レベルシフト回路312Bにおいて、MOSトランジスタ12bが導通する。一方、MOSトランジスタ11bは、そのゲートおよびソースの電圧がともに高電圧 V_H に等しくなるため、非導通状態となる。

【0222】

MOSトランジスタ12bが導通すると、ノード24bの電圧レベルが高電圧 V_H レベルとなり、応じてMOSトランジスタ20bが導通する。ノード26bが、MOSトランジスタ20bおよび12bを介して充電されて、その電圧レベルが上昇する。

30

【0223】

ノード28bが負電圧 V_L レベルにあり、このノード26bの電圧上昇は、MOSトランジスタ22bを介してノード28bに伝達され、応じてMOSトランジスタ13bが導通する。MOSトランジスタ13bが導通すると、ノード27bの電圧レベルが負電圧 V_L レベルに低下し、MOSトランジスタ14bが非導通状態となる。このノード27bが負電圧 V_L レベルに低下すると、MOSトランジスタ14bは完全に非導通状態となる。

【0224】

このノード27bの電圧レベルが負電圧 V_L レベルのとき、MOSトランジスタ21bは、導通状態にあり、ノード25bの電圧レベルが、低下する。MOSトランジスタ11bは、ゲートに高電圧 V_H を受けており、非導通状態にある。MOSトランジスタ19bのソースフォロア動作により、ノード23bの電圧レベルは、 $V_P + |V_{TP}|$ の電圧レベルにクランプされる。ノード25bの電圧レベルは、MOSトランジスタ19bが非導通状態、MOSトランジスタ21bが導通状態となり、負電圧 V_L レベルとなる。

40

【0225】

一方、バイアス電圧 V_P が、電圧 $V_H - |V_{TP}|$ より低いため、MOSトランジスタ20bが導通状態を維持し(非飽和領域で動作し)、ノード26bは、高電圧 V_H レベルを維持する。バイアス電圧 V_N は高電圧 V_H よりも低いため、MOSトランジスタ22bがソースフォロアモードで動作し、ノード28bの電圧レベルは、 $V_N - V_{TN}$ の電圧レベ

50

ルとなる。

【0226】

従って、レベルシフト回路312Bにおいても、各MOSトランジスタのゲート絶縁膜に印加される電圧は、高電圧V_Hよりも低い。最大、電圧V_H - V_PまたはV_H - V_Nの電圧がゲート絶縁膜に印加されるだけであり、十分にゲート絶縁膜の信頼性を保証することができる。

【0227】

また、MOSトランジスタのソースフォロア動作を利用して、内部信号の電圧レベルを設定しており、正確にバイアス電圧に応じた振幅の信号を生成することができる。

【0228】

この状態において、ノード23bの電圧レベルが、 $V_P + |V_{TP}|$ 、ノード27bの電圧レベルが負電圧V_Lレベルである。したがって、ゲート線駆動回路314において、MOSトランジスタ42がオフ状態、MOSトランジスタ41がオン状態となり、ノード43からゲート線44へ伝達されるゲート線駆動信号DVが、高電圧V_Hレベルにまで上昇する。

【0229】

入力信号TINが、電源電圧V_{DD}から、接地電圧V_{SS}に低下する場合には、レベルシフト回路312Aおよび312Bにおいて、逆の動作が行なわれ、ノード23aが、高電圧V_Hレベル、ノード24aが、電圧 $V_P + |V_{TP}|$ の電圧レベルに設定される。また、ノード24bが、電圧 $V_P + |V_{TP}|$ の電圧レベルに低下し、応じてノード28bも、負電圧V_Lレベルに低下する。ノード23bが、高電圧V_Hレベルとなり、またノード27bが、電圧V_N - V_{TN}の電圧レベルとなる。

【0230】

したがって、ゲート線駆動回路314において、MOSトランジスタ41がオフ状態、MOSトランジスタ42がオン状態となり、ノード43からゲート線44へ必要とされるゲート線駆動信号DVが、負電圧V_Lレベルに低下し、ゲート線44が非活性化される。

【0231】

このレベルシフト回路312Aおよび312Bにおいて、差動段の出力を、交差結合されるMOSトランジスタでラッチしている。このラッチ段と差動段の間に、バイアス電圧V_PおよびV_NまたはV_nをゲートに受けるMOSトランジスタを配置することにより、これらのMOSトランジスタの電圧降下機能により、すべてのMOSトランジスタのゲート絶縁膜に印加される電圧を、高電圧V_Hまたは負電圧V_Lよりも低い電圧レベルに設定することができ、ゲート絶縁膜の信頼性を保証することができる。

【0232】

また、バイアス電圧V_PおよびV_Nをゲートに受けるMOSトランジスタをソースフォロアモードで動作させることにより、正確にバイアス電圧V_PおよびV_Nの電圧レベルに応じた電圧レベルの信号を生成してゲート線駆動回路314へ与えることができる。

【0233】

また、ゲート線駆動回路314においても、正確にバイアス電圧に応じた振幅の信号を、入力信号IN1およびIN2として受けて、高電圧V_Hおよび不電圧V_Lの間で変化する信号を、そのゲート絶縁膜の信頼性を損なうことなく生成することができる。

【0234】

これにより、画像表示装置において、薄膜トランジスタ(TFT)を用いて、ゲート線駆動回路を構成する場合においても、そのしきい値電圧がばらついても、安定にゲート線44を駆動することができ、ゲート線44の駆動時において、動作マージンを大きくすることができ、高速で、ゲート線44を走査する事ができる。

【0235】

また、このレベルシフト回路312Aおよび312Bにおいて、中間段にバイアス電圧V_PおよびV_NまたはV_nを受けるMOSトランジスタを、ソースフォロアモードで動作させることにより、高電圧ノードおよび負電圧ノードに結合されるMOSトランジスタのゲ

10

20

30

40

50

ート絶縁膜に印加される電圧を緩和することができ、ゲート絶縁膜の信頼性を保証することができ、また、安定に、バイアス電圧に基づいて小振幅の信号を生成してゲート線駆動回路へ与えることができる。

【0236】

[実施の形態12]

図20は、この発明の実施の形態12に従うレベル変換回路312の構成を示す図である。この図20に示すレベル変換回路312は、図14に示す入力バッファ回路310からの振幅VDDの相補信号TINおよびZTINを、振幅VDD - VLの信号に変換するレベルシフト回路312Cと、このレベルシフト回路312Cの出力信号を、さらに、振幅VH - VLの信号に変換するレベルシフト回路312Dを含む。

10

【0237】

このレベルシフト回路312Dの出力信号に従って、ゲート線駆動回路314が、ゲート線44を駆動する。

【0238】

レベルシフト回路312Cは、電源電圧VDDを受ける電源ノード311とノード23cの間に接続されかつそのゲートに入力信号TINを受けるPチャンネルMOSトランジスタ11cと、ノード23cとノード25cの間に接続されかつそのゲートに、ノード17cを介してバイアス電圧Vpを受けるPチャンネルMOSトランジスタ19cと、電源ノード311とノード24cの間に接続されかつそのゲートに補の入力信号ZTINを受けるPチャンネルMOSトランジスタ12cと、ノード24cおよび26cの間に接続されかつそのゲートにバイアス電圧Vpを受けるPチャンネルMOSトランジスタ20cと、ノード25cとノード27cの間に接続されかつそのゲートにバイアスノード18dを介してバイアス電圧VNを受けるNチャンネルMOSトランジスタ21cと、ノード26cとノード28cの間に接続されかつそのゲートにバイアス電圧VNを受けるNチャンネルMOSトランジスタ22cと、ノード27cと負電圧ノード326の間に接続されかつそのゲートがノード28cに接続されるNチャンネルMOSトランジスタ13cと、ノード28cと負電圧ノード326の間に接続されかつそのゲートがノード27cに接続されるNチャンネルMOSトランジスタ14cを含む。

20

【0239】

バイアス電圧Vpは、電源電圧VDDよりも低い電圧である。レベルシフト回路312Cおよび312Dにおいて、ハイ側電源電圧の電圧レベルが異なるために、バイアス電圧Vpが用いられる。バイアス電圧Vpは、MOSトランジスタ19cおよび20cが、ソース電圧が電源電圧レベルのときに導通する電圧レベルであり、以下の条件を満たす。

30

【0240】

$$V_P = V_p + (V_H - V_{DD})$$

このレベルシフト回路312Cにおいては、MOSトランジスタ11cおよび12cが、入力信号TINおよびZTINを差動増幅する差動段を構成し、MOSトランジスタ13cおよび14cが、ゲートおよびドレインが交差結合されて、ラッチ回路を構成する。

【0241】

バイアス電圧VpおよびVNを受けるMOSトランジスタが、振幅制限用のトランジスタとして機能し、また、MOSトランジスタのゲート絶縁膜に対する電界緩和用のトランジスタとして機能する。

40

【0242】

レベルシフト回路312Dは、高電圧ノード324とノード23dの間に接続されかつそのゲートがノード24dに接続されるPチャンネルMOSトランジスタ11dと、高電圧ノード324とノード24dの間に接続されかつそのゲートがノード23dに接続されるPチャンネルMOSトランジスタ12dと、ノード23dとノード25dの間に接続されかつそのゲートにバイアス電圧VPを受けるPチャンネルMOSトランジスタ19dと、ノード24dとノード26dの間に接続されかつそのゲートにバイアス電圧VPを受けるPチャンネルMOSトランジスタ20dと、ノード25dとノード27dの間に接続されかつその

50

ゲートにバイアス電圧 V_N を受けるNチャンネルMOSトランジスタ21dと、ノード26dとノード28dの間に接続されかつそのゲートにバイアス電圧 V_N を受けるNチャンネルMOSトランジスタ22dと、ノード27dと負電圧ノード326の間に接続されかつそのゲートがノード27cに接続されるNチャンネルMOSトランジスタ13dと、ノード28dと負電圧ノード326の間に接続されかつそのゲートがノード28cに接続されるNチャンネルMOSトランジスタ14dを含む。

【0243】

このレベルシフト回路312Dにおいては、MOSトランジスタ13dおよび14dが、レベルシフト回路312Cのレベルシフト信号を差動的に増幅する。交差結合されたPチャンネルMOSトランジスタ11dおよび12dが、この差動増幅された信号をラッチしてそのHレベルを、高電圧 V_H レベルに変換する。

10

【0244】

このレベルシフト回路312Dにおいても、バイアス電圧 V_P および V_N を受けるMOSトランジスタが、振幅制限用のトランジスタとして機能し、正確にバイアス電圧 V_P および V_N の電圧レベルに応じた小振幅の信号を生成して、ゲート線駆動回路314へ与えることができる。

【0245】

ゲート線駆動回路314は、先の図15に示す構成と同様の構成を備え、高電圧ノード324と出力ノード43の間に直列に接続されるPチャンネルMOSトランジスタ41および40と、出力ノード43と負電圧ノード326の間に直列に接続されるNチャンネルMOSトランジスタ37および42を含む。MOSトランジスタ41のゲートがレベルシフト回路312Dのノード24dに接続され、MOSトランジスタ42のゲートが、レベルシフト回路312Dのノード28dに接続される。MOSトランジスタ40および37のゲートへは、それぞれ、バイアス電圧 V_P および V_N が与えられる。

20

【0246】

図21は、図20に示すバイアス電圧 V_p を発生する回路の構成を概略的に示す図である。図21において、バイアス電圧発生回路BPKpは、電源ノード311の電源電圧 V_{DD} と負電圧ノード326の負電圧 V_L とに従って、バイアス電圧 V_p を生成する。このバイアス電圧発生回路BPKpの構成としては、先の実施の形態1から5において説明したバイアス電圧発生回路BPKの構成を利用することができる。電源電圧 V_{CC} に代えて電源電圧 V_{DD} を利用し、接地電位 V_{SS} に代えて、負電圧 V_L を使用する。この場合、バイアス電圧 V_p は、電圧 $V_{DD} - 2 \cdot |V_{TP}| - r \cdot I$ で与えられる。電流 I は、定電流源から供給される。

30

【0247】

バイアス電圧 V_P および V_N は、先の図16および図17に示すバイアス電圧発生回路BPKおよび V_{NK} と同様の構成からそれぞれ生成される。バイアス電圧 V_P が高電圧 V_H に基づいて生成され、バイアス電圧 V_N が、負電圧 V_L に基づいて生成される。このバイアス電圧 V_N は、電源電圧 V_{DD} よりも低い電圧レベルである。

【0248】

図22は、図20に示すレベル変換回路312およびゲート線駆動回路314の動作を示す信号波形図である。以下、図22を参照して、この図20に示すレベル変換回路312およびゲート線駆動回路314の動作について説明する。

40

【0249】

バイアス電圧 V_p は、次式(29)の関係を満たす。

$$V_p = V_P - (V_H - V_{DD}) \quad \dots (29)$$

今、入力信号 T_{IN} が、接地電位 V_{SS} から、電源電圧 V_{DD} レベルに上昇する場合を考える。レベルシフト回路312Cにおいて、MOSトランジスタ11cが非導通状態、MOSトランジスタ12cが導通状態となる。このMOSトランジスタ12cの導通により、ノード24cが充電され、その電圧レベルが、電源電圧 V_{DD} レベルに上昇する。ゲートにバイアス電圧 V_p を受けるMOSトランジスタ20cが非飽和領域で動作するため、

50

このノード 24c の電圧がノード 26c に伝達され、ノード 26c の電圧レベルが同様電源電圧レベルにまで上昇する。

【0250】

ノード 28c の電圧レベルが、負電圧 V_L であり、MOS トランジスタ 22c が、そのゲートにバイアス電圧 V_N を受けており、ノード 26c の電圧をノード 28c に伝達する。応じて、MOS トランジスタ 13c が導通し、ノード 27c の電圧レベルが負電圧 V_L レベルへ低下する。ノード 27c の電圧レベルが負電圧 V_L レベルに低下すると、MOS トランジスタ 14c がオフ状態となる。

【0251】

バイアス電圧 V_N が、電源電圧 V_{DD} よりも低いため、MOS トランジスタ 22c がソースフォロアモードで動作し、ノード 28c の電圧レベルは、 $V_N - V_{TN}$ となる。

10

【0252】

MOS トランジスタ 21c が、ノード 27c が負電圧レベルであり導通し、ノード 25c の電圧レベルを低下させる。MOS トランジスタ 11c は、非導通状態にある。MOS トランジスタ 19c が、ソースフォロアモードで動作し、ノード 23c の電圧レベルを、 $V_{p+} + |V_{TP}|$ の電圧レベルに維持する。ノード 25c の電圧レベルは、MOS トランジスタ 19c が非導通状態、MOS トランジスタ 21c が導通状態となっており、負電圧 V_L レベルに維持される。

【0253】

したがって、この状態においては、各 MOS トランジスタのゲート絶縁膜に印加される電圧は、最大 $V_L - V_N + V_{TN}$ または、 $V_p - V_{DD}$ レベルであり、ゲート絶縁膜に印加される電圧は十分に低くすることができる。

20

【0254】

また、内部においてノードの電圧変化の振幅を制限することができ、正確に小振幅の信号を生成して次段のレベルシフト回路 312D へ与えることができる。

【0255】

レベルシフト回路 312D においては、MOS トランジスタ 14d が、ゲートにノード 28c の電圧 $V_N - V_{TN}$ を受けて導通し、ノード 28d を負電圧 V_L レベルにまで放電する。一方、MOS トランジスタ 13d は、ノードにゲート 27c の負電圧 V_L を受けて非導通状態となる。この状態においては、ノード 27d が、MOS トランジスタ 21d により、電圧 $V_N - V_{TN}$ のレベルにクランプされる。

30

【0256】

ノード 28d が負電圧 V_L レベルとなると、この負電圧 V_L は、バイアス電圧 V_N よりもしきい値電圧 V_{TN} 以上低いため、MOS トランジスタ 22d を介してノード 26d に負電圧 V_L が伝達される。このとき、MOS トランジスタ 20d は、ゲートに、ノード 24d の電圧レベルの高電圧 V_H レベルよりも低いバイアス電圧 V_P を受けており、導通して、ノード 24d を放電する。このノード 24d の放電レベルは、MOS トランジスタ 19d のソースフォロア動作により、電圧 $V_P + |V_{TP}|$ の電圧レベルとなる。

【0257】

高電圧 V_H は、バイアス電圧 V_P よりも、しきい値電圧 V_{TP} の絶対値の 2 倍以上高い電圧レベルであり、MOS トランジスタ 11d が、導通し、ノード 23d は、高電圧 V_H レベルにまで駆動される。応じて、MOS トランジスタ 12d が非導通状態となる。ノード 24d は、MOS トランジスタ 20d により、電圧 $V_P + |V_{TP}|$ の電圧レベルに維持される。これにより、ゲート線駆動回路 314 に対するハイ側入力信号 I_{N2} のローレベルを、バイアス電圧に応じて、正確に設定することができる。

40

【0258】

MOS トランジスタ 20d において、ゲート絶縁膜に電圧 $V_P - V_L$ が印加されるものの、バイアス電圧 V_P は、電源電圧 V_{DD} よりも低い電圧レベルであり、電圧 $V_P - V_L$ が、電源電圧 V_{DD} レベル程度に設定することにより、この MOS トランジスタ 20d のゲート絶縁膜の信頼性は、十分に保証することができる。

50

【 0 2 5 9 】

残りのMOSトランジスタについては、MOSトランジスタのソースフォロア動作により、内部ノードの電圧振幅が制限されており、高電圧V_Hよりも十分低い電圧が印加されるだけであり、そのゲート絶縁膜の信頼性は十分保証することはできる。

【 0 2 6 0 】

また、ゲートにバイアス電圧V_PおよびV_Nを受けるMOSトランジスタのソースフォロア動作により、正確にバイアス電圧の電圧レベルに応じた小振幅の信号をハイ側およびロー側の信号について生成することができる。

【 0 2 6 1 】

ゲート線駆動回路314においては、MOSトランジスタ41が、ゲートに電圧V_P+|V_{TP}|を受け、MOSトランジスタ42は、ゲートに電圧V_Lを受けており、ノード43を、高電圧V_Hレベルにまで駆動する。

10

【 0 2 6 2 】

一方、入力信号T_{IN}が、接地電位V_{SS}レベルに放電される場合には、MOSトランジスタ11cが導通し、MOSトランジスタ12cが非導通状態となる。この状態においては、ノード25cの電圧レベルが上昇し、応じてノード27dの電圧レベルも、MOSトランジスタ21cを介しての充電により上昇する。応じて、MOSトランジスタ14cが導通し、ノード28cを、負電圧V_Lレベルに駆動し、応じてMOSトランジスタ13cが非導通状態となる。この状態においては、ノード27cは、MOSトランジスタ21cのソースフォロア動作により、電圧V_N-V_{TN}の電圧レベルにクランプされる。

20

【 0 2 6 3 】

レベルシフト回路312Dにおいては、MOSトランジスタ13dが導通状態、MOSトランジスタ14dが非導通状態となり、ノード27dが負電圧V_Lレベルに駆動される。ノード28dは、MOSトランジスタ22dのソースフォロア動作により電圧V_N-V_{TN}の電圧レベルにクランプされる。

【 0 2 6 4 】

ノード27dの負電圧は、ノード25dに伝達され、応じて、MOSトランジスタ19dにより、ノード23dの電圧レベルが低下する。このノード23dの電圧レベルの低下により、MOSトランジスタ12dが導通し、ノード24dの電圧レベルが上昇し、MOSトランジスタ11dがオフ状態となる。

30

【 0 2 6 5 】

この状態においては、ノード24dの電圧レベルは、MOSトランジスタ12dにより、高電圧V_Hの電圧レベルとなる。ノード23dの電圧レベルは、MOSトランジスタ19dにより、電圧V_P+|V_{TP}|の電圧レベルにクランプされる。

【 0 2 6 6 】

したがって、ゲート線駆動回路314においては、MOSトランジスタ41が非導通状態となり、一方、MOSトランジスタ42が導通状態となり、ノード43の出力信号は、負電圧V_Lレベルとなる。

【 0 2 6 7 】

この場合においても、いずれのMOSトランジスタに対しても、ゲート絶縁膜に印加される電圧は、十分に緩和することができる。また、MOSトランジスタのソースフォロア動作に従ってノード28dの電圧レベルを、正確に、電圧V_N-V_{TN}に設定することができ、バイアス電圧の電圧レベルに応じた小振幅の信号を正確に生成することができる。

40

【 0 2 6 8 】

また、バイアス電圧V_PおよびV_Nは、ゲート線駆動回路314のMOSトランジスタ41および42のしきい値電圧が出力信号に対する影響を相殺するような電圧レベルに設定されており、安定にゲート線駆動信号を生成することができる。

【 0 2 6 9 】

また、バイアス電圧V_PおよびV_Nに基づいてゲート線駆動回路に対する入力信号を、MOSトランジスタのソースフォロア動作を利用して生成しており、正確にバイアス電圧V

50

PおよびVNの電圧レベルに応じた小振幅信号を生成してゲート線駆動回路へ与えることができる。従って、高電圧VHおよび負電圧VLを用いてゲート線駆動回路314を駆動する場合においても、ゲート線駆動回路314のMOSトランジスタのゲート絶縁膜の耐圧特性を保証することができる。

【0270】

以上のように、この発明の実施の形態12に従えば、画像表示装置のゲート線駆動回路に、バイアス電圧により、出力駆動回路のゲート絶縁膜に印加される電圧を緩和するように構成しており、高電圧VHおよび負電圧VLを用いてゲート線を駆動する場合においても、確実に、MOSトランジスタのゲートに印加される電圧を緩和することができる。また、バイアス電圧をゲートに受けるトランジスタのソースフォロア動作を利用しており、正確に、バイアス電圧の電圧レベルに応じた2種類の小振幅の信号（ハイ側入力信号およびロー側入力信号）を生成してゲート線駆動回路へ与えることができる。

10

【0271】

特に、これらの構成要素のMOSトランジスタが、薄膜トランジスタ(TFTで構成される場合においても、そのしきい値電圧が大きくばらつく場合においても、安定に、しきい値電圧のバラツキの影響を受けることなく、ゲート線駆動回路314により、ゲート線44を駆動することができる。

【0272】

[実施の形態13]

図23は、この発明の実施の形態13に従う半導体装置の要部の構成を概略的に示す図である。この図23に示す構成においては、画像表示素子PXとして、電流が流れると発光するエレクトロルミネッセンス発光素子が用いられる。

20

【0273】

すなわち、画像表示素子PXは、ゲート線44上の駆動信号DVに従って選択的に導通し、導通時、データ線45上の映像信号を記憶ノード(画素電極)47へ伝達するNチャネルMOSトランジスタ46と、記憶ノード47と定電圧供給ノード49の間に接続される容量素子48と、この記憶ノード47上の記憶電位に従って選択的に導通するドライブトランジスタ53と、ドライブトランジスタ53と基準ノード55の間に接続されるエレクトロルミネッセンス表示素子54を含む。

【0274】

ドライブトランジスタ53は、導通時、エレクトロルミネッセンス発光素子54を基準ノード52に結合する。基準ノード52および55へは、それぞれ、基準電圧VCHおよびVCLが与えられる。

30

【0275】

エレクトロルミネッセンス発光素子54は、記憶ノード47の記憶電位に従ってドライブトランジスタ53が導通すると、基準ノード52に結合され、ドライブトランジスタ53が供給する電流量に応じて、発光する。

【0276】

ゲート線44に対しては、先の実施の形態11および12と同様、入力タイミング信号をバッファ処理して生成される相補信号TINおよびZTINをレベル変換するレベル変換回路312と、このレベル変換回路312の出力信号に従って駆動信号DVを生成するゲート線ドライブ回路314とが設けられる。

40

【0277】

レベル変換回路312へは、高電圧VH、負電圧VLおよび接地電位VSSが、動作電源電圧として供給される。ゲート線ドライブ回路314へは、高電圧VHおよび負電圧VLが、動作電源電圧として供給される。これらのレベル変換回路312およびゲート線ドライブ回路314は、先の実施の形態11または12の構成を備え、高電圧VHおよび負電圧VLを用いて駆動信号DVを生成する場合においても、その構成要素の薄膜トランジスタ(TFT)のゲート絶縁膜に印加される電界を緩和する。

【0278】

50

図 2 3 に示すように、画像表示素子 P X として、エレクトロルミネッセンス発光素子 5 4 が用いられる場合においても、記憶ノード 4 7 の信号電位のリークを防止し、かつ確実に、映像信号を書込むために、ゲート線 4 4 は、高電圧 V H と負電圧 V L の間で駆動される。したがって、このエレクトロルミネッセンス発光素子 5 4 を用いる場合においても、先の実施の形態 1 1 または 1 2 と同様のレベル変換回路 3 1 2 およびゲート線ドライブ回路 3 1 4 の構成を利用することにより、安定に、ゲート線ドライブ信号 D V を生成することができる。

【 0 2 7 9 】

なお、レベル変換回路 3 1 2 およびゲート線ドライブ回路 3 1 4 は、薄膜トランジスタ (T F T) で、構成要素の M O S トランジスタが構成される。この薄膜トランジスタの構成としては、ガラス基板上に半導体層を堆積し、その半導体層に M O S トランジスタが形成される構成であってもよい。また、このガラス基板に代えて、樹脂基板等の絶縁基板上に半導体層が形成され、この半導体層に薄膜トランジスタが形成されてもよい。薄膜トランジスタ (T F T) の構成としては、画像表示装置において、表示画素マトリクス内において画素マトリクスを形成するトランジスタスイッチと同一構造の薄膜トランジスタが用いられればよい。

【 0 2 8 0 】

[実施の形態 1 4]

図 2 4 は、この発明の実施の形態 1 4 に従うバイアス電圧発生回路 B P K の構成を概略的に示す図である。図 2 4 に示すバイアス電圧発生回路 B P K は、電源電圧 V C C を受ける電源ノードとノード 1 0 5 の間に直列に接続される、それぞれがダイオード接続される P チャネル M O S トランジスタ 1 0 1 および 1 0 2 と、ノード 1 0 5 と出力ノード 1 0 6 の間に接続される降圧素子 3 5 0 を含む。この降圧素子 3 5 0 は、動作時、所定の電圧 V r の電圧降下を生じさせる。この出力ノード 1 0 6 から、バイアス電圧 V P が出力される。電源ノードと出力ノード 1 0 6 の間には、デカップル容量 1 0 7 が接続される。

【 0 2 8 1 】

降圧素子 3 5 0 は、ダイオード接続される P チャネル M O S トランジスタ、ダイオード接続される N チャネル M O S トランジスタ、または、 P N ダイオードのいずれであってもよい。それぞれ導通時、しきい値電圧の絶対値または順方向降下電圧の電圧降下を生じさせる。

【 0 2 8 2 】

また、降圧素子 3 5 0 として抵抗素子が用いられる場合には、出力ノード 1 0 6 に、定電流源が接続され、抵抗素子に一定の電流を流し、所定の大きさの電圧降下を生じさせる。

【 0 2 8 3 】

降圧素子 3 5 0 として、ダイオード接続される M O S トランジスタが用いられる場合、バイアス電圧 V P には、しきい値電圧の依存性が存在する。しかしながら、この場合、回路構成を簡略化でき、消費電流を低減することができる。 P N ダイオードの場合、 P N 接合のビルトイン電圧を利用するだけであり、ばらつきが、しきい値電圧に較べて小さく、次段の機能回路において、ドライブトランジスタのしきい値電圧の影響を相殺して、出力信号を生成することができる。

【 0 2 8 4 】

抵抗素子が、降圧素子 3 5 0 として用いられる場合は、先の実施の形態 1 ないし 4 の場合と同じである。

【 0 2 8 5 】

したがって、ノード 1 0 5 および 1 0 6 の間に、一定の電圧 V r の電圧降下を生じさせる素子を用いれば、バイアス電圧 V P を生成して機能回路 1 へ与えることにより、機能回路の出力信号におけるしきい値電圧の影響を、抑制することができる。

【 0 2 8 6 】

図 2 5 は、この発明の実施の形態 1 4 に従うバイアス電圧発生回路 B N K の構成を概略的に示す図である。この図 2 5 に示すバイアス電圧発生回路 B N K においては、接地電圧 V

10

20

30

40

50

SSを受ける接地ノードとノード205の間に、それぞれがダイオード接続されるNチャネルMOSトランジスタ201および202が直列に接続される。ノード205と出力ノード206との間に、昇圧素子360が設けられる。この昇圧素子360は、ノード205の電圧を、電圧V_r昇圧させて、出力ノード206に伝達する。出力ノード206に、バイアス電圧V_Nが発生する。この出力ノード206には、また、デカップル容量199が接続される。

【0287】

この昇圧素子360としては、PNダイオード、NチャネルMOSトランジスタ、ダイオード接続されるPチャネルMOSトランジスタ、および抵抗素子を利用することができる。昇圧素子360として、PNダイオードまたは抵抗を利用する場合、バイアス電圧V_Nにより、機能回路におけるドライブトランジスタのしきい値電圧が、出力信号駆動に及ぼす影響を抑制することができる。また昇圧素子360として、ダイオード接続されるMOSトランジスタを利用する場合、回路構成を簡略化でき、また消費電流を低減することができる。

10

【0288】

図24および図25に示す構成において、画像表示装置にこれらのバイアス電圧発生回路BPKおよびBNKが利用される場合、MOSトランジスタは、薄膜トランジスタ(TFT)で構成される。

【0289】

また、バイアス電圧発生回路BPKおよびBNKにおいて、電源電圧V_{CC}および接地電圧V_{SS}に代えて、高電圧V_Hおよび負電圧V_Lがそれぞれ用いられてもよい。

20

【0290】

以上のように、この発明の実施の形態14に従えば、機能回路に含まれるドライブトランジスタと同一導電型のMOSトランジスタをダイオード接続し、このダイオード接続されるMOSトランジスタと出力ノードの間に、一定の電圧のシフトを生じさせるレベル変換素子を利用しており、低消費電流で、バイアス電圧を生成して機能回路を駆動することができる。また、このレベルシフトされる電圧量が、MOSトランジスタのしきい値電圧と特別な電圧レベルの場合、機能回路の駆動トランジスタのしきい値電圧の出力信号駆動に及ぼす影響を抑制することができる。

【0291】

【発明の効果】

以上のように、この発明に従えば、ゲート絶縁膜の信頼性を確保するために、バイアス電圧をゲートに受けるトランジスタを介して入力信号に従って出力信号を生成し、この入力信号の振幅をバイアス電圧により決定する構成において、バイアス電圧を、出力トランジスタのしきい値電圧が出力信号に及ぼす影響を抑制するように生成しており、しきい値電圧のばらつきの影響を受けることなく安定に出力信号を生成することができ、回路動作マージンを十分に確保することができ、回路動作を安定化させることができる。これにより、信号処理を高速化することができる。

30

【0292】

すなわち、第1および第2の電源ノードの間に直列に第1ないし第4の電界効果トランジスタが接続される機能回路に対し、第1および第2の電源ノードの電圧それぞれに基づいて電圧レベルの異なる第1および第2のバイアス電圧を生成し、第2および第3の電界効果トランジスタのゲートへ与えるバイアス電圧発生回路を設け、このバイアス電圧発生回路を、第1および第4の電界効果トランジスタの少なくとも一方のしきい値電圧の出力信号に対する影響を抑制するように第1および第2のバイアス電圧を生成するように構成しており、しきい値電圧がばらついても、その影響を抑制して、安定に出力信号を生成することができる。

40

【0293】

バイアス電圧発生回路を、それぞれがダイオード接続される複数の電界効果トランジスタと、その電界効果トランジスタと第1のバイアス電圧の出力ノードとの間に、所定の電圧

50

差を生じさせる電圧レベル変換素子とで構成することにより、容易に、機能回路の第1のトランジスタのしきい値電圧の影響を抑制することのできるバイアス電圧を生成することができる。

【0294】

また、バイアス電圧発生回路を、第2の電圧を受けるノードに対し、それぞれがダイオード接続されるMOSトランジスタを直列に複数個接続し、これらのMOSトランジスタと第2のバイアス電圧の出力ノードとの間に、所定の電圧差を生じさせるレベル変換素子とで構成することにより、容易に、第4のトランジスタのしきい値電圧が、出力信号に及ぼす影響を抑制して、高速かつ安定に出力信号を生成することができる。

【0299】

また、この抵抗素子に対し、一定の電流を供給する定電流回路を設けることにより、容易に所望の大きさの電圧差を、正確に抵抗素子により生成することができる。

【0300】

また、バイアス電圧発生回路を、第1の電圧を受けるノードと第1のバイアス電圧出力ノードの間にそれぞれダイオード接続されるMOSトランジスタと抵抗素子を直列に接続し、この第1のバイアス電圧出力ノードに、定電流源を結合することにより、容易に、しきい値電圧を電圧成分として含む、所望の電圧レベルの第1のバイアス電圧を生成することができる。

【0301】

また、バイアス電圧発生回路を、第2の電圧を受けるノードと第2のバイアス電圧出力ノードの間にそれぞれダイオード接続されるMOSトランジスタと抵抗素子を直列に接続し、この第2のバイアス電圧出力ノードに、定電流源を結合することにより、容易に、しきい値電圧を電圧成分として含む、所望の電圧レベルの第2のバイアス電圧を生成することができる。

【0302】

また、このバイアス電圧発生回路として、MOSトランジスタのフィードバックを利用する定電流発生回路を利用することにより、第1または第2の電圧レベルと独立の、しきい値電圧成分を電圧成分として含む安定なバイアス電圧を生成することができる。

【0303】

また、相補信号対を差動的に増幅して、相補出力信号を生成し、この相補出力信号をさらに差動的に増幅して、第1および第4のトランジスタのゲートへ与えられる第1および第2の駆動信号を生成するとともに、この機能回路の出力信号に従って画像表示素子を駆動することにより、しきい値電圧のばらつきの大きい薄膜トランジスタを用いる場合においても、安定にかつ高速で画像表示素子を駆動することができる。

【0304】

また、これらの相補信号を生成する増幅回路を、差動段と、この差動段の出力信号をラッチするラッチ段と、差動段とラッチ段との間の信号の振幅を制限する振幅制限回路段とで構成することにより、容易に差動増幅しかつレベル変換された信号を、ゲート絶縁膜の信頼性を損なうことなく生成することができる。これにより、画像表示素子を、振幅の大きな信号で、安定に駆動することができる。

【0305】

特に、この振幅制限回路段を、ゲートにバイアス電圧を受けるソースフォロアモードで動作するMOSトランジスタで構成した場合、バイアス電圧に基づいて正確に振幅制限された小振幅の信号を生成して機能回路を駆動することができる。この振幅制限段として、ハイ側およびロー側両者にも受けることにより、第1および第2のバイアス電圧それぞれに基づいて性格に振幅制限された小振幅の信号を生成して機能回路を駆動することができる。レベル変換処理動作時に、機能回路への入力信号の振幅制限を行うことにより、回路専有面積を低減することができ、また、高速で小振幅の信号を生成して機能回路へ与えることができる。

【0306】

10

20

30

40

50

また画像表示素子が、液晶表示素子またはエレクトロルミネッセンス素子の場合において、バイアス電圧発生回路および機能回路の構成要素が薄膜トランジスタで構成される場合においても、安定にかつ高速でゲート線を駆動することができる。

【0307】

また、この電界効果トランジスタが、薄膜トランジスタで構成され、しきい値電圧のばらつきが大きい場合においても、しきい値電圧のばらつきの影響を抑制して安定に出力信号を生成することができる。

【0308】

また、第1の電圧が、第2の電圧よりも高い電圧の場合、それぞれ、Hレベルへ出力信号を駆動する場合に、安定にかつ高速で、出力信号をHレベルへ駆動することができる。

10

【図面の簡単な説明】

【図1】 この発明の実施の形態1に従うバイアス電圧発生回路の構成を示す図である。

【図2】 この発明の実施の形態2に従うバイアス電圧発生回路の構成を示す図である。

【図3】 この発明の実施の形態3に従うバイアス電圧発生回路の構成を示す図である。

【図4】 この発明の実施の形態4に従う定電流回路の構成を示す図である。

【図5】 この発明の実施の形態5に従うバイアス電圧発生回路の構成を示す図である。

【図6】 この発明の実施の形態6に従うバイアス電圧発生回路の構成を示す図である。

【図7】 この発明の実施の形態7に従うバイアス電圧発生回路の構成を示す図である。

【図8】 この発明の実施の形態8に従うバイアス電圧発生回路の構成を示す図である。

【図9】 この発明の実施の形態9に従う定電流回路の構成を示す図である。

20

【図10】 この発明の実施の形態10に従うバイアス電圧発生回路の構成を示す図である。

【図11】 この発明の実施の形態11に従う半導体装置の要部の構成を概略的に示す図である。

【図12】 図11に示すゲートドライバの構成を概略的に示す図である。

【図13】 図12に示す画像表示素子の構成の一例を示す図である。

【図14】 図12に示す入力バッファ回路の構成を示す図である。

【図15】 図12に示すレベル変換回路の構成を示す図である。

【図16】 図15に示すバイアス電圧 V_P を発生する回路の構成を概略的に示す図である。

30

【図17】 図15に示すバイアス電圧 V_N を発生する回路の構成を概略的に示す図である。

【図18】 図15に示すバイアス電圧 V_n を発生する回路の構成を概略的に示す図である。

【図19】 図15に示すレベル変換回路の動作を示す信号波形図である。

【図20】 この発明の実施の形態12に従うレベル変換回路の構成を示す図である。

【図21】 図20に示すバイアス電圧 V_p を発生する回路の構成を概略的に示す図である。

【図22】 図20に示すレベル変換回路の動作を示す信号波形図である。

【図23】 この発明の実施の形態13に従う半導体装置の要部の構成を概略的に示す図である。

40

【図24】 この発明の実施の形態14に従うバイアス電圧発生回路の構成を示す図である。

【図25】 この発明の実施の形態14に従う他のバイアス電圧発生回路の構成を示す図である。

【図26】 従来の出力駆動回路の構成を示す図である。

【図27】 図26に示すバイアス電圧と電源電圧の関係を示す図である。

【図28】 図26に示す出力駆動回路のハイレベル信号出力時の入出力信号の電圧を示す図である。

【図29】 図26に示す出力駆動回路のローレベル信号出力時の入出力信号の電圧を示

50

す図である。

【図30】 従来のバイアス電圧発生回路の構成を示す図である。

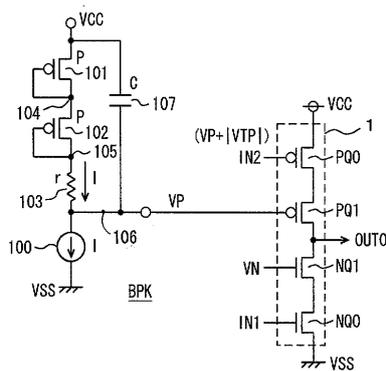
【符号の説明】

1 機能回路、PQ0, PQ1 PチャンネルMOSトランジスタ、NQ0, NQ1 NチャンネルMOSトランジスタ、101, 102 PチャンネルMOSトランジスタ、103 抵抗素子、100 定電流源、BPK, BNK バイアス電圧発生回路、108, 110 NチャンネルMOSトランジスタ、109, 111 抵抗素子、112, 113, 116 NチャンネルMOSトランジスタ、117 抵抗素子、120 PチャンネルMOSトランジスタ、201, 202 NチャンネルMOSトランジスタ、203 抵抗素子、200 定電流源、207, 208 PチャンネルMOSトランジスタ、209, 211, 217 抵抗素子、213, 212, 216 PチャンネルMOSトランジスタ、1A, 1B 機能回路、220 NチャンネルMOSトランジスタ、222 抵抗素子、300 表示画素マトリクス、302 ゲートドライバ、304 データドライバ、310 入力バッファ回路、312 レベル変換回路、312A, 312B, 312C, 312D レベルシフト回路、314 ゲート線ドライブ回路、50 液晶表示素子、11a, 11b, 12a, 12b, 19a, 19b, 20a, 20b, 40, 41 PチャンネルMOSトランジスタ、21a, 21b, 22a, 22b, 13a, 13b, 14a, 14b, 37, 42 NチャンネルMOSトランジスタ、11c, 12c, 12d, 19c, 19d, 20c, 20d PチャンネルMOSトランジスタ、21c, 21d, 22c, 22d, 13c, 13d, 14c, 14d NチャンネルMOSトランジスタ、54 エレクトロルミネッセンス発光素子、350 降圧素子、360 昇圧素子。

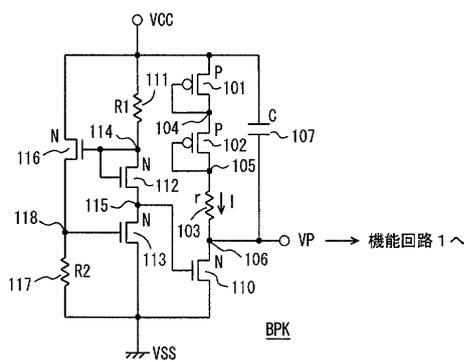
10

20

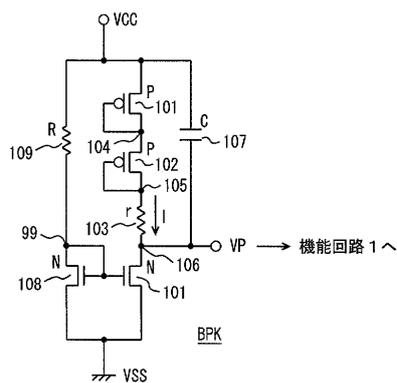
【図1】



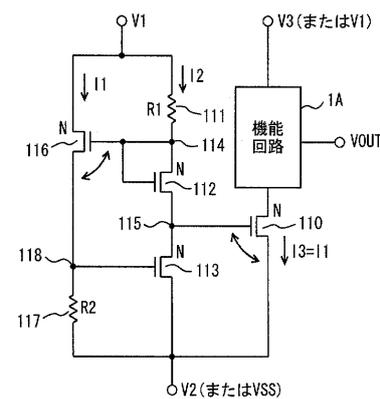
【図3】



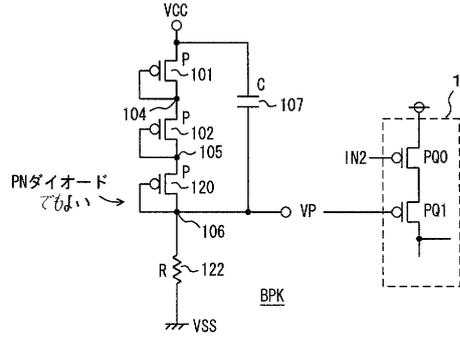
【図2】



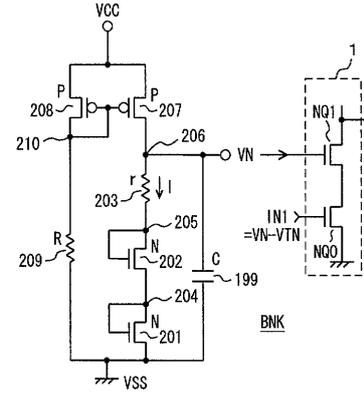
【図4】



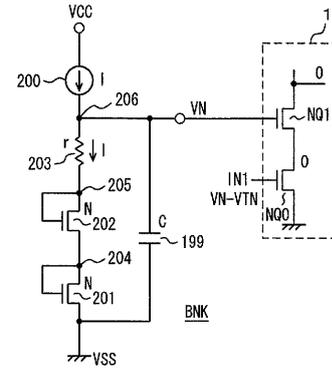
【図5】



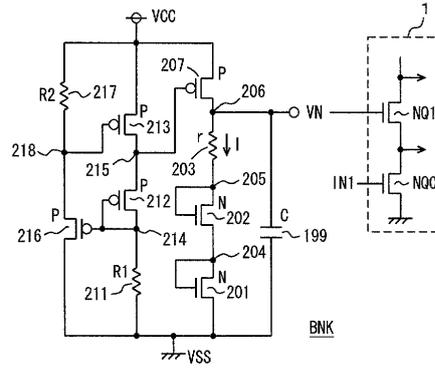
【図7】



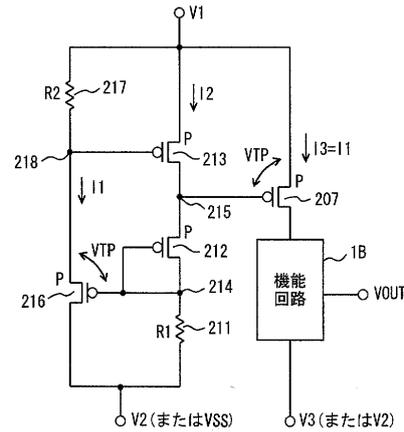
【図6】



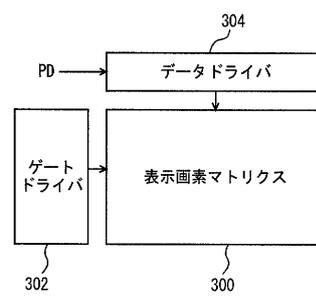
【図8】



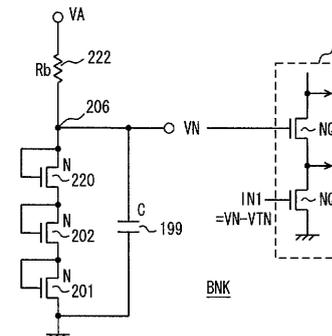
【図9】



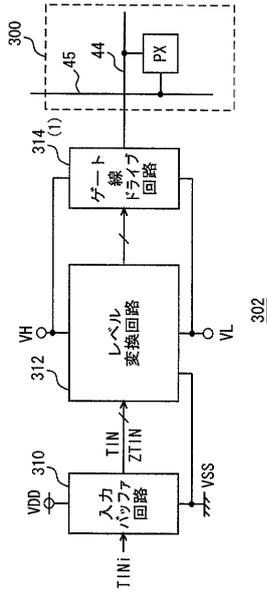
【図11】



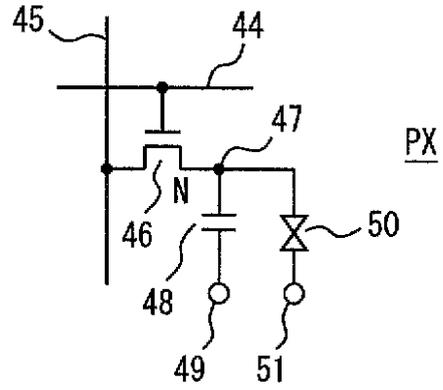
【図10】



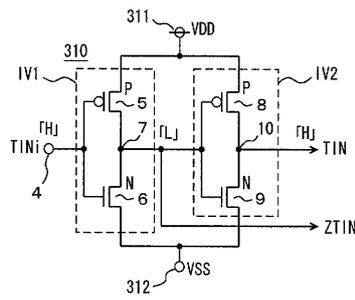
【図 1 2】



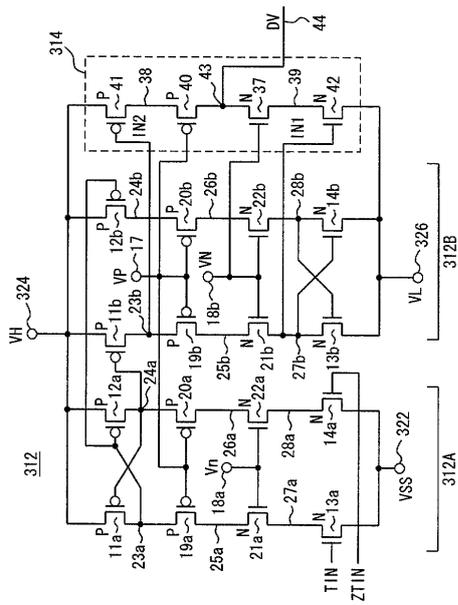
【図 1 3】



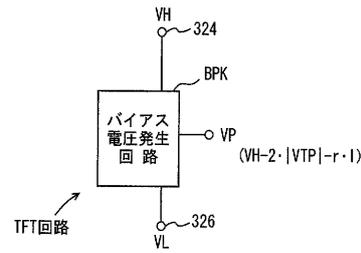
【図 1 4】



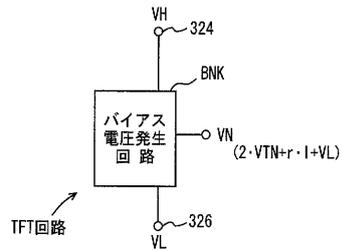
【図 1 5】



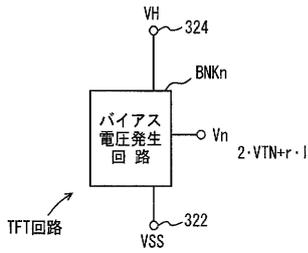
【図 1 6】



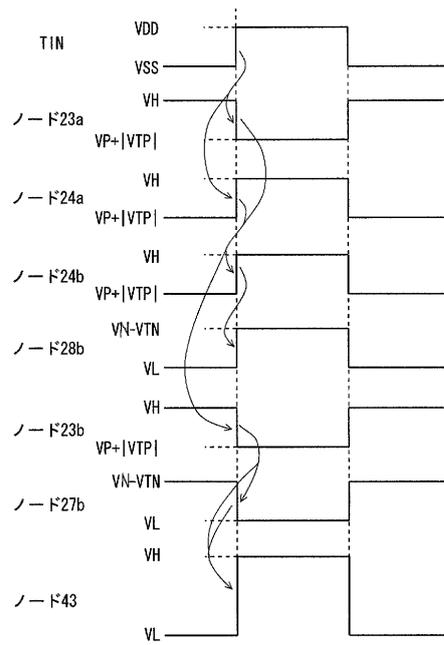
【図 1 7】



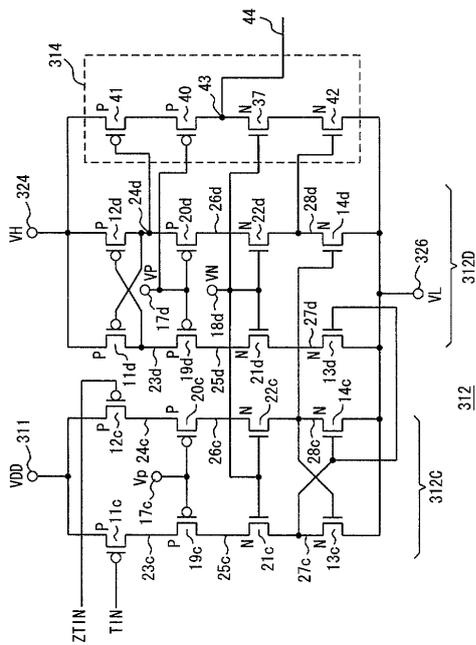
【図18】



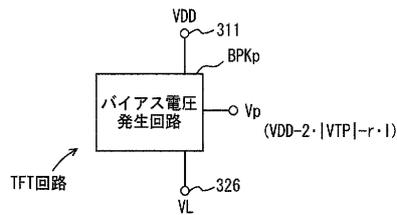
【図19】



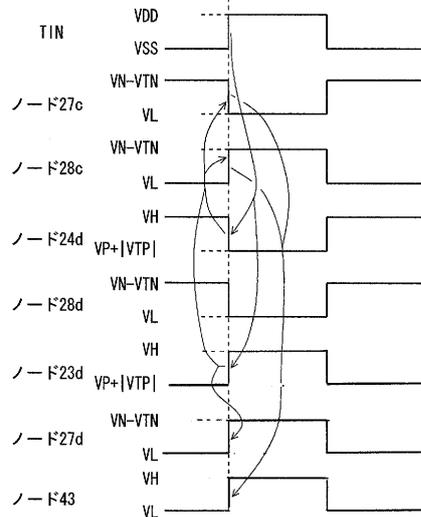
【図20】



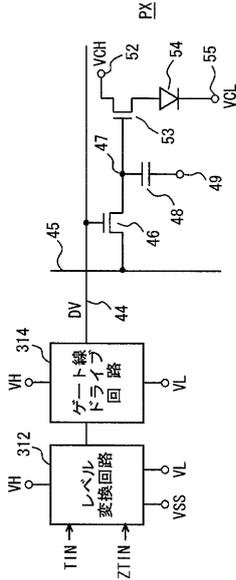
【図21】



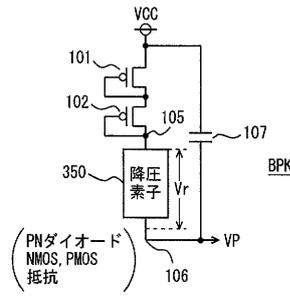
【図22】



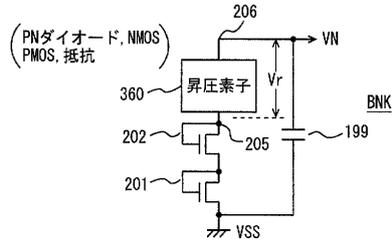
【図23】



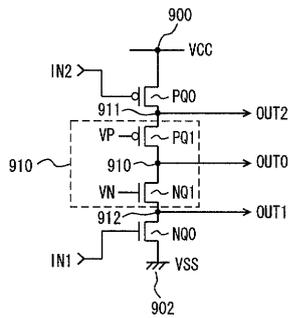
【図24】



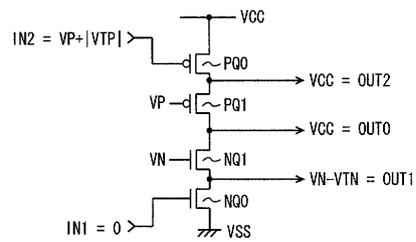
【図25】



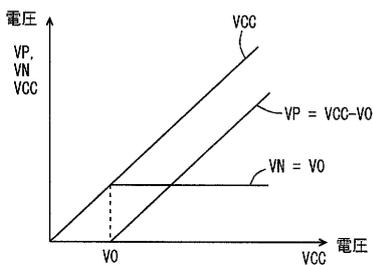
【図26】



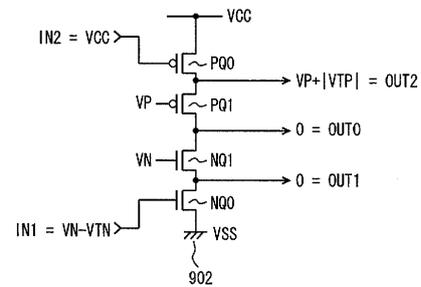
【図28】



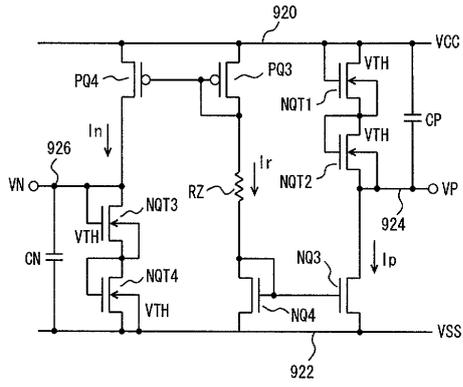
【図27】



【図29】



【 30 】



フロントページの続き

(72)発明者 飛田 洋一
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 大嶋 洋一

(56)参考文献 特開2000-155620(JP,A)
特開2000-155617(JP,A)
特開平11-149773(JP,A)
特開平10-294662(JP,A)
特開平09-172368(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822
H01L 21/8238
H01L 27/04
H01L 27/092
H03K 19/00