



(12) 发明专利申请

(10) 申请公布号 CN 103916126 A

(43) 申请公布日 2014. 07. 09

(21) 申请号 201310499369. 7

(22) 申请日 2013. 10. 22

(71) 申请人 新乡学院

地址 453000 河南省新乡市金穗大道东段

(72) 发明人 贾蒙 肖淼鑫 张烨 李琼 姚鹏

(74) 专利代理机构 上海脱颖律师事务所 31259

代理人 李强

(51) Int. Cl.

H03M 1/12(2006. 01)

H03M 1/10(2006. 01)

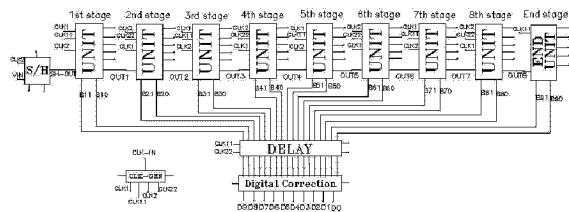
权利要求书1页 说明书7页 附图5页

(54) 发明名称

一种具有数字校正模块的流水线 ADC 电路

(57) 摘要

本发明涉及一种具有数字校正模块的流水线 ADC 电路,本发明在模块电路的设计中,为了避免普通 CMOS 开关导通电阻变化引入的非线性,首先,ADC 整体结构上,使用 9 级流水线单元,每级采用相同的 1.5 位结构,使得电路更加模块化。使用数字校正技术,降低非理想因素的影响。其次,对模块电路进行优化设计以减小 ADC 误差。使用单电容采样保持电路和栅压自举开关,提高采样线性度和精度;数字校正使用全加器电路实现,能够有效减少模拟电路,提高数字电路的应用,同时提高 ADC 转换精度和效率,有效地减少误差和非理想特性对电路的影响。



1. 一种有数字校正模块的流水线 ADC 电路,包括采样保持电路,9 级流水单元处理模块,时钟产生电路模块,延时处理模块和数字校正模块,其特征在于:

该保持采样电路采用翻转围绕式电路结构,整个电路在采样相和保持相只使用一个电容;

该 9 级流水单元处理模块用于将采样的模拟信号转换为 10 位的数字信号;

该时钟产生电路模块用于产生 2 相非重叠时钟信号;

该延时处理模块用于将 9 个流水线单元输出的数字信号对齐;

该数字校正模块用于对每一单元的数字输出叠位相加完成校正。

2. 如权利要求 1 所述的流水线 ADC 电路,其特征还在于:该数字校正模块的实现是通过带进位功能的 2 位加法器级联完成的。

3. 如权利要求 1 所述的流水线 ADC 电路,其特征还在于:该保持采样电路还包括一个自举开关。

一种具有数字校正模块的流水线 ADC 电路

技术领域

[0001] 本发明涉及一种流水线 ADC 电路,具体涉及一种具有数字校正模块的流水线 ADC 电路。

背景技术

[0002] 20 世纪 90 年代以来,数字技术的应用越来越广泛。有以下几个原因使数字技术比传统的模拟技术更优越:第一,由于对噪声和电源变化等干扰不敏感,数字处理方式能够达到比模拟处理方式更高的精度;第二,数字信号能够方便的保存而不会产生失真和丧失完整性;第三,数字信号处理方式使得更复杂的处理算法能够比较方便的实现,也利于产品的升级和更新换代;第四,计算机辅助设计技术的发展使数字技术能够非常方便和有效的实现设计自动化;第五,更重要的是大规模集成电路工艺的发展使数字信号处理速度越来越高,集成的功能越来越多,集成度越来越高,实现成本越来越低,数字集成电路已经开始逐渐取代原有的模拟电路。随着微处理器的运算速度和数据管理能力的提高,数字信号处理的技术和理论日趋强大和完善,数字技术发挥着越来越重要的作用。

[0003] 尽管数字技术具有很多的优势,但是自然界中都是连续变化的模拟量,而计算机所处理和传送的是不连续的数字信号,因此模拟量经传感器转换为电信号的模拟量后,需经模/数(analog/digital)转换变成数字信号,才可输入到数字系统中进行处理和控制在。所以模数转换器(ADC)性能的好坏,直接影响转换模拟量的精确度和后续数字系统的处理。ADC 已成为电子技术发展的关键和瓶颈所在。ADC 在模拟 IC 领域的重要性越来越大,随着集成电路设计和制造水平的提高,ADC 在工艺,结构,性能上都有很大的进步,但是依然不能满足数字系统的要求。

[0004] ADC 的类型有并行(Flash),逐次逼近型(SAR),折叠型(Folding),积分型,还有近来发展起来的过采样 $\Sigma-\Delta$ 型和流水线(Pipelined)型。流水线 ADC 采用多级结构级联而成,每一级进行低精度的量化,然后把量化的模拟余量送到下一级进行同样的转换,从而像一个生产线。把每一级的低精度输出组合在一起,就得到了最终高精度的数字输出值。一个模拟采样值从输入到输出要经过 N 级,但是总体来看,由于流水线结构的每一级都具有采样保持电路,所以各级可以并行工作,这样,在同一时间里,所有级都在同时处理不同的采样值,从而采样的速率就等于最终数字量化码转换的速率,提高了转换效率。

[0005] 在电路精度允许的情况下,如果要提高流水线 ADC 的分辨率,只需要级联更多的子级即可。但是实际当中由于增益误差,比较器失调,运放有限增益等原因,流水线 ADC 的精度会受到限制。

[0006] 在流水线 ADC 中,非理想特性和误差是必须要考虑的因素,需通过结构的优化来提高实际流水线 ADC 的性能,减小误差和非理想特性的影响。流水线 ADC 中的主要误差来源包括,开关非线性、比较器失调,运放非理想特性:包括有限增益误差、失调等、电容失配误差、这些因素会带来 MDAC 增益误差,还存在热噪声、时钟馈通等非理想因素影响,使得流水线 ADC 传输特性非理想化。

[0007] 本申请发明一种对流水线 ADC 电路,能够有效减少模拟电路,提高数字电路的应用,同时提高 ADC 转换精度和效率,且包含数字校正模块,能够有效地减少误差和非理想特性对电路的影响。

[0008] 发明的内容

[0009] 为了实现上述目的,本发明采用如下技术方案:

[0010] 一种具有数字校正模块的流水线 ADC 电路,包括采样保持电路(S/H),9 级流水单元处理模块,时钟产生电路模块,延时处理模块和数字校正模块。

[0011] 该保持采样电路采用翻转围绕式电路结构,整个电路在采样相和保持相只使用一个电容;

[0012] 该 9 级流水单元处理模块用于将采样的模拟信号转换为 10 位的数字信号;

[0013] 该时钟产生电路模块用于产生 2 相非重叠时钟信号;

[0014] 该延时处理模块用于将 9 个流水线单元输出的数字信号对齐;

[0015] 该数字校正模块用于对每一单元的数字输出叠位相加完成校正。

[0016] 如上所述的流水线 ADC 电路,其特征还在于:该数字校正模块的实现是通过带进位功能的 2 位加法器级联完成的。

[0017] 如上所述的流水线 ADC 电路,其特征还在于:该保持采样电路还包括一个自举开关。

附图说明

[0018] 图 1、本发明涉及的流水线 ADC 整体电路示意图

[0019] 图 2、本发明涉及的 9 级 10 位流水单元处理结构图

[0020] 图 3、本发明涉及的流水线 ADC 的采样保持电路示意图

[0021] 图 3-A、采样保持电路中自举开关电路示意图

[0022] 图 3-B、采样保持电路中电流传输器电路示意图

[0023] 图 3-C、采样保持电路中电流传输器构成的缓冲器电路示意图

[0024] 图 4、本发明涉及的 CLK 模块电路示意图

[0025] 图 5、本发明涉及的延时模块电路示意图

[0026] 图 6、本发明涉及的数字校正模块算法示意图

[0027] 图 7、本发明涉及的数字校正模块结构

[0028] 图 8、本发明涉及的数字校正模块电路示意图

[0029] 图 9、本发明涉及的数字校正模块电路中加法器电路和真值表示意图

具体实施方式

[0030] 本发明涉及的流水线 ADC 采用 $0.6\mu\text{mBiCMOS}$ 工艺下的流水线 ADC,流水线 ADC 系统采用 2.5V 电源,模拟信号的输入范围为 $-1\text{V}-1\text{V}$,转换速率为 2M/s 。该流水线 ADC 包括采样保持电路、9 级 10 位流水单元处理模块、外部时钟产生电路模块和延时和数字校正电路模块。

[0031] 系统的整体电路设计如图 1 所示。输入模拟量 V_{IN} 通过采样保持电路 (S/H),经过 9 级流水线单元处理,每级单元的两位数字输出经过延时模块 (DELAY) 在时间上“对齐”

后,并行输入数字校正模块 (Digital Correction),产生 10 位流水线 ADC 输出 D9-D0。其中,外部 4MHz 时钟 CLK-IN 通过非重叠时钟产生模块 (CLK-GEN) 产生 4 相 2MHz 非交叠时钟输出,CLK1 和 CLK2 作为各级采样保持驱动时钟,CLK11 和 CLK22 作为各级数字输出锁存时钟,并且作为延时电路 (DELAY) 的时钟驱动。流水线 ADC 相邻两级要采用相位相反的时钟信号驱动,这样才能保证各单元交替的工作在采样和输出保持阶段,例如:第一级单元输出余量信号时,第二级单元必须工作在采样阶段,采样第一级的模拟输出 OUT1。这样流水线式的工作方式就得到实现。一个模拟输入值从进入流水线 ADC,到得出对应的数字量,须经过 5 个周期的时间,但是由于流水线的每一级同时在工作,处理不同时间的信号,因此,流水线数字输出速率与采样速率是一样的,为 2Mps。

[0032] 各个模块的具体电路和完成功能如下:

[0033] 1、采样保持电路

[0034] 本申请使用运放为核心组成的采样保持电路,采用翻转围绕式电路结构,整个电路在采样相和保持相只使用一个电容,因此不存在电容匹配的问题。对比电荷分配式采样保持电路,翻转围绕式采样保持电路的理想反馈系数为 1,为电荷分配式采样保持电路的 2 倍,同时对运放的增益带宽的要求降低了 50%。

[0035] 采样保持电路整体结构如图 3 所示,电路工作原理为:两个反向时钟驱动采样保持电路,CLK2 为高时,电路在采样相,CLK1 为高时,电路在保持相。在采样相开关 S1 和 S3 接通,S2 断开,使得运放复位,输入电压被采样到电容 C 两端,由于输入输出短接,失调电压被存储在了采样电容上,从而消除了运放失调电压的影响。在保持相只有开关 S2 接通,通过运放的反馈回路,输出 C 的采样电压值,并被保持到下一次采样相为止。由于不存在电容匹配,采样电容的优化主要考虑噪声的影响。

[0036] 其中,开关 S1 不同于另两个开关,S2 和 S3 都是普通的 CMOS 开关。由于 S1 是整个流水线 ADC 输入模拟电压的入口,因此它的开关特性显的尤为重要,本申请采用自举栅压开关,是为了减小开关 S1 导通电阻随输入电压的变化,也就是减少开关 S1 的非线性失真。KG 模块为自举开关,CMOS 开关模为 SCH 模块,OP 为运算放大器。

[0037] (1) 自举开关

[0038] 通常电路中采用 CMOS 开关,但 MOS 管的物理特性决定了它不是一个理想的开关,MOS 管的导通电阻受到其栅源电压的影响,而在采样保持电路中更是如此,因为在流水线 ADC 的采样保持电路中,输入为模拟信号,而加在 CMOS 开关管栅极的采样时钟信号,当开关导通时,栅极电压为恒定的高电平,因此 CMOS 管的栅源电压随着输入信号的变化而变化,进而影响导通电阻的变化。使得开关引入了非线性误差,通过 MOS 管的输入信号会有谐波失真。而对于采样保持电路来说,这种误差是不允许的,否则会在模拟信号输入 ADC 一开始就产生误差,使得后续电路的精度都变得没有意义。自举开关是通过把充电的电容与输入信号串联,给 MOS 管提供栅极电压,这样 MOS 管的栅源电压差值就为电容上的电压值,这个电压为一定值,解决了开关管的非线性问题。

[0039] 具体电路工作原理如图 3-A,M7 和 M8 是一个基本的 CMOS 开关管,来控制输入输出电压的传输。电路的上下两部分结构一样,上部分电路驱动 N 开关管 M7,下部分电路驱动 P 开关管 M8,采样时钟为 CLK,保持时钟为其反相信号 XCLK。从上半部分来说,电容 C1 两端通过传输门开关与输入 V_{in} 和 M7 的栅极分别相连,在保持阶段,CLK 为 0,M3 接通,M7 的栅极

通过 M3 接负电源,保证开关管在保持阶段稳定的关闭。传输门 A1 和 A2 关闭,电容 C1 一端通过 M1 接负电源 V_{ss} ,另一端通过 M2 接到共模电平 V_{cm} ,电容被充电,充电后 C1 两端电压为 $V_{cm}-V_{ss}$;在采样阶段,CLK 为 1,传输门 A1,A2 接通,M1、M2、M3 断开。输入 V_{in} 与 C1 串联,通过 A1 接到 M7 栅极,这样 M7 栅极电压为 $V_{in}+V_{cm}-V_{ss}$,实现了栅极电压随着输入电压变化而浮动。

$$[0040] \quad V_{gs,m7} = V_{in}+V_{cm}-V_{ss}-V_{in} = V_{cm}-V_{ss} \quad (4.1)$$

[0041] M7 的栅源电压为 $V_{cm}-V_{ss}$,这是一个定值,从而解决了开关的非线性失真。下半部分电路是同样的原理,采样阶段,M8 的栅级电压为 $V_{in}+V_{cm}-V_{DD}$ 。

$$[0042] \quad V_{gs,m8} = V_{in}+V_{cm}-V_{DD}-V_{in} = V_{cm}-V_{DD} \quad (4.2)$$

[0043] 本申请设计的流水线 ADC 使用 $\pm 2.5V$ 供电, $V_{cm} = 0$,可以看出,在采样阶段,M7 和 M8 始终保持导通状态,并且栅源电压恒定,导通电阻不变。

[0044] (2) 电流传输器

[0045] 在本申请涉及的 1.5 位流水线 ADC 系统结构中,输入每一级单元的信号需要驱动 SubADC 和 MDAC 电路,为了提高输入信号驱动能力,在每一级单元的输入端加入缓冲器,由电流传输器来实现。

[0046] 公式 4-3 为第二代电流传输器 (Current Conveyor II) 电路,是一个 3 端电流模器件,X 和 Y 为输入,Z 为输出。电流传输器特性为:Y 端口为电压输入端,理想情况下阻抗无穷大,端口输入电流为零;X 端口为电流输入端,理想情况下输入阻抗无穷小,跟随 Y 端口电压;Z 端口的电流输出跟随 X 端口的电流。用矩阵表示为:

$$[0047] \quad \begin{pmatrix} I_y \\ V_x \\ I_z \end{pmatrix} = \begin{pmatrix} 0 & 0 & 0 \\ a_v & 0 & 0 \\ 0 & a_i & 0 \end{pmatrix} \cdot \begin{pmatrix} V_y \\ I_x \\ V_z \end{pmatrix} \quad (4.3)$$

[0048] 其中 $a_v = 1 - \varepsilon_v$, $a_i = 1 - \varepsilon_i$, ε_v 和 ε_i 分别表示电压和电流追踪的误差。理想情况下,误差为 0,X 端电压完全等于 Y 端电压,Z 端电流也完全等于 X 端电流。实际电路中会存在一定的误差。

[0049] 如图 3-B 所示,本申请的电流传输器采用运放构成的输出电流反馈式 CCII 电路,其工作原理为:晶体管 M4-M8 和 M10, M11 构成了一个运算放大器, M5 栅极为运放负端, M6 栅极为运放正端,X 为运放输出端,同时也是运放的负输入端,这样形成电压-电压负反馈,使得 X 端输入阻抗降低近似为零,X 端电压精确跟随 Y 端电压。流过 M10 和 M11 的电流与流过 M12, M13 的电流是相同的,因此 Z 端复制了 X 端的电流。M9 和 C1 做为频率补偿。M1-M3 为电路提供偏置电压。这种 CCII 电路的实现形式在噪声、线性度和电压跟随精度方面都有很好的性能。

[0050] 本申请涉及的流水线 ADC 中,电流传输器被用来作为电压缓冲器,连接成图 3-C 的结构。高阻抗的 Y 端作为输入,低阻抗的 X 端口电压跟随 Y 端口电压,具有很强的驱动能力,作为缓冲器输出。通过电容连接 X 端和 Z 端,使得输出电压稳定的更快,并且能减少噪声干扰。

[0051] 2、9 级 10 位流水单元处理模块

[0052] 图 2 是 10 位流水线系统级的结构图。在实际的每一级流水线结构中,不再有单独

的采样保持模块,整个流水线 ADC 只在模拟信号输入端有单独采样保持模块 S/H。模拟信号经过采样保持电路的采样,输入到第一级流水线单元中,量化的两位数字量输入到延时模块中,模拟余量输出到第二级进行处理,依次类推。整个电路在两相非交叠时钟的驱动下工作,由外部输入的时钟信号,通过非交叠时钟产生电路模块,产生非交叠的时钟,控制各级在采样和量化之间交替工作,同时控制延时电路把各级的 2 位数字输出在时间上“对齐”,把 18 位的数字信号送到数字校正模块进行叠位相加的数字校正,最终得到 10 位的数字量。

[0053] 3、外部时钟产生电路模块

[0054] 非重叠时钟产生电路通过外部时钟产生 2 相非重叠时钟信号 CLK1, CLK2,以驱动各级单元交替工作在采样和保持周期,使各单元同时工作,因此产生两相的非重叠时钟是实现“流水线”的根本所在。

[0055] 如图 4 所示 CLK 模块电路。通过一个外部时钟输入,产生两个相位相反的时钟信号输出。其原理是通过一个 RS 触发器产生两相不重叠的时钟信号。上下两路中的或非门和其后的两个反相器的输出 A, B 交叉耦合到或非门的输入端,构成了一个 RS 触发器,CLK 输入端相当于置位端 S,输入端相当于复位端 R,那么 A 点就是 RS 触发器的端, B 点就是 RS 触发器的 Q 端,这样 A 点的信号与 CLK 相反, B 点信号与 CLK 相同,这就实现了两相非交叠时钟的产生,从 A, B 端到输出分别加入了两个反相器,是为了提高转换速度,对时钟信号整形。

[0056] 4、延时和数字校正电路模块

[0057] 延时电路:延时电路是为了把 9 个流水线单元的输出数字信号进行对齐。因为当一个采样的模拟信号进入流水线 ADC 系统时,第一级单元总是先处理这个模拟信号,因而最先产生数字输出,第 9 级是最后处理这个模拟采样值的单元,数字输出也是最后,相邻单元数字输出相差半个周期。这 9 级的 18 位的数字输出要在时间上对齐,才能送到下一级的数字校正单元进行处理并最终输出。

[0058] 延时对齐是通过上边沿 D 触发器的级联来实现,每一级单元的数字输出通过不同数量的 D 触发器的延时,最终到输出。每一个 D 触发器可以认为是一个寄存器,通过 CP 端来控制数据的录入。如图 5 所示电路,从第一级单元到最后一级单元的数字输出通路上的 D 触发器数量依次减少,每一行的 D 触发器都由一个相同的时钟来控制,相邻行的时钟都是反相的,奇数行时钟为 CLK1,偶数行时钟为 CLK2,相位相差半个周期。

[0059] 数字校正电路:数字校正电路对每一单元的数字输出叠位相加完成校正。9 级流水线单元,有 18 位输出,经过数字校正,叠位相加得到最终的 10 位数字输出。

[0060] 鉴于前面所分析的非理想因素的影响,本设计单级流水线采用 .5 位结构,但同时带来的问题就是 ADC 的输出不能像理想情况一样,每级移位相加得到。而是需要采用另外的算法来组合各级的输出,得出正确的 ADC 数字量。这就是数字校正技术。依照实际应用 .5 位流水线单元原理,进行计算分析。可以得出根据每一级的数字输出来进行数字校正的具体实现形式。

[0061] 下面计算正输入范围的 ADC 校正技术,正负输入范围的 ADC 数字校正技术逻辑与之一样。

[0062] 第 i 级的模拟输入为

$$[0063] \quad V_{in}(i) = V_{dac}(i) + \frac{V_{out}(i)}{2^{B-1}} \quad (3.15)$$

[0064] 又因为第 i 级的输出是第 $i+1$ 级的输入

$$[0065] \quad V_{in}(i) = V_{dac}(i) + \frac{V_{in}(i+1)}{2^{B-1}} \quad (3.16)$$

[0066] 循环套用 3.15 式, 得到第一级输入也就是 ADC 模拟输入的表达式

$$[0067] \quad \begin{aligned} V_{in}(1) &= V_{dac}(1) + \frac{V_{in}(2)}{2^{B-1}} \\ &= V_{dac}(1) + \frac{V_{dac}(2)}{2^{B-1}} + \frac{V_{dac}(3)}{2^{2(B-1)}} + \cdots + \frac{V_{dac}(i)}{2^{(i-1)(B-1)}} + \cdots + \frac{V_{dac}(N)}{2^{(N-1)(B-1)}} + \frac{V_{out}(N)}{2^{N(B-1)}} \end{aligned} \quad (3.17)$$

[0068] 其中, 最后一项 $\frac{V_{out}(N)}{2^{N(B-1)}}$ 同样为最后一级余量等效到第一级输入的值, 是整个 ADC 量化误差, 记为 V_{res} 。

[0069] 第 i 级的 SubADC 输出为 D_i (二进制)。

$$[0070] \quad D_i = (b_{B-1}b_{B-2} \cdots b_1b_0) \quad (3.18)$$

[0071] 用十进制表示为

$$[0072] \quad D_{out}(i) = \sum_{j=0}^{B-1} b_{i,j} \cdot 2^j \quad (3.19)$$

[0073] 第 i 级 SubDAC 的输出模拟电压为

$$[0074] \quad V_{dac}(i) = D_{out}(i) \cdot \frac{FS}{2^B} \quad (3.20)$$

[0075] 所以 3.20 代入 3.17 得

$$[0076] \quad \begin{aligned} V_{in}(1) &= \sum_{i=1}^N \left[\frac{FS}{2^B} \cdot \frac{D_{out}(i)}{2^{(i-1)(B-1)}} \right] + \frac{V_{out}(N)}{2^{N(B-1)}} \\ &= \sum_{i=1}^N \left[D_{out}(i) \cdot \frac{FS}{2^{iB-i+1}} \right] + V_{res} \end{aligned} \quad (3.21)$$

[0077] 量化误差的最大值:

$$[0078] \quad \max V_{res} = \frac{FS}{2^{NB}} \quad (3.22)$$

[0079] 因此 3.21 式变形为

$$[0080] \quad V_{in}(1) = \sum_{i=1}^N [D_{out}(i) \cdot 2^{(N-i)(B-1)}] \cdot \frac{FS}{2^{NB-N+1}} + V_{res} \quad (3.23)$$

[0081] 3.23 式中, 记 A_{out} 为

$$[0082] \quad A_{out} = \sum_{i=1}^N [D_{out}(i) \cdot 2^{(N-i)(B-1)}] \quad (3.24)$$

[0083] 假设 A_{out} 就是整个 ADC 的数字输出 D_{out} , 那么每一级流水线单元叠位相加得到的总 ADC 的位数应为 $NB-N+1$, 最低有效位为

$$[0084] \quad 1LSB = \frac{FS}{2^{NB-N+1}} \quad (3.25)$$

[0085] 因此输入 ADC 的模拟量应该表示为：

$$[0086] \quad V_{in}(1) = A_{out} \cdot \frac{FS}{2^{NB-N+1}} + V_{res} \quad (3.26)$$

[0087] 本申请的 $\pm 1V$ 输入范围的 1.5 位 / 级的 10 位流水线 ADC。9 级流水线单元, 相邻级的两位数字输出叠位相加, 进行数字修正, 得到最终的 10 位数字信号。

[0088] 如图 6 所示, 数字校正模块的实现是通过带进位功能的 2 位加法器级联完成的。如图 7 所示, 由于从第一级到最后一级, 数字输出由高位到低位加法器从低位向高位进位, 每级的输出依次移位相加, 即本级 0 位和下级 1 位相加。第一级的 1 位和最后一级的 0 位不需要加运算, 但是为了信号延时的统一, 所以把它们分别与 0 相加。

[0089] 电路如图 8 所示, ADDER 模块是加法器电路, 完成两位二进制加法功能。B11-B90 是延时模块的 18 位输出值。使用 10 个加法器级联, 每一单元的两位数字输出叠位相加, 即本单元的低位与下一单元的高位相加, 依次类推, 第 9 级单元的低位就是最终的流水线 ADC 的最低位数字量, 但是为了 10 位数字量具有相同的延时, 把它与数字 0 相加。第一级的高位同样与 0 相加。这样经过数字校正, 得到流水线 ADC 的最终 10 位数字输出 D9-D0。

[0090] 其中加法器如图 9 所示, I1, I2 分别为加数和被加数输入, CI 端为低位进位输入, C-out 为进位输出 (记为 C0), D 为全加和。从真值表可以得出输入输出的逻辑关系为 $D = I1 \cdot \overline{C0} + I2 \cdot \overline{C0} + CI \cdot \overline{C0} + I1 \cdot I2 \cdot CI$, $C0 = I1 \cdot I2 + CI \cdot I2 + CI \cdot I1$ 。

[0091] 本申请发明的这种电路设计能够优化模块电路的设计、提高模数转换器的速度, 同时采用数字自校准技术进一步提高 ADC 的线性度和精度。

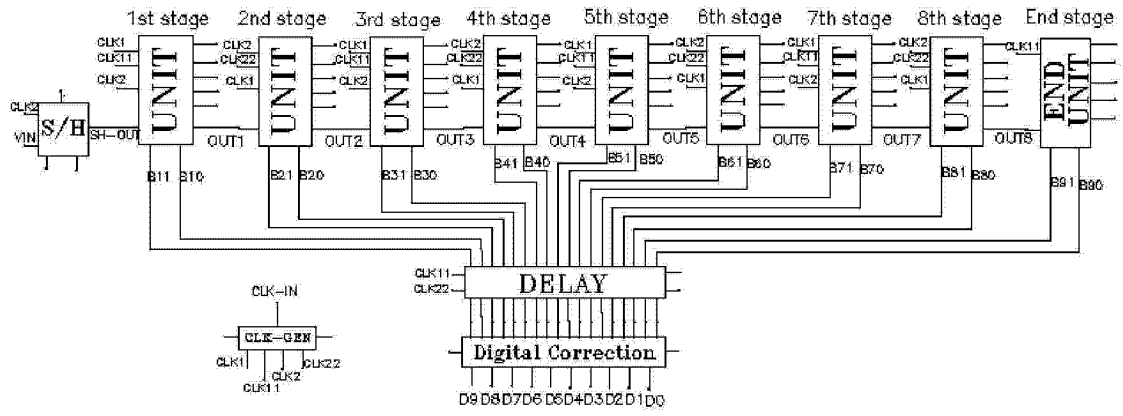


图 1

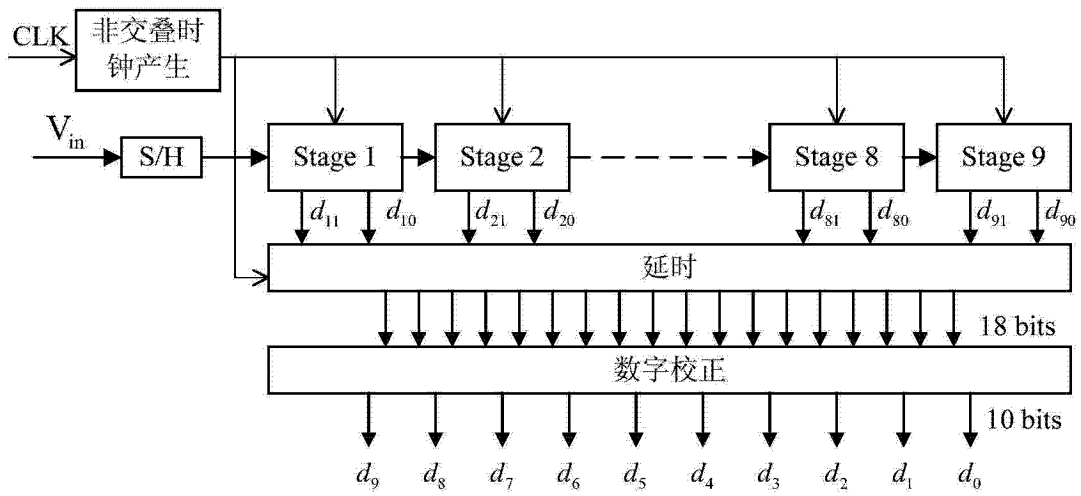


图 2

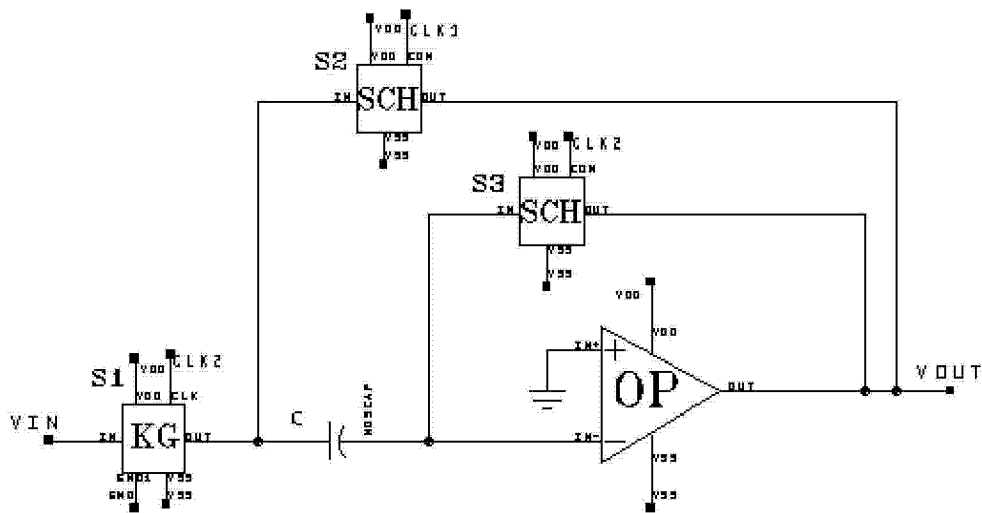


图 3

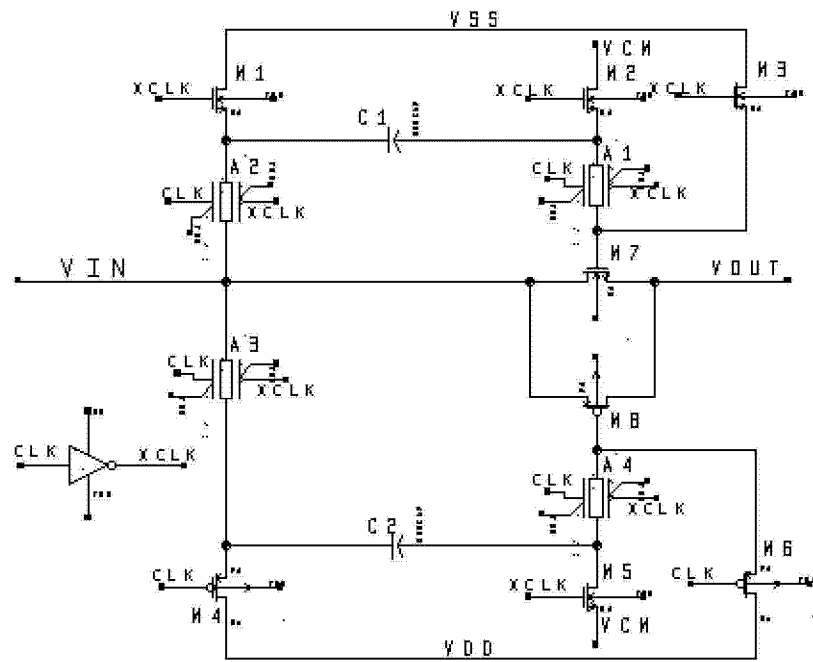


图 3-A

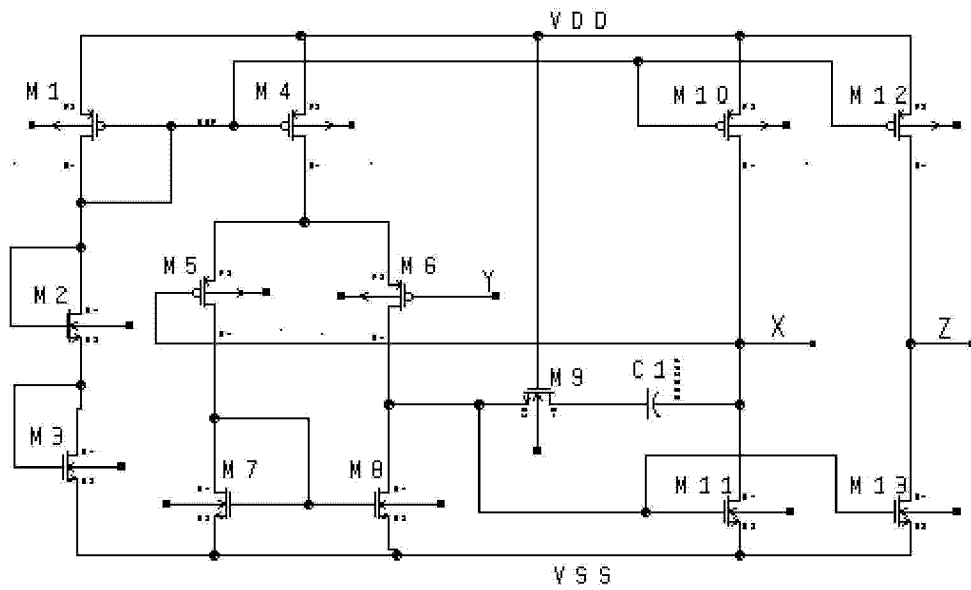


图 3-B

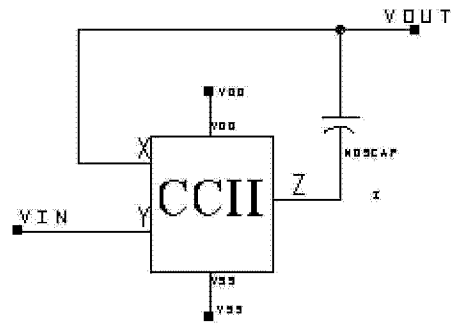


图 3-C

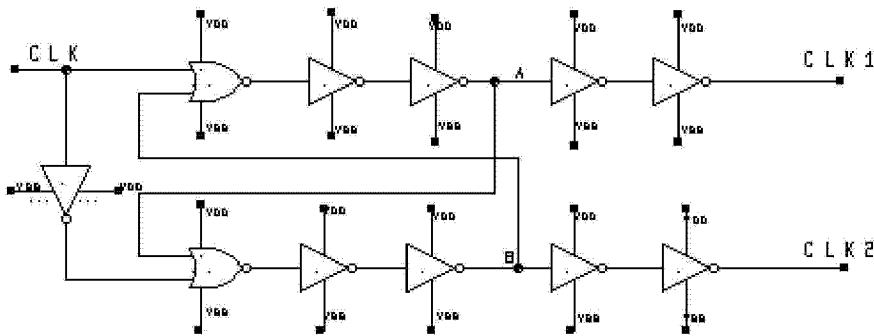


图 4

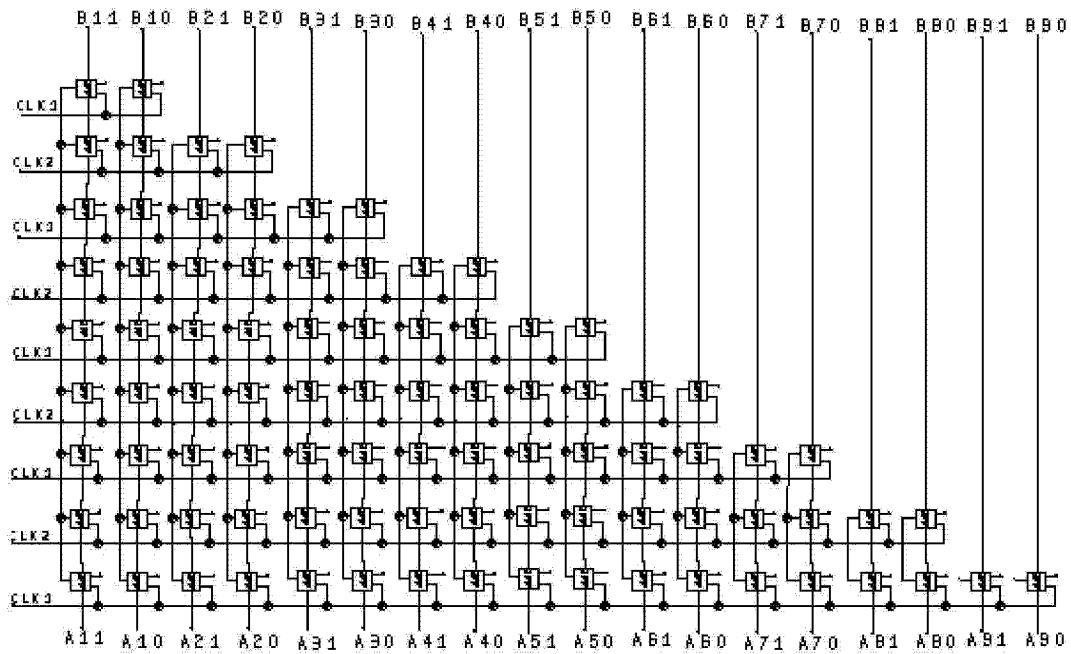


图 5

$$\begin{array}{r}
 b_{11} \quad b_{10} \\
 \quad b_{21} \quad b_{20} \\
 \quad \quad b_{31} \quad \dots\dots \\
 \quad \quad \quad \quad \quad \quad \quad b_{80} \\
 + \quad \quad \quad \quad \quad \quad \quad b_{91} \quad b_{90} \\
 \hline
 b_9 \quad b_8 \quad b_7 \quad \dots\dots \quad b_1 \quad b_0
 \end{array}$$

图 6

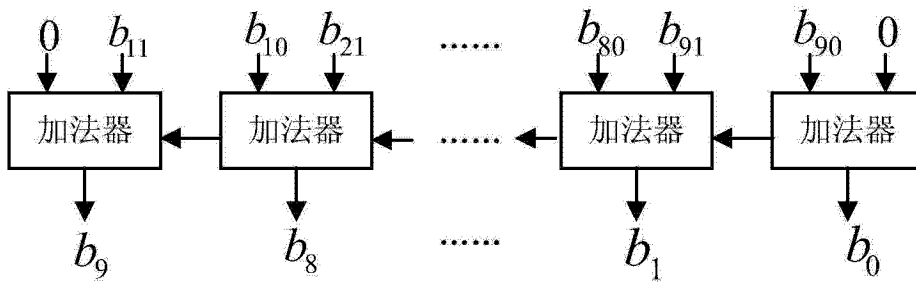


图 7

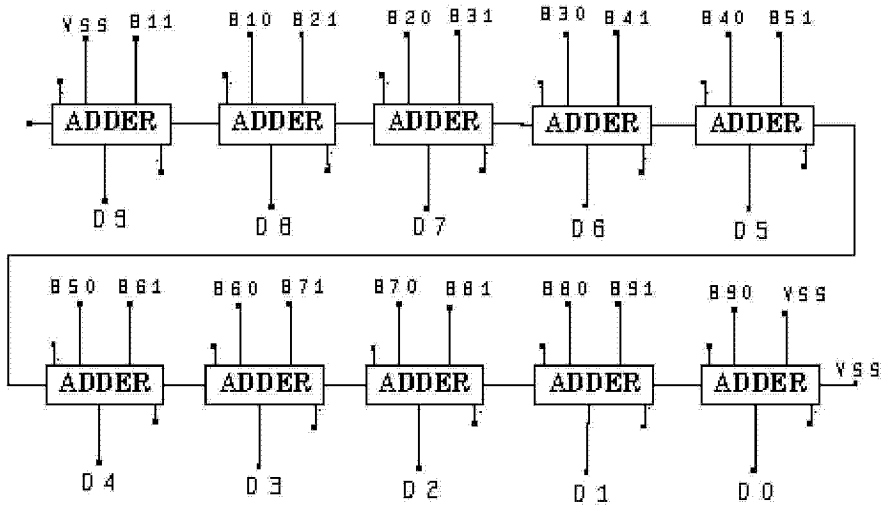


图 8

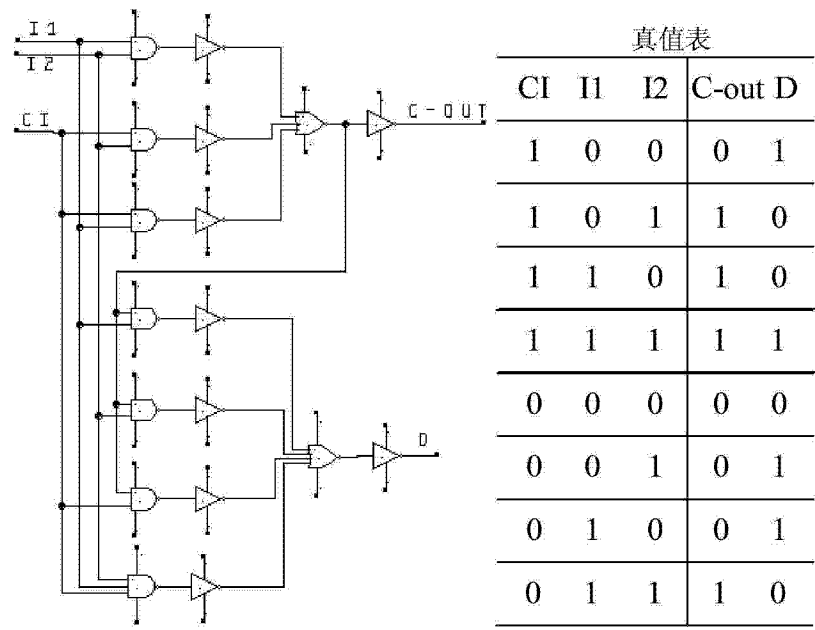


图 9