



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년01월17일
(11) 등록번호 10-2352633
(24) 등록일자 2022년01월13일

- (51) 국제특허분류(Int. Cl.)
H03K 3/03 (2006.01) H03B 5/24 (2006.01)
H03L 7/093 (2006.01) H03L 7/099 (2006.01)
- (52) CPC특허분류
H03K 3/0315 (2013.01)
H03B 5/24 (2013.01)
- (21) 출원번호 10-2017-7003978
- (22) 출원일자(국제) 2015년07월09일
심사청구일자 2020년06월23일
- (85) 번역문제출일자 2017년02월13일
- (65) 공개번호 10-2017-0035946
- (43) 공개일자 2017년03월31일
- (86) 국제출원번호 PCT/IB2015/055183
- (87) 국제공개번호 WO 2016/012893
국제공개일자 2016년01월28일
- (30) 우선권주장
JP-P-2014-151623 2014년07월25일 일본(JP)
- (56) 선행기술조사문헌
JP06077782 A
JP2004088319 A
KR1020100081472 A

- (73) 특허권자
가부시킴가이사 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
오카모토 유키
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시킴가이사 한도오따이 에네루기 켄큐쇼 내
쿠로카와 요시유키
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시킴가이사 한도오따이 에네루기 켄큐쇼 내
- (74) 대리인
황의만

전체 청구항 수 : 총 10 항

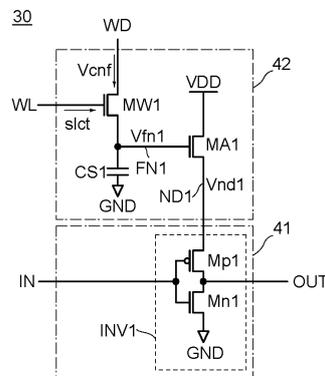
심사관 : 최규돈

(54) 발명의 명칭 발진 회로 및 그것을 포함하는 반도체 장치

(57) 요약

발진 회로의 제어성을 향상시킨다. 상기 발진 회로는 홀수단의 인버터를 갖는다. 고전원 전위가 입력되는 인버터의 전원 노드에는 회로가 전기적으로 접속된다. 회로는 제 1 트랜지스터, 제 2 트랜지스터, 및 커패시터를 포함한다. 제 1 트랜지스터는 채널에 산화물 반도체를 포함한다. 제 1 트랜지스터 및 커패시터를 포함하는 유지 회로는 외부로부터 입력되는 아날로그 전위를 유지하는 기능을 갖는다. 유지 회로에 의하여 유지되는 전위는 제 2 트랜지스터의 게이트에 입력된다. 제 2 트랜지스터를 통하여 인버터에 전원 전위가 공급되어 제 2 트랜지스터의 게이트의 전위에 의하여 인버터의 지연 시간을 제어할 수 있다.

대표도 - 도2



(52) CPC특허분류

H03L 7/093 (2013.01)

H03L 7/0995 (2013.01)

H03L 2207/06 (2013.01)

명세서

청구범위

청구항 1

발진 회로로서,

제 1 내지 제 n 단(n 은 홀수)의 제 1 회로; 및

제 2 회로를 포함하고,

상기 제 1 내지 제 n 단의 제 1 회로의 각각은 제 1 입력 노드, 제 1 출력 노드, 인버터, 및 제 3 회로를 포함하고,

제 i 단(i 는 1 이상 ($n-1$) 이하의 정수(integer))의 상기 제 1 회로의 상기 제 1 출력 노드는 다음 단의 상기 제 1 회로의 상기 제 1 입력 노드와 전기적으로 접속되고,

상기 제 n 단의 상기 제 1 회로의 상기 출력 노드는 상기 제 1 단의 상기 제 1 회로의 상기 입력 노드와 전기적으로 접속되고,

상기 인버터의 입력 노드는 상기 제 1 입력 노드와 전기적으로 접속되고,

상기 인버터의 출력 노드는 상기 제 1 출력 노드와 전기적으로 접속되고,

상기 인버터는 제 1 전원 노드 및 제 2 전원 노드를 포함하고,

상기 제 3 회로는 제 2 입력 노드, 제 2 출력 노드, 제 3 노드, 제 1 트랜지스터, 제 2 트랜지스터, 및 제 1 커패시터를 포함하고,

상기 제 2 출력 노드는 상기 제 1 전원 노드와 전기적으로 접속되고,

상기 제 2 입력 노드에 제 1 전위가 입력되고,

상기 제 1 트랜지스터의 제 1 단자는 상기 제 2 입력 노드와 전기적으로 접속되고,

상기 제 1 트랜지스터의 제 2 단자는 상기 제 3 노드와 전기적으로 접속되고,

상기 제 1 트랜지스터는 채널에 산화물 반도체를 포함하고,

상기 제 1 커패시터는 상기 제 3 노드의 전위를 유지하는 기능을 갖고,

상기 제 2 트랜지스터의 게이트는 상기 제 3 노드와 전기적으로 접속되고,

상기 제 2 트랜지스터의 제 1 단자에 제 2 전위가 입력되고,

상기 제 2 트랜지스터의 제 2 단자는 상기 제 2 출력 노드와 전기적으로 접속되고,

상기 제 2 회로는 상기 제 n 단의 상기 제 1 회로의 상기 제 1 출력 노드의 출력 신호의 진폭을 변화시키는 기능을 갖는, 발진 회로.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

발진 회로로서,

제 1 내지 제 n 단(n 은 홀수)의 제 1 회로;

제 2 회로; 및

상기 제 2 회로의 출력과 전기적으로 접속되는 버퍼 회로를 포함하고,

상기 제 1 내지 제 n 단의 제 1 회로의 각각은 제 1 입력 노드, 제 1 출력 노드, 인버터, 및 제 3 회로를 포함하고,

제 i 단(i 는 1 이상 ($n-1$) 이하의 정수(integer))의 상기 제 1 회로의 상기 제 1 출력 노드는 다음 단의 상기 제 1 회로의 상기 제 1 입력 노드와 전기적으로 접속되고,

상기 제 n 단의 상기 제 1 회로의 상기 출력 노드는 상기 제 1 단의 상기 제 1 회로의 상기 입력 노드와 전기적으로 접속되고,

상기 인버터의 입력 노드는 상기 제 1 입력 노드와 전기적으로 접속되고,

상기 인버터의 출력 노드는 상기 제 1 출력 노드와 전기적으로 접속되고,

상기 인버터는 제 1 전원 노드 및 제 2 전원 노드를 포함하고,

상기 제 3 회로는 제 2 입력 노드, 제 2 출력 노드, 제 3 노드, 제 1 트랜지스터, 제 2 트랜지스터, 및 제 1 커패시터를 포함하고,

상기 제 2 출력 노드는 상기 제 1 전원 노드와 전기적으로 접속되고,

상기 제 2 입력 노드에 제 1 전위가 입력되고,

상기 제 1 트랜지스터의 제 1 단자는 상기 제 2 입력 노드와 전기적으로 접속되고,

상기 제 1 트랜지스터의 제 2 단자는 상기 제 3 노드와 전기적으로 접속되고,

상기 제 1 트랜지스터는 채널에 산화물 반도체를 포함하고,

상기 제 1 커패시터는 상기 제 3 노드의 전위를 유지하는 기능을 갖고,

상기 제 2 트랜지스터의 게이트는 상기 제 3 노드와 전기적으로 접속되고,

상기 제 2 트랜지스터의 제 1 단자에 제 2 전위가 입력되고,

상기 제 2 트랜지스터의 제 2 단자는 상기 제 2 출력 노드와 전기적으로 접속되고,

상기 제 2 회로는 상기 제 n 단의 상기 제 1 회로의 상기 제 1 출력 노드의 출력 신호의 진폭을 변화시키는 기능을 갖는, 발진 회로.

청구항 11

제 1 항 또는 제 10 항에 있어서,
 상기 제 2 전원 노드에 입력되는 전원 전위가 상기 제 1 전원 노드에 입력되는 전위보다 낮고,
 상기 제 2 트랜지스터는 n채널 트랜지스터인, 발진 회로.

청구항 12

제 1 항 또는 제 10 항에 있어서,
 상기 제 2 전원 노드에 입력되는 전원 전위가 상기 제 1 전원 노드에 입력되는 전위보다 높고,
 상기 제 2 트랜지스터는 p채널 트랜지스터인, 발진 회로.

청구항 13

제 1 항 또는 제 10 항에 있어서,
 상기 제 1 내지 제 n 단의 제 1 회로의 각각은 제 1 스위치를 포함하고,
 상기 제 1 스위치는 상기 인버터의 상기 출력 노드와 상기 제 1 출력 노드 사이의 도통 상태를 제어하는 기능을 갖는, 발진 회로.

청구항 14

제 1 항 또는 제 10 항에 있어서,
 상기 제 1 내지 제 n 단의 제 1 회로의 각각은 제 2 스위치를 포함하고,
 상기 제 2 스위치는 상기 제 1 전원 노드와 상기 제 2 출력 노드 사이의 도통 상태를 제어하는 기능을 갖는, 발진 회로.

청구항 15

제 1 항 또는 제 10 항에 있어서,
 상기 제 1 내지 제 n 단의 제 1 회로 중 하나의 상기 제 1 트랜지스터의 게이트에 제 1 신호가 입력되고,
 상기 제 1 내지 제 n 단의 제 1 회로 중 다른 하나의 상기 제 1 트랜지스터의 게이트에 제 2 신호가 입력되는, 발진 회로.

청구항 16

위상 동기 루프(phase locked loop)로서,
 제 1 항 또는 제 10 항에 따른 발진 회로를 포함하는, 위상 동기 루프.

청구항 17

제 4 회로 및 제 5 회로를 포함하는 반도체 장치로서,
 상기 제 4 회로는 클록 신호를 생성하는 기능을 갖고 제 1 항 또는 제 10 항에 따른 발진 회로를 포함하고,
 상기 제 5 회로는 상기 클록 신호를 사용하여 처리를 수행하는 기능을 갖는, 반도체 장치.

청구항 18

전자 장치로서,
 표시 장치, 터치 패널, 마이크로폰, 스피커, 조작 키, 및하우징 중 적어도 하나, 및 제 17 항에 따른 반도체 장치를 포함하는, 전자 장치.

발명의 설명

기술 분야

[0001] 본 명세서, 도면, 및 청구항(이하에서 "본 명세서 등"이라고 함)에 개시(開示)된 본 발명의 일 실시형태는 발진 회로, 신호 생성 회로, 또는 처리 장치 등의 반도체 장치, 이들의 구동 방법, 및 이들의 제작 방법 등에 관한 것이다.

[0002] 다만, 본 발명의 일 실시형태는 상술한 기술 분야에 한정되지 않는다. 본 발명의 일 실시형태의 기술 분야는 물건, 방법, 또는 제작 방법에 관한 것이다. 본 발명의 일 실시형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 본 발명의 일 실시형태의 기술 분야의 구체적인 예에는, 반도체 장치, 발진 회로, 신호 생성 회로, 처리 장치, 메모리 장치, 표시 장치, 액정 표시 장치, 발광 장치, 조명 장치, 전력 저장 장치, 입력 장치, 활상 장치, 이들 중 어느 것의 구동 방법, 및 이들 중 어느 것의 제작 방법이 포함된다.

배경 기술

[0003] 전압 제어 발진기(VCO: voltage controlled oscillator)는 발진 회로의 하나이며, 전압에 의하여 출력 신호의 발진 주파수를 제어하는 기능을 갖는다. 예를 들어, 링 발진계(ring-oscillator-based) VCO가 알려져 있다(예를 들어, 특허문헌 1). VCO는 예를 들어, 위상 동기 루프(PLL: phase-locked loop)에 사용된다(예를 들어, 비특허문헌 1).

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본 공개 특허 06-310994호

비특허문헌

[0005] (비특허문헌 0001) X. Gao, et al., "Jitter Analysis and a Benchmarking Figure-of-Merit for Phase-Locked Loops", IEEE Trans. On Circuits and Systems-II, vol. 56, no. 2, pp. 117-121, Feb. 2009

발명의 내용

해결하려는 과제

[0006] 본 발명의 일 실시형태의 목적은 신규 반도체 장치 또는 그 구동 방법을 제공하는 것이다. 본 발명의 일 실시형태의 또 다른 목적은 제어성이 우수한 반도체 장치 및 그 구동 방법, 기동 시간이 짧은 반도체 장치 및 그 구동 방법, 또는 프로그래밍할 수 있는 반도체 장치 및 그 구동 방법을 제공하는 것이다.

[0007] 다만, 복수의 목적의 기제는 각 목적의 존재를 방해하지 않는다. 본 발명의 일 실시형태는 반드시 모든 목적을 달성하는 것은 아니다. 상기에 열거한 것 이외의 목적은 명세서, 도면, 및 청구항의 기재로부터 명백하며, 이러한 목적도 본 발명의 일 실시형태의 목적이 될 수 있다.

과제의 해결 수단

[0008] 본 발명의 일 실시형태는 제 1 내지 제 n 단(n 은 홀수)의 제 1 회로, 및 제 2 회로를 포함하는 발진 회로이다. 제 1 내지 제 n 단의 제 1 회로의 각각은 제 1 입력 노드, 제 1 출력 노드, 인버터, 및 제 3 회로를 포함한다. 제 i 단(i 는 1 이상 $(n-1)$ 이하의 정수(integer))의 제 1 회로의 제 1 출력 노드는 다음 단의 제 1 회로의 제 1 입력 노드와 전기적으로 접속된다. 제 n 단의 제 1 회로의 출력 노드는 제 1 단의 제 1 회로의 입력 노드와 전기적으로 접속된다. 인버터의 입력 노드는 제 1 입력 노드와 전기적으로 접속된다. 인버터의 출력 노드는 제 1 출력 노드와 전기적으로 접속된다. 인버터는 제 1 전원 노드 및 제 2 전원 노드를 포함한다. 제 3 회로는 제 2 입력 노드, 제 2 출력 노드, 제 3 노드, 제 1 트랜지스터, 제 2 트랜지스터, 및 제 1 커패시터를 포함한다. 제 2 출력 노드는 제 1 전원 노드와 전기적으로 접속된다. 제 2 입력 노드에 제 1 전위가 입력된다. 제 1 트랜지스터의 제 1 단자는 제 2 입력 노드와 전기적으로 접속된다. 제 1 트랜지스터의 제 2 단

자는 제 3 노드와 전기적으로 접속된다. 제 1 트랜지스터는 채널에 산화물 반도체를 포함한다. 제 1 커패시터는 제 3 노드의 전위를 유지하는 기능을 갖는다. 제 2 트랜지스터의 게이트는 제 3 노드와 전기적으로 접속된다. 제 2 트랜지스터의 제 1 단자에 제 2 전위가 입력된다. 제 2 트랜지스터의 제 2 단자는 제 2 출력 노드와 전기적으로 접속된다. 제 2 회로는 제 n 단의 제 1 회로의 제 1 출력 노드의 출력 신호의 진폭을 변화시키는 기능을 갖는다.

[0009] 상술한 실시형태에 있어서, 제 2 전원 노드에 입력되는 전원 전위가 제 1 전원 노드에 입력되는 전위보다 낮을 때, 제 2 트랜지스터는 n 채널 트랜지스터인 것이 바람직하다. 또는, 제 2 전원 노드에 입력되는 전원 전위가 제 1 전원 노드에 입력되는 전위보다 높을 때, 제 2 트랜지스터는 p 채널 트랜지스터인 것이 바람직하다.

[0010] 상술한 실시형태에 있어서, 제 1 내지 제 n 단의 제 1 회로의 각각은 제 1 스위치를 포함한다. 제 1 스위치에 의하여 인버터의 출력 노드와 제 1 출력 노드 사이의 도통 상태가 제어되어도 좋다.

[0011] 상술한 실시형태에 있어서, 제 1 내지 제 n 단의 제 1 회로의 각각은 제 2 스위치를 포함한다. 제 2 스위치에 의하여 제 1 전원 노드와 제 2 출력 노드 사이의 도통 상태가 제어되어도 좋다.

[0012] 상술한 실시형태에 있어서, 제 1 내지 제 n 단의 제 1 회로의 제 1 트랜지스터의 게이트에 상이한 신호가 입력된다.

[0013] 본 명세서 등에 있어서, 제 1, 제 2, 및 제 3 등의 서수는 구성요소 간의 혼동을 피하기 위하여 사용되고, 용어는 구성요소를 수적으로 한정하지 않거나 또는 순서를 한정하지 않는다.

[0014] 본 명세서 등에 있어서, 반도체 장치란, 반도체 특성을 이용하는 장치이며, 반도체 소자(예를 들어, 트랜지스터 또는 다이오드)를 포함하는 회로를 말하고, 이 회로를 포함하는 장치 등을 의미한다. 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 어떤 장치도 의미한다. 예를 들어, 집적 회로, 및 집적 회로를 포함하는 칩은 모두 반도체 장치이다. 또한, 메모리 장치, 표시 장치, 발광 장치, 조명 장치, 및 전자 장치 등은 이들 자체가 반도체 장치일 수 있거나, 또는 각각 반도체 장치를 포함할 수 있다.

[0015] 또한, 트랜지스터는 게이트, 소스, 및 드레인이라는 3개의 단자를 포함한다. 게이트는 트랜지스터의 온/오프를 제어하기 위한 제어 단자의 역할을 한다. 트랜지스터의 채널형 또는 단자에 인가되는 전위의 레벨에 따라, 한쪽 단자가 소스로서 기능하고 다른 쪽 단자가 드레인으로서 기능한다. 일반적으로, n 채널 트랜지스터에서는, 더 낮은 전위가 인가되는 단자가 소스라고 불리고, 더 높은 전위가 인가되는 단자가 드레인이라고 불린다. 한편, p 채널 트랜지스터에서는, 더 낮은 전위가 인가되는 단자가 드레인이라고 불리고, 더 높은 전위가 인가되는 단자가 소스라고 불린다. 본 명세서에서, 트랜지스터의 게이트가 아닌 2개의 단자를 제 1 단자 및 제 2 단자라고 부르는 경우가 있다.

[0016] 본 명세서에서, 회로 구성 및 회로 동작을 명확하게 하기 위하여, 트랜지스터의 입력 단자 및 출력 단자 중 한쪽을 소스로 고정하고 다른 쪽을 드레인으로 고정하는 경우가 있다. 물론, 구동 방법에 따라서는, 트랜지스터의 3개의 단자에 인가되는 전위 간의 대소 관계가 변화되어, 소스 및 드레인이 교체될 수 있다. 그러므로, 본 발명의 일 실시형태에 있어서, 트랜지스터의 소스와 드레인 간의 구별은 본 명세서 및 도면에 기재된 것에 한정되지 않는다.

[0017] 노드는 회로 구성 및 디바이스 구조 등에 따라, 단자, 배선, 전극, 도전체, 또는 불순물 영역 등이라고 할 수 있다. 또한, 단자 등을 노드라고 할 수 있다.

[0018] 예를 들어, 본 명세서 등에서 " X 와 Y 가 접속된다"라는 명시적인 기재는 X 와 Y 가 전기적으로 접속되는 것, X 와 Y 가 기능적으로 접속되는 것, 그리고 X 와 Y 가 직접 접속되는 것을 의미한다. 따라서, 소정의 접속 관계, 예를 들어, 도면 또는 문장에 나타난 접속 관계에 한정되지 않으며, 도면 또는 문장에는 다른 접속 관계도 포함된다.

[0019] 여기서, X 및 Y 는 각각 물체(예를 들어 장치, 회로, 소자, 배선, 전극, 단자, 노드, 막, 층, 및 영역)를 나타낸다.

[0020] X 와 Y 가 직접 접속되는 경우의 예에는, X 와 Y 사이의 전기적인 접속을 가능하게 하는 소자(예를 들어, 스위치, 트랜지스터, 커패시터, 인덕터, 레지스터, 다이오드, 표시 소자, 발광 소자, 및 부하)가 X 와 Y 사이에 접속되지 않는 경우, 및 X 와 Y 가 X 와 Y 사이의 전기적인 접속을 가능하게 하는 상기 소자가 그 사이에 제공되지 않고 접속되는 경우가 포함된다.

- [0021] 예를 들어, X와 Y가 전기적으로 접속되는 경우에는, X와 Y 사이의 전기적인 접속을 가능하게 하는 하나 이상의 소자(예를 들어 스위치, 트랜지스터, 커패시터, 인덕터, 레지스터, 다이오드, 표시 소자, 발광 소자, 및 부하)가 X와 Y 사이에 접속될 수 있다. 스위치는 온 또는 오프가 되도록 제어된다. 즉, 스위치는 전도 또는 비전도가 되어(온 또는 오프가 되어) 그것을 통하여 전류를 흘릴지 여부를 결정한다. 또는, 스위치는 전류 경로를 선택하고 바꾸는 기능을 갖는다. 또한, X와 Y가 전기적으로 접속되는 경우에는, X와 Y가 직접 접속되는 경우가 포함된다.
- [0022] 예를 들어, X와 Y가 기능적으로 접속되는 경우, X와 Y 사이의 기능적인 접속을 가능하게 하는 하나 이상의 회로(예를 들어, 인버터(NOT) 회로, NAND 회로, 또는 NOR 회로 등의 논리 회로; D/A 변환 회로, A/D 변환 회로, 또는 감마 보정 회로 등의 신호 변환 회로; 전원 회로(예를 들어 스텝업 회로 또는 스텝다운 회로) 또는 신호의 전위 레벨을 변화시키는 레벨 시프터 회로 등의 전위 레벨 변환 회로; 전압원; 전류원; 전환 회로; 신호 진폭 또는 전류의 양 등을 증가시킬 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로어 회로, 또는 버퍼 회로 등의 증폭 회로; 신호 생성 회로; 메모리 회로; 및/또는 제어 회로)가 X와 Y 사이에 접속될 수 있다. 또한, 예를 들어, X와 Y 사이에 다른 회로가 개재(介在)되더라도 X로부터 출력된 신호가 Y로 전송되는 경우에는 X와 Y는 기능적으로 접속된다. 또한, X와 Y가 기능적으로 접속되는 경우에는, X와 Y가 직접 접속되는 경우 및 X와 Y가 전기적으로 접속되는 경우가 포함된다.
- [0023] 또한, 본 명세서 등에 있어서, "X와 Y가 전기적으로 접속된다"라는 명시적인 기재는, X와 Y가 전기적으로 접속되는 것(즉, X와 Y가 다른 소자 또는 다른 회로를 개재하여 접속되는 경우), X와 Y가 기능적으로 접속되는 것(즉, X와 Y가 다른 소자 또는 다른 회로를 개재하여 기능적으로 접속되는 경우), X와 Y가 직접 접속되는 것(즉, X와 Y가 다른 소자 또는 다른 회로를 개재하지 않고 접속되는 경우)을 의미한다. 즉, 본 명세서 등에 있어서, "X와 Y가 전기적으로 접속된다"는 명시적인 기재는 "X와 Y가 접속된다"는 기재와 마찬가지로이다.
- [0024] 또한, 예를 들어, 트랜지스터의 제 1 단자가 Z1을 통하여(또는 통하지 않고) X와 전기적으로 접속되고, 트랜지스터의 제 2 단자가 Z2를 통하여(또는 통하지 않고) Y와 전기적으로 접속되는 경우, 또는 트랜지스터의 제 1 단자가 Z1의 일부와 직접 접속되고, Z1의 다른 일부가 X와 직접 접속되고, 트랜지스터의 제 2 단자가 Z2의 다른 일부와 직접 접속되고, Z2의 다른 일부가 Y와 직접 접속되는 경우는, 다음 표현 중 어느 표현을 사용하여 표현할 수 있다.
- [0025] 상기 표현의 예에는, "X, Y, 트랜지스터의 제 1 단자, 및 트랜지스터의 제 2 단자는 서로 전기적으로 접속되고, X, 트랜지스터의 제 1 단자, 트랜지스터의 제 2 단자, 및 Y는 이 순서대로 서로 전기적으로 접속된다", "트랜지스터의 제 1 단자는 X와 전기적으로 접속되고, 트랜지스터의 제 2 단자는 Y와 전기적으로 접속되고, X, 트랜지스터의 제 1 단자, 트랜지스터의 제 2 단자, 및 Y는 이 순서대로 서로 전기적으로 접속된다", 그리고 "X는 트랜지스터의 제 1 단자 및 제 2 단자를 통하여 Y와 전기적으로 접속되고, X, 트랜지스터의 제 1 단자, 트랜지스터의 제 2 단자, 및 Y는 이 순서대로 접속되도록 제공된다"가 포함된다. 상술한 예와 같은 표현으로 회로 구성에서의 접속 순서가 규정되고, 트랜지스터의 제 1 단자 및 제 2 단자는 서로 구별되어 기술적 범위가 명시될 수 있다.
- [0026] 표현의 다른 예로서는, "트랜지스터의 제 1 단자는 적어도 제 1 접속 경로를 통하여 X와 전기적으로 접속되고, 제 1 접속 경로는 제 2 접속 경로를 포함하지 않고, 제 2 접속 경로는 트랜지스터의 제 1 단자와 트랜지스터의 제 2 단자 사이의 경로이고, 제 1 접속 경로에 Z1이 있고, 트랜지스터의 제 2 단자는 적어도 제 3 접속 경로를 통하여 Y와 전기적으로 접속되고, 제 3 접속 경로는 제 2 접속 경로를 포함하지 않고, 제 3 접속 경로에 Z2가 있다"가 있다. "트랜지스터의 제 1 단자는 적어도 제 1 접속 경로에서 Z1을 통하여 X와 전기적으로 접속되고, 제 1 접속 경로는 제 2 접속 경로를 포함하지 않고, 제 2 접속 경로는 트랜지스터를 통한 접속 경로를 포함하고, 트랜지스터의 제 2 단자는 적어도 제 3 접속 경로에서 Z2를 통하여 Y와 전기적으로 접속되고, 제 3 접속 경로는 제 2 접속 경로를 포함하지 않는다"라는 표현을 사용할 수 있다. "트랜지스터의 제 1 단자는 적어도 제 1 전기적 경로에서 Z1을 통하여 X와 전기적으로 접속되고, 제 1 전기적 경로는 제 2 전기적 경로를 포함하지 않고, 제 2 전기적 경로는 트랜지스터의 제 1 단자로부터 트랜지스터의 제 2 단자까지의 전기적 경로이고, 트랜지스터의 제 2 단자는 적어도 제 3 전기적 경로에서 Z2를 통하여 Y와 전기적으로 접속되고, 제 3 전기적 경로는 제 4 전기적 경로를 포함하지 않고, 제 4 전기적 경로는 트랜지스터의 제 2 단자로부터 트랜지스터의 제 1 단자까지의 전기적 경로이다"라는 표현도 사용할 수 있다. 상술한 예와 같은 표현으로 회로 구성에서의 접속 경로를 규정하면, 트랜지스터의 제 1 단자와 제 2 단자를 서로 구별하여 기술적 범위를 명시할 수 있다.
- [0027] 또한, 이들 표현은 예이며, 표현에 한정은 없다. 여기서, X, Y, Z1, 및 Z2는 각각 물체(예를 들어, 장

치, 소자, 회로, 배선, 전극, 단자, 노드, 도전막, 및 층)를 나타낸다.

[0028] 회로도에서는 독립된 구성요소들이 서로 전기적으로 접속되더라도, 하나의 구성요소가 복수의 구성요소의 기능을 갖는 경우가 있다. 예를 들어, 배선의 일부가 전극으로서도 기능하는 경우, 하나의 도전막이 배선 및 전극으로서 기능한다. 그러므로, 본 명세서에서 "전기적 접속"은 하나의 도전막이 복수의 구성요소의 기능을 갖는 경우도 그 범주에 포함한다.

[0029] 또한, 본 명세서 등에서, 능동 소자(예를 들어, 트랜지스터 또는 다이오드) 또는 수동 소자(예를 들어, 커패시터 또는 레지스터) 등의 모든 단자가 접속되는 부분이 특정되지 않더라도, 통상의 기술자는 발명의 일 실시형태를 구성할 수 있을 가능성이 있다. 바꿔 말하면, 접속부가 특정되지 않더라도 발명의 일 실시형태가 명확해질 수 있다. 또한, 본 명세서 등에 접속부가 개시되는 경우, 접속부가 특정되지 않는 발명의 일 실시형태가 본 명세서 등에 개시된다고 판단할 수 있는 경우가 있다. 특히, 단자가 접속되는 부분의 개수가 복수일 가능성이 있는 경우, 그 단자가 접속되는 부분을 특정할 필요는 없다. 따라서, 능동 소자(예를 들어, 트랜지스터 또는 다이오드) 또는 수동 소자(예를 들어, 커패시터 또는 레지스터) 등의 단자 중 일부가 접속되는 부분만을 특정함으로써, 발명의 일 실시형태를 구성할 수 있을 가능성이 있다.

[0030] 또한, 본 명세서 등에서, 적어도 회로의 접속부가 특정되면, 통상의 기술자가 발명을 특정할 수 있을 가능성이 있다. 또는, 적어도 회로의 기능이 특정되면, 통상의 기술자는 발명을 특정할 수 있을 가능성이 있다. 바꿔 말하면, 기능이 특정되면, 본 발명의 일 실시형태가 명확해질 수 있다. 또한, 기능이 특정되는 발명의 일 실시형태가 본 명세서 등에 개시된다고 판단될 수 있다. 따라서, 회로의 접속부가 특정되면, 회로의 기능이 특정되지 않더라도 그 회로는 발명의 일 실시형태로서 개시되고, 발명의 일 실시형태를 구성할 수 있다. 또는, 회로의 기능이 특정되면, 접속부가 특정되지 않더라도 그 회로는 발명의 일 실시형태로서 개시되고, 발명의 일 실시형태를 구성할 수 있다.

[0031] 또한, 본 명세서에서, 경우 또는 상황에 따라 "막" 및 "층"이라는 용어를 서로 교체할 수 있다. 예를 들어, "도전층"이라는 용어를 "도전막"이라는 용어로 변경할 수 있고, "절연막"이라는 용어를 "절연층"이라는 용어로 변경할 수 있는 경우가 있다.

발명의 효과

[0032] 본 발명의 일 실시형태는 신규 반도체 장치 또는 그 구동 방법을 제공할 수 있다. 또는, 본 발명의 일 실시형태는 제어성이 우수한 반도체 장치 및 그 구동 방법, 기동 시간이 짧은 반도체 장치 및 그 구동 방법, 또는 프로그래밍할 수 있는 반도체 장치 및 그 구동 방법을 제공할 수 있다.

[0033] 또한, 복수의 효과의 기제는 서로의 효과의 존재를 방해하지 않는다. 본 발명의 일 실시형태에서는, 상술한 모든 효과를 달성할 필요는 없다. 본 발명의 일 실시형태에서, 상술한 목적 이외의 목적, 상술한 효과 이외의 효과, 및 신규 특징은 명세서 및 도면의 기재로부터 명백해질 것이다.

도면의 간단한 설명

- [0034] 도 1은 회로의 구성예를 나타낸 블록도.
- 도 2는 회로의 구성예를 나타낸 회로도.
- 도 3은 회로의 구성예를 나타낸 블록도.
- 도 4의 (A) 및 (B)는 회로의 동작예를 나타낸 타이밍 차트.
- 도 5는 회로의 구성예를 나타낸 블록도.
- 도 6은 회로의 구성예를 나타낸 블록도.
- 도 7의 (A) 및 (B)는 각각 회로의 구성예를 나타낸 블록도 및 회로도.
- 도 8의 (A) 및 (B)는 각각 회로의 구성예를 나타낸 블록도 및 회로도.
- 도 9는 회로의 동작예를 나타낸 타이밍 차트.
- 도 10은 회로의 구성예를 나타낸 회로도.
- 도 11은 회로의 구성예를 나타낸 블록도.

- 도 12는 회로의 구성예를 나타낸 회로도.
- 도 13은 회로의 동작예를 나타낸 타이밍 차트.
- 도 14는 회로의 구성예를 나타낸 회로도.
- 도 15는 회로의 구성예를 나타낸 블록도.
- 도 16은 회로의 구성예를 나타낸 블록도.
- 도 17은 회로의 구성예를 나타낸 블록도.
- 도 18은 회로의 동작예를 나타낸 타이밍 차트.
- 도 19는 회로의 동작예를 나타낸 타이밍 차트.
- 도 20의 (A) 내지 (C)는 각각 회로의 구성예를 나타낸 회로도.
- 도 21은 PLL의 구성예를 나타낸 블록도.
- 도 22는 PLL의 구성예를 나타낸 블록도.
- 도 23은 PLL의 구성예를 나타낸 블록도.
- 도 24는 PLL의 동작예를 나타낸 타이밍 차트.
- 도 25는 PLL의 동작예를 나타낸 타이밍 차트.
- 도 26은 프로세싱 유닛(무선 IC)의 구성예를 나타낸 블록도.
- 도 27의 (A) 내지 (F)는 RFID 태그의 사용예를 도시한 것.
- 도 28은 프로세싱 유닛(PLD)의 구성예를 나타낸 모식도.
- 도 29는 프로세싱 유닛(MCU)의 구성예를 나타낸 블록도.
- 도 30은 표시 장치의 일례를 나타낸 분해 사시도.
- 도 31의 (A) 및 (B)는 촬상 장치의 구성예를 나타낸 블록도 및 구동 회로의 구성예를 나타낸 블록도.
- 도 32의 (A) 내지 (H)는 전자 장치의 구조예를 나타낸 것.
- 도 33은 레벨 시프트 회로의 구성예를 나타낸 회로도.
- 도 34는 레벨 시프트 회로의 구성예를 나타낸 회로도.
- 도 35는 레벨 시프트 회로의 구성예를 나타낸 회로도.
- 도 36은 레벨 시프트 회로의 구성예를 나타낸 회로도.
- 도 37의 (A) 및 (B)는 각각 레벨 시프트 회로의 구성예를 나타낸 블록도.
- 도 38은 레벨 시프트 회로의 구성예를 나타낸 회로도.
- 도 39는 레벨 시프트 회로의 구성예를 나타낸 회로도.
- 도 40은 레벨 시프트 회로의 구성예를 나타낸 회로도.
- 도 41의 (A) 내지 (D)는 OS 트랜지스터의 구조예를 도시한 것이며, 도 41의 (A)는 상면도이고, 도 41의 (B)는 선 y1-y2를 따른 단면도이고, 도 41의 (C)는 선 x1-x2를 따른 단면도이고, 도 41의 (D)는 선 x3-x4를 따른 단면도.
- 도 42의 (A) 내지 (D)는 OS 트랜지스터의 구조예를 도시한 것이며, 도 42의 (A)는 상면도이고, 도 42의 (B)는 선 y1-y2를 따른 단면도이고, 도 42의 (C)는 선 x1-x2를 따른 단면도이고, 도 42의 (D)는 선 x3-x4를 따른 단면도.
- 도 43의 (A) 내지 (D)는 OS 트랜지스터의 구조예를 도시한 것이며, 도 43의 (A)는 상면도이고, 도 43의 (B)는 선 y1-y2를 따른 단면도이고, 도 43의 (C)는 선 x1-x2를 따른 단면도이고, 도 43의 (D)는 선 x3-x4를 따

른 단면도.

도 44의 (A) 내지 (D)는 OS 트랜지스터의 구조예를 도시한 것이며, 도 44의 (A)는 상면도이고, 도 44의 (B)는 선 y1-y2를 따른 단면도이고, 도 44의 (C)는 선 x1-x2를 따른 단면도이고, 도 44의 (D)는 선 x3-x4를 따른 단면도.

도 45의 (A) 내지 (D)는 OS 트랜지스터의 구조예를 도시한 것이며, 도 45의 (A)는 상면도이고, 도 45의 (B)는 선 y1-y2를 따른 단면도이고, 도 45의 (C)는 선 x1-x2를 따른 단면도이고, 도 45의 (D)는 선 x3-x4를 따른 단면도.

도 46의 (A) 내지 (D)는 OS 트랜지스터의 구조예를 도시한 것이며, 도 46의 (A)는 상면도이고, 도 46의 (B)는 선 y1-y2를 따른 단면도이고, 도 46의 (C)는 선 x1-x2를 따른 단면도이고, 도 46의 (D)는 선 x3-x4를 따른 단면도.

도 47의 (A)는 도 41의 (B)의 일부의 확대도이고 도 47의 (B)는 OS 트랜지스터의 에너지 밴드 다이어그램.

도 48의 (A) 및 (B)는 각각 반도체 장치의 구조예를 나타낸 단면도.

도 49는 링 발진 회로의 유지 전위에 대한, 시뮬레이션에 의하여 계산한 발진 주파수의 변화를 나타낸 그래프.

발명을 실시하기 위한 구체적인 내용

[0035] 이하에서, 본 발명의 실시형태 및 실시예에 대하여 설명하기로 한다. 다만, 본 발명은 다음 설명에 한정되지 않는다. 본 발명의 취지 및 그 범위에서 이탈하지 않고 본 발명의 형태 및 상세한 사항을 다양하게 수정할 수 있다는 것은 통상의 기술자에 의하여 용이하게 이해될 것이다. 그러므로, 본 발명은 이하의 실시형태 및 실시예의 설명에 한정하여 해석되어서는 안된다.

[0036] 도면에 있어서, 동일한 구성요소, 같은 기능을 갖는 구성요소, 동일한 재료로 형성되는 구성요소, 또는 동시에 형성되는 구성요소 등은 동일한 참조 부호로 나타내는 경우가 있으며, 그 설명은 반복하지 않는 경우가 있다.

[0037] 복수의 요소에 같은 참조 부호를 사용하고 이들 요소가 서로 구별될 필요가 있을 때는, 그 참조 부호에 "_1", "_2", "[n]", 또는 "[m, n]" 등을 부기하여도 좋다. 예를 들어, 메모리 셀 어레이 내의 복수의 배선 WLW를 개별로 각각 구별하는 경우, 메모리 셀 어레이의 어드레스 번호(행 번호)를 사용하여 2번째 행의 배선 WLW를 배선 WLW[2]로 표기하는 경우가 있다.

[0038] 본 명세서에 있어서, 예를 들어, 고전원 전위 IDD를 "전위 IDD" 또는 "IDD" 등이라고 간략하게 쓰는 경우가 있다. 이것은 다른 구성요소(예를 들어, 신호, 전압, 전위, 회로, 소자, 전극, 및 배선)의 경우에도 마찬가지로 적용된다.

[0039] 아래에서 실시형태 및 실시예에 대하여 설명한다. 실시형태 및 실시예 중 어느 것을 적절히 조합할 수 있다. 또한, 하나의 실시형태 또는 실시예에 구조예가 몇 가지 제시되어 있는 경우, 구조예 중 어느 것을 적절히 조합할 수 있다.

[0040] (실시형태 1)

[0041] 반도체 장치의 일례로서 발진 회로에 대하여 설명한다. 발진 회로는 전류 또는 전압이 변화되는 AC 신호를 생성하는 기능을 갖는 장치이다.

[0042] <<발진 회로의 구성예 1>>

[0043] 도 1은 발진 회로의 구성예를 나타낸 블록도이다. 도 1의 회로(101)는 (n+1)개의 회로(30)(n은 홀수), 회로(80), 버퍼 회로(81), 및 회로(90)를 포함한다. (n+1)개의 회로(30) 및 회로(90)는 각각 배선 WD 및 배선 WL과 전기적으로 접속된다. 배선 WD에는 전위 V_{cnf}가 입력되고, 배선 WL에는 신호 s_{lct}가 입력된다. 전위 V_{cnf}는 아날로그 전위이며, 회로(101)의 출력 신호 S_{vco}의 발진 주파수 f_{vco}는 전위 V_{cnf}에 의하여 변화될 수 있다.

[0044] IDD는 회로(30)의 고전원 전위이고, GND는 회로(30)의 저전원 전위이다. 또한 일반적으로, 전위(전

압)는 상대적인 것이며, 어떤 전위에 대한 상대적인 양에 따라 결정된다. 따라서, "접지" 및 "GND"는 각각 IDD 보다 낮은 전위이며, 예를 들어, 이들이 접지 전위 또는 0V이어도 좋지만, 반드시 0V라고는 할 수 없다. 예를 들어, 회로에서 가장 낮은 전위를 기준으로 사용하여 "접지" 또는 "GND"가 정의되어도 좋다. 또는, 회로에서 중간 전위를 기준으로 사용하여 "접지" 또는 "GND"가 정의되어도 좋다. 이러한 경우에는, 그 전위를 기준으로 사용하여 양의 전위 및 음의 전위가 설정된다. 회로(101)는 IDD를 공급하는 전원선, 및 GND를 공급하는 전원선과 전기적으로 접속된다.

[0045] 회로(30)의 출력 단자는 다음 단의 회로(30)의 입력 단자와 접속된다. 제 n 단의 회로(30)의 출력 단자는 제 1 단의 회로(30)의 입력 단자, 및 제 $(n+1)$ 단의 회로의 입력 단자와 전기적으로 접속된다. 회로(30)는 회로(41)를 포함한다. 회로(41)는 회로(30)의 입력 단자로부터의 입력 신호를 회로(30)의 출력 단자에 전달하는 기능 및 입력 신호의 전위 레벨을 반전하는 기능을 갖는다. 회로(41)의 신호 전달 경로에는, 인버터(NOT 게이트 회로)가 제공된다.

[0046] 이하에서는, 제 1 단의 회로(30)를 회로(30[1])라고 하는 경우가 있으며, 이것은 다른 단의 회로(30) 및 다른 구성요소에도 마찬가지로 적용된다.

[0047] 회로(11)는 링 상으로 전기적으로 접속되는 n 개의 회로(30)를 포함하고, 링 발진 회로로서 동작할 수 있다. 노드(ND11)는 회로(11)의 출력 노드이다.

[0048] 회로(80)는 입력 단자 A의 입력 신호의 전위 레벨을 변화시키는 기능을 갖는다. 회로(80)는 예를 들어, 레벨 시프트 회로일 수 있다. 전위 레벨이 단자 A의 입력 신호와 반전된 신호가 단자 /A에 입력된다. 회로(101)에서, 회로(80)는 단자 A 및 단자 /A의 입력 신호의 각 진폭을 증가시키는 레벨 시프트 동작을 수행할 수 있다. 또한, 도 1의 예에서는, 회로(80)의 출력 단자로부터, 입력 단자 A의 입력 신호를 레벨 시프트하여 얻어진 신호가 출력된다. 회로(30[$n+1$])는 신호 $rol1$ 의 반전 신호 $rob1$ 을 생성하도록 제공된다.

[0049] 회로(90)는 회로(80)의 전원 전위를 생성하는 기능을 갖는다.

[0050] 버퍼 회로(81)는 회로(80)의 출력 전류를 증폭하는 기능을 갖는다. 버퍼 회로(81)는 적절히 제공된다.

[0051] [회로(30)]

[0052] 도 2는 회로(30)의 구성예를 도시한 회로도이다. 회로(30)는 회로(41) 및 회로(42)를 포함한다.

[0053] 회로(41)는 인버터(INV1)를 포함한다. 여기서, INV1은 트랜지스터(Mp1) 및 트랜지스터(Mn1)를 포함하는 CMOS 인버터이다. INV1은 n채널 트랜지스터 또는 p채널 트랜지스터만을 포함하여 형성할 수 있다. 트랜지스터(Mn1)의 소스는 저전원 전위가 공급되는 노드로서 기능할 수 있다. 여기서, 트랜지스터(Mn1)의 소스는 GND가 공급되는 전원선과 전기적으로 접속된다. 트랜지스터(Mp1)의 소스는 고전원 전위가 공급되는 노드로서 기능할 수 있다. 여기서, 트랜지스터(Mn1)의 소스는 회로(42)의 노드(ND1)와 전기적으로 접속된다. INV1의 출력 노드는 다음 단의 회로(30)의 INV1의 입력 노드와 전기적으로 접속된다.

[0054] 회로(42)는 INV1의 고전원 전위를 제어하는 기능을 갖는다. 회로(42)는 트랜지스터(MW1), 트랜지스터(MA1), 및 커패시터(CS1)를 포함한다. 트랜지스터(MA1)의 드레인에 IDD가 입력된다. 트랜지스터(MA1)의 드레인인 트랜지스터(Mp1)의 소스와 전기적으로 접속된다. 트랜지스터(MA1)의 소스는 노드(ND1)라고 한다. 노드(ND1)는 회로(42)의 출력 노드로서 기능할 수 있다. 노드(ND1)의 전위 V_{nd1} 이 고전원 전위로서 INV1에 공급된다. 트랜지스터(MA1)의 게이트는 노드(FN1)와 전기적으로 접속된다. 노드(FN1)의 전위 V_{fn1} 에 의하여 트랜지스터(MA1)의 게이트 전압을 변화시킬 수 있어, 전위 V_{fn1} 에 의하여 전위 V_{nd1} 을 변화시킬 수 있다. 아래에서 설명하는 바와 같이, 전위 V_{cnf} 에 의하여 회로(42)의 출력 전위 V_{nd1} 을 변화시킬 수 있다.

[0055] 회로(42)에서, 트랜지스터(MW1), 커패시터(CS1), 및 노드(FN1)를 포함하는 회로 블록은 전위 V_{cnf} 에 대응하는 아날로그 전위를 유지하는 기능을 갖는다. 노드(FN1)는 아날로그 전위를 유지할 수 있는 데이터 유지부이다. 커패시터(CS1)는 노드(FN1)의 전위 V_{fn1} 을 유지하는 스토리지 커패시터로서 기능할 수 있다. 트랜지스터(MW1)는 기록 트랜지스터로서 기능할 수 있다. 트랜지스터(MW1)의 게이트는 배선 WL과 전기적으로 접속되고, 그 도통 상태는 신호 $s1ct$ 에 의하여 제어된다.

[0056] 트랜지스터(MW1)가 온이 되면, 전위 V_{cnf} 에 대응하는 전위가 노드(FN1)에 기록된다. 즉, 전위 V_{fn1} 도 아날로그 전위이다. 그리고, 트랜지스터(MW1)가 오프가 되면, 노드(FN1)가 전기적으로 부유 상태가 되고 회로(42)는 전위 V_{fn1} 의 유지 상태가 된다. 전위 V_{fn1} 의 변동을 억제하기 위하여, 트랜지스터(MW1)는 오프 상태 전

류가 매우 낮은 것이 바람직하다. 바꿔 말하면, 트랜지스터(MW1)의 오프 상태 저항이 높은 것이 바람직하다.

[0057] 오프 상태 전류가 매우 낮다는 것은, 채널 폭의 1 μ m당 오프 상태 전류가 100zA(z는 켈토를 나타내고, 10⁻²¹의 값을 나타냄) 이하임을 의미한다. 오프 상태 전류는 가능한 한 낮은 것이 바람직하기 때문에, 정규화된 오프 상태 전류가 10zA/ μ m 이하 또는 1zA/ μ m 이하인 것이 바람직하고, 10yA/ μ m(y는 옥토를 나타내고, 10⁻²⁴의 값을 나타냄) 이하인 것이 더 바람직하다.

[0058] 트랜지스터의 오프 상태 전류를 매우 낮게 하기 위하여, 밴드갭이 넓은 반도체, 예를 들어 밴드갭이 3.0eV 이상인 반도체를 사용하여 트랜지스터의 채널을 형성한다. 이러한 반도체의 예로서는, 금속 산화물을 함유하는 산화물 반도체를 들 수 있다. 채널에 산화물 반도체를 포함하는 트랜지스터(이하에서 OS 트랜지스터라고 함)는, 열 여기로 인한 누설 전류가 낮고, 오프 상태 전류가 매우 낮다.

[0059] OS 트랜지스터의 산화물 반도체는 인듐(In) 및 아연(Zn) 중 적어도 한쪽을 함유하는 것이 바람직하다. OS 트랜지스터의 산화물 반도체의 대표적인 예에는, In-Ga-Zn 산화물 및 In-Sn-Zn 산화물이 포함된다. 수분 또는 수소 등, 전자 도너(donor)의 역할을 하는 불순물을 저장하고, 그리고 산소 빈자리를 저장함으로써, i형(진성) 또는 실질적으로 i형인 산화물 반도체를 얻을 수 있다. 여기서, 이러한 산화물 반도체를 고순도화된 산화물 반도체라고 한다. 고순도화된 산화물 반도체를 사용하여 채널을 형성함으로써, 채널 폭으로 정규화된 OS 트랜지스터의 오프 상태 전류를 수yA/ μ m 내지 수zA/ μ m로 낮게 할 수 있다. 또한, 산화물 반도체 및 OS 트랜지스터에 대해서는, 실시형태 4에서 자세히 설명한다.

[0060] 별도로 명시되지 않으면, 본 명세서에서의 오프 상태 전류는, 오프 상태(비도통 상태 및 차단 상태라고도 함)의 트랜지스터의 드레인 전류를 말한다. 별도로 명시되지 않으면, n채널 트랜지스터의 오프 상태는 게이트와 소스 사이의 전위 차이(V_{gs})가 문턱 전압(V_{th})보다 낮은 것을 의미하고, p채널 트랜지스터의 오프 상태는 V_{gs} 가 V_{th} 보다 높은 것을 의미한다. 예를 들어, n채널 트랜지스터의 오프 상태 전류는 게이트-소스 전압 V_{gs} 가 문턱 전압 V_{th} 보다 낮을 때에 흐르는 드레인 전류를 말하는 경우가 있다.

[0061] 트랜지스터의 오프 상태 전류는 V_{gs} 에 의존하는 경우가 있다. 따라서, "트랜지스터의 오프 상태 전류가 I 이하이다"란, "트랜지스터의 오프 상태 전류가 I 이하가 되는 V_{gs} 가 있다"라는 것을 의미하는 경우가 있다. 또한, "트랜지스터의 오프 상태 전류"란, "소정의 V_{gs} 에서의 오프 상태 시의 오프 상태 전류", "소정의 범위 내의 V_{gs} 에서의 오프 상태 시의 오프 상태 전류", 또는 "충분히 저장된 오프 상태 전류가 얻어지는 V_{gs} 에서의 오프 상태 시의 오프 상태 전류" 등을 의미한다.

[0062] 일례로서, 문턱 전압 V_{th} 가 0.5V이고, 드레인 전류가 V_{gs} 0.5V에서 1×10^{-9} A, V_{gs} 0.1V에서 1×10^{-13} A, V_{gs} -0.5V에서 1×10^{-19} A, 그리고 V_{gs} -0.8V에서 1×10^{-22} A인 n채널 트랜지스터를 상정한다. 상기 트랜지스터의 드레인 전류는 V_{gs} -0.5V에서 또는 V_{gs} -0.8V 내지 -0.5V의 범위에서 1×10^{-19} A 이하이기 때문에, 상기 트랜지스터의 오프 상태 전류는 1×10^{-19} A 이하라고 할 수 있다. 상기 트랜지스터의 드레인 전류가 1×10^{-22} A 이하가 되는 V_{gs} 가 있기 때문에, 상기 트랜지스터의 오프 상태 전류는 1×10^{-22} A 이하라고 하여도 좋다.

[0063] 본 명세서에서는, 채널 폭 W의 트랜지스터의 오프 상태 전류는 채널 폭 W당 전류값 또는 소정의 채널 폭(예를 들어 1 μ m)당 전류값으로 나타내어지는 경우가 있다. 후자(後者)의 경우, 오프 상태 전류의 단위는 길이당 전류(예를 들어, A/ μ m)로 나타내어져도 좋다.

[0064] 트랜지스터의 오프 상태 전류는 온도에 의존하는 경우가 있다. 별도로 명시되지 않으면, 본 명세서에서의 오프 상태 전류는 실온, 60 $^{\circ}$ C, 85 $^{\circ}$ C, 95 $^{\circ}$ C, 또는 125 $^{\circ}$ C에서의 오프 상태 전류이어도 좋다. 또는, 오프 상태 전류는 상기 트랜지스터를 포함하는 반도체 장치 등에 요구되는 신뢰성이 보장되는 온도, 또는 상기 트랜지스터를 포함하는 반도체 장치 등이 사용되는 온도(예를 들어, 5 $^{\circ}$ C 내지 35 $^{\circ}$ C의 범위의 온도)에서의 오프 상태 전류이어도 좋다. "트랜지스터의 오프 상태 전류가 I 이하이다"라는 기재는, 실온, 60 $^{\circ}$ C, 85 $^{\circ}$ C, 95 $^{\circ}$ C, 125 $^{\circ}$ C, 상기 트랜지스터를 포함하는 반도체 장치 등에 요구되는 신뢰성이 보장되는 온도, 또는 상기 트랜지스터를 포함하는 반도체 장치 등이 사용되는 온도(예를 들어, 5 $^{\circ}$ C 내지 35 $^{\circ}$ C의 범위의 온도)에서 트랜지스터의 오프 상태 전류가 I 이하인 V_{gs} 가 있는 것을 의미하여도 좋다.

[0065] 트랜지스터의 오프 상태 전류는 드레인과 소스 사이의 전압 V_{ds} 에 의존하는 경우가 있다. 별도로 명시되지 않으면, 본 명세서에서의 오프 상태 전류는, V_{ds} 0.1V, 0.8V, 1V, 1.2V, 1.8V, 2.5V, 3V, 3.3V, 10V,

12V, 16V, 또는 20V에서의 오프 상태 전류이어도 좋다. 또는, 오프 상태 전류는 상기 트랜지스터를 포함하는 반도체 장치 등의 신뢰성이 보장되는 V_{ds} , 또는 상기 트랜지스터를 포함하는 반도체 장치가 사용되는 V_{ds} 에서의 오프 상태 전류일 수 있다. "트랜지스터의 오프 상태 전류가 I 이하이다"라는 기재는, V_{ds} 0.1V, 0.8V, 1V, 1.2V, 1.8V, 2.5V, 3V, 3.3V, 10V, 12V, 16V, 또는 20V, 상기 트랜지스터를 포함하는 반도체 장치 등의 신뢰성이 보장되는 V_{ds} , 또는 상기 트랜지스터를 포함하는 반도체 장치가 사용되는 V_{ds} 에서 트랜지스터의 오프 상태 전류가 I 이하인 I_{gs} 가 있는 것을 의미하여도 좋다.

[0066] 오프 상태 전류의 상술한 기재에서, 드레인이 소스로 교체되어도 좋다. 즉, 오프 상태 전류는 오프 상태의 트랜지스터의 소스를 통하여 흐르는 전류를 말하는 경우가 있다.

[0067] 본 명세서에서, "누설 전류"라는 용어는 오프 상태 전류와 동일한 뜻을 표현하는 경우가 있다.

[0068] 본 명세서에서, 오프 상태 전류는 예를 들어, 트랜지스터가 오프일 때의 소스와 드레인 사이에 흐르는 전류를 말하는 경우가 있다.

[0069] 트랜지스터(MA1)의 문턱 전압은 V_{thA1} 로 나타내어진다. 트랜지스터(MA1)의 드레인에 V_{DD} 가 입력되고, 트랜지스터(MA1)의 소스는 출력 노드(ND1)에 대응한다. 따라서, 트랜지스터(MA1)는 출력 전위 V_{nd1} (소스 전위)이 입력 전위 V_{fn1} 을 따르는 소스 폴로어 동작을 수행할 수 있다. $V_{DD} > (V_{fn1} - V_{thA1})$ 이면, 전위 V_{nd1} 의 최대값은 $(V_{fn1} - V_{thA1})$ 이다. 즉, 전위 V_{cnf} 에 의하여 회로(42)에서의 출력 전위 V_{nd1} 을 제어할 수 있다. 따라서, 노드(ND1)의 전위 V_{nd1} 에 의하여 INV1의 지연 시간을 제어할 수 있다. 또한, 전위 V_{nd1} 에 의하여, INV1의 출력 신호의 진폭이 변동된다. V_{nd1} 이 증가될수록, INV1의 지연 시간이 짧아지기 때문에, 회로(11)의 출력 신호 $ro11$ 의 발진 주파수 f_{vco} 가 증가되고, 출력 신호 $ro11$ 의 진폭이 증가된다. V_{nd1} 은 배선 WD에 입력되는 전위 V_{cnf} 에 의하여 제어된다. 따라서, 전위 V_{cnf} 에 의하여 회로(11)의 출력 신호 $ro11$ 의 지연 시간 및 진폭을 변동시킬 수 있다.

[0070] INV1의 입력 단자의 전위가 GND일 때, 트랜지스터(Mp1)는 온이 되고 노드(ND1)의 전위 V_{nd1} 은 저하된다. 노드(FN1)와 노드(ND1)가 트랜지스터(MA1)의 게이트 용량에 의하여 용량 결합되어 있기 때문에, V_{nd1} 이 저하될 때 V_{fn1} 이 저하된다. V_{nd1} 의 저하로 인한 V_{fn1} 의 변동을 억제하기 위하여, 커패시터(CS1)의 용량은 트랜지스터(MA1)의 게이트 용량보다 큰 것이 바람직하다. V_{nd1} 이 저하될 때, 트랜지스터(MA1)의 게이트와 소스 사이의 전위가 증가되어, 트랜지스터(MA1)가 온이 된다. 이로써, V_{DD} 에 의하여 노드(ND1)가 즉시 충전되어, V_{nd1} 의 증대로 이어진다.

[0071] 상술한 바와 같이, V_{fn1} 의 변동에 대응하여 회로(11)의 출력 신호 $ro11$ 의 발진 주파수 f_{vco} 를 변동시킬 수 있지만, 출력 신호 $ro11$ 의 진폭도 변동된다. 따라서, V_{fn1} 에 상관없이 신호 S_{vco} 의 진폭을 일정하게 하기 위하여, 회로(101)의 출력단에 회로(80)를 제공하는 것이 효과적이다.

[0072] 회로(90)는 회로(30[n])의 노드(ND1)의 전위 V_{nd1} 과 동일한 레벨의 전위를 회로(80)에 공급하기 위하여 제공된다. 회로(90)는 트랜지스터(MW9), 트랜지스터(MA9), 커패시터(CS9), 및 노드(FN9)를 포함한다. 회로(90)의 구성 및 동작은 회로(42)와 마찬가지로이기 때문에, 회로(42)의 설명을 참조한다.

[0073] 회로(80)의 회로 구성에 따라서는 회로(90)를 반드시 제공하지는 않는다. 도 3은 이러한 발진 회로의 구성예를 나타낸 것이다. 도 3의 회로(100)는 회로(101)의 변형예이며, 회로(80) 및 회로(90) 대신에 회로(85)가 제공된다. 회로(85)는 회로(80)와 같은 기능을 갖는다. 회로(85)는 단자 A 및 단자 /A의 입력 신호의 진폭이 증대되는 레벨 시프트 동작을 수행할 수 있다. 도 3의 예에서는, 입력 단자 A의 입력 신호를 레벨 시프트하여 얻어진 신호를 회로(85)의 출력 단자로부터 출력한다. 회로(85)는 회로(30[n])의 노드(ND1)의 전위와 동일한 레벨의 전위가 공급되지 않은 경우에도 레벨 시프트 동작을 수행할 수 있는 회로이다. 회로(80) 및 회로(85)의 구성예에 대해서는 실시형태 3에서 설명한다.

[0074] <<발진 회로의 동작예 1>>

[0075] 도 1에 나타낸 회로(101)의 동작예에 대하여 설명한다. 도 4의 (A) 및 (B)는 회로(101)의 동작예를 나타내는 타이밍 차트이다. 배선 WD의 전위 V_{cnf} 는 도 4의 (A)에서 V_a , 도 4의 (B)에서 V_b 이다. 또한, $V_{DD} > V_a > V_b > GND$ 의 관계가 만족된다.

[0076] ($V_{cnf} = V_a$)

- [0077] 도 4의 (A)에 나타낸 바와 같이, V_{cnf} 가 GND인 기간에는 신호 S_{vco} 는 발진하지 않는다. 신호 S_{vco} 를 발진시키기 위하여, 배선 WD로의 V_a 의 공급을 시작한다. 배선 WD가 V_a 인 기간에, 배선 WL에 IDD를 공급한다. 모든 회로(30)에서, 트랜지스터(MW1)가 온이 되어, 노드(FN1)에 아날로그 전위 V_a 가 기록되고, 노드(ND1)의 전위 V_{nd1} 은 $(V_a - V_{th_{M1}})$ 이 된다. 배선 WL의 전위를 일정 기간 IDD로 설정한 후, 이것을 GND로 설정한다. 모든 회로(30)에서, 트랜지스터(MW1)를 오프로 함으로써 아날로그 전위 V_a 가 유지된다.
- [0078] 노드(FN1)의 전위가 V_a 로 설정되면, 회로(101)는 발진 주파수 f_a 에서의 신호 S_{vco} 를 출력하기 시작한다. 노드(ND1)의 전위가 $(V_a - V_{th_{M1}})$ 이기 때문에, 회로(11)의 출력 신호 $ro11$ 의 진폭은 $(V_a - V_{th_{M1}} - GND)$ 가 된다. 회로(80)는 신호 $ro11$ 의 고레벨 전위를 IDD로 변환하는 레벨 시프트 동작을 수행한다. 회로(101)는 신호 $ro11$ 과 동일한 주파수인 주파수 f_a 로 발진하고, 진폭 $(IDD - GND)$ 의 신호 S_{vco} 를 출력한다.
- [0079] ($V_{cnf} = V_b$)
- [0080] 도 4의 (B)에 나타낸 바와 같이, 회로(101)의 동작은 도 4의 (A)와 마찬가지로이다. V_{cnf} 가 V_b 이기 때문에, 노드(ND1)의 전위는 $(V_b - V_{th_{M1}})$ 이다. 신호 $ro11$ 은 f_a 보다 낮은 주파수 f_b 로 발진한다. 회로(101)는 주파수 f_b 로 발진하고, 진폭 $(IDD - GND)$ 의 신호 S_{vco} 를 출력한다.
- [0081] 회로(101)에 있어서 도 4의 (A) 및 (B)에 나타낸 바와 같이, 전위 V_{cnf} 에 의하여 신호 S_{vco} 의 발진 주파수 f_{vco} 를 제어할 수 있고, 전위 V_{cnf} 의 영향을 받지 않고 신호 S_{vco} 의 진폭을 일정하게 할 수 있다. 즉, 회로(101)는 안정된 진폭 및 원하는 주파수로 발진할 수 있다.
- [0082] 회로(42)는 인버터(INV1)에 공급되는 고전원 전위를 설정하기 위한 아날로그 데이터를 저장하는 기능을 갖는다. 바꿔 말하면, 회로(42)는 INV1의 지연 시간을 설정하기 위한 아날로그 데이터를 저장하는 기능을 갖는다. 구체적으로는, 회로(42)에 저장되는 아날로그 데이터는 배선 WD로부터 입력되는 아날로그 전위 V_{cnf} 이다. 오프 상태 전류가 낮은 트랜지스터를 트랜지스터(MW1)로서 사용하면, 회로(42)는 노드(FN1)의 전위 V_{fn1} 을 오랜 기간 동안 유지할 수 있다. 회로(42)에서 아날로그 전위 V_{cnf} 에 대응하는 전위 V_{fn1} 을 유지하는 것은, 회로(101)의 발진 주파수 S_{vco} 를 설정하는 것을 의미하며, 회로(101)의 동조(tuning) 동작이다. 따라서, 회로(42)는 V_{fn1} 의 데이터(아날로그 데이터)가 저장되는 비휘발성 메모리로서 기능할 수 있기 때문에, 회로(101)가 기동할 때마다 아날로그 전위 V_{cnf} 의 기록 동작은 필요 없으며, 지연 없이 소정의 주파수로의 발진이 가능하다.
- [0083] 예를 들어, 회로(101)가 내장되어 있는 PLL의 경우, 원하는 주파수로 PLL이 발진하도록 회로(101)가 동조된 후에는, 회로(101) 이외의 주변 회로의 전원이 오프가 되더라도, 회로(101)는 소정의 주파수의 신호를 출력할 수 있다. 또한, PLL 전체의 전원을 차단한 후 PLL을 재기동하면, 회로(101)의 동조를 수행하지 않아도 PLL은 전원을 차단하기 전에 사용된 주파수와 같은 주파수로 발진하는 신호를 즉시 출력할 수 있다. 이와 같이 회로(101)를 사용함으로써, 신속한 재기동이 가능한 PLL을 제공할 수 있다.
- [0084] <<발진 회로의 구성예 2 및 구성예 3>>
- [0085] 도 5 및 도 6은 회로(101)의 변형예를 나타낸 것이다.
- [0086] 도 1의 회로(101)에서는, 회로(30[n+1])의 출력 신호가 회로(80)의 입력 단자 /A에 입력된다. 한편, 도 5의 회로(102)에는 회로(30[n+1])가 제공되지 않는다. 회로(102)에서는, 회로(30[n-1])의 출력 신호가 회로(80)의 입력 단자 /A에 입력된다.
- [0087] 회로(30[n-1])의 출력 신호는 회로(30[n]) 및 회로(80)를 구동하기 위하여 사용된다. 회로(30[n])의 출력 신호는 회로(30[1]) 및 회로(80)를 구동하기 위하여 사용된다. 회로(30[n-1]) 및 회로(30[n])의 출력 노드에 대한 부하는 서로 동일할 수 있다. 회로(80)의 단자 A의 입력 신호와 단자 /A의 입력 신호 사이의 지연이 거의 일어나지 않기 때문에, 회로(80)의 성능이 저하되지 않는다. 이것은 도 6의 회로(103)에도 적용된다.
- [0088] 도 6의 회로(103)에서는, 회로(11)의 출력 경로에 제 $(n+1)a$ 단의 회로(30), 및 제 $(n+2)a$ 단의 회로(30)가 추가되어 있다. 따라서, 회로(30[n+1])의 출력 노드 및 회로(30[n+2])의 출력 노드에 대한 부하는 서로 동일할 수 있다. 그러므로, 회로(80)의 단자 A의 입력 신호와 단자 /A의 입력 신호 사이에 지연이 거의 일어나지 않게 할 수 있다.
- [0089] 회로(11)에서 발진된 신호 $ro11$ 의 레벨 시프트 동작이 가능하다면 회로(80)에 대해 특별한 한정은

없다. 예를 들어, 회로(11)(회로(30[n]))의 출력 신호 또는 회로(11)의 출력 신호를 k 단의 회로(30)(k 는 1 또는 2)에 의하여 지연시켜 얻어진 신호를 회로(80)의 입력 단자 A에 입력할 수 있다. 입력 단자 /A에 입력 단자 A의 입력 신호의 반전 신호가 입력되도록, 회로(30) 중 어느 하나의 출력 단자가 회로(80)의 입력 단자 /A와 전기적으로 접속된다.

[0090] <<발진 회로의 구성예 4>>

[0091] 도 7의 (A) 및 (B)는 도 2의 회로(30)의 변형예를 나타낸 것이다.

[0092] 도 7의 (A)의 회로(31)에는, 회로(41) 대신에 회로(43)가 제공된다. 회로(43)에서, 스위치(SW1)가 INV1의 출력 단자와 접속된다. 스위치(SW1)는 INV1의 출력 단자와 회로(43)의 출력 단자 사이의 도통 상태를 제어하는 기능을 갖는다. 신호 se 는 스위치(SW1)의 동작을 제어하기 위한 신호이다.

[0093] 도 7의 (B)는 회로(43)의 구체적인 회로 구성의 일례를 도시한 것이다. 도 7의 (B)는 트랜지스터(Mn2)가 스위치(SW1)로서 사용되는 예를 도시한 것이다. 트랜지스터(Mn2)의 게이트에 신호 se 가 입력된다. 트랜지스터(Mn2) 대신에, p채널 트랜지스터가 스위치(SW1)로서 사용되어도 좋다.

[0094] <동작예>

[0095] 도 9는 회로(31)가 사용되는 회로(101)의 동작예를 도시한 것이다.

[0096] 도 9에 있어서도, 도 4의 (A)와 마찬가지로, 전위 V_{cnf} 가 V_a 로 설정되는 예를 나타내었다. 회로(31)로 의 아날로그 전위의 기록 동작이 수행되는 기간에 신호 se 를 저레벨로 설정하기 때문에, 노드(ND11)는 발진하지 않는다. 신호 se 를 고레벨로 설정하면, 회로(11)가 링 발진 회로로서 기능하고 발진을 시작한다. 회로(101)의 출력 단자 OUT으로부터 발진 주파수 fa 및 진폭 ($V_{DD}-GND$)의 신호 S_{VCO} 가 출력된다. 즉, 회로(31)를 포함하는 회로(101)에서는, 신호 se 에 의하여 발진의 시작을 제어할 수 있다. 각각 회로(31)가 사용된 회로(100), 회로(102), 및 회로(103)는 회로(101)와 마찬가지로 동작할 수 있다.

[0097] <<발진 회로의 구성예 5>>

[0098] 도 8의 (A) 및 (B)는 회로(30)(도 2)의 구성예를 도시한 것이다.

[0099] 도 8의 (A)의 회로(32)에는 회로(42) 대신에 회로(44)가 제공되어 있다. 회로(44)는 회로(42)에 스위치(SW2)를 추가한 회로이다. 스위치(SW2)는 노드(ND1)와 INV1의 고전원 전위의 입력 노드 사이의 도통 상태를 제어하는 기능을 갖는다. 신호 se 는 스위치(SW2)의 동작을 제어하기 위한 신호이다.

[0100] 도 8의 (B)는 회로(32)의 구체적인 회로 구성의 일례를 도시한 것이다. 도 8의 (B)에는, 스위치(SW2)로서 트랜지스터(MS1)를 사용한다. 트랜지스터(MS1) 대신에, 스위치(SW2)로서 p채널 트랜지스터를 사용하여도 좋다. 도 8의 (B)의 회로(44)는 3트랜지스터형 게인 셀과 같은 회로 구성을 갖는다. 한편, 회로(30) 및 회로(31)에 사용되는 회로(42)는 2트랜지스터형 게인 셀과 같은 회로 구성을 갖는다.

[0101] <동작예>

[0102] 회로(32)가 사용되는 회로(101)는 도 9의 타이밍 차트에 따라 동작할 수 있다. 각각 회로(32)가 사용되는 회로(100), 회로(102), 및 회로(103)도 회로(101)와 같이 동작할 수 있다. 즉, 회로(32)가 사용되는 회로(100), 회로(102), 및 회로(103)의 각각에서는 회로(32)의 V_{fn1} 의 값에 상관없이 신호 se 에 의하여 발진 동작을 정지할 수 있다.

[0103] <회로(90)의 또 다른 구성예>

[0104] 구성예 4 또는 구성예 5에 기재된 바와 같이 회로(31) 또는 회로(32)를 포함하는 발진 회로에서, 회로(90) 대신에 도 10에 나타낸 회로(92)를 제공하여도 좋다. 회로(92)는 회로(90)에 트랜지스터(MS9)가 추가된 회로이다. 트랜지스터(MS9)는 노드(ND9)와 회로(80)의 입력 노드 사이의 도통 상태를 제어하는 기능을 갖는다. 트랜지스터(MS9)의 게이트에는 신호 se 가 입력된다. 발진 회로의 발진 동작이 신호 se 에 의하여 정지하고 있을 때, 회로(92)로부터 회로(80)로의 전위의 공급을 정지할 수 있다.

[0105] <<발진 회로의 구성예 6>>

[0106] 도 11은 회로(101)(도 1)의 변형예이다. 회로(101)에서는, 모든 회로(30)에 공통 신호 $s1ct$ 가 입력되기 때문에, 전위 V_{cnf} 의 기록 동작의 타이밍이 모든 회로(30)에서 동일하다. 한편, 도 11의 회로(111)에서는,

회로(11)에 포함되는 n 개의 회로(30)에 서로 다른 신호 $s1ct$ 를 입력할 수 있다. 회로(111)에서는, 제 1 내지 제 n 단의 회로(30)에 대응하여 n 개의 배선 WL이 제공된다. 제 $(m+1)$ 단의 회로(30) 및 회로(90)는 배선 WL $[n]$ 과 전기적으로 접속된다.

[0107] (회로(70))

[0108] n 개의 배선 WL은 회로(70)와 전기적으로 접속된다. 회로(70)는 n 개의 신호 $s1ct$ 를 생성하는 기능을 갖는다. 회로(70)는 신호 $s1ct[1]$ 내지 신호 $s1ct[n]$ 중 하나를 고레벨로, 나머지 신호를 저레벨로 설정하는 기능을 갖는다. 이러한 신호 $s1ct[1]$ 내지 신호 $s1ct[n]$ 가 회로(111)에 공급됨으로써, n 개의 회로(30) 중 하나가 전위 V_{cnf} 의 기록 상태가 될 수 있고, 나머지가 전위 V_{fn1} 의 유지 상태가 될 수 있다.

[0109] 회로(70)는, 예를 들어, J 비트의 디지털 신호 $dw[J-1:0]$ 를 해독하기 위한 디코더 회로일 수 있다. J 는 2 이상의 정수이고, $n < 2^J$ 을 만족시킨다. 도 12는 회로(70)에 적용할 수 있는 신호 생성 회로의 구성예를 도시한 것이다. 도 12는 $n=7$ 이고 $J=3$ 인 경우의 회로(70)의 구성예를 도시한 것이다. 도 12의 회로(70)는 3개의 인버터 및 8개의 AND 회로(AND 게이트 회로)를 포함한다. 회로(70)에는, 3비트의 디지털 신호 $dw[2:0]$ 가 입력된다. 회로(70)는 신호 $dw[2:0]$ 를 해독하여 8개의 신호들 $s1ct[1]$ 내지 $s1ct[8]$ 를 생성한다. 신호 $s1ct[1]$ 내지 신호 $s1ct[7]$ 는 배선 WL[1] 내지 배선 WL[7]에 출력된다. 신호 $s1ct[8]$ 는 사용되지 않는 신호이다.

[0110] <동작예>

[0111] 도 12에 나타난 회로(70)가 사용된 회로(111)의 동작예에 대하여 설명한다. 도 13은 $n=7$ 이고 $J=3$ 일 때의 회로(111)의 동작예를 도시한 타이밍 차트이다.

[0112] 도 13에서의 파형 최대 전위 및 파형 최소 전위는 각각 VDD 및 GND이다. 여기서는, 회로(11)의 모든 노드(FN1)의 전위 V_{fn1} 이 V_a 일 때 f_{vco} 는 f_a 이고, 회로(11)의 모든 노드(FN1)의 전위 V_{fn1} 이 V_b 일 때 f_{vco} 는 f_b 이다. 또한, $VDD > V_a > V_b > GND$ 및 $f_a > f_b$ 의 관계가 만족된다. 도 13은 동조 동작에 의하여, 회로(111)가 주파수 f_c 로 발전하도록 회로(30[1]) 내지 회로(30[4])의 노드(FN1)의 각각에 아날로그 전위 V_a 가 기록되고 회로(30[5]) 내지 회로(30[7])의 노드(FN1)의 각각에 아날로그 전위 V_b 가 기록되는 예를 도시한 것이다. 또한, $f_a > f_c > f_b$ 의 관계가 만족된다.

[0113] 도 13에 도시된 바와 같이, 배선 WD에 아날로그 전위 V_a 가 공급되는 기간에, 배선 WL[1], 배선 WL[2], 배선 WL[3], 및 배선 WL[4]을 순차적으로 고레벨로 설정한다. 시각 T1에, 트랜지스터(MW1[1])가 온이 된다. 전위 V_a 가 노드(FN1[1])에 기록되고, 노드(ND1[1])의 전위는 $(V_a - V_{thA1})$ 이 된다. 마찬가지로, 시각 T2, 시각 T3, 및 시각 T4에, 노드(FN1[2]), 노드(FN1[3]), 및 노드(FN1[4])의 각각에 아날로그 전위 V_a 가 기록된다. 노드(ND1[2]) 내지 노드(ND1[4])의 전위도 각각 $(V_a - V_{thA1})$ 이 된다.

[0114] 배선 WD에 아날로그 전위 V_b 가 공급되는 기간에, 배선 WL[5], 배선 WL[6], 및 배선 WL[7]을 순차적으로 고레벨로 설정한다. 시각 T5에, 신호 $dw[0]$, 신호 $dw[1]$, 및 신호 $dw[2]$ 의 전위 레벨이 변동된다. 그 후, 배선 WD에 아날로그 전위 V_b 를 공급한다. 노드(FN1[5])에 아날로그 전위 V_b 가 기록되고, 노드(ND1[5])의 전위는 $(V_b - V_{thA1})$ 이 된다. 마찬가지로, 시각 T6 및 시각 T7에, 노드(FN1[6]) 및 노드(FN1[7])의 각각에 V_b 가 기록된다. 시각 T7에도, 노드(FN1[8]) 및 노드(FN9)의 각각에 V_b 가 기록된다. 노드(ND1[6]) 내지 노드(ND1[8])의 전위도 각각 $(V_b - V_{thA1})$ 이 된다.

[0115] 시각 T8 후에는, 노드(FN1[1]) 내지 노드(FN1[8]) 및 노드(FN9)가 전기적으로 부유되어, 모든 회로(30) 및 회로(90)로의 아날로그 전위의 기록이 완료된다. 시각 T8에, 회로(111)는 발전 주파수 f_c 로 발전을 시작한다. 회로(30[7])의 노드(ND1)의 전위가 $(V_b - V_{thA1})$ 이기 때문에, 신호 $rol1$ 의 진폭은 $(V_b - V_{thA1} - GND)$ 가 된다. 신호 $rol1$ 은 회로(80)에 의하여 증압되고, 진폭 $(VDD - GND)$ 및 발전 주파수 f_c 의 신호 S_{vco} 가 회로(111)로부터 출력된다.

[0116] 도 11의 예에서는, 회로(11)에 있어서, n 단의 회로(30)의 노드(FN1)의 전위를 개별로 설정할 수 있어, 회로(111)의 발전 주파수 f_{vco} 를 정밀하게 설정할 수 있다. 따라서, 회로(111)는 회로(101)보다 높은 제어성을 갖는다.

[0117] 회로(111)에 있어서, 회로(30) 대신에 회로(31)(도 7의 (A) 및 (B))를 제공하는 경우에는, 모든 회로(31)로의 아날로그 전위의 기록이 완료될 때까지 신호 se 에 의하여 트랜지스터(Mn2)를 비도통 상태로 하고

나서, 기록의 완료 후, 신호 *se*에 의하여 트랜지스터(Mn2)를 온으로 한다. 예를 들어, 도 13의 동작예에서, 시 각 T8 후에 신호 *se*에 의하여 트랜지스터(Mn2)가 온이 됨으로써, 회로(111)로부터 진폭 (VDD-GND) 및 발진 주파수 *fc*의 신호 *S_{VCO}*가 출력된다. 이것은 회로(30) 대신에 회로(32)(도 8)가 제공되는 경우도 마찬가지이다.

[0118] 도 11은 회로(111)가 회로(70)를 포함하지 않는 구성예를 도시한 것이지만, 신호 *slct*를 생성할 수 있는 회로를 포함하는 발진 회로도 본 구성예의 범주에 포함된다.

[0119] 또한, 도 13은 회로(70)가 배선 WL의 수보다 많은 신호 *slct*를 생성할 수 있는 동작예를 도시한 것이지만, 회로(70)에서 생성되는 신호 *slct*의 수는 배선 WD의 수보다 적어도 좋다. 즉, n 은 2^J 보다 클 수 있다. 예를 들어, $J=3$ 이고 $n=11$ 인 경우, 신호 *slct*[1]를 배선 WL[1] 내지 배선 WL[3]에 입력하고, 신호 *slct*[2]를 배선 WL[4] 및 배선 WL[5]에 입력하고, 신호 *slct*[3] 내지 신호 *slct*[8]를 배선 WL[6] 내지 배선 WL[11]에 입력한다. 이러한 경우에도, 회로(101)를 사용하는 경우에 비하여 발진 주파수 *f_{VCO}*를 정밀하게 조절할 수 있다.

[0120] 도 11의 예에서는, 회로(11)에 포함되는 회로(30)와 같은 수의 배선 WL을 제공하지만, 본 구성예는 이에 한정되지 않는다. 배선 WL의 수는 2보다 많고 n 미만으로 할 수 있다. $n=11$ 이고 배선 WL의 수가 4일 때, 회로(30[1]) 내지 회로(30[3]), 회로(30[3]) 내지 회로(30[6]), 회로(30[7]), 및 회로(30[8])는 각각 배선 WL[1], 배선 WL[2], 배선 WL[3], 및 배선 WL[4]과 전기적으로 접속될 수 있다.

[0121] (회로(71))

[0122] 도 14의 회로(71)는 회로(70)의 변형예이다. 회로(71)도 회로(70)와 같이 8개의 신호 *slct*를 생성할 수 있다. 회로(71)는 3개의 인버터, 8개의 3입력 NAND 게이트 회로, 및 8개의 2입력 NAND 게이트 회로를 포함한다.

[0123] 회로(71)에는 3비트 디지털 신호 *dw*[2:0] 및 신호 *dwall*이 입력된다. 회로(71)는 신호 *dw*[2:0]를 해독하여 신호 *slct*[1] 내지 신호 *slct*[8] 중 어느 하나를 고레벨로 설정하는 기능을 갖는다. 신호 *dwall*은 신호 *dw*[2:0]에 상관없이, 신호 *slct*[1] 내지 신호 *slct*[8]의 전위 레벨을 고레벨로 설정하는 기능을 갖는다. 구체적으로는, 신호 *dwall*이 저레벨일 때, 신호 *slct*[1] 내지 신호 *slct*[8]는 신호 *dw*[2:0]에 상관없이 고레벨이 된다. 신호 *dwall*이 고레벨일 때, 신호 *dw*[2:0]에 따라 신호 *slct*[1] 내지 신호 *slct*[8] 중 어느 하나가 고레벨이 되고, 나머지는 저레벨이 된다. 회로(71)를 사용함으로써, 회로(111)의 모든 회로(30)로의 전위 *V_{cnf}*의 기록 동작이 같은 타이밍에 가능하게 된다.

[0124] <<발진 회로의 구성예 7>>

[0125] 도 15는 발진 회로의 구성예를 도시한 것이다. 도 15의 회로(112)는 구성예 5에서 기재한 회로(32)(도 8의 (A) 및 (B))가 사용된 발진 회로의 변형예이다. 회로(112)는 $(n+1)$ 단의 회로(20), 회로(21), 회로(80), 및 버퍼 회로(81)를 포함한다. $(n+1)$ 단의 회로(20) 및 회로(21)는 각각 배선 WD, m 개의 배선 WL, 및 m 개의 배선 CTL과 전기적으로 접속된다(m 은 2 이상의 정수). 회로(20) 및 회로(21)는 각각 회로(32) 및 회로(90)에 대응한다. 도 16은 회로(20)의 구성예를 나타낸 것이다. 도 17은 회로(21)의 구성예를 나타낸 것이다.

[0126] <회로(20)>

[0127] 회로(20)는 회로(41) 및 m 개의 회로(44)를 포함한다. 회로(41)는 인버터(INV1)를 포함한다. 제 1 내지 제 n 단의 회로(20)의 출력 노드의 각각은 다음 단의 회로(20)의 입력 노드와 전기적으로 접속된다. 제 n 단의 회로(20)의 출력 노드(ND12)는 제 1 단의 회로(20)의 입력 노드와 전기적으로 접속된다. 회로(12)는 제 1 내지 제 n 단의 회로(20)를 포함한다. 즉, 회로(12)는 n 개의 인버터(INV1)를 포함하고, 회로(11)(도 1)와 같이 링 발진기로서 기능할 수 있다.

[0128] 각 회로(20)에 복수의 회로(44)를 제공함으로써, INV1에 공급되는 고전원 전위를 설정하기 위한 복수의 컨피규레이션 데이터를 유지할 수 있다. 컨피규레이션 데이터는 배선 WD로부터 입력된 아날로그 전위 *V_{cnf}*이다. 각 회로(20)에서, 복수의 컨피규레이션 데이터 중 어느 하나가 선택됨으로써, INV1에 공급되는 고전원 전위가 변동되어, INV1의 지연 시간을 변동시킬 수 있다. 회로(112)의 출력 신호 *S_{VCO}*의 발진 주파수 *f_{VCO}*를 제어할 수 있다. 따라서, 회로(112)는 멀티 컨텍스트 프로그래밍할 수 있는 발진 회로라고 할 수 있다.

[0129] m 개의 회로(44)에는, m 개의 배선 WL 및 m 개의 배선 CTL이 제공된다. 도 16에 나타낸 바와 같이, 회로(44[*h*])(*h*는 0 이상 $(m-1)$ 이하의 정수)에서, 트랜지스터(MW1)의 게이트는 배선 WL[*h*]과 전기적으로 접속되고,

배선(MS1)의 게이트는 배선 CTL[h]과 전기적으로 접속된다. m개의 회로(44)의 트랜지스터(MW1)의 각 드레인온 배선 WD와 전기적으로 접속된다. 회로(20)에서, m개의 트랜지스터(MS1) 중 어느 하나가 온이 됨으로써, 대응하는 회로(44)의 노드(ND1)의 전위 V_{nd1} 을 노드(NV1)에 공급할 수 있다. 노드(NV1)는 노드(INV1)의 고전원 전위의 입력 노드이다.

[0130] <회로(21)>

[0131] 회로(21)는 m개의 회로(92)를 포함한다. 회로(90)와 마찬가지로, 회로(21)는 회로(80)에 공급되는 전원 전위를 생성하는 기능을 갖는다. 회로(21)는 회로(80)의 회로 구성에 따라 제공된다. 회로(21)는 회로(20)로부터 회로(41)를 생략한 회로 구성을 갖는다.

[0132] 도 17의 회로(92[h])에서, 트랜지스터(MW9)의 게이트는 배선 WL[h]과 전기적으로 접속되고, 트랜지스터(MS9)의 게이트는 배선 CTL[h]과 전기적으로 접속된다. m개의 회로(92)의 트랜지스터(MW9)의 각 드레인은 배선 WD와 전기적으로 접속된다. m개의 회로(92)의 트랜지스터(MS9) 중 어느 하나가 온이 됨으로써, 대응하는 회로(92)의 노드(ND9)의 전위를 노드(NV2)에 공급할 수 있다. 노드(NV2)는 회로(80)의 고전원 전위의 입력 노드이다.

[0133] <동작예>

[0134] 회로(112)는 멀티 컨텍스트 프로그래밍할 수 있는 발진 회로라고 할 수 있다. 컨피규레이션 데이터의 세트는 컨텍스트라고 한다. 배선 CTL[0] 내지 배선 CTL[m-1]의 입력 신호는 컨텍스트를 선택할 수 있는 신호로서 기능할 수 있다. 배선 CTL[0] 내지 배선 CTL[m-1]의 입력 신호에 따라 컨텍스트를 신속하게 전환할 수 있다.

[0135] 회로(112)에서는, m개의 컨피규레이션 데이터의 세트를 저장할 수 있다. 따라서, 회로(112)에 m개의 컨피규레이션 데이터의 세트를 저장한 후에, 발진 동작 중이라도 컨텍스트를 전환함으로써, 발진 주파수 f_{VCO} 를 변동시킬 수 있다. 도 18을 참조하여 회로(112)의 동작의 일례에 대하여 설명한다. 도 18 및 도 19는 각각 컨텍스트 수가 2(m=2)인 경우의 회로(112)의 타이밍 차트이다. 도 18은 컨피규레이션 데이터의 기록 동작, 즉 컨피규레이션 동작의 일례를 나타낸 것이다. 도 19는 도 18로부터 연속된 타이밍 차트이며, 발진 동작의 일례를 나타낸 것이다.

[0136] 도 4의 (A) 및 (B)와 같이, $V_{DD} > V_a > V_b$ 이다. 트랜지스터(MA1) 및 트랜지스터(MA9)의 문턱 전압을 각각 $V_{th_{A1}}$ 및 $V_{th_{A9}}$ 로 나타낸다. 도 18 및 도 19에 있어서, 파형 최대 전위 및 파형 최소 전위는 각각 VDD 및 GND이다.

[0137] (컨피규레이션 동작)

[0138] 컨피규레이션 동작에서는, 컨텍스트[h]에 대응하는 배선 WL[h]만을 고레벨로 설정하고, 나머지 배선 WL은 저레벨로 설정함으로써, 컨텍스트[h]에 대응하는 회로(44[h]) 및 회로(92[h])에 배선 WD의 아날로그 전위가 기록된다. 컨피규레이션 동작에서는, 모든 배선 CTL의 전위가 저레벨로 유지된다. 회로(20)에 있어서, 회로(44)와 회로(41)는 비도통 상태이고, 회로(21)와 회로(80)도 비도통 상태이기 때문에, 노드(NV1) 및 노드(NV2)의 전위는 저레벨이다.

[0139] 우선, 컨텍스트[0]의 컨피규레이션 데이터를 기록한다. 배선 WD에 아날로그 전위 V_a 를 공급한다. 배선 WL[0]을 고레벨로 설정함으로써, 제 1 내지 제 (n+1) 단의 회로(20)의 회로(44[0])에 아날로그 전위 V_a 가 기록된다. 각 회로(44[0])의 노드(FN1[0])의 전위는 V_a 로 증가된다. 배선 WL[0]을 저레벨로 설정함으로써, 각 회로(44[0])의 트랜지스터(MW1)는 오프가 되어, 컨텍스트[0]의 기록이 완료된다. 각 회로(44[0])에서, 노드(FN1[0])의 전위는 V_a 가 되고, 노드(ND1[0])의 전위는 $(V_a - V_{th_{A1}})$ 이 된다. 또한, 회로(21)에서, 회로(92[0])의 노드(FN9[0])의 전위는 $(V_a - V_{th_{A9}})$ 가 된다.

[0140] 다음에, 컨텍스트[1]의 컨피규레이션 데이터의 기록을 수행한다. 그리고, 배선 WD에 아날로그 전위 V_b 를 공급한다. 배선 WL[1]을 고레벨로 설정함으로써, 제 1 내지 제 (n+1) 단의 회로(20)의 회로(44[1])에 V_b 가 기록된다. 배선 WL[1]을 저레벨로 설정함으로써, 컨피규레이션 데이터의 기록이 완료된다. 각 회로(44[1])에서, 노드(FN1[1])의 전위는 V_b 가 되고, 노드(ND1[1])의 전위는 $(V_b - V_{th_{A1}})$ 이 된다. 또한, 회로(21)에 있어서, 회로(92[1])의 노드(FN9[1])의 전위는 $(V_b - V_{th_{A9}})$ 가 된다.

- [0141] 여기서, 컨텍스트[0] 및 컨텍스트[1]의 컨피규레이션 데이터에 따라, 회로(12)의 발진 주파수가 fa 또는 fb로 설정된다.
- [0142] (발진 동작)
- [0143] 회로(112)가 발진하면, 선택되는 컨텍스트[h]에 대응하는 배선 CTL[h]만을 고레벨로 설정하고, 나머지 배선을 저레벨로 설정한다. 제 1 내지 제 (n+1) 단의 회로(20)에 있어서, 회로(44[h])의 노드(FN1[h])와 INV1의 노드(NV1)가 도통하게 된다. 각 회로(20)의 INV1의 지연 시간은 컨텍스트[h]의 컨피규레이션 데이터에 기초한 시간의 길이이고, 회로(12)는 소정의 주파수로 발진할 수 있다. 회로(21)에서는, 노드(FN9[h])가 노드(NV2)와 도통된다.
- [0144] 도 19의 예에서는, 배선 CTL[0]이 선택되고, 배선 CTL[0]의 전위를 고레벨로 설정한다. 각 회로(20)의 노드(NV1)의 전위는 노드(ND1[0])의 전위 ($V_a - V_{th_{A1}}$)과 실질적으로 동일하기 때문에, 회로(12)의 출력 노드(ND12)로부터 발진 주파수 fa 및 진폭 ($V_a - V_{th_{A1}} - GND$)의 신호 rol2가 출력된다. 신호 rol2는 회로(80)에 의하여 증폭된다. 발진 주파수 fa 및 진폭 ($V_{DD} - GND$)의 신호 S_{VCC}가 회로(112)의 출력 단자로부터 출력된다.
- [0145] 배선 CTL[0]을 저레벨로 설정하면, 각 회로(21)의 INV1로의 전원 전위의 공급이 중단되어, 회로(112)가 발진하지 않는다.
- [0146] 컨텍스트[1]를 선택하기 위하여 배선 CTL[1]을 고레벨로 설정한다. 각 회로(20)의 노드(NV1)의 전위는 노드(ND1[1])의 전위 ($V_b - V_{th_{A1}}$)과 실질적으로 동일하기 때문에, 회로(12)의 출력 노드(ND12)로부터 발진 주파수 fb 및 진폭 ($V_b - V_{th_{A1}} - GND$)의 신호 rol2가 출력된다. 신호 rol2는 회로(80)에 의하여 증폭된다. 회로(112)로부터 발진 주파수 fb 및 진폭 ($V_{DD} - GND$)의 신호 S_{VCC}가 출력된다.
- [0147] 어떤 컨텍스트 번호에 대응하는 배선 CTL만 고레벨로 설정하여 발진 동작을 수행할 수 있고, 이와 동시에 다른 컨텍스트 번호에 대응하는 배선 CTL의 컨피규레이션 데이터를 재기록할 수 있다.
- [0148] 상술한 바와 같이, 회로(112)에서, 컨텍스트를 변화시킴으로써, 발진 동작 중이라도 발진 주파수를 고속으로 변화시킬 수 있다. 또한, 트랜지스터(MW1)의 오프 상태 전류가 매우 낮은 것에 의하여, 회로(44)는 전원이 정지된 후라도 컨피규레이션 데이터를 오랜 기간 동안 유지할 수 있다. 따라서, 회로(112)를 재기동할 때마다 컨피규레이션 동작을 수행할 필요가 없어, 재기동 후에 즉시 원하는 주파수로 회로(112)를 발진시킬 수 있다.
- [0149] <<발진 회로의 구성예 8>>
- [0150] 도 20의 (A) 내지 (C)는 회로(30) 내지 회로(32)의 변형예이다.
- [0151] 회로(30)(도 2), 회로(31)(도 7의 (A) 및 (B)), 및 회로(32)(도 8의 (A) 및 (B))는 각각 링 발진 회로의 기본 회로이다. 회로(30) 내지 회로(32)는 각각 노드(FN1)에서 유지되는 전위에 의하여 INV1에 공급되는 고전원 전위를 제어하는 기능을 갖는다. INV1의 지연 시간은 고전원 전위를 변화시킴으로써 변화시킬 수 있고, 저전원 전위를 변화시킴으로써도 INV1의 지연 시간을 변화시킬 수 있다. 도 20의 (A) 내지 (C)의 회로(35) 내지 회로(37)는 각각 노드(FN1)에서 유지되는 전위에 의하여 저전원 전위를 변화시키는 기능을 갖는다.
- [0152] 도 20의 (A)의 회로(35)는 회로(30)의 변형예이다. 회로(35)는 회로(41) 및 회로(45)를 포함한다. 회로(45)의 출력 노드(ND1)는 INV1의 저전원 전위의 입력 노드와 전기적으로 접속된다. 회로(45)는 회로(42)(도 2)와 같은 구조를 갖는다. 여기서, n채널 트랜지스터(MA1) 대신에 p채널 트랜지스터(MB1)를 제공한다. 또한, 트랜지스터(MB1)로서 n채널 트랜지스터를 사용할 수 있다. 회로(45)의 동작은 회로(42)와 마찬가지로이기 때문에, 회로(42)의 설명을 참조한다.
- [0153] 도 20의 (B)에 나타난 회로(36)는 회로(31)의 변형예이다. 회로(36)에는, 회로(42) 대신에 회로(45)가 제공된다. 도 20의 (C)에 나타난 회로(37)는 회로(32)의 변형예이다. 회로(37)에는, 회로(42) 대신에 회로(46)가 제공된다.
- [0154] 회로(35) 내지 회로(37)는 회로(100)(도 3)에 사용할 수 있다. 회로(35) 내지 회로(37)를 사용하여 링 발진 회로를 형성할 때, 도 3에 나타난 바와 같이, 회로(90)가 필요 없는 회로(85)에 의하여 링 발진기의 출력 신호를 승압하는 것이 바람직하다.

- [0155] <<발전 회로의 구성예 9>>
- [0156] 링 발전기의 기본 회로는 인버터의 고전원 전위 및 저전원 전위의 양쪽을 제어할 수 있는 회로 구성을 가질 수 있다.
- [0157] 예를 들어, 회로(30)(도 2)에 회로(35)(도 20의 (A))가 추가된 기본 회로를 사용하여 링 발전 회로를 형성할 수 있다. 이 경우, 회로(35)의 노드(ND1)와 INV1의 저전원 전위의 입력 노드는 서로 전기적으로 접속될 수 있다. 이와 마찬가지로, 회로(31)(도 7의 (A) 및 (B))에 회로(35)가 추가된 기본 회로를 사용하여 링 발전 회로를 형성할 수 있다.
- [0158] 예를 들어, 회로(32)(도 8의 (A) 및 (B))의 INV1의 저전원 전위의 입력 노드가 회로(37)(도 20의 (C))와 전기적으로 접속되는 기본 회로를 사용하여 링 발전 회로를 형성할 수 있다.
- [0159] (실시형태 2)
- [0160] <<PLL의 구성예>>
- [0161] 아래에서 위상 동기 루프(PLL)에 대하여 설명한다. 상술한 발전 회로는 PLL의 전압 제어 발전 회로로서 사용할 수 있다. 도 21 내지 도 23은 각각 PLL의 구성예를 도시한 것이다.
- [0162] <구성예 1>
- [0163] 도 21에 도시된 PLL(200)은 루프 필터(210), 위상 비교기(211), 전압 제어 발전기(VCO)(214), 및 주파수 분할기(215)를 포함한다. PLL(200)은 발전 주파수 f_{OUT} 의 신호 S_{OUT} 을 출력하는 기능을 갖는다. 신호 S_{OUT} 은 다른 회로에 클록 신호로서 입력된다.
- [0164] 위상 비교기(211)는 2개의 입력 신호 간의 위상차를 검출하고, 검출 결과를 전압 신호 cmp 로서 출력하는 기능을 갖는다. 도 21의 예에서, 위상 비교기(211)는 주파수 f_{IN} 의 신호와 주파수 f_{OUT}/N 의 신호 사이의 위상차를 전압 신호 cmp 로서 출력하는 기능을 갖는다. 주파수 분할기(215)는 주파수가, 입력되는 교류 신호의 주파수의 $1/M$ 배인 신호를 생성하는 기능을 갖는다. 도 21의 예에서, 주파수 분할기(215)는 주파수 f_{OUT}/N 의 신호를 출력한다.
- [0165] 루프 필터(210)는 신호 $Scnf$ 를 생성하는 기능을 갖는다. 또한, 루프 필터(210)는 위상 비교기(211)의 출력 신호로부터 고주파 성분을 제거하는 기능을 갖는다. 루프 필터(210)의 예에는 로패스(low-pass) 필터가 있다. VCO(214)는 신호 $Scnf$ 의 전압값에 대응한 발전 주파수 f_{OUT} 의 신호 S_{OUT} 을 출력하는 기능을 갖는다. 도 21의 예에서는, 회로(100), 회로(101), 회로(102), 또는 회로(103) 등의 발전 회로를 VCO(214)로서 사용할 수 있다.
- [0166] <구성예 2>
- [0167] 도 22에 도시된 PLL(201)은 위상 비교기(211), 제어 회로(212), 디지털-아날로그 변환기(DAC)(213), VCO(214), 및 주파수 분할기(215)를 포함한다.
- [0168] 도 22의 예에서는, VCO(214)로서 회로(100), 회로(101), 회로(102), 또는 회로(103) 등의 발전 회로를 사용할 수 있다. DAC(213)는 아날로그 전위 신호 $Scnf$ 를 생성하는 기능을 갖는다. DAC(213)는 제어 회로(212)로부터 입력되는 K 비트 디지털 신호 $D[K-1:0]$ 를 신호 $Scnf$ 로 변환하는 기능을 갖는다. 또한, K 는 2 이상의 정수이다. 신호 $Scnf$ 는 VCO(214)의 배선 WD 에 입력된다. 제어 회로(212)는 위상 비교기(211)의 출력 신호 cmp 에 따라 신호 $D[K-1:0]$ 및 신호 $s1ct$ 를 생성할 수 있다.
- [0169] <구성예 3>
- [0170] 도 23에 도시된 PLL(202)은 PLL(201)의 변형예이며, 신호 생성 회로(216)가 추가된 것이다.
- [0171] PLL(202)에서, VCO(214)로서 회로(111)(도 11)를 사용할 수 있다. 즉, 복수의 배선 WL 을 갖는 발전 회로를 VCO(214)로서 사용할 수 있다. VCO(214)의 링 발전 회로를 구성하는 기본 회로로서, 회로(31)(도 7) 또는 회로(32)(도 8)가 사용될 때, 제어 회로(212)에 의하여 신호 se 를 생성할 수 있다. 또한, VCO(214)로서 회로(112)(도 15)를 사용할 수 있다. 이 경우, 예를 들어, 제어 회로(212)로부터 VCO(214)에 컨텍스트 선택 신호를 출력한다.

[0172] 신호 생성 회로(216)로서 회로(70) 또는 회로(71)를 사용할 수 있다. 신호 생성 회로(216)로서 회로(70)를 사용할 때, 제어 회로(212)는 신호 $dw[J-1:0]$ 를 출력한다. 신호 생성 회로(216)로서 회로(71)를 사용할 때, 제어 회로(212)는 신호 $dw[J-1:0]$ 및 신호 $dwall$ 을 신호 생성 회로(216)에 출력한다. 신호 생성 회로(216)는 제어 회로(212)에 조합되어도 좋다. 또한, 제어 회로(212) 및 신호 생성 회로(216)를 포함하는 기능 회로를 제어 회로로 간주할 수 있다.

[0173] <<PLL의 동작예>>

[0174] PLL(202)의 동작예에 대하여 설명한다. 도 24 및 도 25는 각각 PLL(202)의 타이밍 차트의 일례를 도시한 것이며, 발진 주파수 f_{out} 을 f_t 로 설정한 동작예를 나타낸 것이다. 여기서는, PLL(202)에서, 신호 생성 회로(216)로서 회로(71)가 사용되고, VCO(214)로서 회로(111)가 사용되고, $m=7$, $k=3$, 및 $J=3$ 이 만족된다. 데이터 값이 "100" 이상 "101" 이하인 신호 $D[2:0]$ 에 대응하는 아날로그 전위가 회로(30[1]) 내지 회로(30[7])의 각각에 기록되면, VCO(214)는 주파수 f_t 로 발진한다. 도 24 및 도 25에서, 파장 최대 전위 및 파장 최소 전위는 각각 VDD 및 GND이다. 노드(FN1[8])의 전위는 노드(FN1[7])와 동일하기 때문에, 도 24 및 도 25에서는 노드(FN1[8])를 생략하였다.

[0175] <동작예 1>

[0176] 도 24를 참조하여 PLL(202)의 동작예를 설명한다.

[0177] 시각 T0 전에, VCO(214)는 발진하지 않는다. 노드(FN[1]) 내지 노드(FN[7])의 전위는 GND이고 신호 $dwall$ 이 고레벨이기 때문에, 신호 $s1ct[1]$ 내지 신호 $s1ct[7]$ 는 저레벨로 설정된다. 제어 회로(121)로부터 DAC(213)에 데이터 값 "000"의 신호 $D[2:0]$ 가 출력되고, DAC(213)는 아날로그 전위 V0를 출력한다.

[0178] 시각 T1에 신호 $dwall$ 을 저레벨로 설정함으로써, 신호 생성 회로(216)는 고레벨 신호 $s1ct[1]$ 내지 신호 $s1ct[7]$ 를 출력하고, VCO(214)의 회로(30[1]) 내지 회로(30[8])에 전위 V0가 기록된다. VCO(214)는 주파수 f_0 로 발진한다. 위상 비교기(211)는 주파수 f_{IN} 의 신호와 주파수 f_0/N 의 신호 사이의 위상차를 검출하고, 검출 결과에 기초한 신호 cmp 를 출력한다.

[0179] 제어 회로(212)는 신호 cmp 의 전압 값에 기초하여 f_0 와 f_t 가 같은지를 판정하고, 신호 $D[2:0]$ 의 디지털 값을 결정한다. $f_0 < f_t$ 이기 때문에, 제어 회로(212)는 데이터 값 "001"의 신호 $D[2:0]$ 를 DAC(213)에 출력한다. DAC(213)는 아날로그 전위 V1을 출력한다. VCO(214)의 노드(FN1[1]) 내지 노드(FN1[7])에 V1이 기록되고, VCO(214)는 발진 주파수 f_1 로 발진한다. 위상 비교기(211)는 주파수 f_{IN} 의 신호와 주파수 f_1/N 의 신호 사이의 위상차를 검출하고, 검출된 결과에 기초한 신호 cmp 를 생성하고, 이것을 제어 회로(212)에 출력한다.

[0180] 도 24의 예에서, 제어 회로(212)는 신호 cmp 에 따라 신호 $D[2:0]$ 의 데이터 값을 결정한다. 제어 회로(212)는 발진 주파수 f_{out} 이 f_t 보다 낮다고 판정하면, 신호 $D[2:0]$ 의 데이터 값이 "1"만큼 증가된다. 한편, 제어 회로(212)는 f_{out} 이 f_t 보다 높다고 판정하면, 신호 $D[2:0]$ 의 데이터 값은 "1"만큼 저하된다.

[0181] 따라서, 시각 T2에, 제어 회로(212)는 데이터 값 "010"의 신호 $D[2:0]$ 를 출력한다. DAC(213)로부터 전위 V2가 출력되고, 노드(FN1[1]) 내지 노드(FN1[7])의 각각의 전위는 전위 V2로 상승된다. VCO는 주파수 f_2 로 발진한다. 시각 T3에, $f_2 < f_t$ 이기 때문에 제어 회로(212)는 데이터 값 "011"의 신호 $D[2:0]$ 를 출력하고, DAC(213)는 전위 V3을 출력한다. 노드(FN1[1]) 내지 노드(FN1[7])의 전위가 V3으로 상승되어, VCO(214)는 주파수 f_3 으로 발진한다. 시각 T4에, $f_3 < f_t$ 이기 때문에, 제어 회로(212)는 데이터 값 "100"의 신호 $D[2:0]$ 를 출력하고, DAC(213)는 전위 V4를 출력한다. 노드(FN1[1]) 내지 노드(FN1[7])의 전위가 V4로 상승되어, VCO(214)는 주파수 f_4 로 발진한다.

[0182] 시각 T5에, $f_4 < f_t$ 이기 때문에, 제어 회로(212)는 데이터 값 "101"의 신호 $D[2:0]$ 를 출력한다. DAC(213)는 전위 V5를 출력하고, 노드(FN1[1]) 내지 노드(FN1[7])의 전위가 V5로 상승되어, VCO(214)는 주파수 f_5 로 발진한다. 제어 회로(212)는 신호 cmp 에 따라 발진 주파수 f_5 는 f_t 보다 높다고 판정한다.

[0183] VCO(214)를 f_t 로 발진시키기 위하여, 노드(FN1[1]) 내지 노드(FN1[7])의 전위를 V4보다 높고 V5보다 낮게 되도록 설정한다. 도 23의 회로 구성에서, 이러한 레벨의 전위는 DAC(213)에서 생성되지 않는다. 따라서,

VCO가 f_t 로 발진하도록 제어 회로(212)는 노드(FN1[1]) 내지 노드(FN1[7])의 전위를 개별로 제어한다.

- [0184] 제어 회로(212)는 신호 *cmp*에 따라 주파수 f_5 가 목표값 f_t 보다 높다고 판정하면, 먼저 *dwall*이 고레벨로 설정된다. 저레벨 신호 *s1ct*[1] 내지 저레벨 신호 *s1ct*[7]가 신호 생성 회로(216)로부터 출력되기 때문에, 노드(FN1[1]) 내지 노드(FN1[8])가 부유 상태가 된다. 시각 T6 후에, PLL(202)에서는 발진 주파수 f_{out} 이 조정된다.
- [0185] 시각 T6에, 제어 회로(212)는 데이터 값 "100"의 신호 *D*[2:0] 및 데이터 값 "111"의 신호 *dw*[2:0]를 출력한다. DAC(213)는 V4를 출력한다. 신호 생성 회로(216)는 배선 WL[1]에 고레벨 신호 *s1ct*를 출력하고, 배선 WL[2] 내지 배선 WL[7]에 각각 저레벨 신호 *s1ct*[2] 내지 저레벨 신호 *s1ct*[7]를 출력한다. VCO(214)에서는, 노드(FN1[1])의 전위가 전위 V4로 저하되기 때문에, 발진 주파수 f_{out} 이 f_5 로부터 f_6 으로 저하된다.
- [0186] 즉, 도 24의 예에서는, VCO(214)의 7단의 회로(30)에, 1단씩 노드(FN1)의 전위를 V5로부터 V4로 변화시켜서, 발진 주파수 f_{out} 을 정교하게 조정한다.
- [0187] 신호 *cmp*에 따라 $f_6 > f_t$ 라고 판정하면, 제어 회로(212)는 시각 T7에 회로(30[2])의 노드(FN1[2])에 전위 V4를 기록하기 위한 제어 신호를 출력한다. 노드(FN1[2])의 전위가 V4로 저하되면, f_{out} 은 f_7 로 저하된다. 신호 *cmp*에 따라 $f_7 > f_t$ 라고 판정하면, 제어 회로(212)는 시각 T8에 노드(FN1[3])에 전위 V4를 기록하기 위한 제어 신호를 출력한다. 노드(FN1[3])의 전위가 V4로 저하되면, f_{out} 은 f_8 로 저하된다.
- [0188] VCO(214)는 주파수 f_8 로 발진한다. 신호 *cmp*에 따라 f_8 이 f_t 와 같다고 판정되면, 제어 회로(212)는 시각 T8에 동조 동작을 정지하도록 제어를 수행한다. 구체적으로는, 데이터 값 "000"의 신호 *D*[2:0], 고레벨 신호 *dwall*, 및 데이터 값 "000"의 신호 *dw*[2:0]를 출력한다. 시각 T8에, 노드(FN1[1]) 내지 노드(FN1[8])는 전기적으로 부유 상태가 된다.
- [0189] <동작예 2>
- [0190] 도 25를 참조하여 PLL(202)의 동작예를 설명한다. 도 25는 소위 이진 검색(binary search)에 의하여 VCO(214)의 발진 주파수를 동조하는 예를 나타낸 것이다.
- [0191] 시각 T0에, 제어 회로(212)는 데이터 값 "100"의 신호 *D*[2:0]를 출력한다. 또한, 데이터 값 "100"은 "000"와 "111" 사이의 중간 값이다. 신호 *dwall*이 저레벨이 되면, VCO(214)의 노드(FN1[1]) 내지 노드(FN1[8])의 각각에 전위 V4가 기록되기 때문에 VCO(214)는 주파수 f_4 로 발진한다.
- [0192] 신호 *cmp*에 따라 f_4 가 f_t 보다 낮다고 판정하면, 제어 회로(212)는 Scnf의 전위를 증가시키기 위하여 데이터 값 "100"의 신호 *D*[2:0]를 출력한다. 또한, "110"은 "100"과 "111" 사이의 중간 값이다. DAC(213)로부터 전위 V6이 출력되고, 노드(FN1[1]) 내지 노드(FN1[8])의 각각에 V6이 기록된다. f_{out} 은 f_{10} 이 된다.
- [0193] 제어 회로(212)가 신호 *cmp*에 따라 f_{10} 이 f_t 보다 높다고 판정하면, Scnf의 전위가 저하되어, 제어 회로(212)는 데이터 값 "101"의 신호 *D*[2:0]를 출력한다. 또한, "101"은 "100"과 "111" 사이의 중간 값이다. DAC(213)로부터 전위 V5가 출력되고, 노드(FN1[1]) 내지 노드(FN1[8])의 각각에 V5가 기록되고, f_{out} 은 f_5 가 된다. 신호 *cmp*에 따라 주파수 f_5 가 목표값 f_t 보다 높다고 판정하면, 제어 회로(212)는 발진 주파수가 정교하게 조정되도록 제어를 수행한다. 이 제어 동작은 도 24와 동일하며, VCO(214)의 7단의 회로(30)에서 노드(FN1)의 전위가 V5로부터 V4로 1단씩 변화된다.
- [0194] 시각 T3에, 노드(FN1[1])의 전위가 V5로부터 V4로 저하되고, f_{out} 은 f_6 이 된다. 시각 T4에, 노드(FN1[2])의 전위가 V5로부터 V4로 저하되고, f_{out} 은 f_7 이 된다. 시각 T5에, 노드(FN1[3])의 전위가 V5로부터 V4로 저하되고, f_{out} 은 f_8 이 된다. 제어 회로(212)는 신호 *cmp*에 따라 f_8 이 f_t 와 동일하다고 판정하면, 노드(FN1[1]) 내지 노드(FN1[8])를 전기적으로 부유 상태가 되어 동조 동작이 완료된다.
- [0195] 상술한 바와 같이, 도 25의 예에서는, 이진 검색에 의하여 f_{out} 을 검출하기 때문에, f_{out} 의 동조를 도 24의 예보다 고속으로 수행할 수 있다.

- [0196] 도 24 및 도 25의 타이밍 차트에 따라, PLL(201)은 PLL(202)과 마찬가지로 동작할 수 있다.
- [0197] PLL(201) 및 PLL(202)에서는, 주파수 f_1 로의 발진을 얻기 위한 동조 후에는, VCO(214) 이외의 회로로의 전력을 차단하더라도, VCO(214)는 주파수 f_1 로 발진할 수 있다. 또한, PLL(201) 및 PLL(202) 전체의 전력을 차단한 후에 PLL을 재기동하면, PLL(201) 및 PLL(202)은 재기동 후에 즉시 주파수 f_1 로 발진할 수 있다. 상술한 바와 같이, 회로(101)를 사용하여, 저소비전력 및 고속 기동이 가능한 PLL을 제공할 수 있다.
- [0198] PLL은 클럭 신호를 생성하기 위한 회로로서 다양한 반도체 장치에 조합될 수 있다. 아래에서는, 이러한 반도체 장치의 예를 나타낸다.
- [0199] <<프로세싱 유닛>>
- [0200] PLL은, 예를 들어, 프로세싱 유닛에 조합되고, 클럭 생성 회로로서 기능할 수 있다. 프로세싱 유닛의 예에는, CPU(central processing unit), GPU(graphics processing unit), PLD(programmable logic device), DSP(digital signal processor), MCU(microcontroller unit), 커스텀 LSI, 및 무선으로 데이터를 송수신할 수 있는 무선 IC가 포함된다.
- [0201] <무선 IC>
- [0202] 예를 들어, 무선 IC에 PLL을 조합함으로써, 반송파, 또는 복조 신호에 동기한 클럭 신호를 생성할 수 있다. 도 26은 무선 IC의 일례를 나타낸 것이다. 무선 IC는 무선 칩, RFIC, 또는 RF 칩 등이라고 불리는 경우가 있다.
- [0203] 도 26에 도시된 무선 IC(1000)는 정류 회로(1001), 전원 회로(1002), 복조 회로(1003), 변조 회로(1004), PLL(1005), 논리 회로(1006), 메모리 장치(1007), 및 ROM(판독 전용 메모리)(1008)을 포함한다. 또한, 이들 회로의 각각이 제공될지 여부는 필요에 따라 적절히 결정할 수 있다. 무선 IC(1000)는 안테나(1010)와 전기적으로 접속된다. PLL(1005)로서 본 실시형태의 PLL을 사용할 수 있다. PLL(1005) 대신에, 실시형태 1에 기재된 링 발진 회로가 제공된 발진 회로를 사용할 수도 있다.
- [0204] 본 실시형태의 무선 IC(1000)의 종류는 특별히 한정되지 않는다. 도 26의 예에서는, 무선 IC(1000)는 패시브 무선 IC이지만, 무선 IC(1000)는 내장 전지를 갖는 액티브 무선 IC이어도 좋다. 사용되는 주파수 대역에 따라, 무선 IC(1000)의 통신 방법 및 안테나(101)의 구조 등을 결정할 수 있다.
- [0205] 안테나(1010)는 통신 장치(1012)에 접속된 안테나(1011)와 무선 신호(1013)를 교환한다. 안테나(1010)는 통신 구역에 대응한 성능을 갖는다. 또한, 데이터 전송 방법에 관해서는, 다음 방법을 들 수 있다. 한 쌍의 코일을 서로 대향하도록 제공하여 상호 유도에 의하여 서로 통신하는 전자 결합 방식, 유도 전자계를 사용하여 통신을 수행하는 전자기 유도 방식, 및 전파를 이용하여 통신을 수행하는 전파 방식이다.
- [0206] 정류 회로(1001)는 안테나(1010)에서 무선 신호를 수신함으로써 생성되는 입력 교류 신호를 정류, 예를 들어 반파 배전압 정류하고, 후단에 제공된 커패시터 소자에 의하여, 정류된 신호를 평활화함으로써 입력 전위를 생성한다. 또한, 리미터 회로가 정류 회로(1001)의 입력 측 또는 출력 측에 제공되어도 좋다. 리미터 회로는, 입력 교류 신호의 진폭이 크고 내부 생성 전압이 높으면, 특정한 전력 이상의 전력이 후단의 회로에 입력되지 않도록 전력을 제어한다.
- [0207] 전원 회로(1002)는 입력 전위로부터 안정된 전원 전압을 생성하고 이것을 각 회로에 공급한다. 또한, 전원 회로(1002)는 리셋 신호 생성 회로를 포함하여도 좋다. 리셋 신호 생성 회로는 안정된 전원 전압의 상승을 이용하여, 논리 회로(1006)의 리셋 신호를 생성하는 회로이다.
- [0208] 또한, 복조 회로(1003)는 입력 교류 신호를 포락선 검파(envelope detection)에 의하여 복조하여 복조 신호를 생성한다. 또한, 변조 회로(1004)는 안테나(1010)로부터 출력되는 데이터에 따라 변조를 수행한다. PLL(1005)은 복조 신호에 동기한 클럭 신호를 생성하기 위한 회로이다.
- [0209] 논리 회로(1006)는 복조 신호를 해독하고 이 해독 결과에 기초한 처리를 수행하는 기능을 갖는다. 논리 회로(1006)는 예를 들어, 코드 인식/판정 회로 및 부호화 회로(1009) 등을 포함한다. 코드 인식/판정 회로는 클럭 신호에 기초하여 복조 신호의 코드를 분석하여 대응 데이터를 얻는다. 논리 회로(1006)는 분석된 코드에 따라 메모리 장치(1007)와 데이터 통신한다. 메모리 장치(1007)로부터 출력된 데이터는 부호화 회로에서 부호화된다. 부호화된 신호는 변조 회로(1004)에 출력된다.

- [0210] 메모리 회로(1007)는 입력된 데이터를 유지하고, 로 디코더(row decoder), 칼럼 디코더(column decoder), 및 메모리 영역 등을 포함한다. ROM(1008)은 식별 번호(ID) 등을 저장하고 논리 회로(1006)의 처리에 따라 데이터를 출력한다.
- [0211] <무선 IC의 적용예>
- [0212] 물체를 알아보기 위한 RF 태그로서 무선 IC를 사용할 수 있다. 예를 들어, RF 태그(1020)는 지폐, 동전, 유가증권, 무기명 채권, 서류(예를 들어 운전 면허증 또는 주민등록증, 도 27의 (A) 참조), 포장용기(예를 들어 포장지 또는 보틀, 도 27의 (C) 참조), 기록 매체(예를 들어 DVD, 블루레이 디스크, CD, USB 메모리 또는 SD 카드, 도 27의 (B) 참조), 탈 것들(예를 들어 자전거, 유모차, 또는 휠체어, 도 27의 (D) 참조), 개인 소지품(예를 들어 가방 또는 안경, 도 27의 (E) 참조), 식품, 식물, 동물, 인체, 의류, 생활용품, 약 및 화학 약품 등의 의료품, 및 전자 장치(예를 들어 액정 표시 장치, EL 표시 장치, 스마트폰, 휴대 전화, 시계, 또는 손목시계) 등의 물체, 또는 물체의 태그(도 27의 (E) 및 (F) 참조)에 제공될 수 있다.
- [0213] 무선 IC에 센서 유닛을 조합함으로써 무선으로 다양한 정보를 얻을 수 있다. 예를 들어, 온도 센서 회로 및/또는 습도 센서 회로를 포함하는 무선 IC를 문화재의 온도 및/또는 습도 제어에 사용할 수 있다.
- [0214] <PLD>
- [0215] 도 28은 프로그래머블 로직 디바이스(PLD)의 일례를 도시한 것이다. 도 28에서, PLD(1050)는 입출력(I/O) 소자(1051), 랜덤 액세스 메모리(RAM)(1052), 곱셈기(1053), PLL(1054), 및 프로그래머블 로직 소자(PLD)(1055)를 포함한다. I/O 소자(1051)는 PLD(1050) 외부의 회로로부터의 신호의 입력 및 PLD(1050) 외부의 회로의 신호의 출력을 제어하는 인터페이스로서 기능한다. PLL(1054)은 클럭 신호를 생성하는 기능을 갖는다. RAM(1052)은 논리 연산에 이용되는 데이터를 저장하는 기능을 갖는다. 곱셈기(1053)는 곱셈용 논리 회로에 상당한다. PLD(1050)가 곱셈을 실시하는 기능을 포함하면, 곱셈기(1053)는 반드시 제공할 필요는 없다.
- [0216] <MCU>
- [0217] 도 29는 마이크로 제어 장치(MCU)(1070)의 일례를 나타낸 것이다. MCU(1070)는 CPU 코어(1071), 전원 관리 장치(PMU)(1072), 파워 게이트(1073), 타이머(1074), PLL(1075), 아날로그 디지털 변환기(ADC)(1081), 감시 타이머(1082), ROM(1083), 비휘발성 메모리 장치(non-volatile memory, NVM이라고도 함)(1084), 전원 회로(1085), 및 인터페이스(IF) 소자(1086) 등을 포함한다.
- [0218] PLL(1075)은 클럭 신호를 생성하고 이것을 CPU 코어(1071) 및 타이머(1074) 등의 내부 회로에 출력한다. CPU 코어(1071) 및 타이머(1074)는 클럭 신호를 사용하여 처리할 수 있다. PMU(1072)는 파워 게이트(1073)를 제어하고, MCU(1070)의 내부 회로의 전원 전위 VDD의 공급을 제어한다. 파워 게이트(1073)를 통하지 않는 타이머(1074) 및 PLL(1075)로의 VDD의 공급이 가능하다. PMU(1072)는 동작할 필요가 없는 내부 회로의 전력 공급을 정지하도록 파워 게이트(1073)를 제어한다.
- [0219] 도 29는 MCU(1070)가 무선 통신이 가능한 무선 모듈(1080)을 제어하는 예를 나타낸 것이다. 센서 유닛 등의 반도체 장치가 ADC(1081)에 접속된다. MCU(1070)는 ADC(1081)에 입력되는 신호를 처리하여 무선 모듈(1080)이 처리 결과를 다른 무선 모듈로 송신하도록 제어할 수 있다. 또는, MCU(1070)는 무선 모듈(1080)의 수신 신호를 처리하여 무선 모듈(1080)이 처리 결과를 다른 무선 모듈로 송신하도록 제어할 수 있다.
- [0220] 파워 게이트(1073)는 PMU(1072)에 의하여 온이 됨으로써, CPU 코어(1071), 감시 타이머(1082), ROM(1083), 전원 회로(1085), 및 인터페이스(IF) 소자(1086)가 동작한다. CPU 코어(1071)에서 연산 처리된 데이터가 IF 소자(1086)를 통하여 무선 모듈(1080)에 출력된다. 무선 모듈(1080)은 무선으로 데이터를 송신한다. 무선 모듈(1080)의 출력 신호가 IF 소자(1086)를 통하여 ADC(1081)에 입력된다. ADC(1081)은 입력 신호를 디지털 신호로 변환하고 이것을 CPU 코어(1071)에 출력한다. 이 입력 신호를 CPU 코어(1071)에 의하여 연산 처리한다. 연산 처리된 신호는 IF 소자(1086)를 통하여 무선 모듈(1080)에 출력된다. 무선 모듈(1080)은 무선으로 데이터를 송신한다. 송신 후, PMU(1072)는 파워 게이트(1073)를 오프로 하고, CPU 코어(1071) 등으로의 전원 공급을 정지한다. 전원 공급 후, PMU(1072)는 타이머(1074)를 제어하고, 시간 계측을 시작한다. PMU(1072)는 타이머(1074)의 시간 계측이 설정 값에 도달하면, 파워 게이트(1073)를 다시 온으로 함으로써 CPU 코어(1071) 등으로의 전력 공급을 재개한다.
- [0221] <<표시 장치>>
- [0222] PLL은 표시 장치의 구동 회로에 클럭 신호를 공급하도록 조합된다. 도 30은 표시 장치의 일례를 나타

낸 것이다. 도 30은 표시 장치의 분해 사시도이다.

- [0223] 도 30에 나타난 바와 같이, 표시 장치(1400)에서, 상부 커버(1421)와 하부 커버(1422) 사이에, FPC(1423)와 접속된 터치 패널 유닛(1424), FPC(1425)에 접속된 표시 패널(1410), 백라이트 유닛(1426), 프레임(1428), 인쇄 기관(1429), 및 배터리(1430)가 제공된다. 또한, 백라이트 유닛(1426), 배터리(1430), 및 터치 패널 유닛(1424) 등은 제공되지 않는 경우가 있다. 예를 들어, 표시 장치(1400)가 반사형 액정 표시 장치 또는 전계 발광(EL) 표시 장치인 경우에는, 백라이트 유닛(1426)은 필요 없다. 표시 장치(1400)에는 편광판, 위상차판, 또는 프리즘 시트 등의 부재가 추가적으로 제공되어도 좋다.
- [0224] 상부 커버(1421) 및 하부 커버(1422)의 형상 및 크기는 터치 패널 유닛(1424) 및 표시 패널(1410)의 크기에 따라 적절히 변경될 수 있다.
- [0225] 터치 패널 유닛(1424)은 저항식 터치 패널 또는 용량식 터치 패널일 수 있고, 표시 패널(1410)과 중첩되도록 형성되어도 좋다. 표시 패널(1410)의 대향 기관(밀봉 기관)은 터치 패널 기능을 가질 수 있다. 또는, 광학식 터치 패널을 형성하기 위하여 표시 패널(1410)의 각 화소에 포토센서가 제공되어도 좋다. 정전식 터치 패널이 얻어지도록 표시 패널(1410)의 각 화소에 터치 센서용 전극을 제공하여도 좋다.
- [0226] 백라이트 유닛(1426)은 광원(1427)을 포함한다. 광원(1427)은 백라이트 유닛(1426)의 단부에 제공되어도 좋고, 광 확산판을 사용하여도 좋다.
- [0227] 프레임(1428)은 표시 패널(1410)을 보호하며, 인쇄 기관(1429)의 동작에 의하여 생성된 전자기파를 차단하기 위한 전자기 실드(electromagnetic shield)로서 기능한다. 프레임(1428)은 방열판으로서 기능하여도 좋다.
- [0228] 인쇄 기관(1429)에는 전원 회로와, 비디오 신호 및 클록 신호를 출력하기 위한 신호 처리 회로가 제공된다. PLL은 신호 처리 회로에 조합된다. PLL에서 생성된 클록 신호는 표시 패널(1410)의 구동 회로 및 터치 패널 유닛의 구동 회로에 공급된다. 전원 회로에 전력을 공급하는 전원으로서, 외부의 상용 전원 또는 별도로 제공된 배터리(1430)에 사용하는 전원이 사용되어도 좋다. 상용 전원을 사용하는 경우에는 배터리(1430)는 생략될 수 있다.
- [0229] <<촬상 장치>>
- [0230] PLL은 촬상 장치에 조합될 수 있다. PLL은 화소부를 구동하기 위한 구동 회로에 클록 신호를 공급한다.
- [0231] 도 31의 (A)의 촬상 장치(1500)는 화소부(1510), 구동 회로(1521), 구동 회로(1522), 구동 회로(1523), 및 구동 회로(1524)를 포함한다.
- [0232] 화소부(1510)는 p 행 q 열(p 및 q 는 각각 2 이상의 자연수)의 매트릭스로 배치된 복수의 화소(1511)(촬상 소자)를 포함한다. 구동 회로(1521) 내지 구동 회로(1524)는 각각 화소(1511)와 전기적으로 접속되고, 화소부(1510)를 구동하기 위한 신호를 공급한다. 화소(1511)는 광전 변환 소자 및 화소 회로를 포함한다. 화소 회로는 광전 변환 소자의 수광량에 대응한 아날로그 신호를 생성한다.
- [0233] 예를 들어, 구동 회로(1522) 또는 구동 회로(1523)는 신호가 판독되는 화소(1511)를 선택하기 위한 선택 신호를 생성하여 출력한다. 또한, 구동 회로(1522) 또는 구동 회로(1523)를, 행 선택 회로 또는 수직 구동 회로라고 하는 경우가 있다. 구동 회로(1521) 내지 구동 회로(1524) 중 적어도 하나를 생략하여도 좋다. 예를 들어, 구동 회로(1521) 및 구동 회로(1524) 중 한쪽이 구동 회로(1521) 및 구동 회로(1524) 중 다른 쪽의 기능을 추가적으로 가지면, 제 1 주변 회로(1521) 및 제 4 주변 회로(1524) 중 다른 쪽을 생략하여도 좋다. 또 다른 예를 들면, 구동 회로(1522) 및 구동 회로(1523) 중 한쪽이 구동 회로(1522) 및 구동 회로(1523) 중 다른 쪽의 기능을 추가적으로 가지면, 구동 회로(1522) 및 구동 회로(1523) 중 다른 쪽을 생략하여도 좋다. 또 다른 예를 들면, 구동 회로(1521) 내지 구동 회로(1524) 중 하나가 구동 회로(1521) 내지 구동 회로(1524) 중 다른 쪽의 기능을 가지면, 구동 회로(1521) 내지 구동 회로(1524) 중 다른 쪽을 생략하여도 좋다.
- [0234] 예를 들어, 구동 회로(1521) 또는 구동 회로(1524)는 화소(1511)로부터 출력된 아날로그 신호를 처리하는 기능을 갖는다. 예를 들어, 도 31의 (B)는 구동 회로(1521)의 구조예를 나타낸 것이다. 도 31의 (B)의 구동 회로(1521)는 신호 처리 회로(1531), 열(column) 구동 회로(1532), 및 출력 회로(1533) 등을 포함하여도 좋다.

- [0235] 신호 처리 회로(1531)는 각 열에 제공된 회로(1534)를 포함한다. 회로(1534)는 노이즈의 제거 및 아날로그-디지털 변환 등의 신호 처리를 수행하는 기능을 가질 수 있다. 도 31의 (B)에 나타난 회로(1534)는 아날로그-디지털 변환의 기능을 갖는다. 신호 처리 회로(1531)는 열 병렬(column type) 아날로그-디지털 변환 장치로서 기능할 수 있다.
- [0236] 회로(1534)는 콤퍼레이터(1541) 및 카운터 회로(1542)를 포함한다. 콤퍼레이터(1541)는 각 열에 제공된 배선(1540)으로부터 입력된 아날로그 신호의 전위와, 배선(1537)으로부터 입력된 기준 전위 신호(예를 들어, 램프파 신호)의 전위를 비교하는 기능을 갖는다. 배선(1538)에는 PLL로부터 클럭 신호가 입력된다. 카운터 회로(1542)는 콤퍼레이터(1541)에서의 비교 동작에 의하여 제 1 값이 출력되는 동안의 시간의 길이를 측정하고, 측정 결과를 N비트 디지털 값으로서 유지하는 기능을 갖는다.
- [0237] 열 구동 회로(1532)는 열 선택 회로 또는 수평 구동 회로 등이라고도 한다. 열 구동 회로(1532)는 신호가 관독되는 열을 선택하기 위한 선택 신호를 생성한다. 열 구동 회로(1532)는 시프트 레지스터 등을 사용하여 형성할 수 있다. 열 구동 회로(1532)에 의하여 열이 순차적으로 선택되고, 선택된 열의 회로(1534)로부터 출력된 신호가 배선(1539)을 통하여 출력 회로(1533)에 입력된다. 배선(1539)은 수평 전송선으로서 기능할 수 있다.
- [0238] 출력 회로(1533)에 입력된 신호는 출력 회로(1533)에서 처리되어, 촬상 장치(1500) 외부에 출력된다. 출력 회로(1533)는, 예를 들어 버퍼 회로를 사용하여 형성할 수 있다. 출력 회로(1533)는 촬상 장치(1500) 외부에 신호가 출력되는 타이밍을 제어하는 기능을 가져도 좋다.
- [0239] <<전자 장치>>
- [0240] 다양한 프로세싱 유닛 및 표시 장치 등의 반도체 장치를 다양한 전자 장치에 조합할 수 있다. 예를 들어, 전자 장치는 도 26에 나타난 무선 칩을 조합함으로써, 무선 통신 기능을 가질 수 있다. 예를 들어, 전자 장치는 도 30에 나타난 표시 장치를 조합함으로써, 정보 표시 기능을 가질 수 있다. 예를 들어, 전자 장치는 도 31의 (A)에 나타난 촬상 장치를 조합함으로써, 촬상 기능을 가질 수 있다.
- [0241] 디지털 신호 처리, 소프트웨어 정의 무선 시스템, 항공 전자 시스템(통신 시스템, 항법 시스템, 자동 유도 시스템, 및 비행 관리 시스템 등, 항공기에 사용되는 전자 장치), ASIC 프로토타이핑, 의료 화상 처리, 음성 인식, 암호, 바이오 정보 과학, 기계 시스템의 에플레이터, 및 전파 천문학에서의 전파 망원경 등 폭넓은 분야의 전자 장치를 상기 전자 장치의 일례로 들 수 있다. 이러한 전자 장치는 표시 장치, 퍼스널 컴퓨터(PC), 또는 기록 매체가 제공된 화상 재생 장치(대표적으로는, DVD(digital versatile disc) 및 블루레이 디스크 등의 기록 매체의 내용을 재생하고, 그 재생된 화상을 표시하는 디스플레이를 갖는 장치)에 사용될 수 있다. 전자 장치의 다른 예에는, 휴대 전화, 휴대 게임기를 포함하는 게임기, 휴대 정보 기기, 전자 서적 리더, 카메라(예를 들어 비디오 카메라 및 디지털 스틸 카메라), 웨어러블 표시 장치 또는 단말(예를 들어 헤드마운트 표시 장치, 고글형 표시 장치, 안경형 표시 장치, 완장형 표시 장치, 팔찌형 표시 장치, 및 목걸이형 표시 장치), 내비게이션 시스템, 오디오 재생 장치(예를 들어 카 오디오 시스템 및 디지털 오디오 플레이어), 복사기, 팩시밀리, 프린터, 복합기, 현금 자동 입출금기(ATM), 자동 판매기, 건강 관련 장치(예를 들어, 혈압계, 혈당량 측정 장치, 보수계, 및 계량기)가 있다. 도 32의 (A) 내지 (H)는 전자 장치의 예를 나타낸 것이다.
- [0242] 도 32의 (A)에 나타난 휴대 게임기(900)는 하우징(901), 하우징(902), 표시부(903), 표시부(904), 마이크로폰(905), 스피커(906), 및 조작 키(907) 등을 포함한다. 표시부(903)에는 입력 장치로서 터치 스크린이 제공되며, 스타일러스(908) 등으로 다룰 수 있다.
- [0243] 도 32의 (B)에 나타난 정보 단말(910)은 하우징(911), 표시부(912), 마이크로폰(917), 스피커부(914), 카메라(913), 외부 접속부(916), 및 조작 버튼(915) 등을 포함한다. 표시부(912)에는 가요성 기판을 사용하는 표시 패널 및 터치 스크린이 제공된다. 정보 단말(910)은 예를 들어, 스마트폰, 휴대 전화, 태블릿 정보 단말, 태블릿 PC, 또는 전자 서적 리더로서 사용할 수 있다.
- [0244] 도 32의 (C)에 나타난 노트북 PC(920)는 하우징(921), 표시부(922), 키보드(923), 및 포인팅 디바이스(924) 등을 포함한다.
- [0245] 도 32의 (D)에 나타난 비디오 카메라(940)는 하우징(941), 하우징(942), 표시부(943), 조작 키(944), 렌즈(945), 및 연결부(946) 등을 포함한다. 조작 키(944) 및 렌즈(945)는 하우징(941)에 제공되고, 표시부(943)는 하우징(942)에 제공된다. 하우징(941)과 하우징(942)은 연결부(946)에 의하여 서로 접속되고, 하우징

(941)과 하우징(942) 사이의 각도는 연결부(946)에 의하여 변경할 수 있다. 하우징(941)과 하우징(942) 사이의 각도에 따라, 표시부(943) 상의 화상의 방향을 변경하여도 좋고 화상의 표시 및 비표시를 전환하여도 좋다.

[0246] 도 32의 (E)는 팔찌형 정보 단말의 일례를 도시한 것이다. 정보 단말(950)은 하우징(951) 및 표시부(952) 등을 포함한다. 표시부(952)는 곡면을 갖는 하우징(951)에 의하여 지탱되어 있다. 가요성 기판이 형성된 표시 패널이 표시부(952)에 제공되어 있기 때문에, 플렉시블하고 가볍고, 편리성이 향상된 정보 단말(950)을 제공할 수 있다.

[0247] 도 32의 (F)는 손목시계형 정보 단말의 일례를 도시한 것이다. 정보 단말(960)은 하우징(961), 표시부(962), 밴드(963), 버클(964), 조작 버튼(965), 및 입출력 단자(966) 등을 포함한다. 정보 단말(960)은 휴대 전화의 통화, 전자 메일, 문장의 열람 및 편집, 음악 재생, 인터넷 통신, 및 컴퓨터 게임 등의 다양한 애플리케이션을 실행할 수 있다.

[0248] 표시부(962)의 표시면은 구부러지며, 구부러진 표시면에 화상을 표시할 수 있다. 또한, 표시부(962)는 터치 센서를 포함하고, 손가락 또는 스타일러스 등으로 화면을 터치함으로써 조작을 수행할 수 있다. 예를 들어, 표시부(962)에 표시된 아이콘(967)을 터치함으로써, 애플리케이션을 기동할 수 있다. 조작 버튼(965)에 의하여, 시각 설정, 전원의 ON/OFF, 무선 통신의 ON/OFF, 매너 모드의 설정 및 해제, 및 절전 모드의 설정 및 해제 등의 다양한 기능을 수행할 수 있다. 예를 들어, 정보 단말(960)에 조합된 운영 체계를 설정함으로써, 조작 버튼(965)의 기능을 설정할 수 있다.

[0249] 정보 단말(960)은 기존의 통신 표준에 근거한 통신 방법인 근거리 무선 통신을 채용할 수 있다. 이 경우, 예를 들어 정보 단말(960)과 무선 통신 가능한 헤드셋 간에서 상호 통신을 수행할 수 있어, 핸즈프리 통화가 가능해진다. 또한, 정보 단말(960)은 입출력 단자(966)를 포함하고, 커넥터를 통하여 데이터를 다른 정보 단말에 직접 송신, 및 다른 정보 단말로부터 직접 수신할 수 있다. 입출력 단자(966)를 통한 전력 충전이 가능하다. 또한, 입출력 단자(966)를 사용하지 않고 무선 급전으로 충전 동작을 수행하여도 좋다.

[0250] 도 32의 (G)는 가정용 전자 장치의 일례로서 전기 냉동 냉장고를 도시한 것이다. 전기 냉동 냉장고(970)는 하우징(971), 냉장실 문(972), 및 냉동실 문(973) 등을 포함한다.

[0251] 도 32의 (H)는 자동차의 구조예를 도시한 것이다. 자동차(980)는 차체(981), 차륜(982), 대시보드(983), 및 라이트(984) 등을 포함한다.

[0252] (실시형태 3)

[0253] 본 실시형태에서는, 레벨 시프트 회로에 대하여 설명한다. 본 실시형태의 레벨 시프트 회로는 실시형태 1에서 기재한 발진 회로의 회로(80) 또는 회로(85)로서 사용할 수 있다. 또한, 실시형태 1의 발진 회로로서 사용할 수 있는 레벨 시프트 회로의 회로 구성은 본 실시형태에서 기재하는 것에 한정되지 않는다.

[0254] <<레벨 시프트 회로의 구성예 1>>

[0255] 도 33의 레벨 시프트 회로(301)는 회로(80)(도 1 참조)로서 사용할 수 있다.

[0256] 레벨 시프트 회로(301)에 있어서, 노드(HN1), 노드(HN2), 및 노드(LN1)는 전원 전위용 입력 노드이다. 노드(HN1) 및 노드(HN2)는 고전원 전위용 입력 노드이다. 노드(HN1)에는 VDD가 입력되고, 노드(HN2)에는 VDD_L이 입력된다. VDD_L은 VDD보다 낮다. 노드 A 및 노드 /A는 신호 입력 노드이다. 노드 /A에는, 전위 레벨이 노드 A에 입력되는 신호로부터 반전한 신호가 입력된다. 노드 B 및 노드 /B는 신호 출력 노드이다. 노드 B로부터는, 노드 A의 입력 신호를 레벨 시프트하여 얻어진 신호가 출력되고, 노드 /B로부터는, 노드 /A의 입력 신호를 레벨 시프트하여 얻어진 신호가 출력된다.

[0257] 레벨 시프트 회로(301)를 회로(101)(도 1)로서 사용하면, 노드(HN2)는 회로(90)의 노드(ND9)와 전기적으로 접속된다. 노드 A는 회로(11)의 노드(ND11)와 전기적으로 접속되고, 노드 /A는 회로(30[n+1])와 전기적으로 접속되고, 노드 B는 버퍼 회로(81)의 입력 노드와 전기적으로 접속된다.

[0258] 트랜지스터(Qn11) 내지 트랜지스터(Qn14)는 오프 상태 전류가 매우 낮은 것이 바람직하다. 예를 들어, 트랜지스터(Qn11) 내지 트랜지스터(Qn14)로서 OS 트랜지스터가 사용된다. 다른 트랜지스터(트랜지스터(Qn1) 내지 트랜지스터(Qn4) 및 트랜지스터(Qp1) 내지 트랜지스터(Qp4))에는 특별한 한정은 없다. 예를 들어, 실리콘을 사용하여 채널이 형성된 트랜지스터(Si 트랜지스터)를 사용할 수 있다.

[0259] 다이오드 접속된 트랜지스터인 트랜지스터(Qp3)는 게이트의 전위를 전위 VDD로 상승시키지 않도록, 트

랜지스터(Qp1)를 통한 전위 IDD의 공급을 한정하는 기능을 가지며, 이로써 Qn3을 통한 노드 /B로의 전위 GND의 공급이 쉬워진다. 다이오드 접속된 트랜지스터인 Qp4의 기능은 같은 기능을 가지며, 트랜지스터(Qn4)를 통한 노드 B로의 전위 GND의 공급을 촉진시키는 기능을 갖는다.

[0260] 트랜지스터(Qn1)는 트랜지스터(Qn13)보다 빠르게 오프가 되어 통과 전류(flow-through current)를 방지하는 기능을 갖는다. 또한, 트랜지스터(Qn2)는 트랜지스터(Qn14)보다 빠르게 오프가 되어 통과 전류를 방지하는 기능을 갖는다.

[0261] 트랜지스터(Qn11)는 노드(SN1)의 전위를 IDD_L보다 높은 전위로 유지하는 기능을 갖는다. 이것은 노드 A의 전위가 고레벨이고 노드(SN1)의 전위가 용량 결합에 의하여 전위 IDD_L보다 높은 전위로 높아지면, 트랜지스터(Qn11)는 오프가 되기 때문이다. 트랜지스터(Qn12)는 마찬가지로 기능하며, 트랜지스터(Qn12)도 노드(Sn2)의 전위를 전위 IDD_L보다 높게 되도록 유지하는 기능을 갖는다.

[0262] 트랜지스터(Qn13) 및 트랜지스터(Qn14)가 오프가 될 때, 노드(SN1) 및 노드(SN2)는 전기적으로 부유 상태에 있다. 트랜지스터(Qn13) 및 트랜지스터(Qn14)에 오프 상태 전류가 매우 낮은 트랜지스터를 사용함으로써, 노드(SN1) 및 노드(SN2)의 전위의 변동을 억제할 수 있다.

[0263] 노드(SN1)와 노드 B가 커패시터(CS1)를 통하여 서로 용량 결합되기 때문에, 노드 B의 전위에 의하여 노드(SN1)의 전위가 높아질 수 있다. 즉, 커패시터(CS1)는 트랜지스터(QN13)의 온 상태 전류를 높게 할 수 있다. 노드(SN1)의 기생 용량에 의한 노드(SN1)의 전위의 증대에 의하여, 트랜지스터(Qn13)에 필요한 온 상태 전류를 얻을 수 있을 때는, 커패시터(CS1)는 반드시 제공될 필요는 없다. 커패시터(CS2)는 커패시터(CS1)와 마찬가지로 기능하며, 노드(SN2)의 전위를 높이는 기능을 갖는다.

[0264] 레벨 시프트 회로(301)에 있어서, 신호의 출력 노드와 저전위의 입력 노드 사이에 n채널 Si 트랜지스터와 OS 트랜지스터가 직렬로 접속되고, OS 트랜지스터의 게이트의 전위가 용량 결합에 의하여 입력 신호의 고레벨 전위보다 높은 전위로 높아진다. 이로써, OS 트랜지스터의 온 상태 전류를 증가할 수 있고 레벨 시프트 동작을 고속으로 수행할 수 있다.

[0265] <변형예 1>

[0266] 도 34에 나타난 레벨 시프트 회로(302)는 레벨 시프트 회로(301)의 변형예이다. 도 34에 나타난 바와 같이, 트랜지스터(Qn5), 트랜지스터(Qn6), 트랜지스터(Qn7), 및 트랜지스터(Qn8)가 제공되고, 트랜지스터(Qp3), 트랜지스터(Qp4), 트랜지스터(Qn3), 및 트랜지스터(Qn4)가 제공되지 않는다.

[0267] 트랜지스터(Qp1)의 게이트에 트랜지스터(Qn6)를 통하여 GND가 공급되고, 트랜지스터(Qp2)의 게이트에 트랜지스터(Qn5)를 통하여 GND가 공급됨으로써, 레벨 시프트 회로(302)의 레벨 시프트 동작을 고속으로 수행할 수 있다.

[0268] 트랜지스터(Qn7) 및 트랜지스터(Qn8)는 가변 저항으로서 기능할 수 있다. 노드 B와 노드 /B 사이의 전위차에 의하여 트랜지스터(Qn5) 및 트랜지스터(Qn6) 각각의 온 상태 저항이 변동된다.

[0269] <변형예 2>

[0270] 도 35에 나타난 레벨 시프트 회로(303)는 레벨 시프트 회로(302)의 변형예이다. 트랜지스터(Qn7) 및 트랜지스터(Qn8) 대신에 레지스터(Rn7) 및 레지스터(Rn8)가 제공된다.

[0271] <변형예 3>

[0272] 도 36에 나타난 레벨 시프트 회로(304)는 레벨 시프트 회로(301)의 변형예이다. 레벨 시프트 회로(304)는 레벨 시프트 회로(301)에 트랜지스터(Qn5) 내지 트랜지스터(Qn8)가 추가된 것이다.

[0273] <<레벨 시프트 회로의 구성예 2>>

[0274] 도 37의 (A)는 레벨 시프트 회로의 일례를 나타낸 것이다. 도 37의 (A)에 나타난 레벨 시프트 회로(305)는 회로(100)에서의 회로(85)로서 사용할 수 있다(도 3 참조).

[0275] 도 37의 (A)는 레벨 시프트 회로(305)의 블록도이다. 레벨 시프트 회로(305)는 증폭 회로 유닛(321), 래치 회로(322), 및 전류 제어 회로(323)를 포함한다. 증폭 회로 유닛(321), 래치 회로(322), 및 전류 제어 회로(323)에 있어서, 고전원 전위가 IDD2이다. 증폭 회로 유닛(321) 및 래치 회로(322)에 있어서, 저전원 전위가 GND2이다. 전류 제어 회로(323)에 있어서, 저전원 전위는 GND1이다. 또한, IDD2는 IDD보다 높고,

GND2<GND1<IDD<IDD2의 관계가 만족된다.

- [0276] 도 38은 레벨 시프트 회로(305)의 회로 구성의 일례를 나타낸 것이다. 예를 들어, GND2가 -0.5V이고, GND1이 0V이고, IDD가 +0.2V이고, IDD2가 +2.5V일 때, 노드 A(및 노드 /A)의 입력 신호의 진폭이 0.2V이면, 진폭 3V의 신호를 노드 B(및 노드 /B)로부터 출력할 수 있다.
- [0277] 노드 Y(또는 노드 Z)의 전위는 노드 A의 전위에 대응하며 증폭 회로 유닛(321) 등을 통하여 출력된다. 이로써, 노드 Y의 전위는 일정 기간(이하에서 이 기간을 천이 기간이라고 함) 후에 노드 A의 전위의 변동에 대하여 변동된다.
- [0278] 예를 들어, 노드 A의 전위가 IDD로부터 GND1로 변동되는 경우에 대하여 설명한다. 여기서, 노드 Y의 전위는 IDD2로부터 GND2로 변동된다. 또한, 노드 /A의 전위는 상승한 천이 기간에 GND1로부터 IDD1로 변동되기 때문에, 노드 /A가 IDD로 변동된 후에, 단자 Y의 전위가 계속 IDD2(또는 IDD2에 가까운 전위)인 기간이 존재한다. 즉, 트랜지스터(351) 및 트랜지스터(352)가 동시에 ON인 기간이 존재한다. 그 결과, 노드 X의 전위가 저하된다.
- [0279] 또한, 노드 A의 전위가 GND1로부터 IDD로 변동되는 경우에 대하여 설명한다. 여기서, 단자 Z의 전위는 IDD2로부터 GND2로 변동된다. 노드 A의 전위는 천이 기간에 GND1로부터 IDD1로 변동되기 때문에, 노드 A가 IDD로 변동된 후에, 노드 Z의 전위가 계속 IDD2(또는 IDD2에 가까운 전위)인 기간이 존재한다. 즉, 트랜지스터(353) 및 트랜지스터(354)가 동시에 ON인 기간이 존재한다. 그 결과, 단자 X의 전위가 저하된다.
- [0280] 천이 기간 후에, 유지 기간이 시작된다. 천이 기간에 노드 X의 전위가 저하된 후에, 트랜지스터(355)는 유지 기간에 노드 X의 전위를 다시 높이는 기능을 갖는다.
- [0281] 이와 같이, 노드 X의 전위는 노드 A의 전위가 변동될 때(변동 후의 일정 기간 동안)만 저하되고, 잠시 후, 노드 X의 전위가 높아지고 원래 상태로 되돌아간다. 트랜지스터(345)는 노드 X의 전위가 저하될 때만 온이 되기 때문에, 증폭 회로(321)는 트랜지스터(345)가 온일 때만 동작하고 나머지 기간에는 동작하지 않는다. 따라서, 소비 전류를 억제할 수 있다.
- [0282] 노드 A(및 노드 /A)의 전위의 변동에 대하여 노드 Y 및 노드 Z의 전위가 어떻게 변동되는지는, 래치 회로(322)의 2개의 인버터(331 및 332)와, 증폭 회로 유닛(321)의 증폭 단의 트랜지스터(346) 내지 트랜지스터(349)의 구동 능력의 차이에 의존한다.
- [0283] 바꿔 말하면, 증폭 회로 유닛(321)의 트랜지스터(346) 내지 트랜지스터(349)의 구동 능력이 인버터(331) 및 인버터(332)의 트랜지스터의 구동 능력보다 높을 때, 단자 Y 및 단자 Z의 전위는 각각 노드 A 및 노드 /A의 전위에 대응할 수 있다. 한편, 트랜지스터(346) 내지 트랜지스터(349)의 구동 능력이 인버터(331) 및 인버터(332)의 트랜지스터의 구동 능력보다 낮을 때, 단자 Y 및 단자 Z의 전위는 각각 노드 A 및 노드 /A의 전위에 대응하지 못하는 경우가 있다. 그러므로, 구동 능력을 낮추기 위하여, 인버터(331) 및 인버터(332)의 트랜지스터의 채널 폭을 트랜지스터(346) 내지 트랜지스터(349)보다 짧게 하는 것이 바람직하다.
- [0284] 또한, 인버터(333) 및 인버터(334)의 트랜지스터의 채널 폭을 인버터(333) 및 인버터(334)의 트랜지스터의 채널 폭보다 길게 함으로써 구동 능력을 높일 수 있다.
- [0285] <변형예>
- [0286] 도 37의 (B)는 레벨 시프트 회로(305)의 변형예를 나타낸 것이다. 도 37의 (B)에 나타낸 레벨 시프트 회로(306)는 회로(100)에서의 회로(85)로서 사용할 수 있다(도 3 참조). 레벨 시프트 회로(306)를 사용하는 경우, 링 발진 회로의 기본 회로는 도 20의 (A) 및 (C)의 회로(35) 및 회로(37)를 사용하여 형성할 수 있다.
- [0287] 레벨 시프트 회로(306)는 증폭 회로 유닛(371), 래치 회로(372), 및 전류 제어 회로(373)를 포함한다. 증폭 회로 유닛(371), 래치 회로(372), 및 전류 제어 회로(373)의 각각에 있어서, 고전위가 IDD이고 저전위가 GND2이다. 증폭 회로 유닛(371) 및 전류 제어 회로(373)에 입력되는 신호의 진폭은 IDD-GND1 이하이다. 또한, GND2<GND1<IDD의 관계가 만족된다. 또한, GND2와 GND1 사이의 차이는 사용되는 트랜지스터의 문턱 전압보다 커도 좋다. 또한, 예를 들어, IDD-GND1<GND1-GND2의 관계가 가능하다.
- [0288] 도 39는 레벨 시프트 회로(306)의 회로 구성의 일례를 나타낸 것이다. 도 39에 나타낸 바와 같이, 증폭 회로 유닛(371) 및 전류 제어 회로(373)는 각각 증폭 회로 유닛(321) 및 전류 제어 회로(323)의 트랜지스터의 도전형이 교체된 회로에 상당한다. 래치 회로(372)는 래치 회로(322)와 같은 회로 구성을 갖는다. 그러므

로, 레벨 시프트 회로(306)의 구성 등에 관해서는 레벨 시프트 회로(305)의 설명을 참조한다.

[0289]

<<레벨 시프트 회로의 구성에 3>>

[0290]

도 40은 레벨 시프트 회로의 일례를 나타낸 것이다. 도 40의 회로(307)는 회로(85)(도 3 참조)로서 사용할 수 있다.

[0291]

(실시형태 4)

[0292]

본 실시형태에서는, 산화물 반도체 및 OS 트랜지스터 등에 대하여 설명한다.

[0293]

<<OS 트랜지스터의 구조에 1>>

[0294]

도 41의 (A) 내지 (D)는 OS 트랜지스터의 구조예를 도시한 것이다. 도 41의 (A)는 OS 트랜지스터의 구조예를 도시한 상면도이다. 도 41의 (B)는 선 y1-y2를 따른 단면도이고, 도 41의 (C)는 선 x1-x2를 따른 단면도이고, 도 41의 (D)는 선 x3-x4를 따른 단면도이다. 여기서는, 선 y1-y2의 방향을 채널 길이 방향이라고 하고, 선 x1-x2의 방향을 채널 폭 방향이라고 하는 경우가 있다. 따라서, 도 41의 (B)는 채널 길이 방향의 OS 트랜지스터의 단면 구조를 도시한 것이고, 도 41의 (C) 및 (D)는 각각 채널 폭 방향의 OS 트랜지스터의 단면 구조를 도시한 것이다. 또한, 디바이스 구조를 명확하게 하기 위하여, 도 41의 (A)에는 일부의 구성요소를 도시하지 않았다.

[0295]

OS 트랜지스터(501)는 절연 표면 위, 여기서는 절연층(511) 위에 형성된다. 절연층(511)은 기판(510)의 표면 위에 형성된다. OS 트랜지스터(501)는 절연층(514) 및 절연층(515)으로 덮인다. 또한, 절연층(514) 및 절연층(515)을 OS 트랜지스터(501)의 구성요소라고 간주하여도 좋다. OS 트랜지스터(501)는 절연층(512), 절연층(513), 산화물 반도체(OS)층(521) 내지 산화물 반도체(OS)층(523), 도전층(530), 도전층(541), 및 도전층(542)을 포함한다. 여기서는, OS층(521), OS층(522), 및 OS층(523)을 총괄적으로 OS층(520)이라고 한다.

[0296]

절연층(513)은 게이트 절연층으로서 기능하는 영역을 포함한다. 도전층(530)은 게이트 전극으로서 기능한다. 도전층(531)은 백 게이트 전극으로서 기능한다. 일정한 전위, 도전층(530)에 공급된 것과 같은 전위 또는 신호, 또는 도전층(530)에 공급된 것과 다른 전위 또는 신호를 도전층(531)에 공급하여도 좋다. 도전층(541) 및 도전층(542)은 소스 전극 및 드레인 전극으로서 기능한다.

[0297]

도 41의 (B) 및 (C)에 도시된 바와 같이, OS층(520)은 OS층(521), OS층(522), 및 OS층(523)이 이 순서대로 적층되는 영역을 포함한다. 절연층(513)은 이 적층 영역을 덮는다. 도전층(531)은 절연층(513)을 개재하여 이 적층 영역과 중첩된다. 도전층(541) 및 도전층(542)은 OS층(521) 및 OS층(523)으로 형성된 적층막 위에 제공되고, 적층막의 상면 및 적층막의 채널 길이 방향으로 위치하는 측면과 접촉한다. 도 41의 (A) 내지 (D)의 예에서는, 도전층(541) 및 도전층(542)은 절연층(512)과도 접촉한다. OS층(523)은 OS층(521) 및 OS층(522), 및 도전층(541) 및 도전층(542)을 덮도록 형성된다. OS층(523)의 바닥면은 OS층(522)의 상면과 접촉한다.

[0298]

OS층(520)에서 OS층(521) 내지 OS층(523)이 적층되는 영역을, 절연층(513)을 개재하여 채널 폭 방향으로 둘러싸도록 도전층(530)이 형성된다(도 41의 (C) 참조). 그러므로, 이 적층 영역에는 수직 방향으로의 게이트 전계 및 횡 방향으로의 게이트 전계가 인가된다. OS 트랜지스터(501)에서, "게이트 전계"는 도전층(531)(게이트 전극층)에 인가되는 전압에 의하여 생성되는 전계를 말한다. 따라서, 게이트 전계에 의하여, OS층(521) 내지 OS층(523)의 적층 영역 전체를 전기적으로 둘러쌀 수 있어, OS층(522)의 전체(벌크)에 채널이 형성되는 경우가 있다. 그러므로, OS 트랜지스터(501)는 높은 온 상태 전류 특성을 달성할 수 있다.

[0299]

본 명세서에서는, 상술한 트랜지스터와 같이 반도체가 게이트 전계에 의하여 전기적으로 둘러싸이는 트랜지스터의 구조를 "surrounded channel(s-channel) 구조"라고 한다. OS 트랜지스터(501)는 s-channel 구조를 갖는다. 이 s-channel 구조에 의하여, 트랜지스터의 소스와 드레인 사이에 대전류를 흘릴 수 있고, 온 상태에서의 드레인 전류(온 상태 전류)를 높게 할 수 있다.

[0300]

OS 트랜지스터(501)에 s-channel 구조를 채용함으로써, OS층(522)의 측면에 인가되는 게이트 전계에 의한 채널 형성 영역의 제어성이 용이해진다. 도전층(530)이 OS층(522) 아래에 도달하고 OS층(521)의 측면과 대향하는 구조에서는, 제어성을 더 높게 할 수 있으며, 바람직하다. 결과적으로, OS 트랜지스터(501)의 서브스레숄드 스윙(subthreshold swing)(S값)을 작게 할 수 있고, 단채널 효과를 저감할 수 있다. 이로써, 이것은 미세화에 적합하다.

[0301]

도 41의 (A) 내지 (D)에 도시된 OS 트랜지스터(501)와 같이 OS 트랜지스터가 입체적인 구조를 가지면,

채널 길이를 100nm 미만으로 할 수 있다. OS 트랜지스터의 미세화에 의하여 회로 면적을 작게 할 수 있다. OS 트랜지스터의 채널 길이는 65nm 미만이 바람직하고, 30nm 이하 또는 20nm 이하가 더 바람직하다.

[0302] 트랜지스터의 게이트로서 기능하는 도전체를 게이트 전극이라고 한다. 트랜지스터의 소스로서 기능하는 도전체를 소스 전극이라고 한다. 트랜지스터의 드레인으로서 기능하는 도전체를 드레인 전극이라고 한다. 트랜지스터의 소스로서 기능하는 영역을 소스 영역이라고 한다. 트랜지스터의 드레인으로서 기능하는 영역을 드레인 영역이라고 한다. 본 명세서에서는, 게이트 전극을 게이트라고 하고, 드레인 전극 또는 드레인 영역을 드레인이라고 하고, 소스 전극 또는 소스 영역을 소스라고 하는 경우가 있다.

[0303] 채널 길이란, 예를 들어, 트랜지스터의 상면도에서, 반도체(또는, 트랜지스터가 온일 때 전류가 반도체를 흐르는 부분)와 게이트가 서로 중첩하는 영역, 또는 채널이 형성되는 영역에서의 소스와 드레인 사이의 거리를 말한다. 하나의 트랜지스터에서, 모든 영역의 채널 길이가 같을 필요는 없다. 바꿔 말하면, 하나의 트랜지스터의 채널 길이는 하나의 값에 한정되지 않는 경우가 있다. 따라서, 본 명세서에서는, 채널 길이는 채널이 형성되는 영역에서의 어느 하나의 값, 최대값, 최소값, 또는 평균값이다.

[0304] 채널 폭이란, 예를 들어, 반도체(또는 트랜지스터가 온일 때 전류가 반도체를 흐르는 부분)와 게이트 전극이 서로 중첩하는 영역, 또는 채널이 형성되는 영역에서의 소스와 드레인이 서로 대향하는 부분의 길이를 말한다. 하나의 트랜지스터에서, 모든 영역에서의 채널 폭이 같은 값을 가질 필요는 없다. 바꿔 말하면, 하나의 트랜지스터의 채널 폭은 하나의 값으로 고정되지 않는 경우가 있다. 따라서, 본 명세서에서는, 채널 폭은 채널이 형성되는 영역에서의 어느 하나의 값, 최대값, 최소값, 또는 평균값이다.

[0305] 또한, 트랜지스터 구조에 따라서는, 채널이 실제로 형성되는 영역에서의 채널 폭(이하, 실효적 채널 폭이라고 함)이, 트랜지스터의 상면도에 나타내어지는 채널 폭(이하, 외관상의 채널 폭이라고 함)과 상이한 경우가 있다. 예를 들어, 입체적인 구조를 갖는 트랜지스터에서는, 실효적 채널 폭이 트랜지스터의 상면도에 나타내어지는 외관상의 채널 폭보다 크고, 그 영향을 무시할 수 없는 경우가 있다. 예를 들어, 입체적인 구조를 갖는 소형화된 트랜지스터에서는, 반도체의 측면에 형성되는 채널 영역의 비율이, 반도체의 상면에 형성되는 채널 영역의 비율보다 높은 경우가 있다. 이 경우에는, 채널이 실제로 형성될 때 얻어지는 실효적 채널 폭이 상면도에 나타내어지는 외관상의 채널 폭보다 크다.

[0306] 입체적인 구조를 갖는 트랜지스터에서는, 실효적 채널 폭을 측정하기가 어려운 경우가 있다. 예를 들어, 설계값으로부터의 실효적 채널 폭의 추산에는, 반도체의 형상을 알고 있다는 가정이 필요하다. 따라서, 반도체의 형상을 정확하게 모르는 경우에는, 실효적 채널 폭을 정확하게 측정하기 어렵다.

[0307] 따라서, 본 명세서에서는, 트랜지스터의 상면도에서, 반도체와 게이트 전극이 서로 중첩하는 영역에서, 소스와 드레인이 서로 대향하는 부분의 길이인 외관상의 채널 폭을 SCW(surrounded channel width)라고 하는 경우가 있다. 또한, 본 명세서에서, "채널 폭"이라는 용어를 단순히 사용하는 경우에는, 그것이 SCW 또는 외관상의 채널 폭을 나타내어도 좋다. 또는, 본 명세서에서 "채널 폭"이라는 용어를 단순히 사용하는 경우에는, 그것이 실효적 채널 폭을 나타내어도 좋은 경우가 있다. 또한, 채널 길이, 채널 폭, 실효적 채널 폭, 외관상의 채널 폭, 및 SCW 등의 값은 단면 TEM 이미지 등을 얻고 분석함으로써 결정할 수 있다.

[0308] 또한, 트랜지스터의 전계 효과 이동도 및 채널 폭당 전류값 등을 계산에 의하여 얻는 경우, SCW를 계산에 사용하여도 좋다. 이 경우, 값이 실효적 채널 폭을 사용하여 계산한 것과 달라도 좋다.

[0309] 아래에서 OS 트랜지스터(501)의 구성요소에 대하여 설명하기로 한다.

[0310] <기판>

[0311] 기판(510)은 단순한 지지 기판에 한정되지 않고, 트랜지스터 등의 디바이스가 형성된 기판이어도 좋다. 이 경우, OS 트랜지스터(501)의 도전층(530), 도전층(541), 및 도전층(542) 중 하나는 상기 디바이스와 전기적으로 접속되어도 좋다.

[0312] <하지 절연막>

[0313] 절연층(511)은 기판(510)으로부터의 불순물 확산을 방지하는 기능을 갖는다. 절연층(512)은 OS층(520)에 산소를 공급하는 기능을 갖는 것이 바람직하다. 이 이유로, 절연층(512)은 산소를 함유하는 절연막인 것이 바람직하고, 산소 함유량이 화학량론적 조성보다 많은 산소를 함유하는 절연막인 것이 더 바람직하다. 예를 들어, 막의 표면 온도가 100℃ 이상 700℃ 이하 또는 100℃ 이상 500℃ 이하일 때, TDS(thermal desorption

spectroscopy)에서 1.0×10^{18} 분자/cm³ 이상의 산소 분자가 방출되는 막을 사용할 수 있다. 기관(510)이, 상술한 바와 같이 디바이스가 형성된 기관일 때, 절연층(511)은 평탄한 표면을 가지도록 CMP(chemical mechanical polishing) 등의 평탄화 처리가 실시되는 것이 바람직하다.

[0314] 절연층(511) 및 절연층(512)은 산화 알루미늄, 산화질화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화산화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 산화 탄탈럼, 질화 실리콘, 질화산화 실리콘, 또는 질화산화 알루미늄 등의 절연 재료, 또는 이들 재료의 혼합 재료를 사용하여 형성할 수 있다. 본 명세서에 있어서, 산화질화물은 질소보다 산소를 더 많이 포함하는 재료를 말하고, 질화산화물은 산소보다 질소를 더 많이 포함하는 물질을 말한다.

[0315] <게이트 전극>

[0316] 도전층(530)은 구리(Cu), 텅스텐(W), 몰리브데넘(Mo), 금(Au), 알루미늄(Al), 망가니즈(Mn), 타이타늄(Ti), 탄탈럼(Ta), 니켈(Ni), 크롬(Cr), 납(Pb), 주석(Sn), 철(Fe), 코발트(Co), 루테튬(Ru), 이리듐(Ir), 스트론튬(Sr), 및 백금(Pt) 중에서 선택된 금속; 이들 금속 중 어느 것의 합금; 또는 이들 재료 중 어느 것을 주성분으로 함유하는 화합물을 사용하여 형성되는 것이 바람직하다.

[0317] 도전층(530)은 단층 구조 또는 2 이상의 층의 적층 구조를 가져도 좋다. 예를 들어, 다음 구조들 중 어느 구조를 채용할 수 있다. 실리콘을 함유하는 알루미늄막의 단층 구조; 알루미늄막 위에 타이타늄막이 적층되는 2층 구조; 질화 타이타늄막 위에 타이타늄막이 적층되는 2층 구조; 질화 타이타늄막 위에 텅스텐막이 적층되는 2층 구조; 질화 탄탈럼막 또는 질화 텅스텐막 위에 텅스텐막이 적층되는 2층 구조; 타이타늄막, 알루미늄막, 및 타이타늄막이 이 순서대로 적층되는 3층 구조; Cu-Mn 합금막의 단층 구조; Cu-Mn 합금막 위에 Cu막이 적층되는 2층 구조; 및 Cu-Mn 합금막, Cu막, 및 Cu-Mn 합금막이 이 순서대로 적층되는 3층 구조가 있다. Cu-Mn 합금막은 전기 저항이 낮고, 산소를 함유하는 절연막과의 계면에 산화 망가니즈를 형성하고, 산화 망가니즈는 Cu의 확산을 방지할 수 있기 때문에 바람직하게 사용된다.

[0318] 도전층(530)은 인듐 주석 산화물, 산화 텅스텐을 함유하는 인듐 산화물, 산화 텅스텐을 함유하는 인듐 아연 산화물, 산화 타이타늄을 함유하는 인듐 산화물, 산화 타이타늄을 함유하는 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘이 첨가된 인듐 주석 산화물 등 투광성 도전 재료를 사용하여 형성할 수도 있다. 상술한 투광성 도전 재료 및 상술한 금속 원소를 사용하여 형성된 적층 구조를 가질 수도 있다.

[0319] <게이트 절연층>

[0320] 절연층(513)은 단층 구조 또는 적층 구조를 갖는 절연막을 사용하여 형성된다. 절연층(513)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 중 적어도 하나를 함유하는 절연막을 사용하여 형성할 수 있다. 절연층(513)은 상술한 재료 중 어느 것을 포함하는 적층이어도 좋다. 절연층(513)은 란타넘(La), 질소, 또는 지르코늄(Zr) 등을 불순물로서 함유하여도 좋다. 절연층(511)은 절연층(513)과 마찬가지로 형성할 수 있다. 절연층(513)은 예를 들어, 산소, 질소, 실리콘, 또는 하프늄 등을 함유한다. 구체적으로는, 절연층(513)은 산화 하프늄, 및 산화 실리콘 또는 산화질화 실리콘을 함유하는 것이 바람직하다.

[0321] 산화 하프늄은 산화 실리콘 및 산화질화 실리콘보다 유전율이 높다. 그러므로, 산화 하프늄을 사용한 절연층(513)은 산화 실리콘을 사용한 절연층(513)보다 두께를 두껍게 할 수 있어, 터널 전류로 인한 누설 전류를 저감할 수 있다. 즉, 오프 상태 전류가 낮은 트랜지스터를 제공할 수 있다. 또한, 결정 구조를 갖는 산화 하프늄은 비정질 구조를 갖는 산화 하프늄보다 유전율이 높다. 그러므로, 오프 상태 전류가 낮은 트랜지스터를 제공하기 위해서는 결정 구조를 갖는 산화 하프늄을 사용하는 것이 바람직하다. 결정 구조의 예에는 단사정 구조 및 입방정 구조가 포함된다. 다만, 본 발명의 일 실시형태는 상술한 예에 한정되지 않는다.

[0322] <소스 전극, 드레인 전극, 백 게이트 전극>

[0323] 도전층(541) 및 도전층(542)은 도전층(530)과 마찬가지로 형성할 수 있다. Cu-Mn 합금막은 전기 저항이 낮고, 산화물 반도체막과 접촉하여 형성될 때 산화물 반도체막과의 계면에 산화 망가니즈를 형성하고, 그리고 산화 망가니즈가 Cu의 확산을 방지할 수 있기 때문에 도전층(541) 및 도전층(542)에 바람직하게 사용된다. 또한, 도전층(531)(도 42의 (C) 참조)은 도전층(530)과 마찬가지로 형성할 수 있다.

[0324] <보호 절연막>

- [0325] 절연층(514)은 산소, 수소, 물, 알칼리 금속, 및 알칼리 토금속 등을 차단하는 기능을 갖는 것이 바람직하다. 절연층(514)은 OS층(520)으로부터의 산소의 외부 확산 및 외부로부터 OS층(520)으로의 수소 또는 물 등의 진입을 방지할 수 있다. 절연층(514)은 예를 들어, 질화물 절연막일 수 있다. 상기 질화물 절연막은 질화 실리콘, 질화산화 실리콘, 질화 알루미늄, 또는 질화산화 알루미늄 등을 사용하여 형성할 수 있다. 또한, 산소, 수소, 물, 알칼리 금속, 및 알칼리 토금속 등에 대한 차단 효과를 갖는 질화물 절연막 대신에, 산소, 수소, 및 물 등에 대한 차단 효과를 갖는 산화 절연막을 제공하여도 좋다. 산소, 수소, 및 물 등에 대한 차단 효과를 갖는 산화 절연막으로서, 산화 알루미늄막, 산화질화 알루미늄막, 산화 갈륨막, 산화질화 갈륨막, 산화 이트륨막, 산화질화 이트륨막, 산화 하프늄막, 및 산화질화 하프늄막을 사용할 수 있다.
- [0326] 산화 알루미늄막은 수소 및 수분 등 불순물 및 산소의 양쪽의 투과를 방지하는 데에 매우 효과적이기 때문에, 절연층(514)으로서 바람직하게 사용된다. 이로써, 산화 알루미늄막은 트랜지스터의 제작 공정 중 및 그 후에, 트랜지스터의 전기적 특성의 변화를 일으키는 수소 및 수분 등 불순물의 OS층(520)으로의 진입 방지, OS층(520)의 주성분인 산소의 산화물 반도체로부터의 방출 방지, 및 절연층(512)으로부터의 산소의 필요 없는 방출 방지의 효과를 갖는 보호막으로서 적합하게 기능할 수 있다. 또한, 산화 알루미늄막에 함유되는 산소를 산화물 반도체로 확산시킬 수 있다.
- [0327] <층간 절연막>
- [0328] 절연층(514) 위에 절연층(515)이 형성되는 것이 바람직하다. 절연층(515)은 단층 구조 또는 적층 구조의 절연막을 사용하여 형성할 수 있다. 이 절연층은 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 중 하나 이상을 함유하는 절연막을 사용하여 형성할 수 있다.
- [0329] <산화물 반도체층>
- [0330] OS층(521) 내지 OS층(523)의 반도체 재료로서, 대표적으로는, In-Ga 산화물, In-Zn 산화물, 또는 In-M-Zn 산화물(M은 Ga, Y, Sn, Zr, La, Ce, 또는 Nd 등)을 사용한다. 원소 M은, 예를 들어, 산소와의 결합 에너지가 높은 원소이다. 대표적으로는, 원소 M은 산소와의 결합 에너지가 인듐보다 높은 원소이다. 또는, 원소 M은 산화물 반도체의 에너지 갭을 증대시킬 수 있는 원소이다. 또한, OS층(521) 내지 OS층(523)은 인듐을 함유하는 산화물층에 한정되지 않는다. OS층(521) 내지 OS층(523)은 예를 들어, Zn-Sn 산화물층, Ga-Sn 산화물층, 또는 Zn-Mg 산화물층을 사용하여 형성할 수 있다. OS층(522)은 In-M-Zn 산화물을 사용하여 형성되는 것이 바람직하다. OS층(521) 및 OS층(523)은 Ga 산화물을 사용하여 형성할 수 있다.
- [0331] OS층(522)은 인듐을 함유하는 산화물 반도체에 한정되지 않는다. OS층(522)은, 예를 들어, 아연 주석 산화물 또는 갈륨 주석 산화물 등, 인듐을 함유하지 않고 아연을 함유하는 산화물 반도체, 인듐을 함유하지 않고 갈륨을 함유하는 산화물 반도체, 또는 인듐을 함유하지 않고 주석을 함유하는 산화물 반도체이어도 좋다.
- [0332] OS층(522)에는, 에너지 갭이 넓은 산화물이 사용되어도 좋다. OS층(522)의 에너지 갭은 예를 들어, 2.5eV 이상 4.2eV 이하, 바람직하게는 2.8eV 이상 3.8eV 이하, 더 바람직하게는 3eV 이상 3.5eV 이하이다.
- [0333] OS층(522)은 나중에 설명되는 CAAC-OS막인 것이 바람직하다. 산화물 반도체가 Zn을 함유하면, 예를 들어, 이 산화물 반도체는 결정화되기 쉬워진다. 따라서, OS층(522)은 Zn을 함유하는 것이 바람직하다.
- [0334] OS층(522)과 OS층(521) 사이의 계면에 계면 준위가 형성되면, 채널 영역이 계면 근방에도 형성되며, OS 트랜지스터(501)의 문턱 전압의 변동을 일으킨다. OS층(521)은 OS층(522)에 함유되는 금속 원소 중 적어도 하나를 함유하는 것이 바람직하다. 따라서, OS층(522)과 OS층(523) 사이의 계면에 계면 준위가 형성될 가능성이 낮아, 문턱 전압 등 OS 트랜지스터(501)의 전기적 특성의 편차를 저감할 수 있다.
- [0335] OS층(522)과 OS층(523) 사이의 계면에 계면 산란이 일어날 가능성이 낮고, 캐리어 이동을 억제하지 않기 때문에, OS층(523)은 OS층(522)에 함유되는 금속 원소 중 적어도 하나를 함유하는 것이 바람직하다. 그러므로, OS 트랜지스터(501)의 전계 효과 이동도를 높일 수 있다.
- [0336] OS층(521), OS층(522), 및 OS층(523)은 적어도 인듐을 포함하는 것이 바람직하다. OS층(521)으로서 In-M-Zn 산화물을 사용하는 경우, In과 M의 합을 100atomic%로 상정할 때, In의 비율을 50atomic% 미만, M의 비율을 50atomic%보다 높게 설정하는 것이 바람직하고, In의 비율을 25atomic% 미만, M의 비율을 75atomic%보다 높게 설정하는 것이 더 바람직하다. OS층(522)으로서 In-M-Zn 산화물을 사용하는 경우, In과 M의 합을 100atomic%로 상정할 때, In의 비율을 25atomic%보다 높게, M의 비율을 75atomic% 미만으로 설정하는 것이 바

람직하고, In의 비율을 34atomic%보다 높게, M의 비율을 66atomic% 미만으로 설정하는 것이 더 바람직하다. OS층(523)으로서 In-M-Zn 산화물을 사용하는 경우, In과 M의 합을 100atomic%로 상정할 때, In의 비율을 50atomic% 미만, M의 비율을 50atomic%보다 높게 설정하는 것이 바람직하고, In의 비율을 25atomic% 미만, M의 비율을 75atomic%보다 높게 설정하는 것이 더 바람직하다. 또한, OS층(523)은 OS층(521)과 같은 종류의 산화물이어도 좋다. 또한, OS층(521) 및/또는 OS층(523)은 반드시 인듐을 함유하지 않을 필요가 없는 경우가 있다. 예를 들어, OS층(521) 및/또는 OS층(523)은 산화 갈륨막을 사용하여 형성할 수 있다.

[0337] OS층(521) 내지 OS층(523) 중에서 OS층(522)이 가장 높은 캐리어 이동도를 갖는 것이 바람직하다. 이로써, 절연층(511)으로부터 떨어져 있는 OS층(522)에 채널을 형성할 수 있다.

[0338] In-M-Zn 산화물 등 In을 함유하는 산화물에서는, In 함유량의 증가에 의하여 캐리어 이동도가 높아질 수 있다. In-M-Zn 산화물에서는, 주로 중금속의 s 궤도가 캐리어 이동에 기여하고, 산화물 반도체 내의 인듐 함유량이 증가되면, In 원자의 s 궤도의 중첩이 증가된다. 따라서, 인듐의 함유량이 많은 산화물은 인듐의 함유량이 적은 산화물보다 이동도가 높다. 그러므로, 인듐의 함유량이 많은 산화물을 산화물 반도체막으로서 사용함으로써, 캐리어 이동도를 높일 수 있다.

[0339] 산화물 반도체막을 스퍼터링법에 의하여 퇴적시킬 때, 기판 표면(CAAC-OS가 퇴적되는 표면)의 가열 또는 공간 가열 등에 의하여, 막의 조성이 소스로서의 타깃 등의 조성과 다른 경우가 있다. 예를 들어, In-Ga-Zn 산화물의 타깃을 사용하는 경우, 산화 아연은 산화 인듐 또는 산화 갈륨 등보다 승화되기 쉽기 때문에, 소스 및 In-Ga-Zn 산화물이 상이한 조성을 갖기 쉽다. 구체적으로는, In-Ga-Zn 산화물에서 Zn의 함유량이 소스보다 적다. 따라서, 소스는 조성의 변화를 미리 고려하여 선택하는 것이 바람직하다. 또한, 소스와 막의 조성의 차이는 온도에 더하여 압력 또는 퇴적에 사용되는 가스에 의해서도 영향을 받는다.

[0340] OS층(522)이, 스퍼터링법에 의하여 형성된 In-M-Zn 산화물인 경우, In-M-Zn 산화물을 퇴적시키기 위하여 사용되는 타깃의 금속 원소의 원자수비가 In:M:Zn=1:1:1, 3:1:2, 또는 4:2:4.1인 것이 바람직하다. 예를 들어, In:M:Zn=4:2:4.1의 타깃을 사용하여 퇴적된 반도체막에 함유되는 금속 원소의 원자수비는 약 In:M:Zn=4:2:3이다.

[0341] OS층(521) 및 OS층(523)이, 스퍼터링법에 의하여 형성된 In-M-Zn 산화물인 경우, In-M-Zn 산화물을 퇴적시키기 위하여 사용되는 타깃의 금속 원소의 원자수비가 In:M:Zn=1:3:2 또는 1:3:4인 것이 바람직하다.

[0342] <에너지 밴드 구조>

[0343] 다음에, OS층(521), OS층(522), 및 OS층(523)이 적층되는 OS층(520)의 기능 및 효과에 대하여 도 47의 (B)의 에너지 밴드 다이어그램을 사용하여 설명한다. 도 47의 (A)는 도 41의 (B)의 OS 트랜지스터(501)의 채널 형성 영역의 확대도이다. 도 47의 (B)는 도 47의 (A)에서 점선 z1-z2를 따른 부분(OS 트랜지스터(501)의 채널 형성 영역)의 에너지 밴드 다이어그램을 나타낸 것이다. 아래에서 OS 트랜지스터(501)를 일례로서 설명하지만, 이것은 OS 트랜지스터(502) 내지 OS 트랜지스터(506)에도 마찬가지로 적용된다.

[0344] 도 47의 (B)에 있어서, Ec512, Ec521, Ec522, Ec523, 및 Ec513은 각각 절연층(512), OS층(521), OS층(522), OS층(523), 및 절연층(513)의 전도대 하단의 에너지를 나타낸다.

[0345] 여기서, 진공 준위와 전도대 하단 사이의 에너지 차이(이 차이를 전자 친화력이라고도 함)는 진공 준위와 가전자대 상단 사이의 에너지 차이(이 차이를 이온화 전위라고도 함)에서 에너지 갭을 뺀으로써 얻어진 값에 상당한다. 에너지 갭은 분광 타원해석기(HORIBA JOBIN YVON S.A.S. 제조 UT-300)를 사용하여 측정할 수 있다. 진공 준위와 가전자대 상단 사이의 에너지 차이는 UPS(ultraviolet photoelectron spectroscopy) 장치(ULVAC-PHI, Inc. 제조 VersaProbe)를 사용하여 측정할 수 있다.

[0346] 절연층(512) 및 절연층(513)은 절연체이기 때문에, Ec512와 Ec513은 Ec521, Ec522, 및 Ec523보다 진공 준위에 가깝다(즉, 절연층(512) 및 절연층(513)은 전자 친화력이 OS층(521), OS층(522), 및 OS층(523)보다 작다).

[0347] OS층(522)은 OS층(521) 및 OS층(523)보다 전자 친화력이 큰 산화물층이다. 예를 들어, OS층(522)으로서 OS층(521) 및 OS층(523)보다 0.07eV 이상 1.3eV 이하, 바람직하게는 0.1eV 이상 0.7eV 이하, 더 바람직하게는 0.15eV 이상 0.4eV 이하 큰 전자 친화력을 갖는 산화물을 사용한다. 또한, 전자 친화력은 진공 준위와 전도대 하단 사이의 에너지 갭을 말한다.

[0348] 상기 트랜지스터의 게이트(도전층(530))에 전압을 인가하면, OS층(521), OS층(522), 및 OS층(523) 중

가장 큰 전자 친화력을 갖는 OS층(522)에 채널이 형성된다.

- [0349] 인듐 갈륨 산화물은 전자 친화력이 작고 산소 차단성이 높다. 그러므로, OS층(523)은 인듐 갈륨 산화물을 함유하는 것이 바람직하다. 갈륨 원자수비 $[Ga/(In+Ga)]$ 는 예를 들어, 70% 이상, 바람직하게는 80% 이상, 더 바람직하게는 90% 이상이다.
- [0350] Ec521은 Ec522보다 진공 준위에 가깝다. 구체적으로는, Ec521은 Ec522보다 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 또는 0.15eV 이상, 및 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하 진공 준위에 가깝게 위치하는 것이 바람직하다.
- [0351] Ec523은 Ec522보다 진공 준위에 가깝다. 구체적으로는, Ec523은 Ec522보다 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 또는 0.15eV 이상, 및 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하 진공 준위에 가깝게 위치하는 것이 바람직하다.
- [0352] OS층(521)과 OS층(522) 사이에는 OS층(521)과 OS층(522)의 혼합 영역이 있는 경우가 있다. 또한, OS층(523)과 OS층(522) 사이에 OS층(523)과 OS층(522)의 혼합 영역이 있는 경우가 있다. 혼합 영역은 계면 준위 밀도가 낮기 때문에, OS층(521) 내지 OS층(523)의 적층체(OS층(520))는 각 계면과 계면 근방의 에너지가 연속적으로 변화되는(연속 접합) 밴드 구조를 갖는다.
- [0353] 이러한 에너지 밴드 구조를 갖는 OS층(520)에서 전자는 주로 OS층(522)을 통하여 이동한다. 그러므로, OS층(521)과 절연층(512) 사이의 계면 또는 OS층(523)과 절연층(513) 사이의 계면에 계면 준위가 존재하더라도, OS층(520) 내의 전자 이동이 억제될 가능성이 더 낮고, 상기 트랜지스터의 온 상태 전류를 증가시킬 수 있다.
- [0354] 도 47의 (B)에 도시된 바와 같이, OS층(521)과 절연층(512) 사이의 계면 근방 및 OS층(523)과 절연층(513) 사이의 계면 근방에는, 불순물 또는 결함으로 인한 트랩 상태(trap state) Et502가 형성될 수도 있지만, OS층(521) 및 OS층(523)의 존재에 의하여 OS층(522)은 트랩 상태 Et502와 멀리 떨어지게 할 수 있다. 트랜지스터(501)에서는 채널 폭 방향으로, OS층(522)의 상면과 측면이 OS층(523)과 접촉하고, OS층(522)의 바닥면이 OS층(521)과 접촉한다(도 41의 (C) 참조). 이와 같이 OS층(522)을 OS층(521)과 OS층(523)으로 둘러싸므로써, 트랩 상태 Et502의 영향을 더 저감할 수 있다.
- [0355] 그러나, Ec522와 Ec521 사이 또는 Ec522와 Ec523 사이의 에너지 차이가 작을 때, OS층(522) 내의 전자가 상기 에너지 차이를 넘어감으로써 트랩 상태에 도달될 수 있다. 전자가 트랩 준위에 포획되기 때문에, 절연막과의 계면에 음의 고정 전하가 발생되어, 트랜지스터의 문턱 전압은 양의 방향으로 시프트된다. 따라서, Ec521과 Ec522 사이 및 Ec522와 Ec523 사이의 에너지 갭의 각각이 바람직하게는 0.1eV 이상, 더 바람직하게는 0.15eV 이상이면, OS 트랜지스터(501)의 문턱 전압의 변동을 저감할 수 있고 OS 트랜지스터(501)는 양호한 전기적 특성을 가질 수 있다.
- [0356] 전자 이동을 억제하는 요인을 저감시킬수록, 트랜지스터의 온 상태 전류를 증가시킬 수 있다. 예를 들어, 전자 이동을 억제하는 요인이 없는 경우에는, 전자는 효율적으로 이동한다고 상정된다. 전자 이동은 예를 들어, 채널 형성 영역의 물리적인 요철이 큰 경우에는 억제된다. 전자 이동은 예를 들어, 채널이 형성되는 영역에서 결함 상태의 밀도가 높은 경우에도 억제된다.
- [0357] OS 트랜지스터(501)의 온 상태 전류를 증가시키기 위해서는, 예를 들어, OS층(522)의 상면 또는 바닥면(형성면; 여기서는 OS층(521))의 $1\mu\text{m}\times 1\mu\text{m}$ 의 측정 면적에서의 제곱 평균 제곱근(RMS: root mean square) 거칠기가 1nm 미만, 바람직하게는 0.6nm 미만, 더 바람직하게는 0.5nm 미만, 더욱 바람직하게는 0.4nm 미만이다. $1\mu\text{m}\times 1\mu\text{m}$ 의 측정 면적에서의 평균 면 거칠기(Ra라고도 함)가 1nm 미만, 바람직하게는 0.6nm 미만, 더 바람직하게는 0.5nm 미만, 더욱 바람직하게는 0.4nm 미만이다. $1\mu\text{m}\times 1\mu\text{m}$ 의 측정 면적에서의 최대 차이(P-V)가 10nm 미만, 바람직하게는 9nm 미만, 더 바람직하게는 8nm 미만, 더욱 바람직하게는 7nm 미만이다. RMS 거칠기, Ra, 및 P-V는 SII Nano Technology Inc.가 제조한 주사형 프로브 현미경 SPA-500을 사용하여 측정할 수 있다.
- [0358] 예를 들어, OS층(522)이 산소 빈자리(V_O 라고도 표기함)를 함유하는 경우, 산소 빈자리의 사이트(site)로의 수소의 진입에 의하여 도너 준위가 형성되는 경우가 있다. 다음 설명에서는 수소가 산소 빈자리의 사이트에 들어가는 상태를 V_OH 라고 표기하는 경우가 있다. V_OH 는 전자를 산란시키기 때문에 V_OH 는 트랜지스터의 온 상태 전류를 저하시키는 요인이다. 또한, 산소 빈자리의 사이트는 수소의 진입보다 산소의 진입에 의하여 더 안정되게 된다. 따라서, OS층(522) 내의 산소 빈자리를 저감시킴으로써, 트랜지스터의 온 상태 전류를 높일 수 있는 경우가 있다. 예를 들어, 이차 이온 질량 분석(SIMS: secondary ion mass spectrometry)에 의하여 측정

되는, OS층(522)의 어떤 깊이 또는 OS층(522)의 어떤 영역에서의 수소 농도가 2×10^{20} atoms/cm³ 이하, 바람직하게는 5×10^{19} atoms/cm³ 이하, 더 바람직하게는 1×10^{19} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{18} atoms/cm³ 이하이다.

[0359] OS층(522)의 산소 빈자리를 저감시키기 위하여, 예를 들어, 절연막(512) 내의 과잉 산소를 OS층(521)을 통하여 OS층(522)으로 이동시키는 방법이 있다. 이 경우, OS층(521)은 산소 투과성을 갖는 층(산소가 통과 또는 투과되는 층)인 것이 바람직하다.

[0360] OS 트랜지스터(501)가 s-channel 구조를 갖는 경우, 채널이 OS층(522) 전체에 형성된다. 따라서, OS층(522)이 두꺼울수록 채널 영역이 커진다. 바꿔 말하면, OS층(522)이 두꺼울수록 트랜지스터의 온 상태 전류가 더 많아진다. 예를 들어 OS층(522)은 20nm 이상, 40nm 이상, 60nm 이상, 또는 100nm 이상의 두께의 영역을 갖는다. 다만, 반도체 장치의 생산성이 저하될 수 있기 때문에, OS층(522)은 예를 들어, 300nm 이하, 바람직하게는 200nm 이하, 더 바람직하게는 150nm 이하의 두께의 영역을 갖는다.

[0361] 또한, 트랜지스터의 온 상태 전류를 증가시키기 위해서는, OS층(523)의 두께가 가능한 한 얇은 것이 바람직하다. 예를 들어, OS층(523)의 두께는 10nm 미만, 바람직하게는 5nm 이하, 더 바람직하게는 3nm 이하이다. 한편, OS층(523)은 인접한 절연체에 포함되는 산소 이외의 원소(수소 및 실리콘 등)가 OS층(522)에 들어가는 것을 차단하는 기능을 갖는다. 예를 들어, OS층(523)은 0.3nm 이상, 바람직하게는 1nm 이상, 더 바람직하게는 2nm 이상의 두께의 영역을 갖는다. OS층(523)은 절연막(512) 등으로부터 방출된 산소의 외부 확산을 억제하기 위하여 산소 차단성을 갖는 것이 바람직하다.

[0362] 신뢰성을 향상시키기 위해서는, OS층(521)의 두께는 두껍고 OS층(523)의 두께는 얇은 것이 바람직하다. 예를 들어, OS층(521)은 10nm 이상, 바람직하게는 20nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상의 두께의 영역을 갖는다. OS층(521)의 두께를 두껍게 하면, 인접된 절연체와 OS층(521) 사이의 계면으로부터 채널이 형성되는 OS층(522)까지의 거리를 크게 할 수 있다. 반도체 장치의 생산성이 저하될 수 있기 때문에, OS층(521)은 예를 들어, 200nm 이하, 바람직하게는 120nm 이하, 더 바람직하게는 80nm 이하의 두께의 영역을 갖는다.

[0363] 채널이 산화물 반도체에 형성되는 OS 트랜지스터가 안정된 전기적 특성을 갖기 위해서는, 산화물 반도체 내의 불순물의 농도를 저감함으로써, 산화물 반도체를 진성 또는 실질적으로 진성으로 하는 것이 효과적이다. "실질적으로 진성"이라는 용어는, 1×10^{17} /cm³ 미만, 바람직하게는 1×10^{15} /cm³ 미만, 더 바람직하게는 1×10^{13} /cm³ 미만인 캐리어 밀도를 산화물 반도체가 갖는 상태를 말한다.

[0364] 산화물 반도체에서, 주성분 이외의 금속 원소, 수소, 질소, 탄소, 및 실리콘은 불순물이다. 예를 들어, 수소 및 질소는 도너 준위를 형성하여 캐리어 밀도를 증가시키고, 실리콘은 산화물 반도체에 불순물 준위를 형성한다. 이 불순물 준위는 트랩의 역할을 하며, 트랜지스터의 전기적 특성의 열화를 일으킬 가능성이 있다. 그러므로, OS층(521), OS층(522), 및 OS층(523) 내 및 이 OS층들 사이의 계면에서의 불순물의 농도를 저감시키는 것이 바람직하다.

[0365] 산화물 반도체를 진성 또는 실질적으로 진성으로 하기 위하여, 예를 들어 SIMS에 의하여 측정되는, 산화물 반도체의 어떤 깊이 또는 산화물 반도체의 한 영역에서의 실리콘의 농도가 1×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 미만, 더 바람직하게는 1×10^{18} atoms/cm³ 미만이다. 산화물 반도체의 어떤 깊이 또는 산화물 반도체의 한 영역에서의 수소의 농도는 2×10^{20} atoms/cm³ 이하, 바람직하게는 5×10^{19} atoms/cm³ 이하, 더 바람직하게는 1×10^{19} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{18} atoms/cm³ 이하이다. 산화물 반도체의 어떤 깊이 또는 산화물 반도체의 한 영역에서의 질소의 농도는 5×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 이하, 더 바람직하게는 1×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{17} atoms/cm³ 이하이다.

[0366] 또한, 산화물 반도체가 결정을 포함하는 경우, 실리콘 또는 탄소의 농도가 높으면 산화물 반도체의 결정성이 저하될 수 있다. 산화물 반도체의 결정성을 저하시키지 않기 위하여, 예를 들어, 산화물 반도체의 어떤 깊이 또는 산화물 반도체의 한 영역에서의 실리콘의 농도가 1×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 미만, 더 바람직하게는 1×10^{18} atoms/cm³ 미만이다. 또한, 산화물 반도체의 어떤 깊이 또는 산화

물 반도체의 한 영역에서의 탄소의 농도가 예를 들어, 1×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 미만, 더 바람직하게는 1×10^{18} atoms/cm³ 미만이다.

[0367] 상술한 고순도화된 산화물 반도체가 채널 형성 영역에 사용된 트랜지스터는 매우 낮은 오프 상태 전류를 나타낸다. 예를 들어, 소스와 드레인 사이의 전압을 약 0.1V, 5V, 또는 10V로 설정하였을 때, 트랜지스터의 채널 폭으로 정규화된 오프 상태 전류는 수yA/ μ m 내지 수zA/ μ m로 낮게 될 수 있다.

[0368] 도 41의 (A) 내지 (D)에는 OS층(520)이 3층 구조를 갖는 예를 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어, OS층(520)이 OS층(521) 또는 OS층(523)이 없는 2층 구조를 가져도 좋다. 또는, OS층(520)이 OS층(521) 위 또는 아래, 또는 OS층(523) 위 또는 아래에, OS층(521), OS층(522), 및 OS층(523)으로서 기재한 산화물 반도체 중 어느 하나가 제공되는 4층 구조를 가져도 좋다. 또는, OS층(520)은 OS층(520) 내의 임의의 층들 사이, OS층(520) 위, 및 OS층(520) 아래 중 2개 이상에, 산화물 반도체(예를 들어, OS층(521) 내지 OS층(523)) 중 어느 하나가 제공되는 n층 구조(n은 5 이상의 정수)를 가져도 좋다.

[0369] <<OS 트랜지스터의 구조에 2>>

[0370] 도 42의 (A) 내지 (D)의 OS 트랜지스터(502)는 OS 트랜지스터(501)의 변형예이다. 도 42의 (A)는 OS 트랜지스터(502)의 상면도이다. 도 42의 (B)는 도 42의 (A)의 선 y1-y2를 따른 단면도이다. 도 42의 (C)는 도 42의 (A)의 선 x1-x2를 따른 단면도이다. 도 42의 (D)는 도 42의 (A)의 선 x3-x4를 따른 단면도이다. 또한, 디바이스 구조를 명확하게 하기 위하여, 도 42의 (A)는 일부의 구성요소를 도시하지 않았다.

[0371] OS 트랜지스터(501)와 같이, 도 42의 (A) 내지 (D)에 도시된 OS 트랜지스터(502)도 s-channel 구조를 갖는다. OS 트랜지스터(502)는 도전층(541) 및 도전층(542)의 형상, 및 절연층(511) 위에 도전층(531)이 제공되는 점에서, OS 트랜지스터(501)와 다르다.

[0372] OS 트랜지스터(502)의 도전층(541) 및 도전층(542)은 OS층(521)과 OS층(522)의 적층막을 형성하기 위하여 사용되는 하드 마스크로부터 형성된다. 그러므로, 도전층(541) 및 도전층(542)은 OS층(521) 및 OS층(522)의 측면과 접촉하는 영역을 갖지 않는다(도 42의 (D)).

[0373] 예를 들어, 다음 공정을 거쳐 OS층(521)과 OS층(522) 및 도전층(541)과 도전층(542)을 형성할 수 있다. OS층(521) 및 OS층(522)을 포함하는 2층의 산화물 반도체막을 형성한다. 산화물 반도체막 위에 단층 또는 복수의 층의 도전막을 형성한다. 이 도전막을 에칭하여 하드 마스크를 형성한다. 이 하드 마스크를 사용하여, 2층의 산화물 반도체막을 에칭하여, OS층(521)과 OS층(522)을 형성한다. 그리고, 하드 마스크를 에칭하여 도전층(541) 및 도전층(542)을 형성한다.

[0374] 도전층(531)은 OS 트랜지스터(502)의 백 게이트 전극으로서 기능할 수 있다. 도전층(531)은 도 41의 (A) 내지 (D)의 OS 트랜지스터(501), 및 나중에 설명하는 OS 트랜지스터(503) 내지 OS 트랜지스터(506)(도 43의 (A) 내지 (D), 도 44의 (A) 내지 (D), 도 45의 (A) 내지 (D), 및 도 46의 (A) 내지 (D))에 제공할 수 있다.

[0375] 도전층(530)(게이트 전극) 및 도전층(531)(백 게이트 전극)에 각각 신호 sa 및 고정 전위 Ib가 공급되어도 좋다. 또는, 도전층(530) 및 도전층(531)에는 각각 신호 sa 및 신호 sb가 공급되어도 좋다. 또는, 도전층(530) 및 도전층(531)에는 각각 고정 전위 Ia 및 고정 전위 Ib가 공급되어도 좋다.

[0376] 신호 sa는, 예를 들어, 도통 상태 및 비도통 상태를 제어하기 위한 신호이다. 신호 sa는 전위 V1 및 전위 V2(V1>V2)의 2종류의 전위의 디지털 신호이어도 좋다. 예를 들어, 전위 V1은 고전원 전위가 될 수 있고, 전위 V2는 저전원 전위가 될 수 있다. 신호 sa는 아날로그 신호이어도 좋다.

[0377] 고정 전위 Ib는, 예를 들어, OS 트랜지스터(502)의 도전층(530)(게이트 전극)에 대응하는 문턱 전압 VthA를 제어하기 위한 전위이다. 고정 전위 Ib는 전위 V1 또는 전위 V2이어도 좋다. 이 경우, 고정 전위 Ib를 생성하기 위한 전위 생성 회로가 필요 없으므로 바람직하다. 고정 전위 Ib는 전위 V1 또는 전위 V2와 다른 전위이어도 좋다. 고정 전위 Ib를 낮게 설정함으로써, 문턱 전압 VthA를 높게 할 수 있는 경우가 있다. 그 결과, 게이트-소스 전압 Vgs가 0V일 때에 생성되는 드레인 전류를 저감하고, 상기 트랜지스터를 포함하는 회로의 누설 전류를 저감할 수 있는 경우가 있다. 예를 들어, 고정 전위 Ib는 저전원 전위보다 낮게 설정하여도 좋다. 고정 전위 Ib를 높게 설정함으로써, 문턱 전압 VthA를 낮게 할 수 있는 경우가 있다. 그 결과, 게이트-소스 전압 Vgs가 IDD일 때 생성되는 드레인 전류를 증가시키고, OS 트랜지스터(502)를 포함하는 회로의 동작 속도를 향상시킬 수 있는 경우가 있다. 예를 들어, 고정 전위 Ib는 저전원 전위보다 높게 설정하여도 좋다.

- [0378] 신호 *sb*는 트랜지스터의 도통 상태 및 비도통 상태를 제어하기 위한 신호이다. 신호 *sb*는 전위 *V3* 및 전위 *V4*($V3 > V4$)의 2종류의 전위의 디지털 신호이어도 좋다. 예를 들어, 전위 *V3*은 고전원 전위가 될 수 있고, 전위 *V4*는 저전원 전위가 될 수 있다. 신호 *sb*는 아날로그 신호이어도 좋다.
- [0379] 신호 *sa* 및 신호 *sb*의 양쪽이 디지털 신호일 때, 신호 *sb*는 신호 *sa*와 같은 디지털 값을 갖는 신호이어도 좋다. 이 경우, OS 트랜지스터(502)의 온 상태 전류 및 OS 트랜지스터(502)를 포함하는 회로의 동작 속도가 향상되는 경우가 있다. 이 경우, 신호 *sa*의 전위 *V1* 및 전위 *V2*는 신호 *sb*의 전위 *V3* 및 전위 *V4*와 달라도 좋다. 예를 들어, 신호 *sb*가 입력되는 백 게이트 전극에 대응하는 게이트 절연층(절연층(512))이, 신호 *sa*가 입력되는 게이트에 대응하는 게이트 절연층(절연층(513))보다 두꺼우면, 신호 *sb*의 전위 진폭($V3-V4$)이 신호 *sa*의 전위 진폭($V1-V2$)보다 커도 좋다. 이로써, 상기 트랜지스터의 도통 상태 및 비도통 상태에 대한 신호 *sa* 및 신호 *sb*의 영향을 실질적으로 같게 할 수 있는 경우가 있다.
- [0380] 신호 *sa* 및 신호 *sb*의 양쪽이 디지털 신호일 때, 신호 *sa* 및 신호 *sb*는 다른 디지털 값을 가져도 좋다. 이 경우, OS 트랜지스터(502)를 신호 *sa* 및 신호 *sb*에 의하여 따로 제어할 수 있어, OS 트랜지스터(502)는 높은 기능성을 가질 수 있는 경우가 있다. 예를 들어, OS 트랜지스터(502)가 *n*채널 트랜지스터이면, OS 트랜지스터(502)는 신호 *sa*가 전위 *V1*을 가지고 신호 *sb*가 전위 *V3*을 가질 때만 온이 되어도 좋고, 또는 신호 *sa*가 전위 *V2*를 가지고 신호 *sb*가 전위 *V4*를 가질 때만 오프가 되어도 좋으며, 이 경우 단일 트랜지스터인 OS 트랜지스터(502)가 NAND 회로 또는 NOR 회로 등으로서 기능하여도 좋다. 또한, 신호 *sb*는 문턱 전압 *V_{th}*를 제어하기 위한 신호이어도 좋다. 예를 들어, OS 트랜지스터(502)를 포함하는 회로가 동작하는 기간의 신호 *sb*의 전위는 이 회로가 동작하지 않는 기간의 신호 *sb*의 전위와 달라도 좋다. 또한, 신호 *sb*는 회로의 동작 모드에서 전위가 다른 신호이어도 좋다. 이 경우, 신호 *sb*의 전위는 신호 *sa*만큼 빈번하게는 전환되지 않는 경우가 있다.
- [0381] 신호 *sa* 및 신호 *sb*의 양쪽이 아날로그 신호일 때, 신호 *sb*는 신호 *sa*와 같은 전위를 갖는 아날로그 신호, 전위가 신호 *sa*의 전위의 상수배인 아날로그 신호, 또는, 신호 *sa*의 전위를 상수만큼 더하거나 또는 빼서 얻어진 아날로그 신호 등이어도 좋다. 이 경우, 트랜지스터(502)의 온 상태 전류는 증가되어, OS 트랜지스터(502)를 포함하는 회로의 동작 속도가 향상되는 경우가 있다. 신호 *sb*는 신호 *sa*와 다른 아날로그 신호이어도 좋다. 이 경우, OS 트랜지스터(502)를 신호 *sa* 및 신호 *sb*에 의하여 따로 제어할 수 있어, OS 트랜지스터(502)는 높은 기능성을 가질 수 있는 경우가 있다.
- [0382] 신호 *sa*가 디지털 신호이고 신호 *sb*가 아날로그 신호이어도 좋다. 또는, 신호 *sa*가 아날로그 신호이고 신호 *sb*가 디지털 신호이어도 좋다.
- [0383] OS 트랜지스터(502)의 게이트 전극들에 고정 전위를 인가할 때, OS 트랜지스터(502)는 레지스터와 실질적으로 동등한 소자로서 기능할 수 있다. 예를 들어, OS 트랜지스터(502)가 *n*채널 트랜지스터일 때, 고정 전위 *V_a* 또는 고정 전위 *V_b*를 높게(낮게) 함으로써, OS 트랜지스터(502)의 실효 저항을 낮게(높게) 할 수 있는 경우가 있다. 고정 전위 *V_a* 및 고정 전위 *V_b*의 양쪽을 높게(낮게) 함으로써, 게이트를 하나만 갖는 트랜지스터보다 실효 저항이 낮게(높게) 될 수 있는 경우가 있다.
- [0384] <<OS 트랜지스터의 구조예 3 및 구조예 4>>
- [0385] 도 43의 (A) 내지 (D)의 OS 트랜지스터(503)는 OS 트랜지스터(501)의 변형예이다. 도 44의 (A) 내지 (D)의 OS 트랜지스터(504)는 OS 트랜지스터(502)의 변형예이다. OS 트랜지스터(503) 및 OS 트랜지스터(504)의 각각에서는, 도전층(530)을 마스크로서 사용하여 OS층(523) 및 절연층(513)이 에칭된다. 따라서, OS층(523) 및 절연층(513)의 단부는 도전층(530)의 단부와 실질적으로 정렬된다.
- [0386] <<OS 트랜지스터의 구조예 5 및 구조예 6>>
- [0387] 도 45의 (A) 내지 (D)의 OS 트랜지스터(505)는 OS 트랜지스터(501)의 변형예이고, 도 46의 (A) 내지 (D)의 OS 트랜지스터(506)는 OS 트랜지스터(502)의 변형예이다. OS 트랜지스터(505)는 OS층(523)과 도전층(541) 사이에 층(551)을 갖는다. OS 트랜지스터(506)는 OS층(523)과 도전층(542) 사이에 층(552)을 갖는다.
- [0388] 예를 들어, 층(551) 및 층(552)은 투명 도전체, 산화물 반도체, 질화물 반도체, 및 산화질화물 반도체 중 어느 것을 사용하여 형성할 수 있다. 층(551) 및 층(552)은 *n*형 산화물 반도체층을 사용하여 형성할 수 있거나, 또는 도전층(541) 및 도전층(542)보다 높은 저항을 갖는 도전층을 사용하여 형성할 수 있다. 층(551) 및 층(552)은, 예를 들어, 인듐, 주석, 및 산소를 함유하는 층, 인듐 및 아연을 함유하는 층, 인듐, 텅스텐, 및 아연을 함유하는 층, 주석 및 아연을 함유하는 층, 아연 및 갈륨을 함유하는 층, 아연 및 알루미늄을 함유하는

층, 아연 및 불소를 함유하는 층, 아연 및 붕소를 함유하는 층, 주석 및 안티몬을 함유하는 층, 주석 및 불소를 함유하는 층, 및 타이타늄 및 나이오븀을 함유하는 층 등 중 어느 것을 사용하여 형성할 수 있다. 또는, 이들 층이 수소, 탄소, 질소, 실리콘, 저마늄, 및 아르곤 중 하나 이상을 함유하여도 좋다.

[0389] 층(551) 및 층(552)은 가시광을 투과시키는 성질을 가져도 좋다. 또는, 층(551) 및 층(552)은 가시광, 자외선, 적외선, 또는 X선을 반사 또는 흡수함으로써 그것을 투과시키지 않는 성질을 가져도 좋다. 이 경우에는, 이러한 성질에 의하여, 미광(stray light)으로 인한 트랜지스터의 전기적 특성의 변동을 억제할 수 있는 경우가 있다.

[0390] 층(551) 및 층(552)은 OS층(523)과의 쇼트키 장벽을 형성하지 않는 층을 사용하여 형성되는 것이 바람직할 수 있다. 이로써, OS 트랜지스터(505) 및 OS 트랜지스터(506)의 온 상태 특성을 향상시킬 수 있다.

[0391] 또한, 층(551) 및 층(552)은 도전층(541) 및 도전층(542)보다 저항이 높은 것이 바람직하다. 층(551) 및 층(552)의 저항은 트랜지스터의 채널 저항보다 낮은 것이 바람직하다. 예를 들어, 층(551) 및 층(552)은 저항률이 0.1Ωcm 이상 100Ωcm 이하, 0.5Ωcm 이상 50Ωcm 이하, 또는 1Ωcm 이상 10Ωcm 이하이어도 좋다. 상술한 범위 내의 저항률을 갖는 층(551) 및 층(552)은 채널과 드레인 사이의 경계 부분에서의 전계 집중을 저감할 수 있다. 따라서, 트랜지스터의 전기적 특성의 변동을 억제할 수 있다. 또한, 드레인으로부터의 전계에 의하여 생성되는 펀치스루 전류를 저감할 수 있다. 그러므로, 채널 길이가 짧은 트랜지스터가 양호한 포화 특성을 가질 수 있다. 또한, 동작 중에 소스와 드레인이 교체되지 않는 회로 구성에서는, 층(551) 및 층(552) 중 하나만(예를 들어, 드레인 측의 층)이 제공되는 것이 바람직할 수 있다.

[0392] <<산화물 반도체막>>

[0393] 아래에서 산화물 반도체막에 대하여 설명한다. 본 명세서에 있어서, 삼방정계 및 능면체정계(rhombohedral crystal system)는 육방정계에 포함된다. 본 명세서에서, "평행"이라는 용어는 두 개의 직선 사이에 형성되는 각도가 -10° 이상 10° 이하임을 나타내기 때문에, 각도가 -5° 이상 5° 이하인 경우도 포함한다. "실질적으로 평행"이라는 용어는 두 개의 직선 사이에 형성되는 각도가 -30° 이상 30° 이하임을 나타낸다. 또한, "수직"이라는 용어는 두 개의 직선 사이에 형성되는 각도가 80° 이상 100° 이하임을 나타내기 때문에, 각도가 85° 이상 95° 이하인 경우도 포함한다. 또한, "실질적으로 수직"이라는 용어는 두 개의 직선 사이에 형성되는 각도가 60° 이상 120° 이하임을 나타낸다.

[0394] 산화물 반도체막은 비단결정 산화물 반도체막 및 단결정 산화물 반도체막으로 분류된다. 또는, 예를 들어 결정성 산화물 반도체 및 비정질 산화물 반도체로 분류된다.

[0395] 비단결정 산화물 반도체막에는, CAAC-OS(c-axis aligned crystalline oxide semiconductor)막, 다결정 산화물 반도체막, 미결정 산화물 반도체막, 및 비정질 산화물 반도체막 등이 포함된다. 또한, 결정성 산화물 반도체의 예에는 단결정 산화물 반도체, CAAC-OS, 다결정 산화물 반도체, 및 미결정 산화물 반도체가 포함된다.

[0396] <CAAC-OS막>

[0397] CAAC-OS막은 복수의 c축 배향된 결정부를 갖는 산화물 반도체막 중 하나이다.

[0398] TEM(transmission electron microscope)을 사용하여 얻어진 CAAC-OS막의 명시야상과 회절 패턴의 복합 분석 이미지(고분해능 TEM 이미지라고도 함)에서는 복수의 결정부를 관찰할 수 있다. 그러나, 고분해능 TEM 이미지에서, 결정부들 사이의 경계, 즉 그레인 바운더리는 명료하게 관찰되지 않는다. 그러므로, CAAC-OS막에서는, 결정립계로 인한 전자 이동도의 저하가 일어날 가능성이 낮다.

[0399] 샘플 표면에 실질적으로 평행한 방향에서 관찰한 CAAC-OS막의 고분해능 단면 TEM 이미지에 따르면, 결정부에서 금속 원자가 층상으로 배열되어 있다. 각 금속 원자층은 CAAC-OS막이 형성되는 표면(이하에서 CAAC-OS막이 형성되는 표면을 형성 표면이라고도 함) 또는 CAAC-OS막의 상면의 요철을 반영한 형태를 가지고, 형성 표면 또는 CAAC-OS막의 상면에 평행하게 배열된다.

[0400] 한편, 샘플 표면에 실질적으로 수직인 방향에서 관찰한 CAAC-OS막의 고분해능 평면 TEM 이미지에 따르면, 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되어 있다. 그러나, 다른 결정부들에서 금속 원자의 배열에 규칙성은 없다.

[0401] X선 회절(XRD: X-ray diffraction) 장치를 사용하여 CAAC-OS막에 대하여 구조 분석을 실시한다. 예를 들어 InGaZnO₄ 결정을 포함하는 CAAC-OS막을 out-of-plane법으로 분석하면 회절각(2θ)이 31° 부근일 때 피크

가 나타나는 경우가 많다. 이 피크는 InGaZnO₄ 결정의 (009)면에서 유래하며, CAAC-OS막의 결정이 c축 배향을 가지고 c축이 CAAC-OS막의 형성 표면 또는 상면에 실질적으로 수직인 방향으로 배열되어 있는 것을 가리킨다.

[0402] 또한, InGaZnO₄ 결정을 가지는 CAAC-OS막을 out-of-plane법으로 분석하면, 2θ가 31° 부근일 때의 피크에 더하여, 2θ가 36° 부근일 때에도 피크가 관찰될 수 있다. 2θ가 36° 부근인 피크는 CAAC-OS막의 일부에, c축 배향을 가지지 않는 결정이 포함되는 것을 시사한다. CAAC-OS막에서, 2θ가 31° 부근일 때 피크가 나타나고 2θ가 36° 부근일 때 피크가 나타나지 않는 것이 바람직하다.

[0403] CAAC-OS막은 불순물 농도가 낮은 산화물 반도체막이다. 불순물은 수소, 탄소, 실리콘, 또는 전이 금속 원소 등, 산화물 반도체막의 주성분 이외의 원소이다. 특히, 실리콘 등, 산화물 반도체막에 포함되는 금속 원소보다 산소에 대한 결합력이 높은 원소는, 산화물 반도체막으로부터 산소를 빼앗음으로써 산화물 반도체막의 원자 배열을 흐트러지게 하여 결정성의 저하를 초래한다. 또한, 철 또는 니켈 등의 중금속, 아르곤, 또는 이산화탄소 등은 원자 반경(분자 반경)이 크기 때문에 산화물 반도체막에 포함되면 산화물 반도체막의 원자 배열을 흐트러지게 하여 결정성의 저하를 초래한다. 또한, 산화물 반도체막에 함유되는 불순물은 캐리어 트랩 또는 캐리어 발생원의 역할을 할 가능성이 있다.

[0404] CAAC-OS막은 결합 상태의 밀도가 낮은 산화물 반도체막이다. 산화물 반도체막 내의 산소 빈자리는 캐리어 트랩의 역할을 하거나, 또는 거기에 수소가 포획되었을 때 캐리어 발생원의 역할을 하는 경우가 있다.

[0405] 불순물 농도가 낮고 결합 상태의 밀도가 낮은(산소 빈자리의 수가 적은) 상태를 "고순도화된 진성" 또는 "실질적으로 고순도화된 진성" 상태라고 한다. 고순도화된 진성 또는 실질적으로 고순도화된 진성인 산화물 반도체막은 캐리어 발생원이 적기 때문에, 낮은 캐리어 밀도를 가질 수 있다. 따라서, 이 산화물 반도체막을 포함하는 트랜지스터는 음의 문턱 전압을 좀처럼 가지지 않는다(좀처럼 노멀리 온이 되지 않는다). 고순도화된 진성 또는 실질적으로 고순도화된 진성인 산화물 반도체막은 캐리어 트랩이 적다. 그러므로, 산화물 반도체막을 포함하는 트랜지스터는 전기적 특성의 변동이 작고 신뢰성이 높다. 산화물 반도체막의 캐리어 트랩에 의하여 포획된 전하는 방출될 때까지 긴 시간이 걸려 마치 고정 전하처럼 작용하는 경우가 있다. 그러므로 불순물 농도가 높고 결합 상태의 밀도가 높은 산화물 반도체막을 포함하는 트랜지스터는 불안정한 전기적 특성을 가지는 경우가 있다.

[0406] CAAC-OS막을 트랜지스터에 사용하면, 가시광 또는 자외광의 조사로 인한 트랜지스터의 전기적 특성의 변동이 작다.

[0407] <미결정 산화물 반도체막>

[0408] 미결정 산화물 반도체막은 고분해능 TEM 이미지에서 결정부가 관찰되는 영역 및 결정부가 명확히 관찰되지 않는 영역을 갖는다. 대부분의 경우, 미결정 산화물 반도체막에 포함되는 결정부의 크기는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하이다. 크기가 1nm 이상 10nm 이하, 또는 크기가 1nm 이상 3nm 이하인 미결정을 특히 나노 결정(nc: nanocrystal)이라고 한다. 나노 결정을 포함하는 산화물 반도체막을 nc-OS(nanocrystalline oxide semiconductor)막이라고 한다. nc-OS막의 고분해능 TEM 이미지에서는, 예를 들어, 결정립계가 명확히 관찰되지 않는 경우가 있다.

[0409] nc-OS막에서 미소 영역(예를 들어, 크기가 1nm 이상 10nm 이하인 영역, 특히 크기가 1nm 이상 3nm 이하인 영역)은 주기적인 원자 배열을 가진다. nc-OS막에서 상이한 결정부들에 결정 배향의 규칙성은 없다. 따라서, 막 전체의 배향이 관찰되지 않는다. 따라서, 분석 방법에 따라서는 nc-OS막을 비정질 산화물 반도체막과 구별하지 못하는 경우가 있다. 예를 들어, 결정부의 크기보다 큰 직경의 X선을 사용하는 XRD 장치로 out-of-plane법에 의하여 nc-OS막의 구조 분석을 수행하면, 결정면을 가리키는 피크가 나타나지 않는다. 또한, 결정부의 크기보다 프로브 직경이 큰 전자 빔(예를 들어 50nm 이상)을 사용하여 얻은 nc-OS막의 제한 시야 전자 회절 패턴에서는 헤일로(halo) 패턴이 나타난다. 한편, 프로브 직경이 결정부의 크기와 가깝거나 또는 그보다 작은 전자 빔을 사용하여 얻은 nc-OS막의 나노빔 전자 회절 패턴에서는 스폿이 나타난다. 또한, nc-OS막의 나노빔 전자 회절 패턴에서는, 휘도가 높고 원형(고리형) 패턴의 영역이 나타나는 경우가 있다. 또한, nc-OS막의 나노빔 전자 회절 패턴에서, 고리형 영역에 복수의 스폿이 나타나는 경우가 있다.

[0410] nc-OS막은 비정질 산화물 반도체막에 비하여 높은 규칙성을 갖는 산화물 반도체막이다. 따라서, nc-OS막은 비정질 산화물 반도체막보다 결합 상태의 밀도가 더 낮다. 다만, nc-OS막의 상이한 결정부들에서는 결정 배향의 규칙성이 없다. 그러므로, nc-OS막은 CAAC-OS막보다 결합 상태의 밀도가 더 높다.

- [0411] <비정질 산화물 반도체막>
- [0412] 비정질 산화물 반도체막은 흐트러진 원자 배열을 가지고 결정부를 가지지 않는다. 예를 들어, 비정질 산화물 반도체막은 석영과 같이 정형 상태를 가지지 않는다.
- [0413] 비정질 산화물 반도체막의 고분해능 TEM 이미지에서, 결정부는 관찰하지 못한다.
- [0414] XRD 장치를 사용하여 out-of-plane법에 의하여 비정질 산화물 반도체막에 대하여 구조 분석을 실시하면, 결정면을 나타내는 피크가 나타나지 않는다. 비정질 산화물 반도체막에 대하여 전자 회절을 실시하면, 헤일로 패턴이 관찰된다. 또한, 비정질 산화물 반도체막에 대하여 나노빔 전자 회절을 실시하면, 스폿이 관찰되지 않고 헤일로 패턴이 나타난다.
- [0415] 또한, 산화물 반도체막은 nc-OS막과 비정질 산화물 반도체막 사이의 중간적 특성을 가지는 구조를 가져도 좋다. 이러한 구조를 가지는 산화물 반도체막을 특히 a-like 산화물 반도체(amorphous-like OS)막이라고 한다.
- [0416] a-like OS막의 고분해능 TEM 이미지에서는 보이드(void)가 관찰될 수 있다. 또한, 고분해능 TEM 이미지에, 결정부가 명확히 관찰되는 영역, 및 결정부가 관찰되지 않는 영역이 있다. TEM 관찰에 적용되는 미량의 전자 빔에 의한 a-like OS막의 결정화로 인하여 결정부의 성장이 일어나는 경우가 있다. 한편, 양질의 nc-OS막에서는, TEM 관찰에 사용되는 미량의 전자 빔에 의하여 결정화가 일어나는 일은 거의 없다.
- [0417] a-like OS막 및 nc-OS막의 결정부의 크기는 고분해능 TEM 이미지를 사용하여 측정할 수 있다. 예를 들어, InGaZnO₄ 결정은 In-O층들 사이에 2개의 Ga-Zn-O층을 포함하는 층상 구조를 가진다. InGaZnO₄ 결정의 단위 격자는 3개의 In-O층과 6개의 Ga-Zn-O층을 포함하는 9층이 c축 방향으로 적층된 구조를 가진다. 따라서, 이 인접한 층들 사이의 거리는 (009)면의 격자간 거리(d값이라고도 함)와 동등하다. 그 값은 결정 구조 분석으로부터 0.29nm로 계산된다. 그러므로, 고분해능 TEM 이미지에서의 격자 줄무늬(lattice fringe)에 착안하여, 그 격차 거리가 0.28nm 이상 0.30nm 이하인 격자 줄무늬 각각이 InGaZnO₄ 결정의 a-b면에 대응한다.
- [0418] 산화물 반도체막의 밀도는 그 구조에 따라 달라질 수 있다. 예를 들어, 한 산화물 반도체막의 조성이 정해지면, 이 산화물 반도체막의 밀도와 이 산화물 반도체막과 동일한 조성을 가지는 단결정 산화물 반도체막의 밀도를 비교하여 이 산화물 반도체막의 구조를 추정할 수 있다. 예를 들어, a-like OS막의 밀도는 동일한 조성을 가지는 단결정 산화물 반도체의 밀도의 78.6% 이상 92.3% 미만이다. 예를 들어, nc-OS막 및 CAAC-OS막 각각의 밀도는 동일한 조성을 가지는 단결정 산화물 반도체의 밀도의 92.3% 이상 100% 미만이다. 또한, 밀도가 이 단결정 산화물 반도체막의 밀도의 78% 미만인 산화물 반도체막은 퇴적이 어렵다.
- [0419] 상술한 것의 구체적인 예를 든다. 예를 들어, 원자수비가 In:Ga:Zn=1:1:1인 산화물 반도체막의 경우, 능면체정 구조를 가지는 단결정 InGaZnO₄의 밀도는 6.357g/cm³이다. 따라서, 예를 들어, 원자수비가 In:Ga:Zn=1:1:1인 산화물 반도체막의 경우, a-like OS막의 밀도는 5.0g/cm³ 이상 5.9g/cm³ 미만이다. 또한, 예를 들어 원자수비가 In:Ga:Zn=1:1:1인 산화물 반도체막의 경우, nc-OS막 또는 CAAC-OS막의 밀도는 5.9g/cm³ 이상 6.3g/cm³ 미만이다.
- [0420] 그러나, 상기 산화물 반도체막과 동일한 조성을 가지는 단결정 산화물 반도체막이 없을 수 있다. 이 경우, 조성이 상이한 단결정 산화물 반도체막들을 적절한 비로 조합함으로써, 원하는 조성을 가지는 단결정 산화물 반도체막과 동등한 막 밀도를 계산한다. 예를 들어, 원하는 조성을 가지는 단결정 산화물 반도체막의 막 밀도는, 조성이 상이한 단결정 산화물 반도체막들의 막 밀도의 가중 평균을, 이들의 조합비를 고려하여 계산함으로써 얻을 수 있다. 또한, 막 밀도를 계산하기 위해서는 가능한 한 적은 종류의 단결정 산화물 반도체막을 사용하는 것이 바람직하다.
- [0421] 또한, 산화물 반도체막은 예를 들어, 비정질 산화물 반도체막, a-like OS막, 미결정 산화물 반도체막, 및 CAAC-OS막 중 2개 이상의 막을 포함하는 적층막이어도 좋다.
- [0422] <<막 형성 방법>>
- [0423] 스퍼터링법 및 플라즈마 화학 증착(PECVD)법은 절연막, 도전막, 및 반도체막 등을 형성하는 방법의 대표적인 예이다. 절연막, 도전막, 및 반도체막 등은 다른 방법, 예를 들어, 열 CVD법에 의하여 형성하여도

좋다. 열 CVD법으로서, 예를 들어, MOCVD(metal organic chemical vapor deposition)법 또는 ALD(atomic layer deposition)법을 채용할 수 있다.

[0424] 열 CVD법은 막 형성에 플라즈마를 이용하지 않기 때문에, 플라즈마 대미지로 인한 결함이 없다는 장점을 갖는다. 열 CVD법에 의한 퇴적은, 챔버 내의 압력을 대기압 또는 감압으로 설정하고, 원료 가스 및 산화제를 동시에 챔버로 공급하고 기판 부근 또는 기판 위에서 서로 반응시키는 식으로 수행하여도 좋다.

[0425] ALD법에 의한 퇴적은, 챔버 내의 압력을 대기압 또는 감압으로 설정하고, 반응을 위한 원료 가스를 순차적으로 챔버에 도입한 다음, 이 가스 도입의 절차를 반복하는 식으로 수행하여도 좋다. 예를 들어, 각 스윅 밸브(고속 밸브라고도 함)를 전환함으로써 2종류 이상의 원료 가스를 순차적으로 챔버에 공급한다. 이 경우, 원료 가스들이 혼합되지 않도록, 제 1 가스를 도입하고, 제 1 가스의 도입과 동시 또는 그 후에 불활성 가스(예를 들어, 아르곤 또는 질소) 등을 도입한 다음, 제 2 원료 가스를 도입한다. 또한, 제 1 원료 가스와 불활성 가스를 동시에 도입하는 경우, 불활성 가스는 캐리어 가스의 역할을 하고, 또한 불활성 가스를 제 2 원료 가스의 도입과 동시에 도입하여도 좋다. 또는, 불활성 가스의 도입 대신에 진공 배기에 의하여 제 1 원료 가스를 배기시킨 다음, 제 2 원료 가스를 도입하여도 좋다. 제 1 원료 가스가 기판의 표면에 흡착되어 제 1 단원자층이 형성된 다음, 제 2 원료 가스를 도입하여 제 1 단원자층과 반응시킨다. 이 결과 제 1 단원자층 위에 제 2 단원자층이 적층되어 박막이 형성된다. 이 가스 도입의 절차를 원하는 두께가 얻어질 때까지 몇 번 반복하여, 단차 피복성이 우수한 박막을 형성할 수 있다. 박막의 두께는, 가스 도입의 절차를 반복하는 횟수에 의하여 조절이 가능하기 때문에, ALD법은 두께를 정확하게 조절할 수 있으므로 미세한 FET를 제작하기에 적합하다.

[0426] 상술한 실시형태에 기재된 도전막은 MOCVD법 또는 ALD법 등의 열 CVD법에 의하여 형성할 수 있다. 예를 들어, $\text{InGaZnO}_x(x>0)$ 막을 형성하는 경우, 트라이메틸인듐, 트라이메틸갈륨, 및 다이에틸아연을 사용할 수 있다. 또한 트라이메틸인듐의 화학식은 $\text{In}(\text{CH}_3)_3$ 이다. 트라이메틸갈륨의 화학식은 $\text{Ga}(\text{CH}_3)_3$ 이다. 다이메틸아연의 화학식은 $\text{Zn}(\text{CH}_3)_2$ 이다. 상술한 조합에 한정되지 않고, 트라이메틸갈륨 대신에 트라이에틸갈륨(화학식: $\text{Ga}(\text{C}_2\text{H}_5)_3$)을 사용할 수 있고 다이메틸아연 대신에 다이에틸아연(화학식: $\text{Zn}(\text{C}_2\text{H}_5)_2$)을 사용할 수 있다.

[0427] 예를 들어, ALD를 채용하는 퇴적 장치를 사용하여 텅스텐막이 형성되는 경우, WF_6 가스와 B_2H_6 가스를 순차적으로 복수회 도입하여 초기 텅스텐막을 형성하고 나서, WF_6 가스와 H_2 가스를 동시에 도입함으로써, 텅스텐막을 형성한다. 또한, B_2H_6 가스 대신에 SiH_4 가스를 사용하여도 좋다.

[0428] 예를 들어, ALD를 채용하는 퇴적 장치를 사용하여 산화물 반도체막, 예를 들어 $\text{InGaZnO}_x(x>0)$ 막을 형성하는 경우, $\text{In}(\text{CH}_3)_3$ 가스 및 O_3 가스를 순차적으로 복수회 도입하여 InO_2 층을 형성하고, $\text{Ga}(\text{CH}_3)_3$ 가스 및 O_3 가스를 사용하여 GaO 층을 형성한 다음, $\text{Zn}(\text{CH}_3)_2$ 가스 및 O_3 가스를 사용하여 ZnO 층을 형성한다. 또한 이들 층의 순서는 이 예에 한정되지 않는다. 이들 가스를 혼합하여, InGaO_2 층, InZnO_2 층, GaInO 층, ZnInO 층, 또는 GaZnO 층 등의 혼합 화합물층을 형성하여도 좋다. 또한 Ar 등의 불활성 가스를 사용하여 버블링함으로써 얻어진 H_2O 가스를 O_3 가스 대신에 사용하여도 좋지만, H를 함유하지 않는 O_3 가스를 사용하는 것이 바람직하다. $\text{In}(\text{CH}_3)_3$ 가스 대신에, $\text{In}(\text{C}_2\text{H}_5)_3$ 가스를 사용하여도 좋다. $\text{Ga}(\text{CH}_3)_3$ 가스 대신에, $\text{Ga}(\text{C}_2\text{H}_5)_3$ 가스를 사용하여도 좋다. 또한, $\text{Zn}(\text{CH}_3)_2$ 가스를 사용하여도 좋다.

[0429] (실시형태 5)

[0430] 본 실시형태에서는, 반도체 장치의 디바이스 구조에 대하여 설명한다. 실시형태 1에서 기재한 바와 같이, 반도체 장치는 Si 트랜지스터 및 OS 트랜지스터를 포함할 수 있다. 이러한 구조예에서는, Si 트랜지스터 및 OS 트랜지스터를 적층함으로써, 반도체 장치를 소형화할 수 있다. 도 48의 (A) 및 (B)를 참조하여 이러한 적층 구조를 갖는 반도체 장치의 구조예에 대하여 설명한다.

[0431] 반도체 장치의 일례인, 도 1에 도시된 회로(101)의 디바이스 구조에 대하여 설명하기로 한다. 도 48의 (A)는 대표적으로 회로(101)에서의 회로(30)를 도시한 것이다. 도 48의 (A)에는 트랜지스터(MW1), 트랜지스터(MA1), 및 커패시터(CB1)의 단면 구조를 나타내었다. 왼쪽에는 채널 길이 방향으로의 트랜지스터(MW1) 및 트랜지스터(MA2)의 단면 구조를, 오른쪽에는 채널 폭 방향으로의 트랜지스터(MW1) 및 트랜지스터(MA2)의 단면도를

나타낸다. 도 48의 (A)는 특정한 선을 따른 회로(101)의 단면도가 아니라 회로(101)의 적층 구조를 도시하기 위한 도면이다.

[0432] 반도체 기판(2201)에는, 벌크 또는 SOI(silicon on insulator) 반도체 기판 등을 사용할 수 있다. 반도체 기판(2201)에 포함되는 반도체의 결정 구조는 단결정 구조 또는 다결정 구조가 바람직하다. 반도체 기판(2201)의 반도체 재료로서는, 실리콘, 탄소화 실리콘, 또는 실리콘 저마늄 등이 사용된다. 반도체 기판을 사용하여 제작된 트랜지스터는 쉽게 고속으로 동작할 수 있다. 반도체 기판(2201)으로서 p형 단결정 실리콘 기판을 사용한 경우, 반도체 기판(2201)의 일부에 n형 도전형질을 부여하는 불순물 원소를 첨가하여 n형 웰을 형성하고, n형 웰이 형성된 영역에 p형 트랜지스터를 형성할 수 있다. n형 도전형질을 부여하는 불순물 원소로서는, 인(P) 또는 비소(As) 등을 사용할 수 있다. p형 도전형질을 부여하는 불순물 원소로서, 붕소(B) 등을 사용하여도 좋다.

[0433] 여기서는, 트랜지스터(MA1)로서 평면형(planar-type) 전계 효과 트랜지스터를 사용한다. 절연층(2204)은 소자 분리 영역으로서 기능한다. 트랜지스터(MA1)의 디바이스 구조는 도 48의 (A)의 예에 한정되지 않는다. 예를 들어, 반도체 기판의 볼록부를 이용하여 형성한 3D 트랜지스터(예를 들어, fin형 트랜지스터 또는 트리게이트형 트랜지스터)를 채용할 수 있다.

[0434] 트랜지스터(MA1) 위에 트랜지스터(MW1) 및 커패시터(CS1)가 적층된다. 트랜지스터(MW1)는 산화물 반도체층에 채널이 형성되는 OS 트랜지스터이다. 실시형태 4에 기재된 상기 트랜지스터를 트랜지스터(MW1)로서 사용하면, 그 트랜지스터는 우수한 서브스레슬드 특성 및 미세 구조를 가질 수 있다. 도 48의 (A)의 예에서는, 트랜지스터(MW1)에 백 게이트 전극이 제공되지만, 반드시 제공될 필요는 없다. 트랜지스터(MW1) 및 커패시터(CS1)는 각각 플러그(2203) 및 배선(2202)을 통하여 트랜지스터(MA1)의 게이트 전극과 전기적으로 접속된다.

[0435] 도 48의 (A)는 커패시터(CS1)의 전극 및 트랜지스터(MW1)의 전극이 통합되고, 트랜지스터(MW1)를 덮는 절연층이 커패시터(CS1)의 유전체의 역할도 하는 예를 도시한 것이다. 예를 들어, 도 48의 (B)에 나타낸 바와 같이, 커패시터(CS1)를 트랜지스터(MW1) 위에 적층할 수도 있다. 도 48의 (B)에 나타낸 커패시터(CS1)는 플러그(2203)를 통하여 트랜지스터(MW1) 및 트랜지스터(MA1)와 전기적으로 접속된다.

[0436] 트랜지스터(MA1)와 트랜지스터(MW1) 사이에 절연층(2207)이 제공된다. 절연층(2207)은 하부에 수소를 남김으로써, 트랜지스터(MA1)의 신뢰성을 향상시킨다. 또한, 절연층(2207)이 하부로부터 상부로의 수소의 확산을 억제하기 때문에, 트랜지스터(MW1)의 신뢰성도 향상시킬 수 있다. 절연층(2207)은 예를 들어, 산화 알루미늄, 산화질화 알루미늄, 산화 갈륨, 산화질화 갈륨, 산화 이트륨, 산화질화 이트륨, 산화 하프늄, 산화질화 하프늄, 또는 YSZ(yttria-stabilized zirconia)를 사용하여 형성할 수 있다.

[0437] 절연층(2208)은 트랜지스터(MW1)를 덮도록 제공된다. 절연층(2208)에는, 절연층(2207)과 같은 재료를 사용할 수 있으며, 특히 산화 알루미늄층을 사용하는 것이 바람직하다. 산화 알루미늄층은 수소 및 수분 등 불순물 및 산소의 양쪽의 침투를 방지하는 차폐(차단) 효과가 높다. 따라서, 절연층(2208)으로서 산화 알루미늄층을 사용함으로써, 트랜지스터(MW1)에 포함되는 산화물 반도체층으로부터의 산소의 방출을 방지할 수 있고, 산화물 반도체층으로의 물 및 수소의 진입을 방지할 수 있다.

[0438] 배선(2202) 및 플러그(2203)는 구리(Cu), 텅스텐(W), 몰리브데넘(Mo), 금(Au), 알루미늄(Al), 망가니즈(Mn), 타이타늄(Ti), 탄탈럼(Ta), 니켈(Ni), 크로뮴(Cr), 납(Pb), 주석(Sn), 철(Fe), 및 코발트(Co) 등 중에서 선택된 금속; 이러한 금속의 합금; 또는 이러한 금속을 함유하는 금속 화합물을 사용하여 형성할 수 있다. 텅스텐 또는 몰리브데넘 등 내열성 및 도전성의 양쪽을 갖는 고용점 재료를 사용하는 것이 특히 바람직하다. 또한, 배선(2202) 및 플러그(2203)는 알루미늄 또는 구리 등 저저항 도전 재료를 사용하여 형성하는 것이 바람직하다. Cu-Mn 합금을 사용하여 배선(2202) 및 플러그(2203)를 형성하면, 산소를 함유하는 절연체와의 계면에 형성된 산화 망가니즈가 Cu 확산을 방지하는 기능을 가지므로 바람직하다. 배선(2202) 및 플러그(2203)는 단층 구조 또는 적층 구조를 가져도 좋다.

[0439] 도 48의 (A) 및 (B)에서, 참조 부호 및 해칭 패턴이 제공되지 않은 영역은 절연체로 형성된 영역을 나타낸다. 이들 영역에서, 산화 알루미늄, 질화산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 등 중에서 선택된 하나 이상의 재료를 함유하는 절연체를 사용할 수 있다. 또는, 이들 영역에서는, 폴리이미드 수지, 폴리아마이드 수지, 아크릴 수지, 실록산 수지, 에폭시 수지, 또는 페놀 수지 등의 유기 수지를 사용할 수 있다.

[0440] (실시예 1)

[0441] 시뮬레이션에 의하여 링 발진 회로의 동작을 검증하였다. 검증된 링 발진 회로는 7단의 회로(30)(도 2)를 포함한다. 계산에는 회로 시뮬레이터 SPICE를 사용하였다. 도 49는 회로(30)의 노드(FN1)의 전위 V_{fn1} 에 대한 링 발진 회로의 발진 주파수 f_{r0} 의 변화를 나타낸다. IDD는 3.0V이고 GND는 0V이다. 도 49는 트랜지스터(MA1)가 n채널 트랜지스터인 경우와 p채널 트랜지스터인 경우의 결과를 나타낸 것이다.

[0442] 도 49에 나타낸 바와 같이, 전위 V_{fn1} 에 의하여 발진 주파수 f_{r0} 가 변화된다. 도 49는 실시형태 1에서 설명한 발진 회로가 노드(FN1)에 유지되는 아날로그 전위에 의하여 발진 주파수를 선형적으로 변화시키는 기능을 갖는다는 것을 나타낸다. 실시형태 1은, 높은 제어성의 발진 회로를 제공할 수 있다는 것을 나타낸다.

[0443] 도 49는 트랜지스터(MA1)가 p채널 트랜지스터일 때보다 트랜지스터(MA1)가 n채널 트랜지스터일 때에 발진 주파수 f_{r0} 의 제어성이 좋다는 것도 나타낸다. 트랜지스터(MA1)가 n채널 트랜지스터일 때, $1.2V \geq V_{fn1} \geq 3.0V$ 의 범위에서 f_{r0} 가 선형적으로 변화된다. 그러므로, 회로(30) 내지 회로(32)와 같이 인버터의 고전원 전위에 의하여 지연 시간을 제어할 때, 트랜지스터(MA1)는 n채널 트랜지스터인 것이 바람직하다. 또한, 회로(35) 내지 회로(37)와 같이, 인버터의 저전원 전위에 의하여 지연 시간을 제어할 때, 트랜지스터(MA1)가 p채널 트랜지스터이면, 링 발진 회로의 제어성이 높아진다.

[0444] 시뮬레이션은, 제어성이 우수하며 발진 주파수를 저장할 수 있는 링 발진 회로를 제공할 수 있다는 것을 나타낸다.

부호의 설명

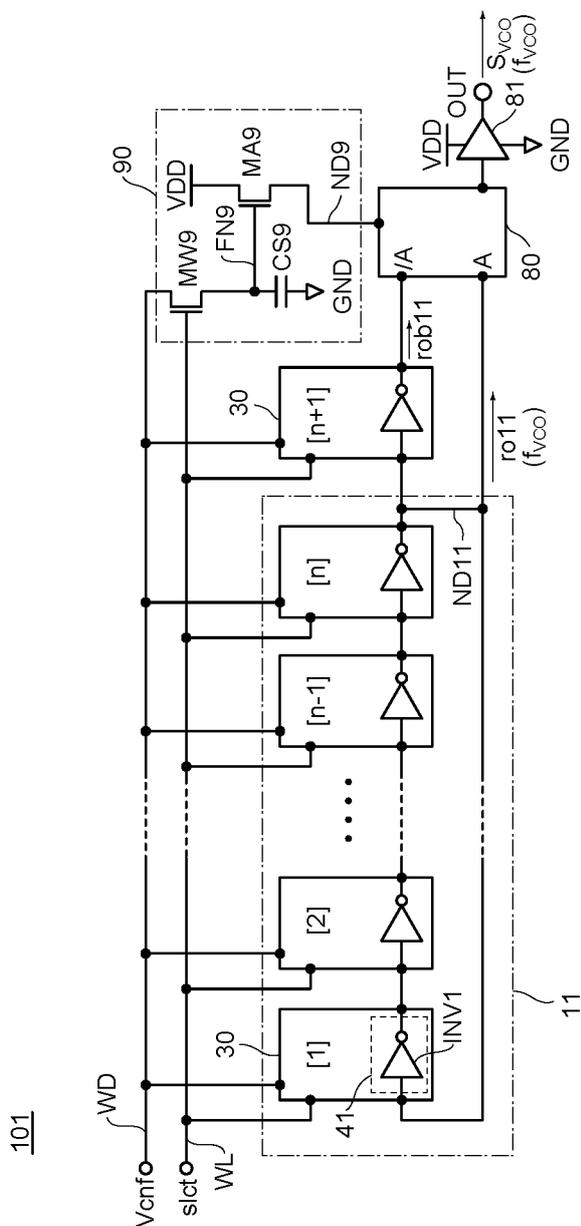
[0445] CB1: 커패시터, CS11: 커패시터, CS2: 커패시터, CS9: 커패시터, FD9: 노드, FN1: 노드, FN9: 노드, HN1: 노드, HN2: 노드, INV11: 인버터, LN1: 노드, MA1: 트랜지스터, MA9: 트랜지스터, MB1: 트랜지스터, Mn1: 트랜지스터, Mn2: 트랜지스터, Mp1: 트랜지스터, MS1: 트랜지스터, MS9: 트랜지스터, MW1: 트랜지스터, MW9: 트랜지스터, ND1: 노드, ND1: 출력 노드, ND9: 노드, ND11: 노드, ND12: 출력 노드, NV1: 노드, NV2: 노드, Qn1: 트랜지스터, Qn2: 트랜지스터, Qn3: 트랜지스터, Qn4: 트랜지스터, Qn5: 트랜지스터, Qn6: 트랜지스터, Qn7: 트랜지스터, Qn8: 트랜지스터, Qn11: 트랜지스터, Qn12: 트랜지스터, Qn13: 트랜지스터, Qn14: 트랜지스터, Qp1: 트랜지스터, Qp2: 트랜지스터, Qp3: 트랜지스터, Rn7: 레지스터, Rn8: 레지스터, SN1: 노드, SN2: 노드, SW1: 스위치, SW2: 스위치, 11: 회로, 12: 회로, 20: 회로, 21: 회로, 30: 회로, 31: 회로, 32: 회로, 35: 회로, 36: 회로, 37: 회로, 41: 회로, 42: 회로, 43: 회로, 44: 회로, 45: 회로, 46: 회로, 70: 회로, 71: 회로, 80: 회로, 81: 버퍼 회로, 85: 회로, 90: 회로, 92: 회로, 100: 회로, 101: 회로, 102: 회로, 103: 회로, 111: 회로, 112: 회로, 121: 제어 회로, 200: 위상 동기 루프(PLL), 201: PLL, 202: PLL, 210:루프 필터, 211: 위상 비교기, 212: 제어 회로, 213: 디지털-아날로그 변환기(DAC), 214: 전압 제어 발진기(VCO), 215: 주파수 분할기, 216: 신호 생성 회로, 301: 레벨 시프트 회로, 302: 레벨 시프트 회로, 303: 레벨 시프트 회로, 304: 레벨 시프트 회로, 305: 레벨 시프트 회로, 306: 레벨 시프트 회로, 307: 레벨 시프트 회로, 321:레벨 시프트 회로, 322: 래치 회로, 323: 전류 제어 회로, 331: 인버터, 332: 인버터, 333: 인버터, 334: 인버터, 345: 트랜지스터, 346: 트랜지스터, 347: 트랜지스터, 348: 트랜지스터, 349: 트랜지스터, 351: 트랜지스터, 352: 트랜지스터, 353: 트랜지스터, 354: 트랜지스터, 355: 트랜지스터, 371: 증폭 회로 유닛, 372: 래치 회로, 373: 전류 제어 회로, 501: OS(산화물 반도체) 트랜지스터, 502: OS 트랜지스터, 503: OS 트랜지스터, 504: OS 트랜지스터, 505: OS 트랜지스터, 506: OS 트랜지스터, 510: 기관, 511: 절연층, 512: 절연층, 512: 절연막, 513: 절연층, 514: 절연층, 515: 절연층, 520: OS층, 521: OS층, 522: OS층, 523: OS층, 530: 도전층, 531: 도전층, 541: 도전층, 542: 도전층, 551: 층, 552: 층, 900: 휴대 게임기, 901: 하우징, 902: 하우징, 903: 표시부, 904: 표시부, 905: 마이크론, 906: 스피커, 907: 조작 키, 908: 스타일러스, 910: 정보 단말, 911: 하우징, 912: 표시부, 913: 카메라, 914: 스피커부, 915: 조작 버튼, 916: 외부 접속부, 917: 마이크론, 920: 노트북 PC, 921: 하우징, 922: 표시부, 923: 키보드, 924: 포인팅 디바이스, 940: 비디오 카메라, 941: 하우징, 942: 하우징, 943: 표시부, 944: 조작 키, 945: 렌즈, 946: 연결부, 950: 정보 단말, 951: 하우징, 952: 표시부, 960: 정보 단말, 961: 하우징, 962: 표시부, 963: 밴드, 964: 버클, 965: 조작 버튼, 966: 입출력 단자, 967: 아이콘, 970: 전기 냉동 냉장고, 971: 하우징, 972: 냉장실 문, 973: 냉동실 문, 980: 자동차, 981: 차체, 982: 차륜, 983: 대시보드, 984: 라이트, 1000: 무선 IC, 1001: 정류 회로, 1002: 전원 회로, 1003: 복조 회로, 1004: 변조 회로, 1005: PLL, 1006: 논리 회로, 1007: 메모리 회로, 1008: 판독 전용 메모리(ROM), 1009: 부호화 회로, 1010: 안테나, 1011: 안테나, 1012: 통신 장치, 1013: 무선 신호, 1020: RF 태그, 1050: 프로그래머블 로직 디바이스(PLD), 1051: I/O 소자, 1052: 랜덤 액세스 메모리(RAM), 1053: 곱셈기, 1054: PLL,

1070: 마이크로 제어 장치(MCU), 1071: CPU 코어, 1072: 전원 관리 장치(PMU), 1073: 파워 게이트, 1074: 타이머, 1075: PLL, 1080: 무선 모듈, 1081: 아날로그-디지털 변환기(ADC), 1082: 감시 타이머, 1083: ROM, 1085: 전원 회로, 1086: 인터페이스(IF) 소자, 1400: 표시 장치, 1410: 표시 패널, 1421: 상부 커버, 1422: 하부 커버, 1423: FPC, 1424: 터치 패널 유닛, 1425: FPC, 1426: 백라이트 유닛, 1427: 광원, 1428: 프레임, 1429: 인쇄 기판, 1430: 배터리, 1500: 촬상 장치, 1510: 화소부, 1511: 화소, 1521: 구동 회로, 1522: 구동 회로, 1523: 구동 회로, 1524: 구동 회로, 1531: 신호 처리 회로, 1532: 열 구동 회로, 1533: 출력 회로, 1534: 회로, 1537: 배선, 1538: 배선, 1539: 배선, 1540: 배선, 1541: 콤퍼레이터, 1542: 카운터 회로, 2201: 반도체 기판, 2202: 배선, 2203: 플러그, 2204: 절연층, 2207: 절연층, 2208: 절연층.

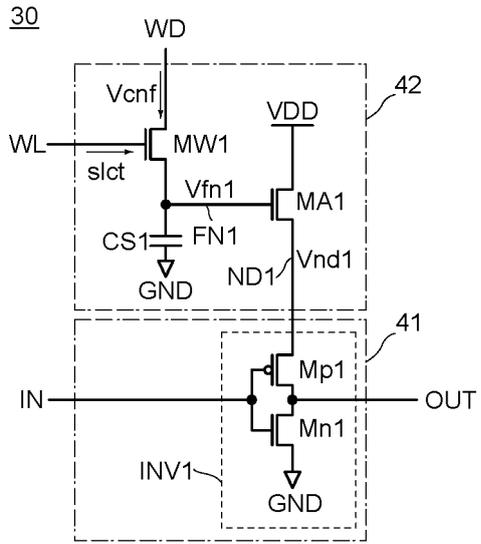
본 출원은 2014년 7월 25일에 일본 특허청에 출원된 일련 번호 2014-151623의 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

도면

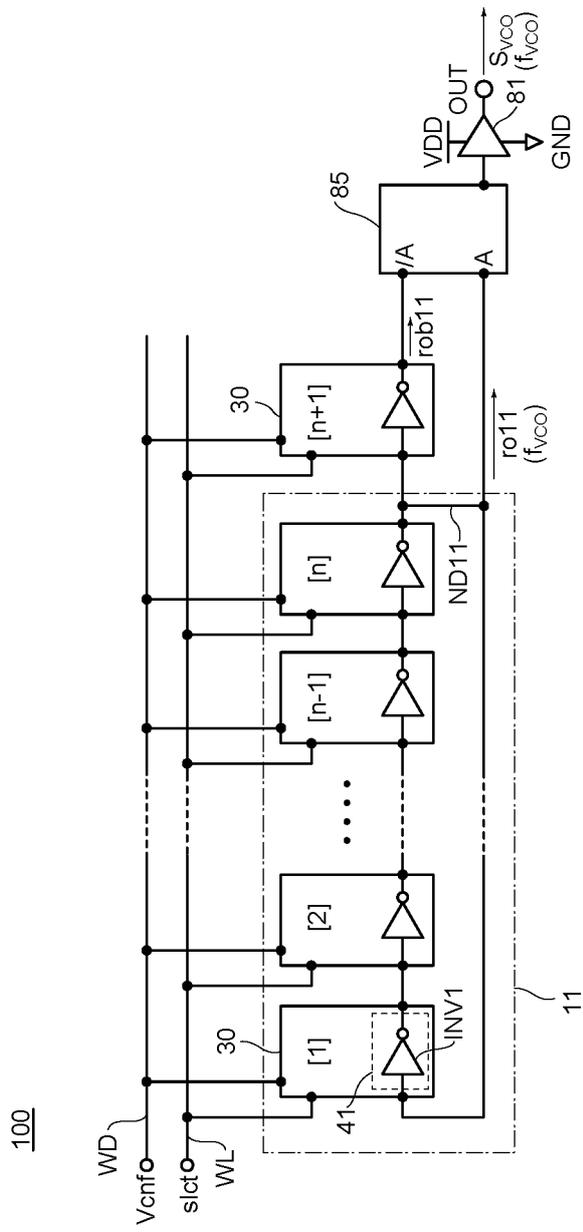
도면1



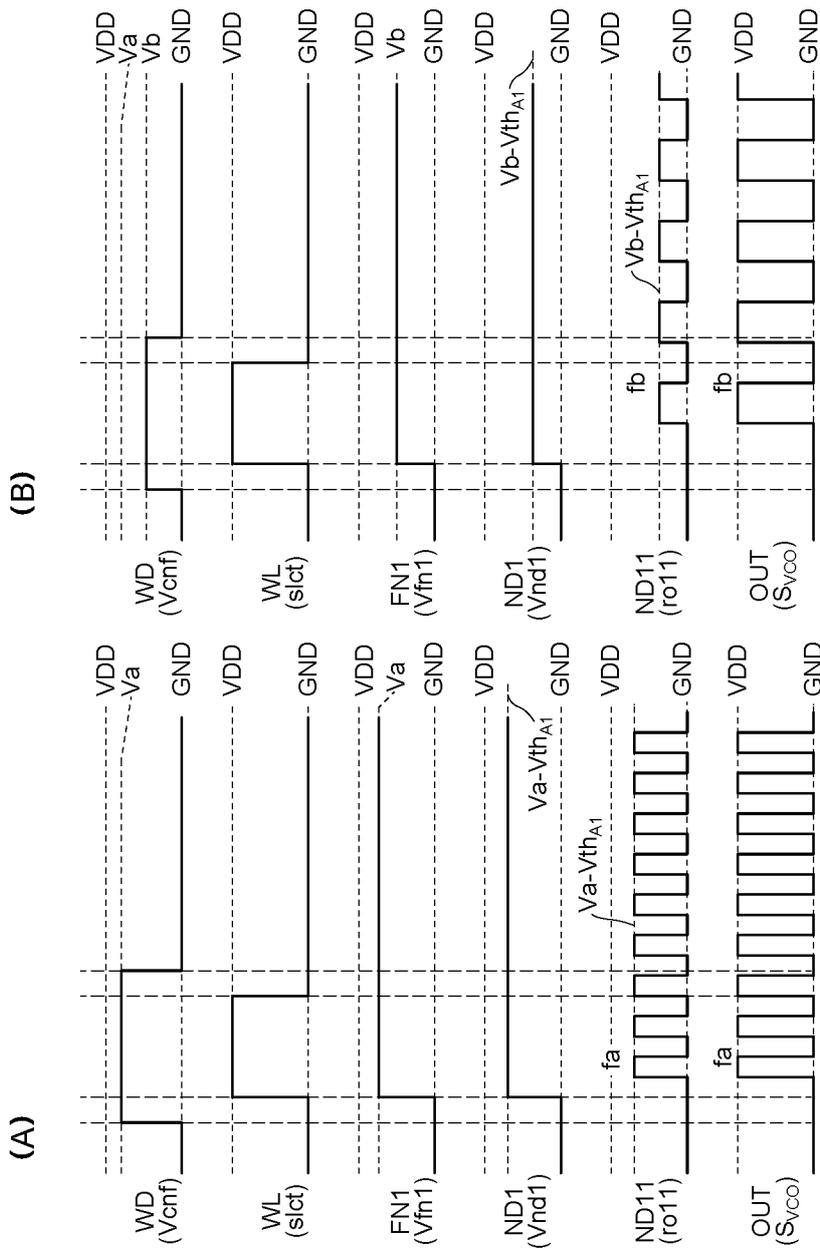
도면2



도면3

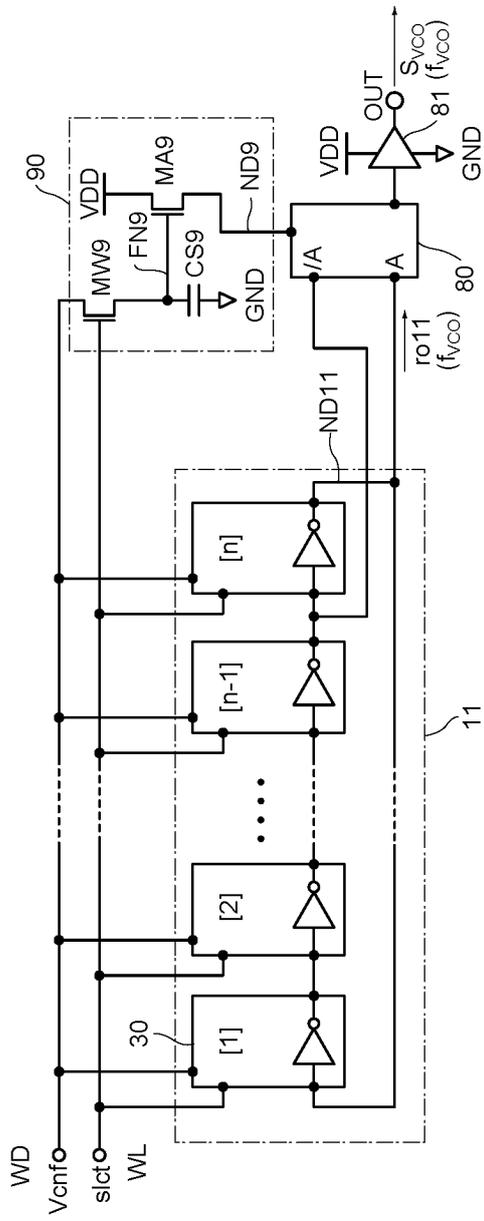


도면4

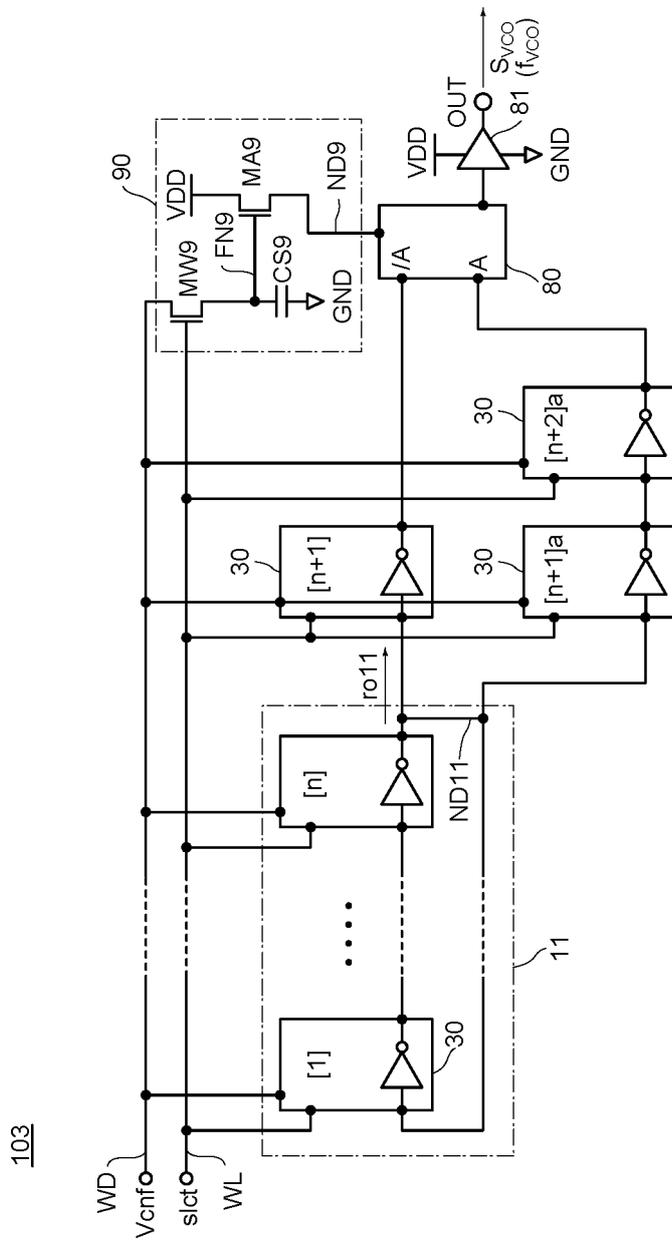


도면5

102

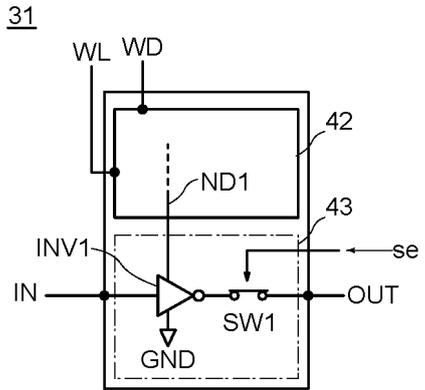


도면6

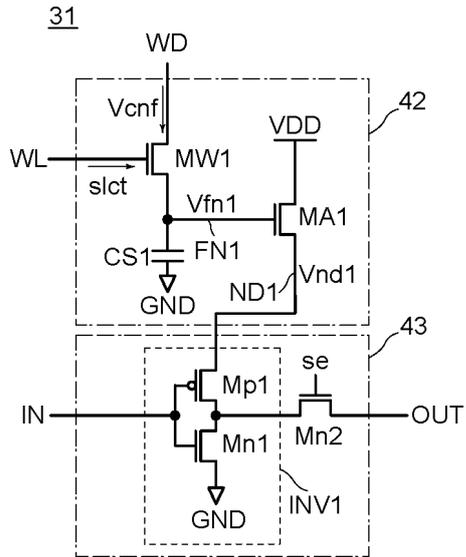


도면7

(A)

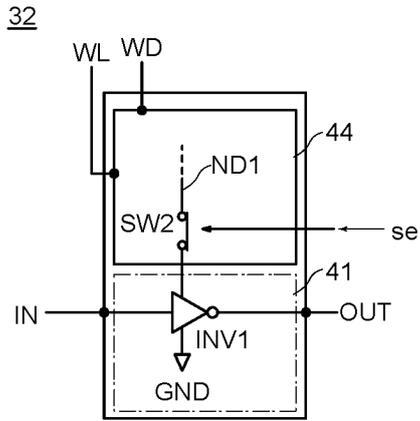


(B)

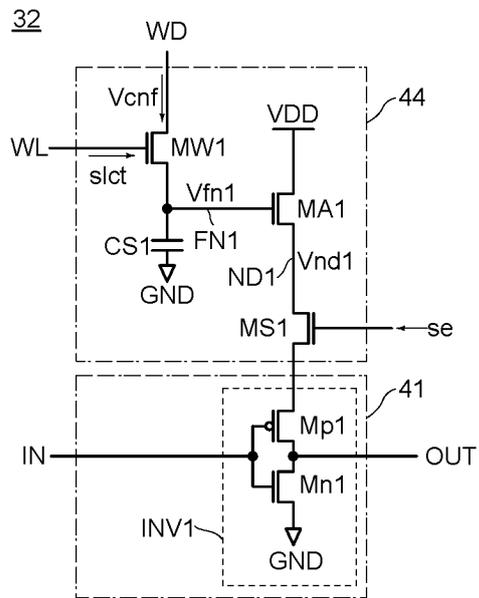


도면8

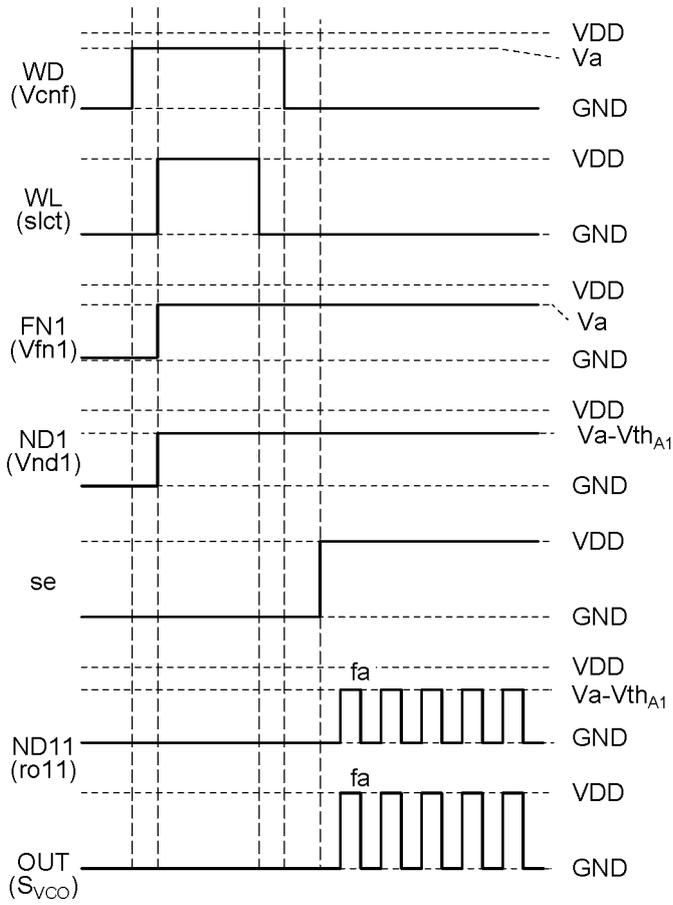
(A)



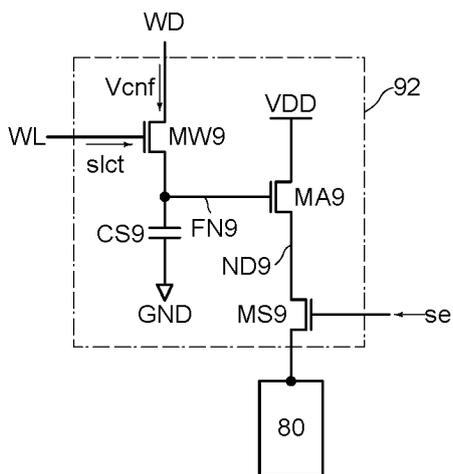
(B)



도면9

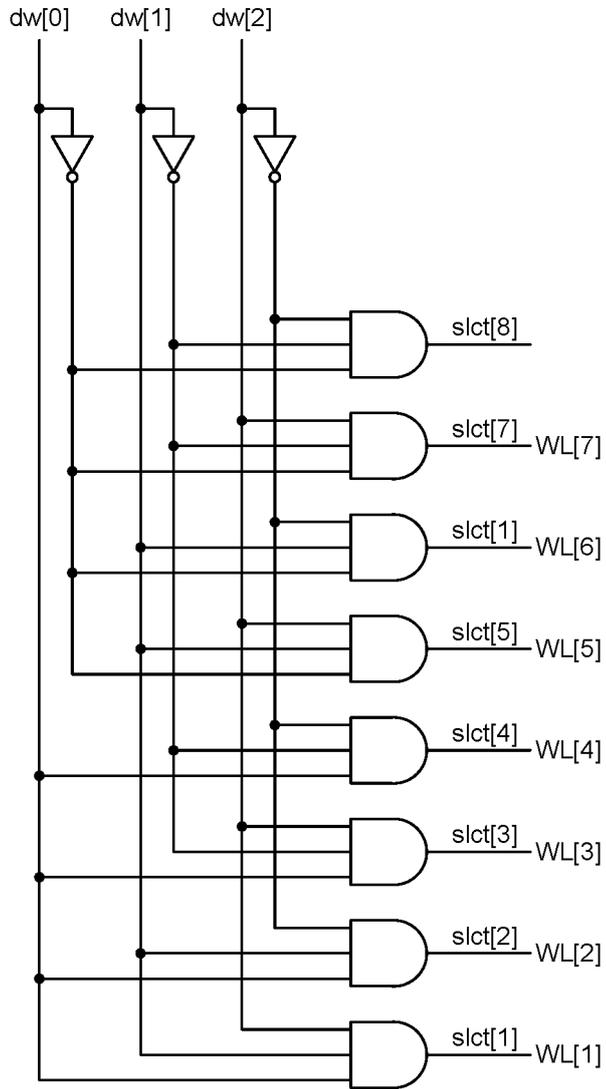


도면10

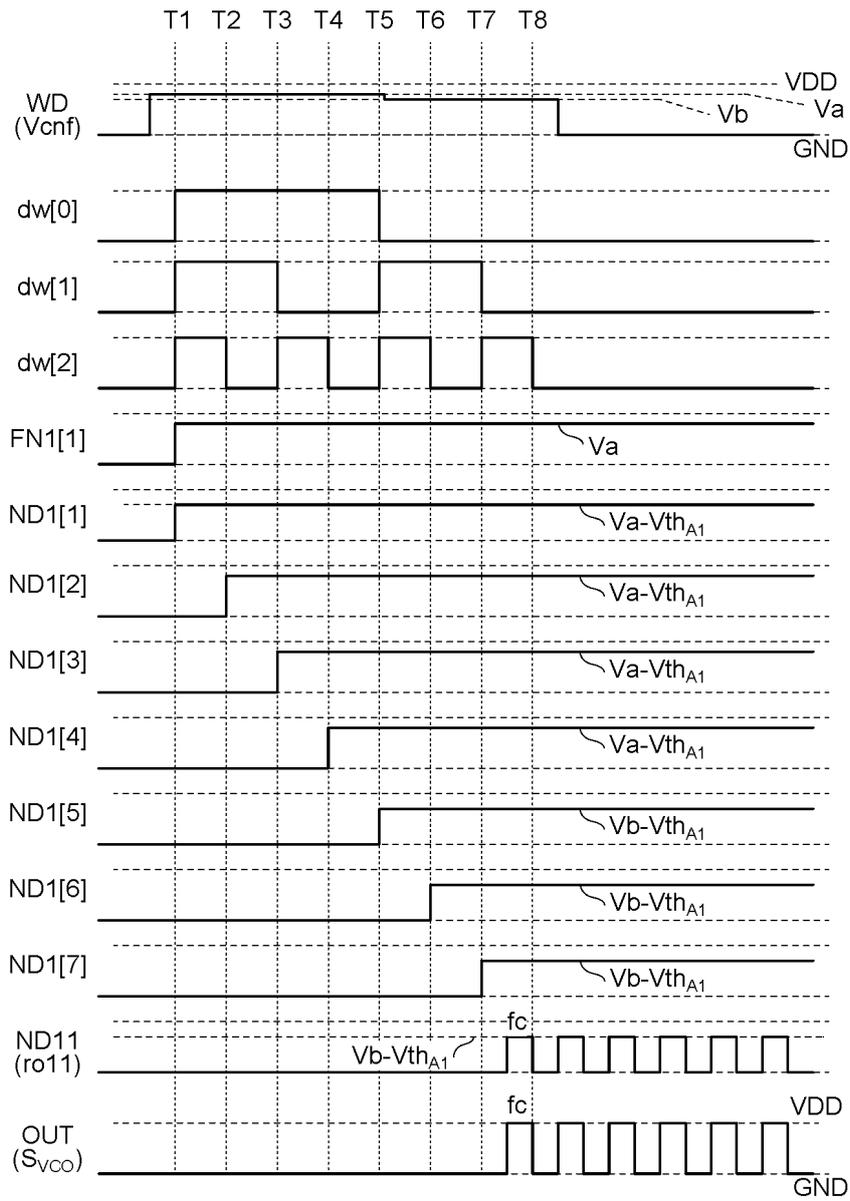


도면12

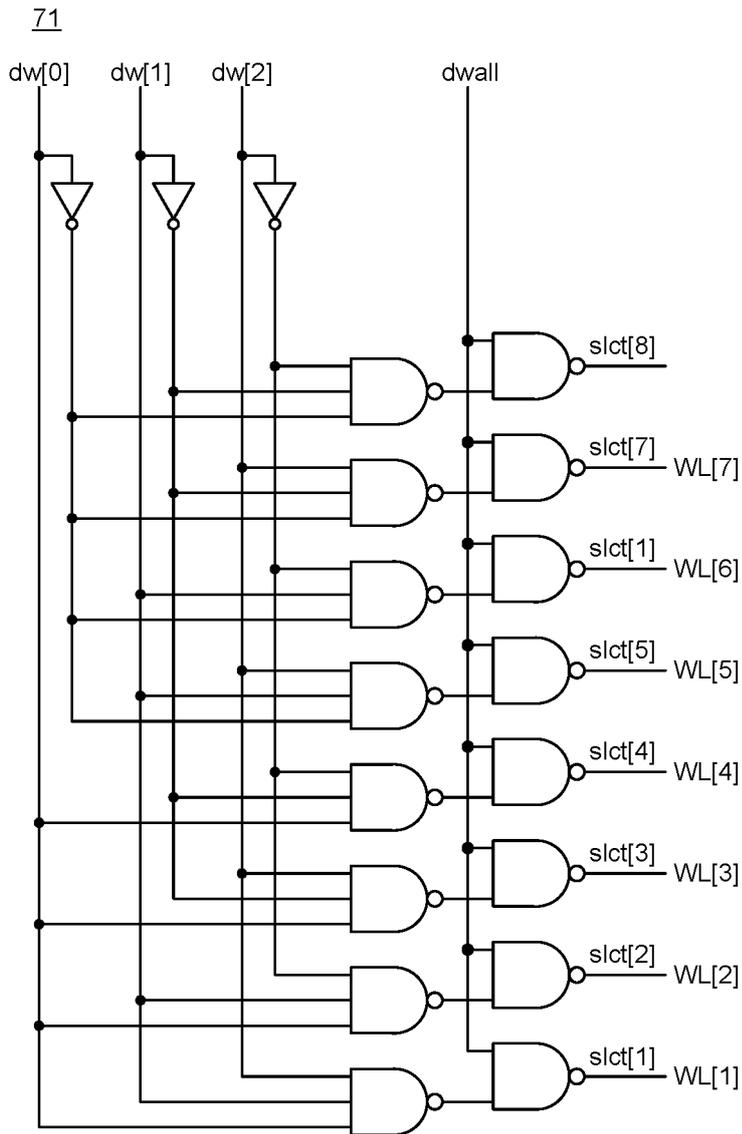
70



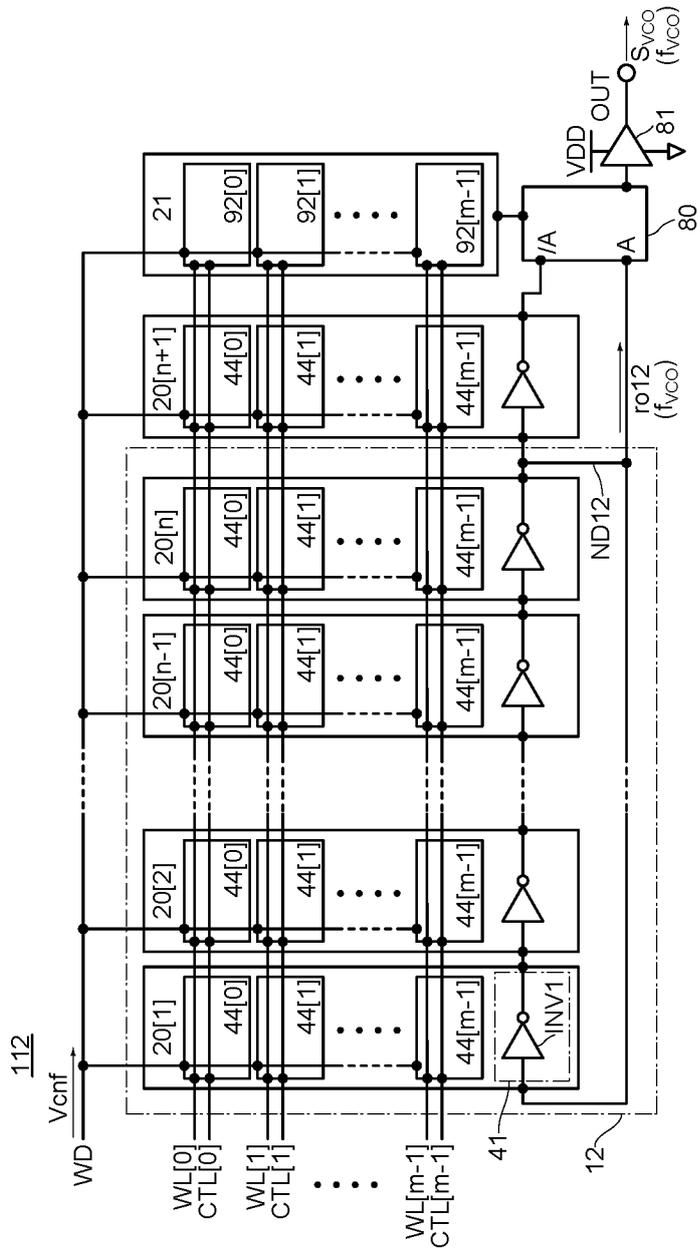
도면13



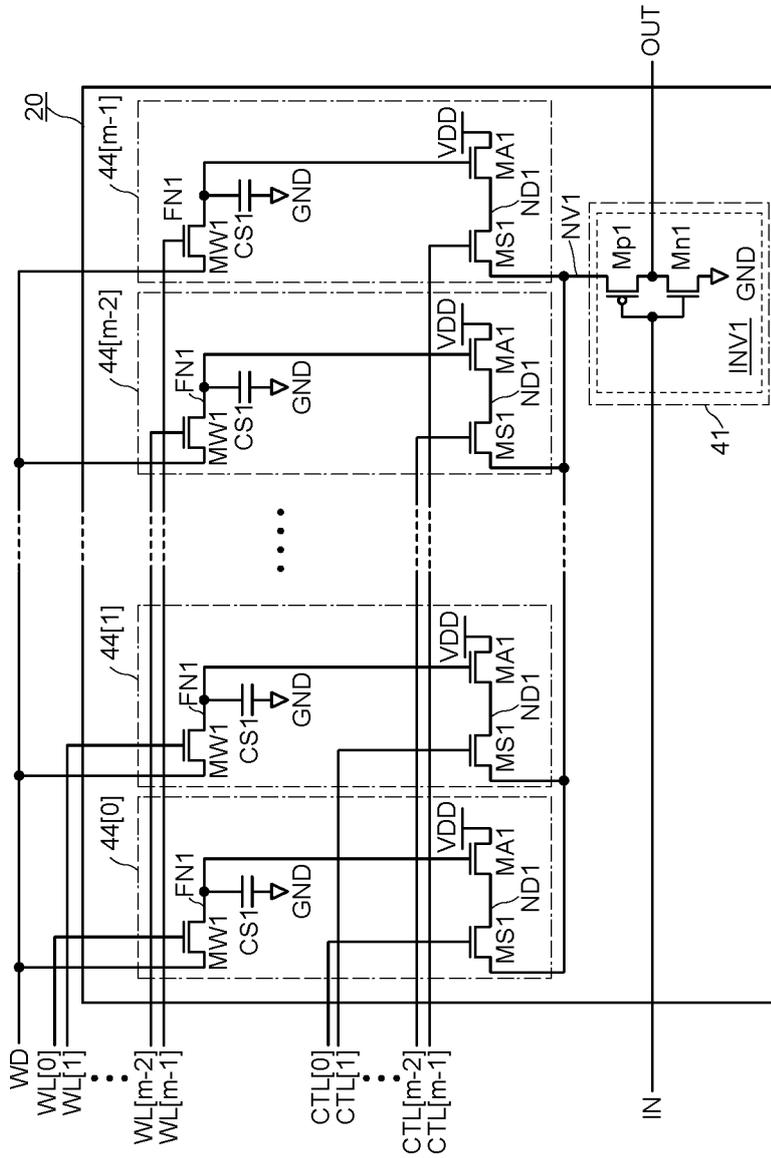
도면14



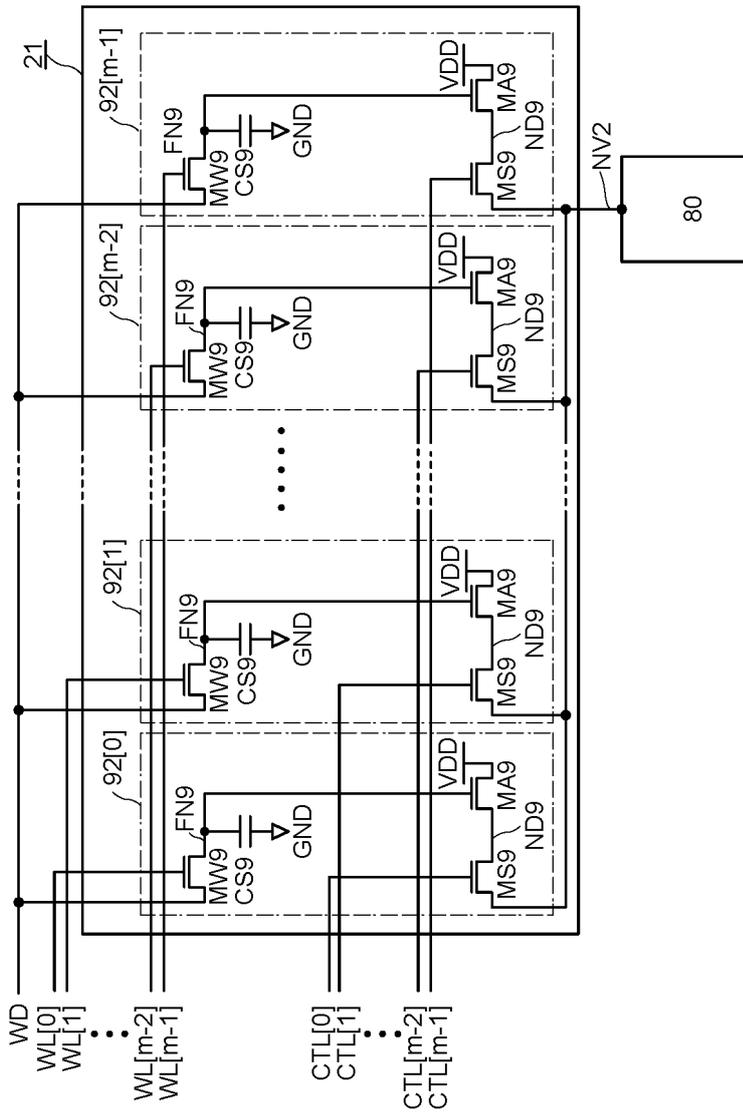
도면15



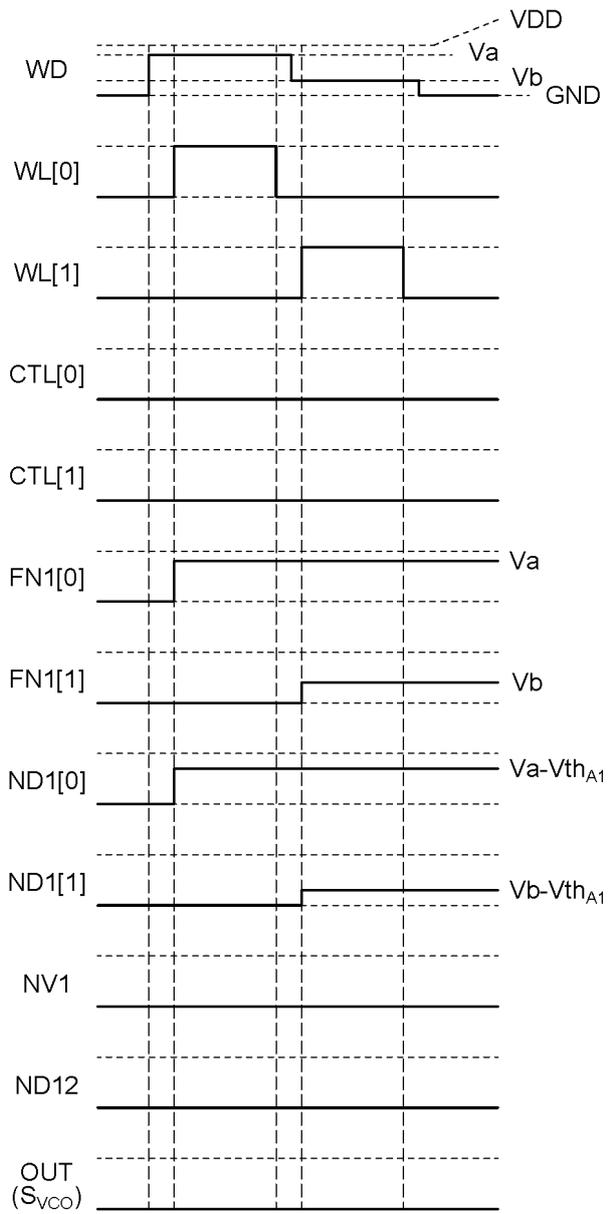
도면16



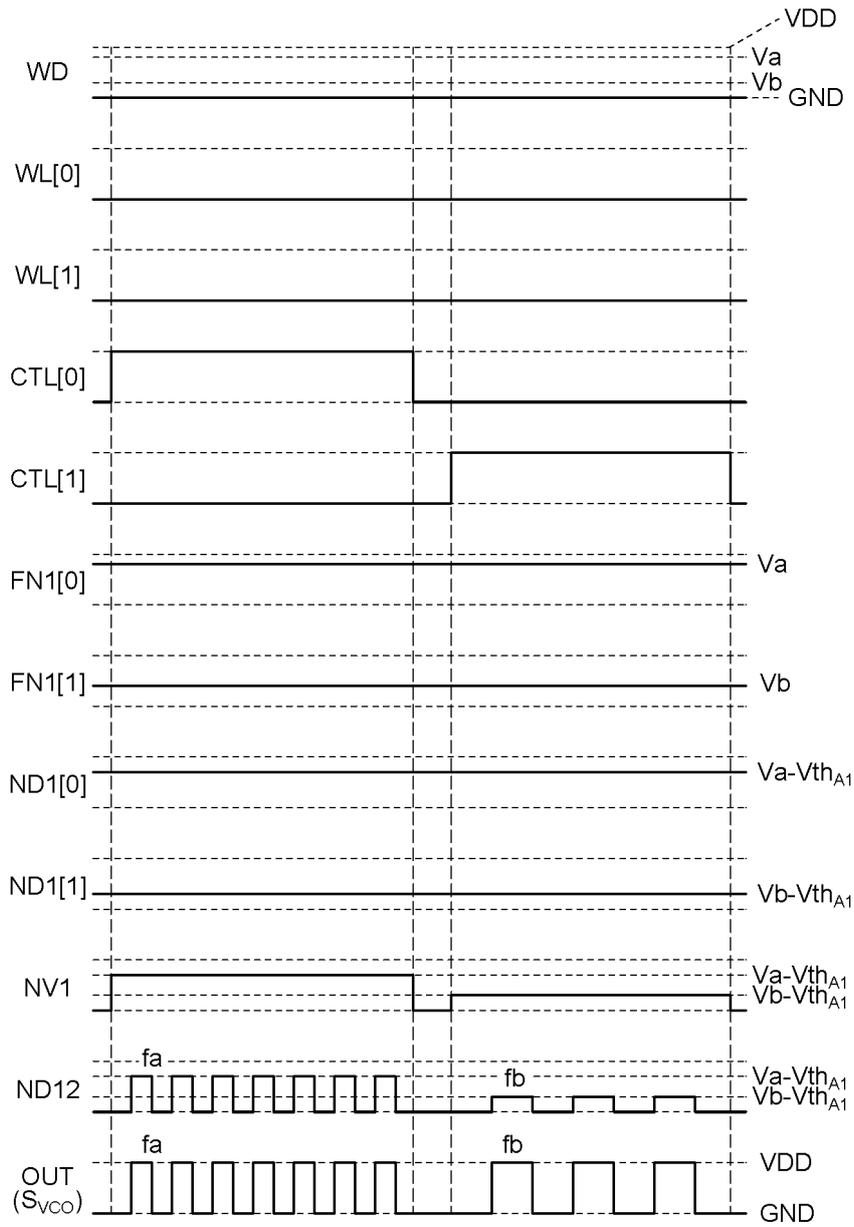
도면17



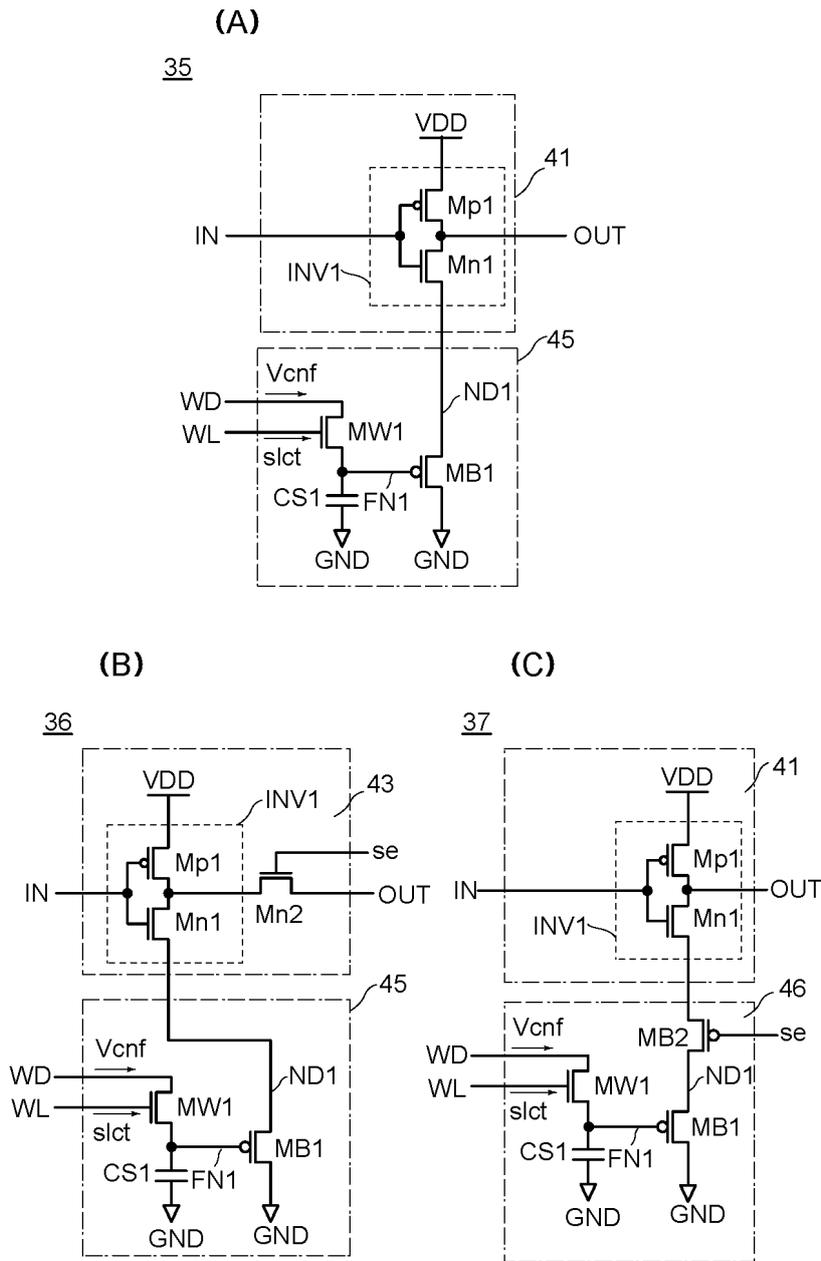
도면18



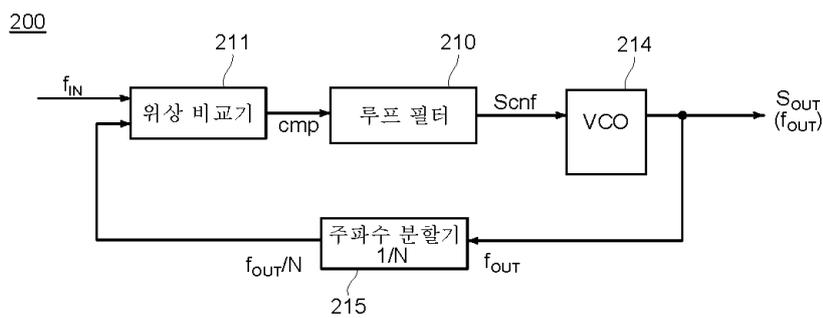
도면19



도면20

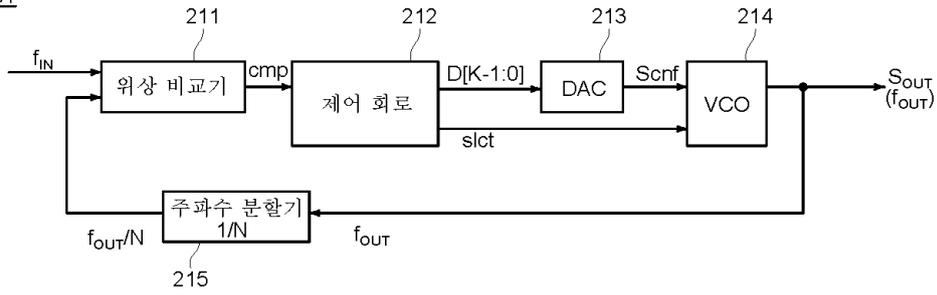


도면21



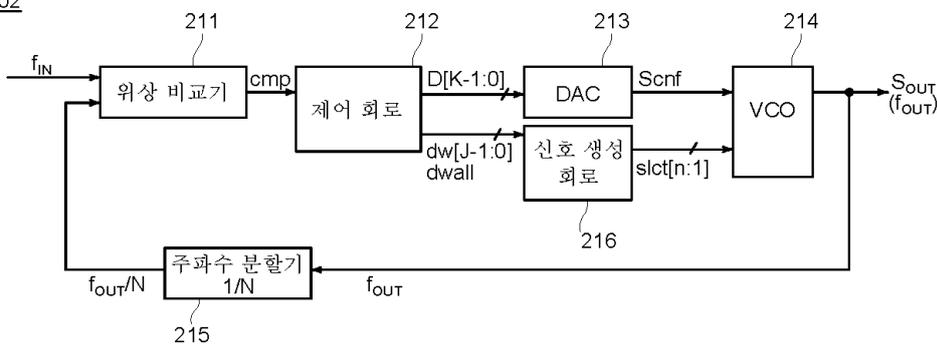
도면22

201

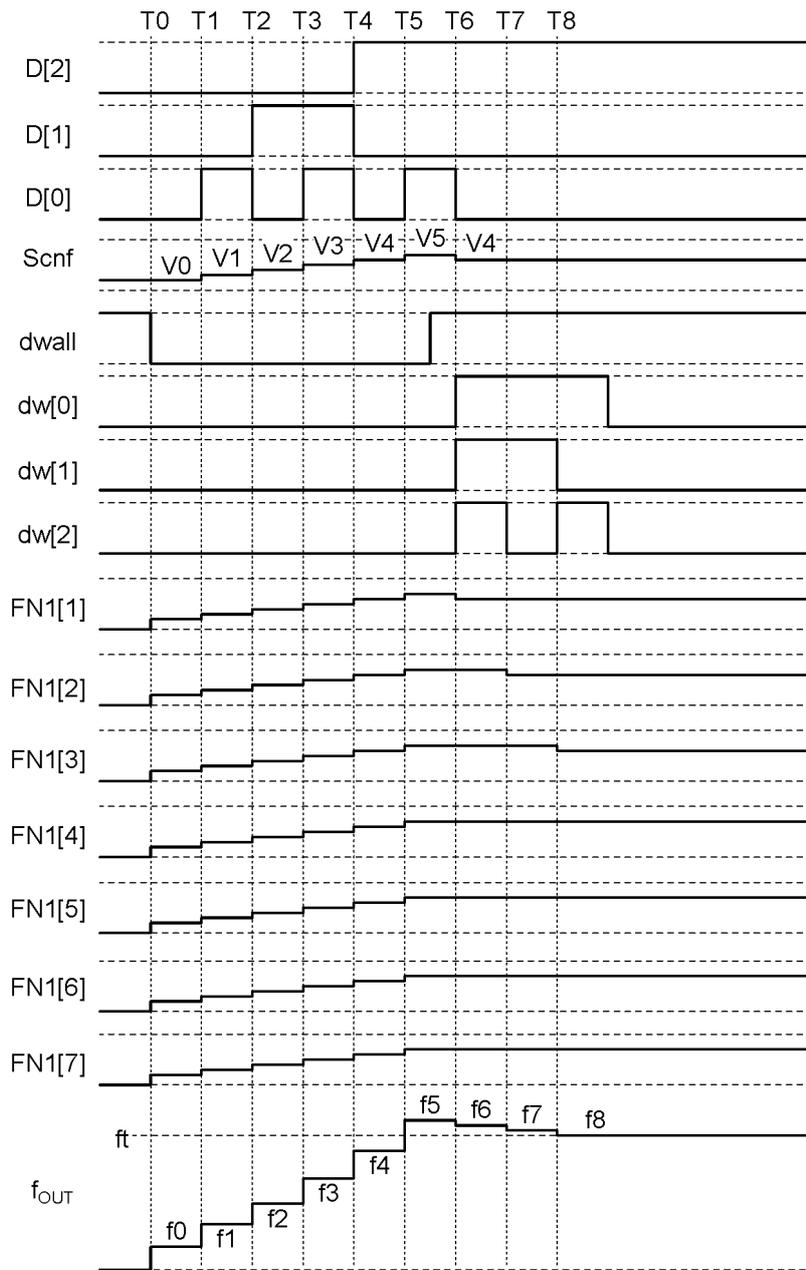


도면23

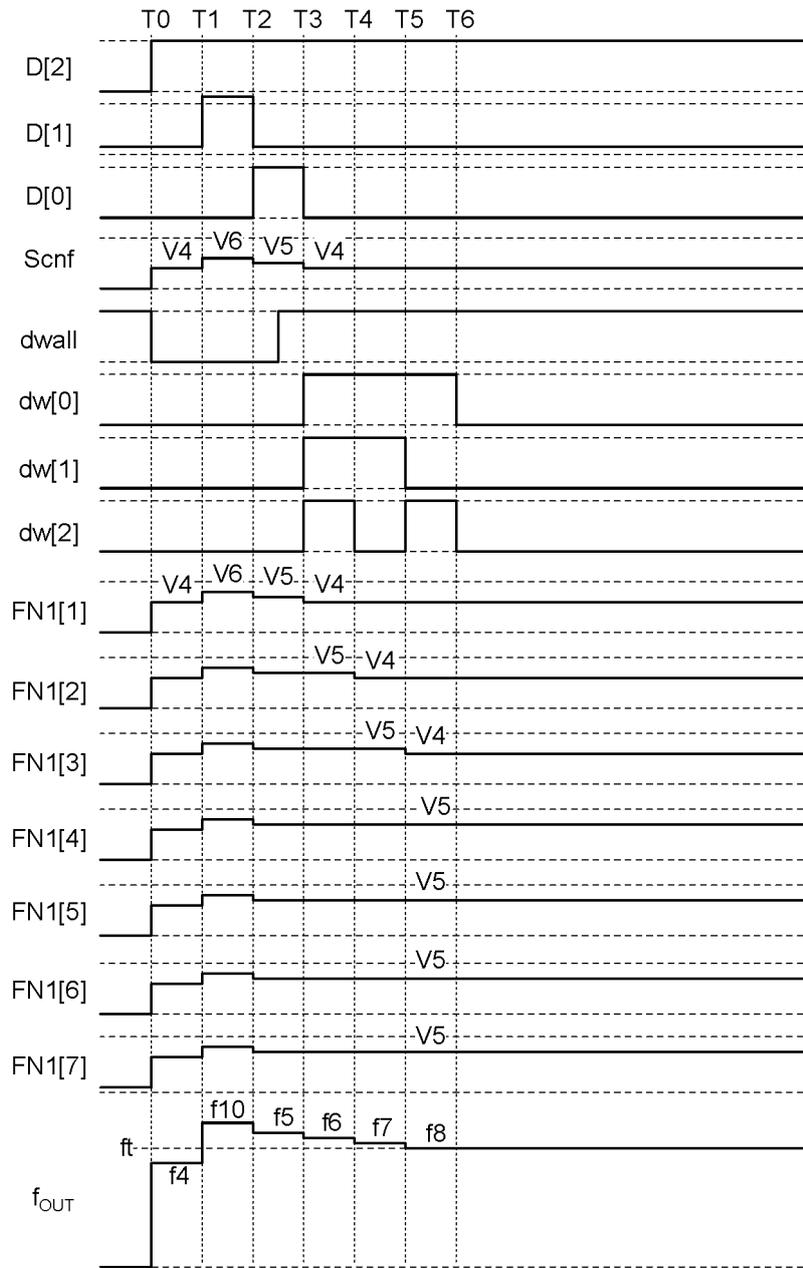
202



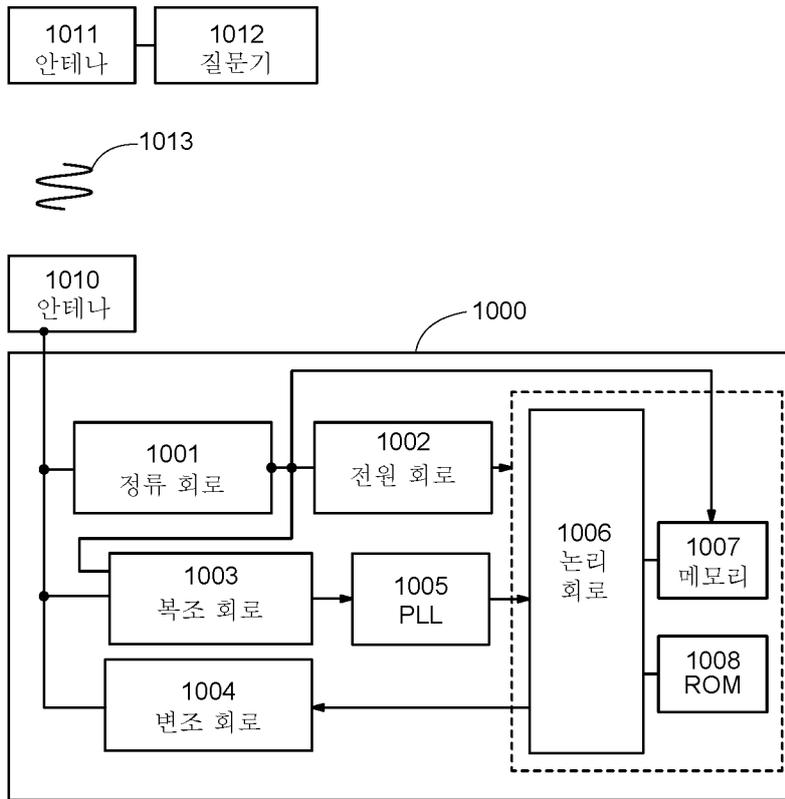
도면24



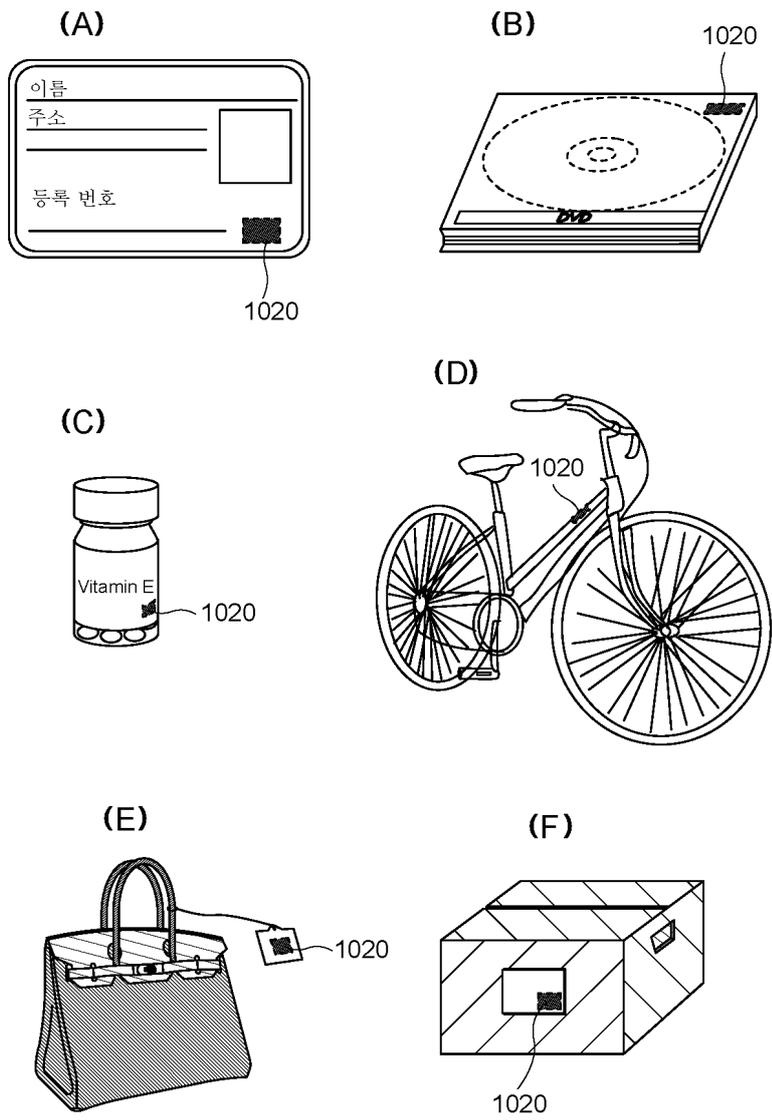
도면25



도면26

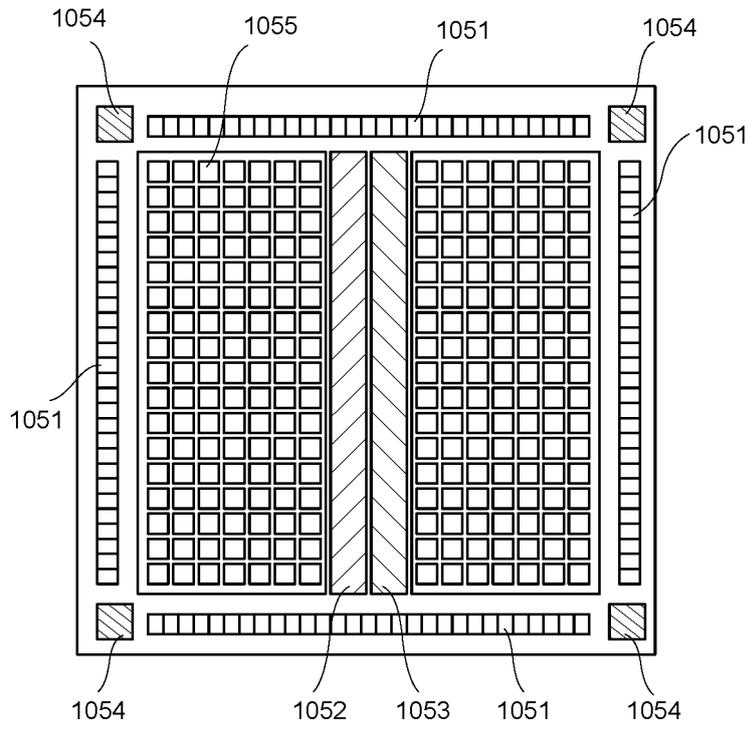


도면27

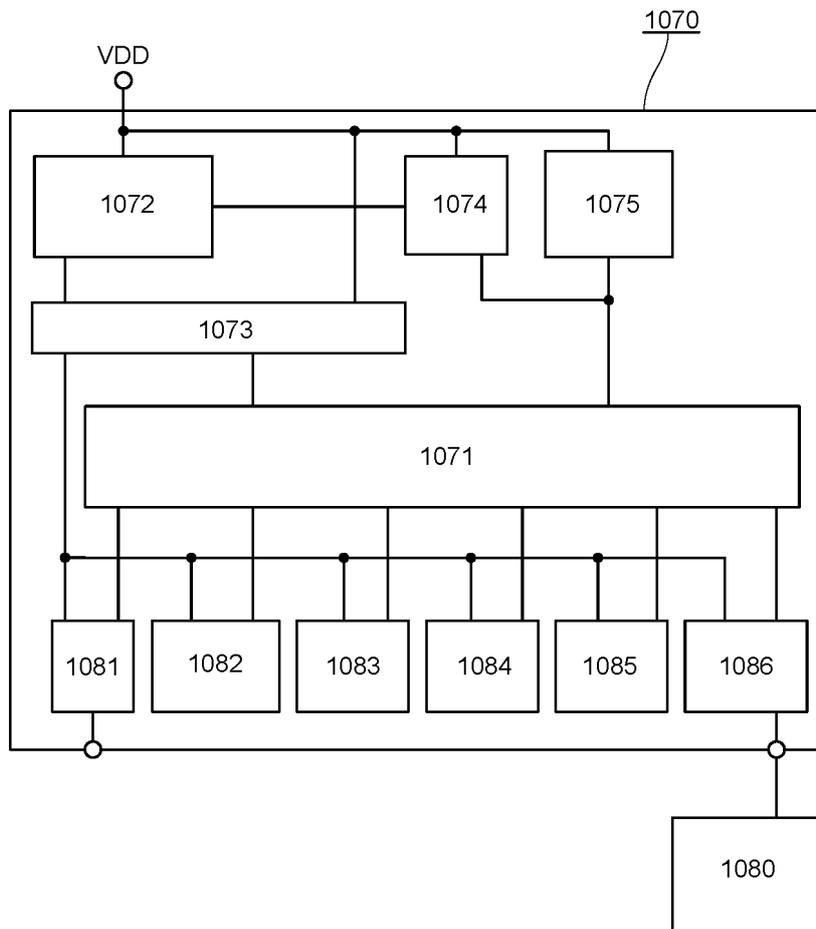


도면28

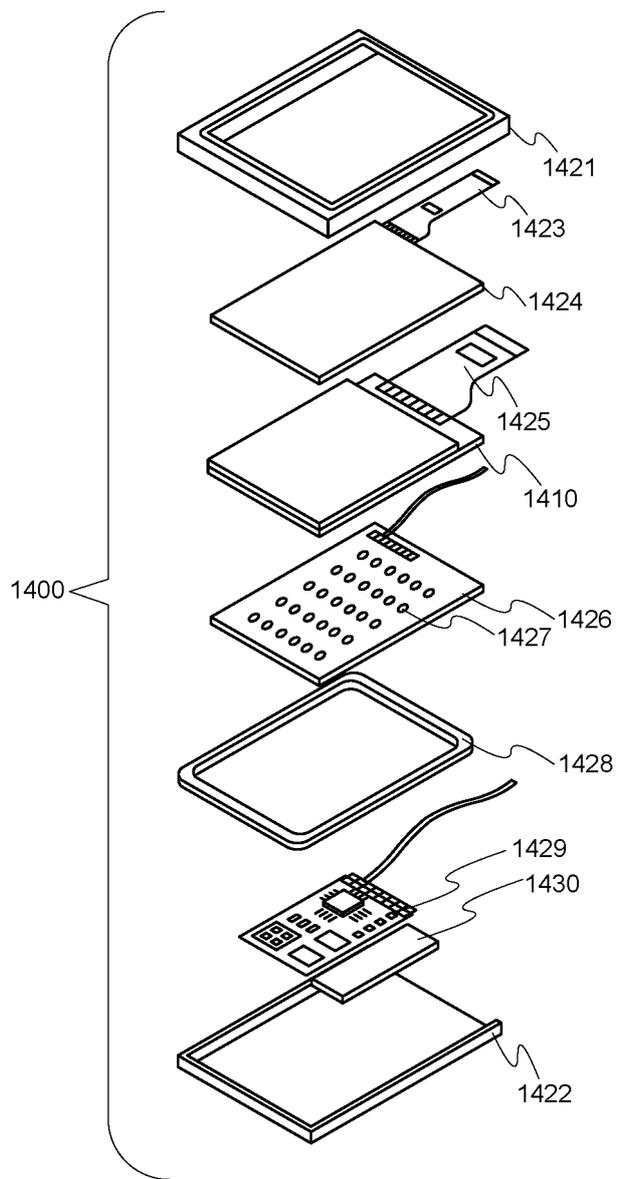
1050



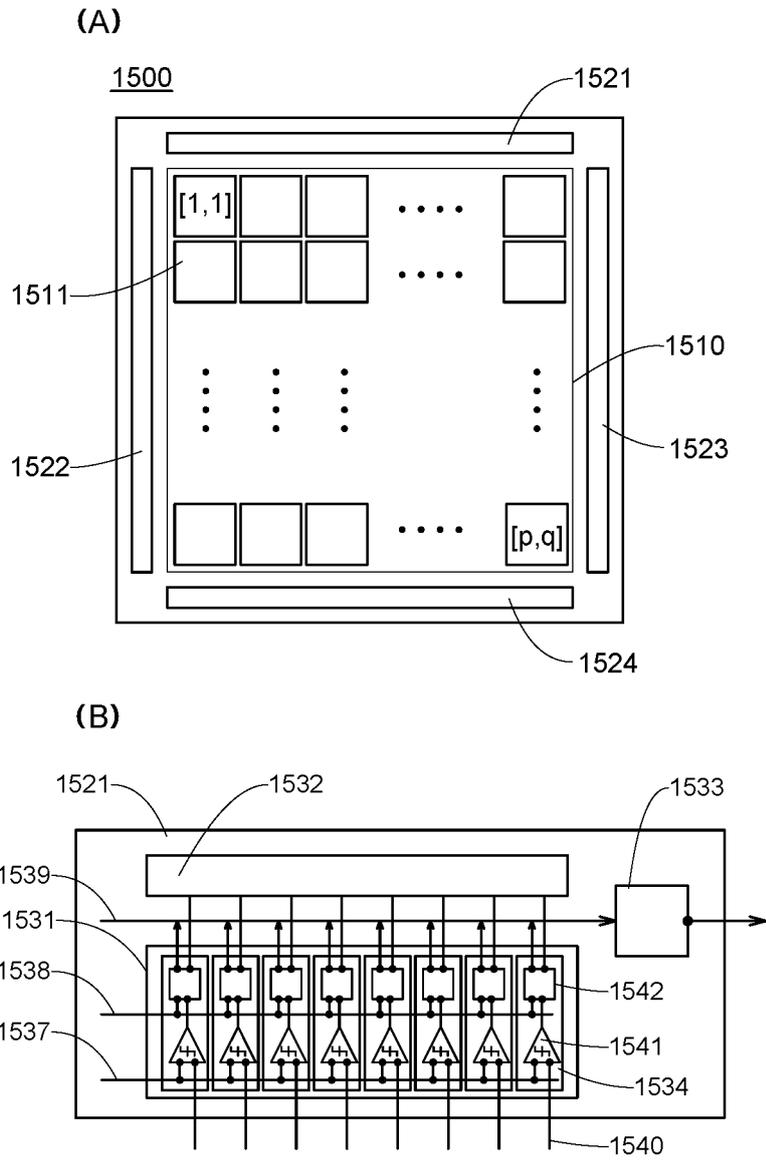
도면29



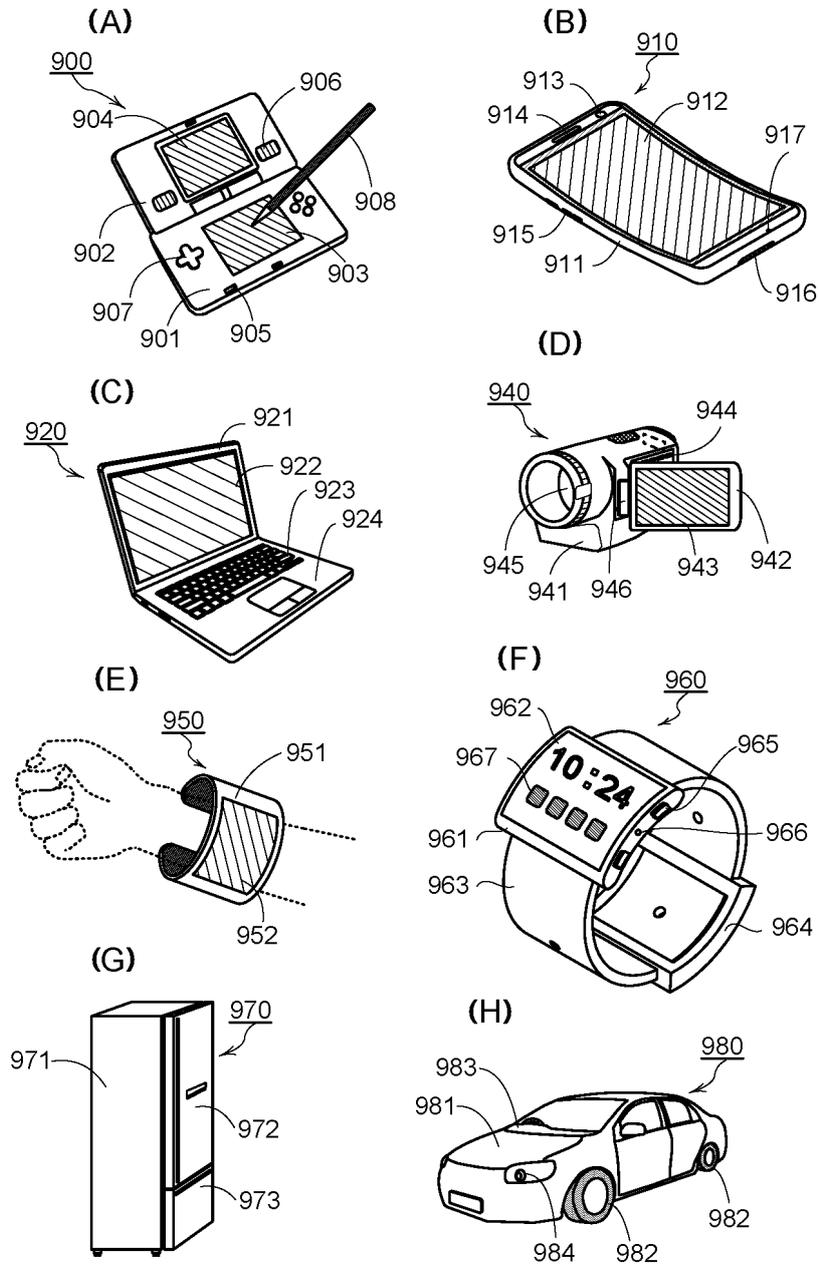
도면30



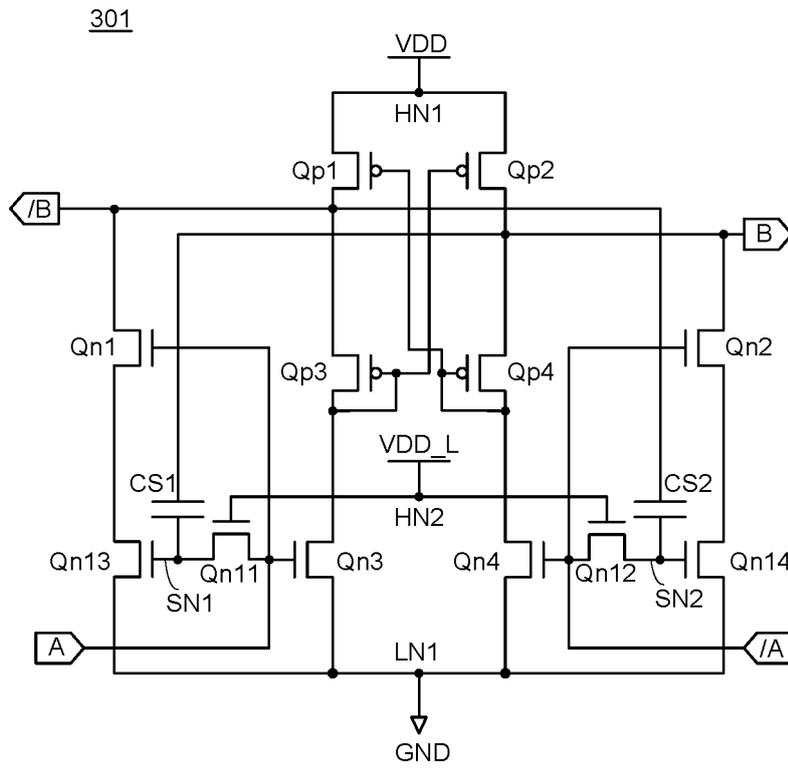
도면31



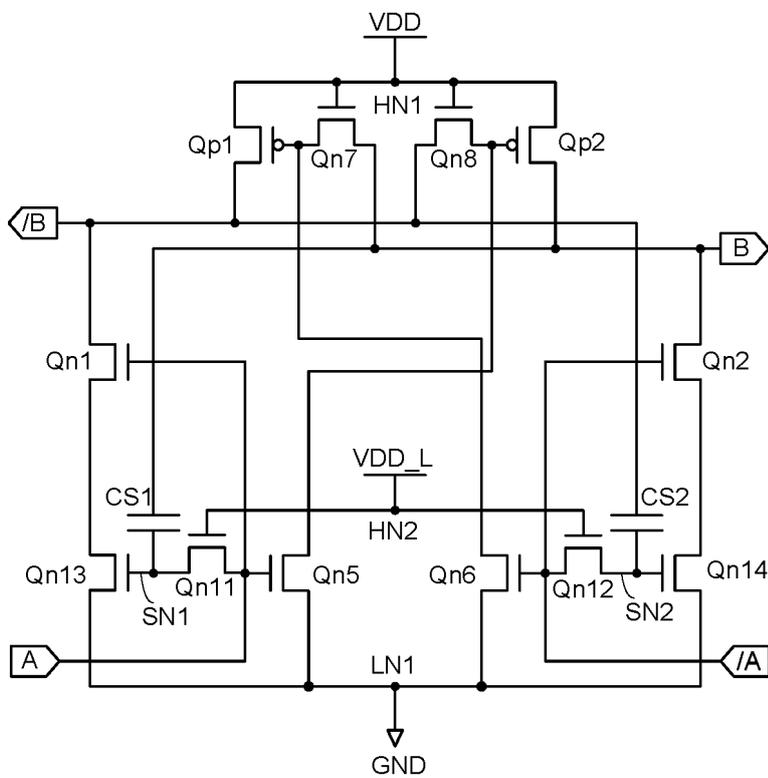
도면32



도면33

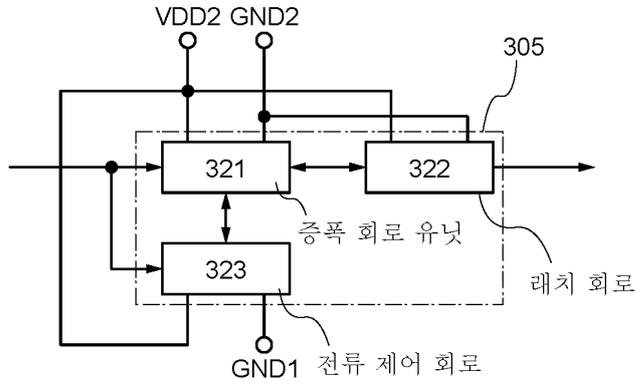


도면34

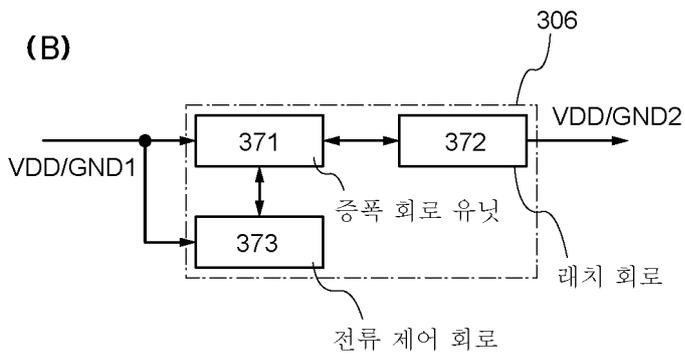


도면37

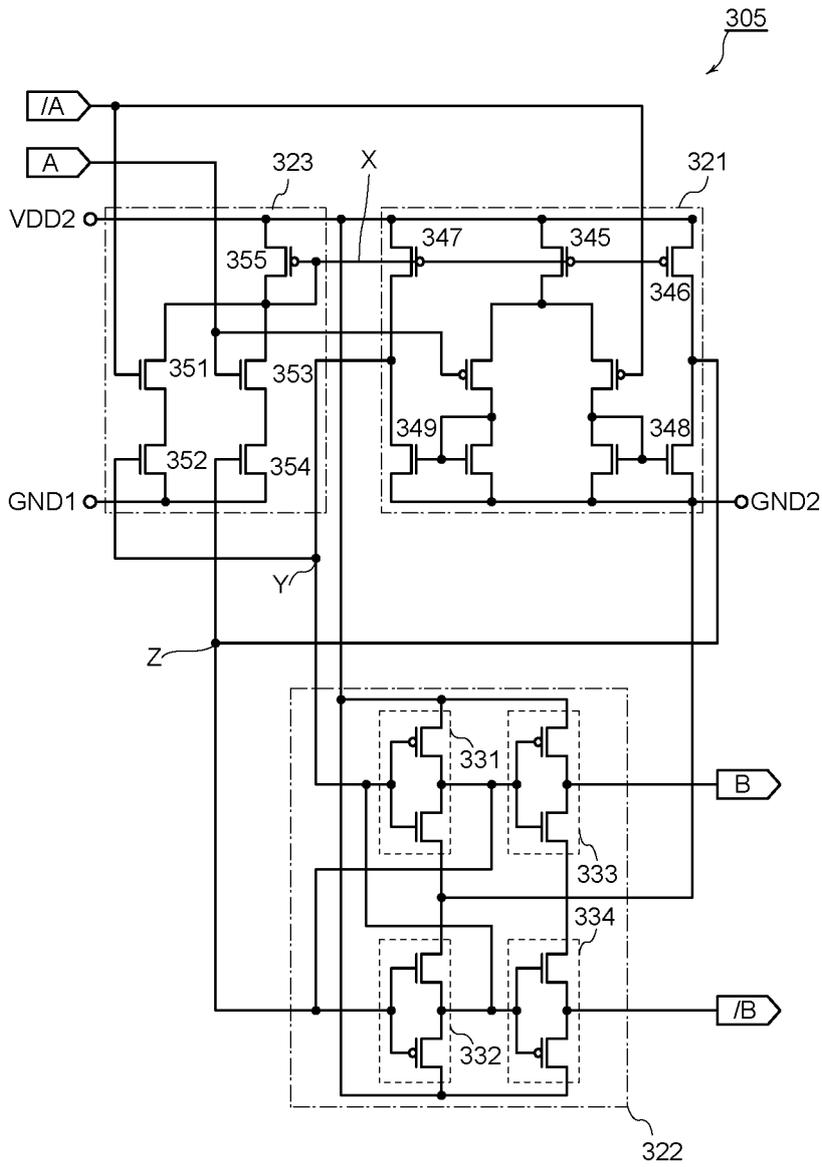
(A)



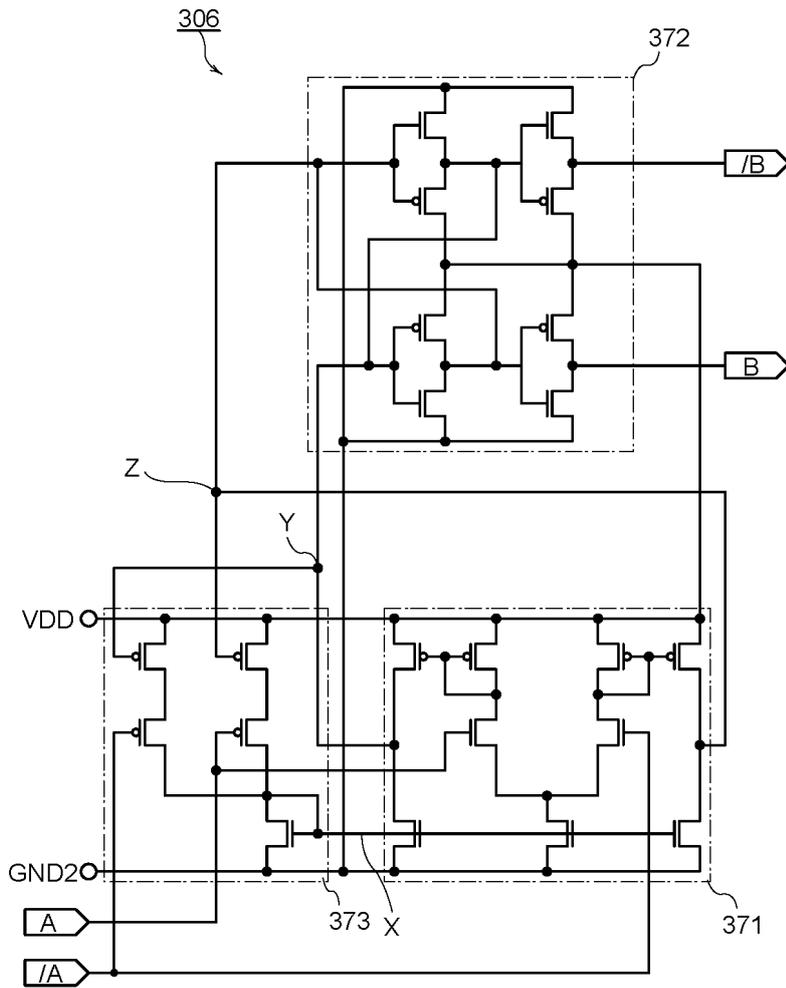
(B)



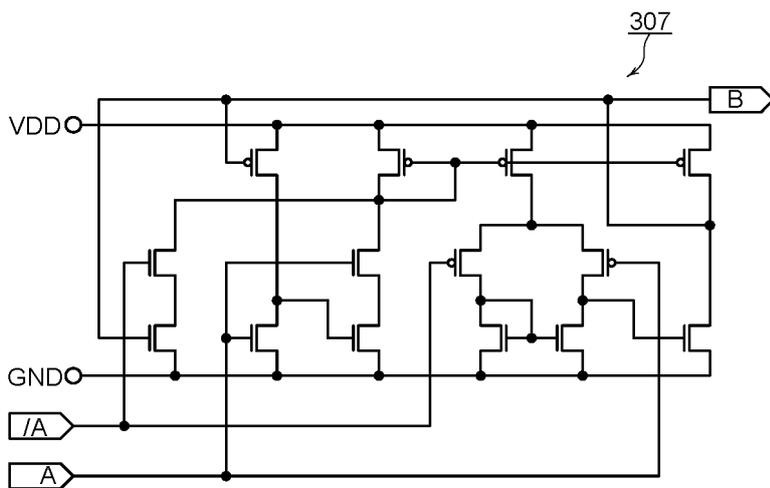
도면38



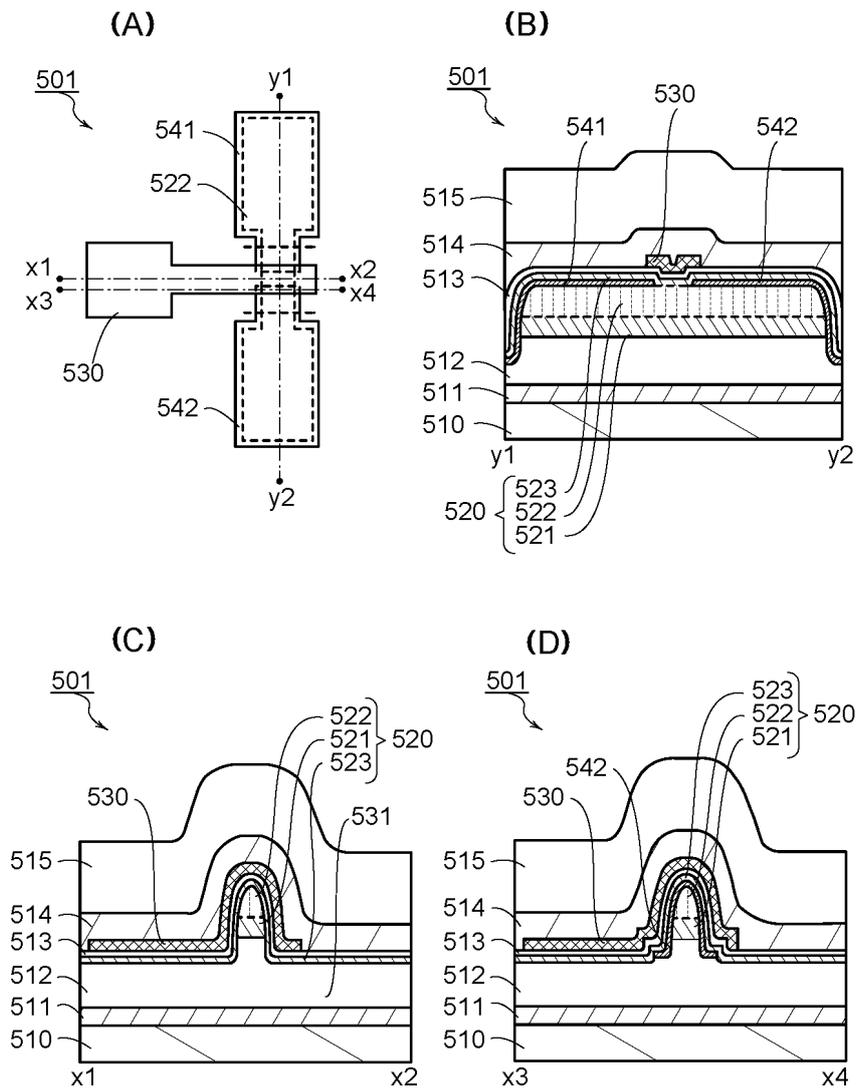
도면39



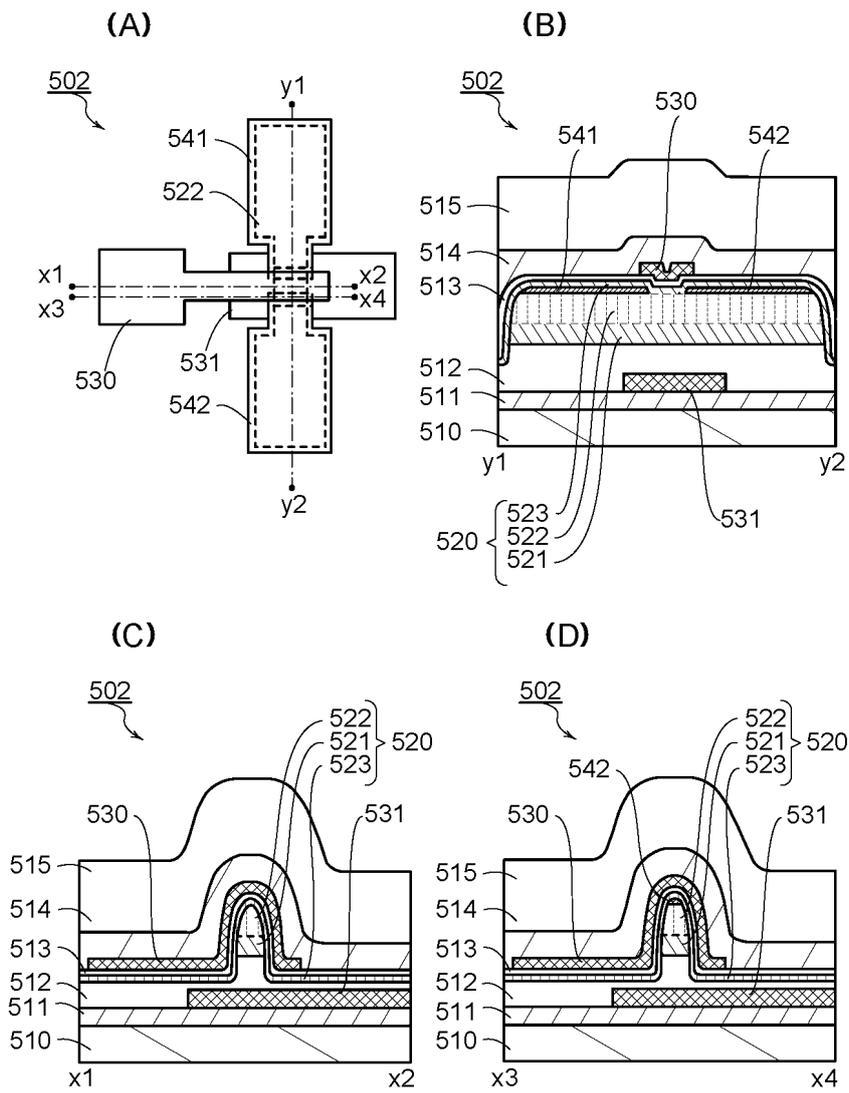
도면40



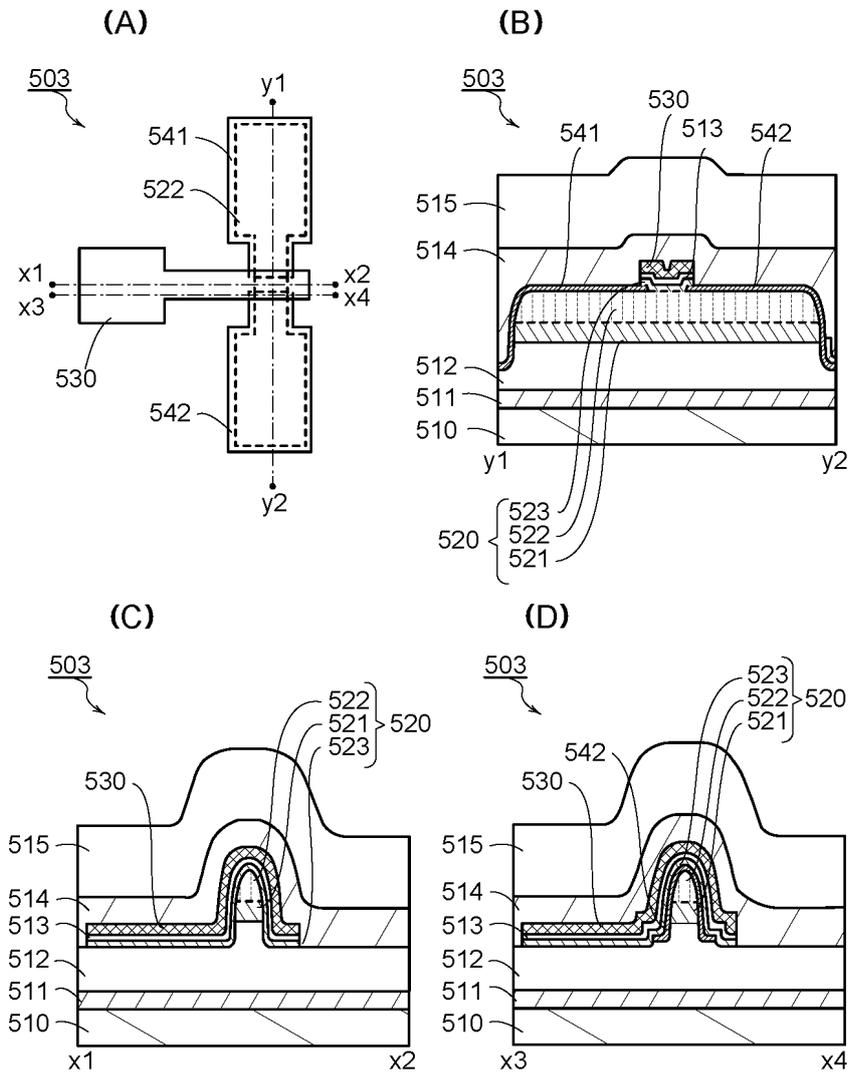
도면41



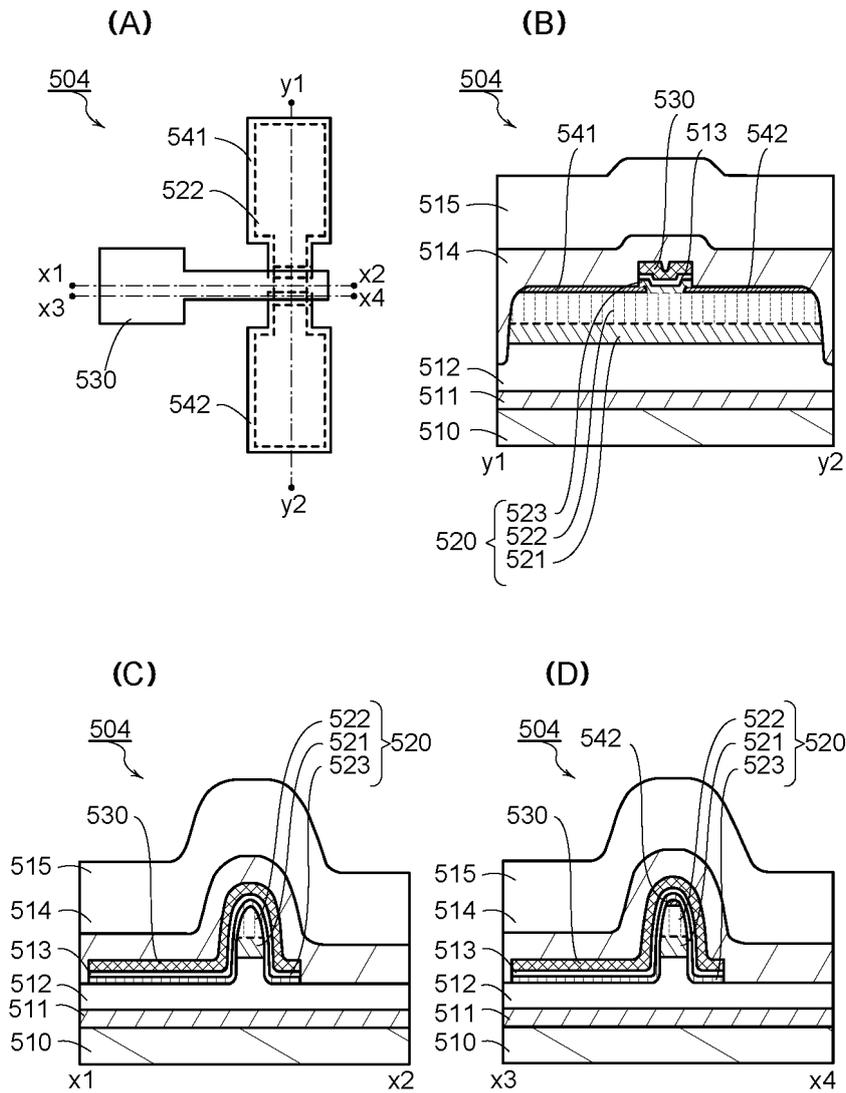
도면42



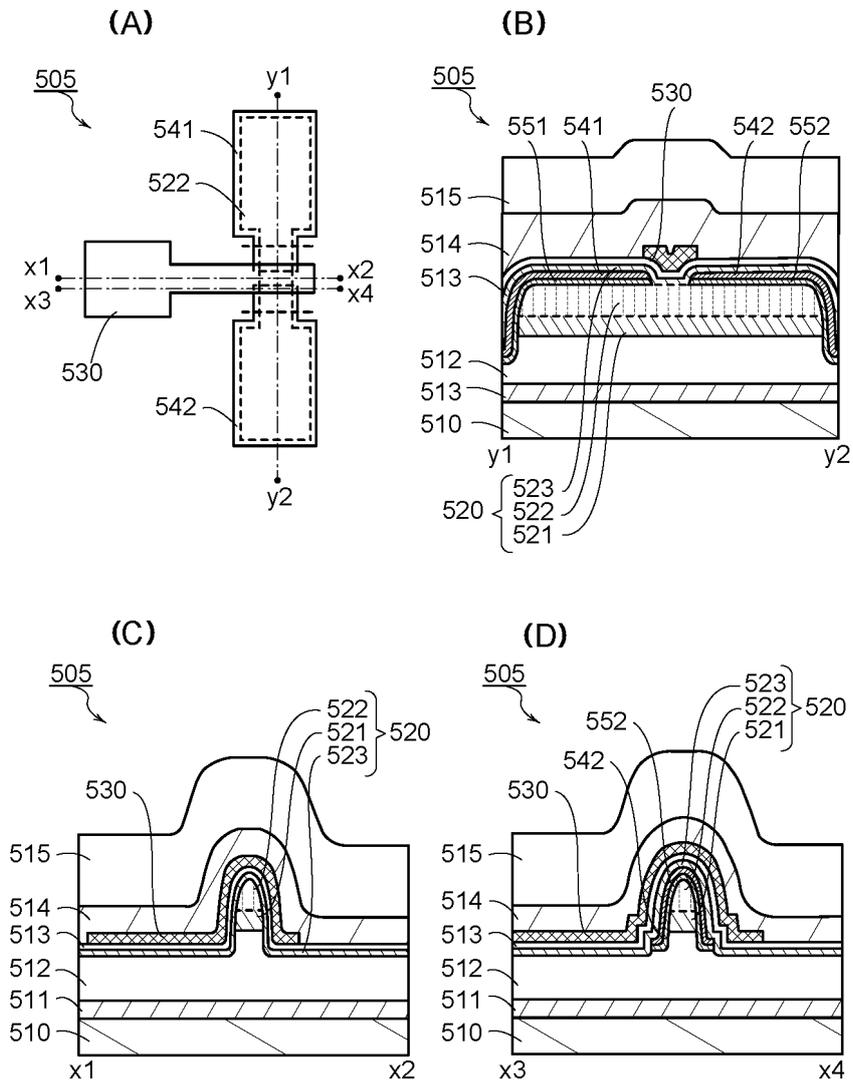
도면43



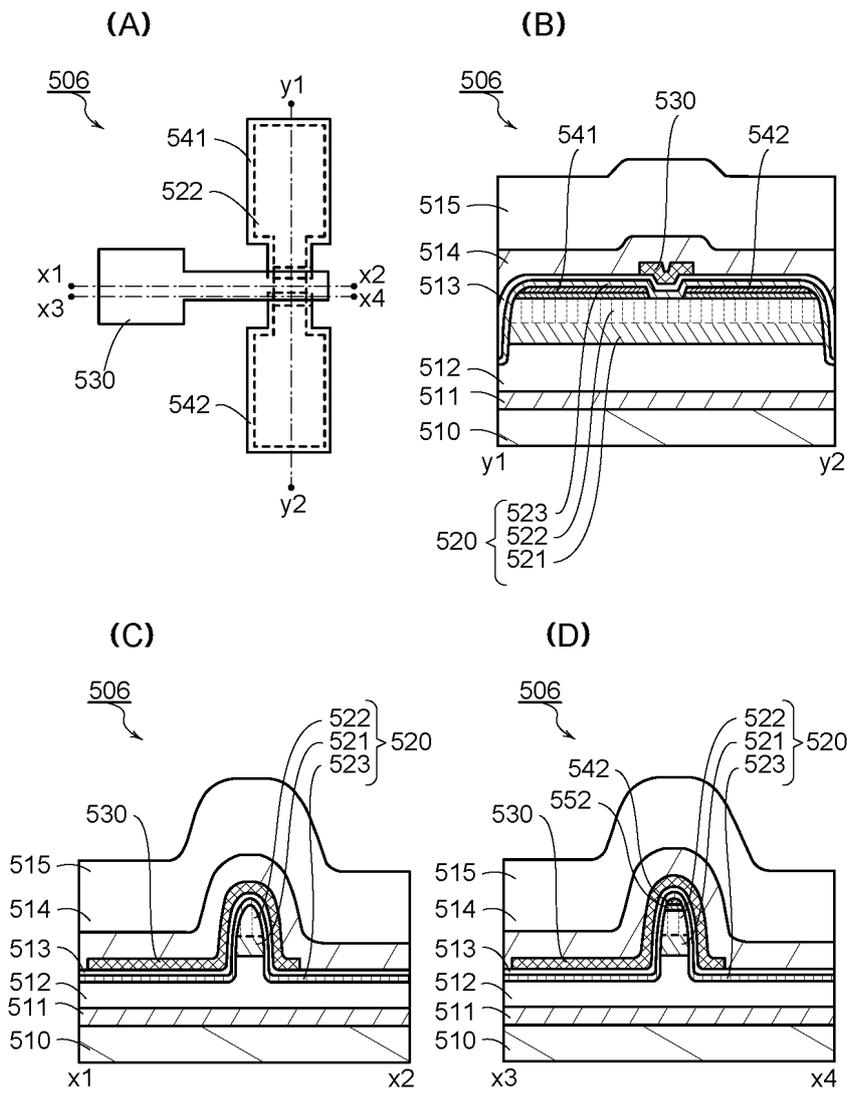
도면44



도면45

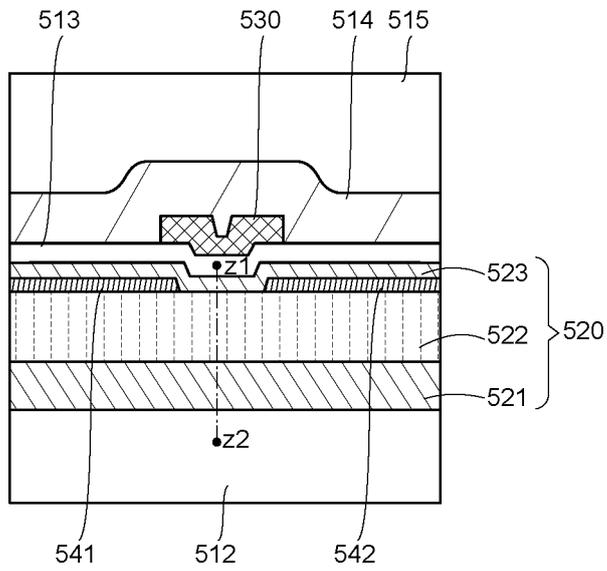


도면46

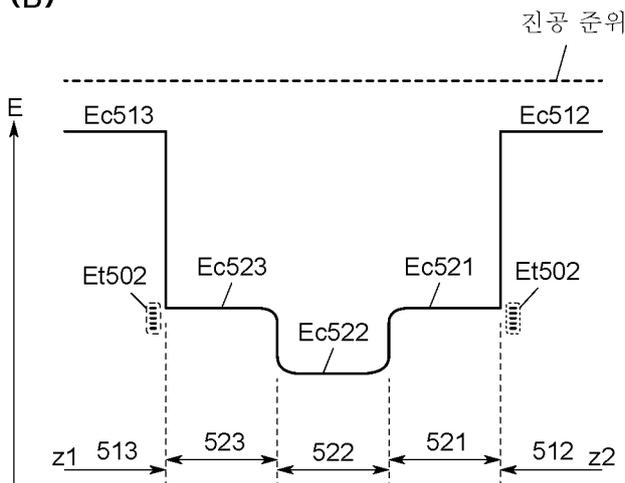


도면47

(A)

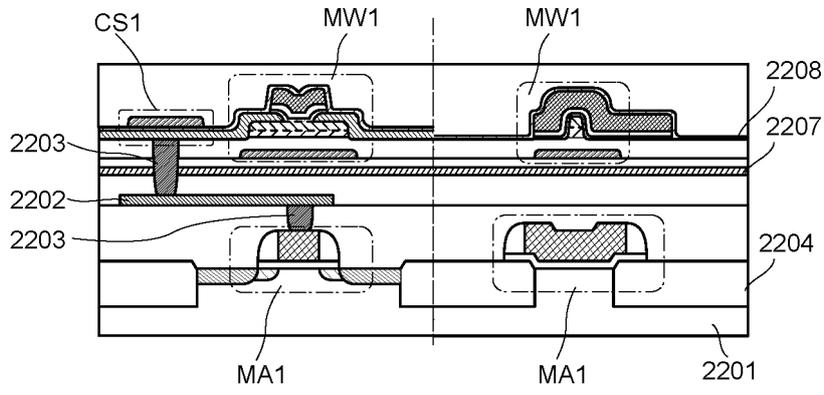


(B)

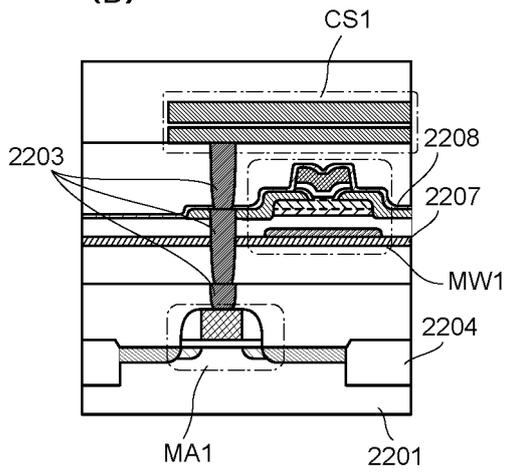


도면48

(A)



(B)



도면49

