

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-139083
(P2011-139083A)

(43) 公開日 平成23年7月14日(2011.7.14)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 25/04 (2006.01)	HO 1 L 25/04	Z
HO 1 L 25/18 (2006.01)	HO 1 L 23/12	J
HO 1 L 23/12 (2006.01)	HO 1 L 23/12	N

審査請求 有 請求項の数 1 O L (全 28 頁)

(21) 出願番号	特願2011-28393 (P2011-28393)	(71) 出願人	503459464 エンディコット インターコネクト テク ノロジーズ インク アメリカ合衆国 ニューヨーク州 137 60 エンディコット クラーク ストリ ート 1093
(22) 出願日	平成23年2月14日 (2011. 2. 14)	(74) 代理人	100112988 弁理士 瀬戸 一宏
(62) 分割の表示	特願2004-21260 (P2004-21260) の分割	(72) 発明者	ベンソン チャン アメリカ合衆国 ニューヨーク州 ベスタ ル キャロル アベニュー 117
原出願日	平成16年1月29日 (2004. 1. 29)	(72) 発明者	ジョン エム. ロウファー アメリカ合衆国 ニューヨーク州 ウエバ リイ リンカーン ストリート エクス ンション 213
(31) 優先権主張番号	10/354,000		
(32) 優先日	平成15年1月30日 (2003. 1. 30)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	10/394,107		
(32) 優先日	平成15年3月24日 (2003. 3. 24)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

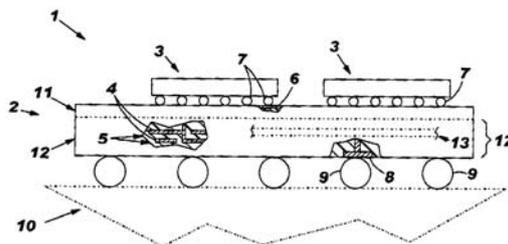
(54) 【発明の名称】 積層キャリアを有するマルチチップ電子パッケージ及び該パッケージの組立体

(57) 【要約】 (修正有)

【課題】有機積層チップキャリアと、このキャリアの上面に配置される複数の半導体チップとを利用するマルチチップ電子パッケージを提供する。

【解決手段】有機積層チップキャリア2は、複数の導電プレーン4と誘電層5とを含み、その底面で基礎を成す導電体8にチップ3を結合させる。このキャリアは、半導体チップ間の高周波接続を確保する高速部分を含むことが可能であり、動作性能の強化のために、内部コンデンサ及び又は熱伝導部材13を含むこともできる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

マルチチップ電子パッケージであって、

間隔を空けて内部に配置されてそれぞれの誘電材料層により分離された複数の導電プレーンを含む有機積層チップキャリアにして、その第一の表面上の複数の電気接点と、その第二の表面上の複数の導電体とを含み、前記電気接点の選択されたものが、前記導電体の選択されたものと電氣的に結合される、チップキャリアと、

前記有機積層チップキャリアの前記第一の表面上に間隔を空けて配置され、前記導電体の前記選択されたものと結合されるように前記電気接点の選択されたものと電氣的に結合される、複数の半導体チップと、

10

を備えたパッケージ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路を取り付けるための電子パッケージに関し、特に、こうしたパッケージにおいて使用する有機多層積層相互接続構造に関する。なお、本願は、2003年1月30日に米国で出願された出願番号第10/354,000号「高速回路基板及び製造方法」(発明者：B.チャン他)の米国での一部継続出願である。

【背景技術】

【0002】

20

有機積層基板、例えば、プリント回路基板及びチップキャリアは、多くの用途向けに開発され、引き続き開発が行われている。これらは、コストの低減及び電気性能の向上から、多くのチップキャリア用途において、セラミック基板に取って代わることが期待されている。電子パッケージにおいて半導体チップをプリント回路基板に相互接続する有機積層チップキャリアのような、多層相互接続構造の使用は、多くの課題をもたらしており、その一つは、半導体チップと有機チップキャリアとの間の接続継手の信頼性であり、別の一つは、有機チップキャリアとプリント回路基板との間の接続継手の信頼性である。

【0003】

半導体チップの入出力(I/O)数が周辺のリードデバイスの能力を超えて増加し、半導体チップ及びプリント回路基板の両方の製造に関するニーズが高まってきているため、

30

【0004】

同様に、有機チップキャリアとプリント回路基板との間での業界標準のボールグリッドアレイ(BGA)の相互接続も、動作中に高いストレスを示す可能性がある。接続の障害、更には半導体チップの完全性の障害(チップクラック)により、深刻な信頼性の不安が顕在化する恐れもある。こうした信頼性の不安は、設計の柔軟性を大幅に阻害する。例えば、半導体チップのサイズは、限定される場合があり、或いは、相互接続のサイズ、形状、及び間隔は、こうしたストレスを低減するために、業界の標準を超えてさらに標準化を進めなくてはならない場合がある。こうした制限は、有機電子パッケージの電気性能の利点を限定し、或いは、こうした電子パッケージに大きなコストを付加する恐れがある。通常、半導体チップは、一摂氏温度あたりの百万分率(ppm/)で2乃至3の熱膨張率を有するが、標準的なプリント回路基板は、遙かに大きい17乃至20ppm/の熱膨張率を有する。

40

【0005】

こうした熱膨張率及び関連問題を克服するように設計された有機チップキャリアの一例は、特許文献1において定められており、これは、単一のチップとキャリアの半田接続部

50

との間と、及びキャリアとこれが配置されるベース基板（PCB等）との間の障害とを防止するように設計された特定の熱内部伝導層を含む。この特許文献1に記載されている特許は、参照により本明細書に組み込むものとする。

【0006】

前記のような様々な電子パッケージのその他の例は、以下の文書において表示及び説明されている。

【先行技術文献】

【特許文献】

【0007】

- 【特許文献1】米国特許第6,351,393号、J.S. クレスギラ 10
- 【特許文献2】米国特許第4,882,454号、1989年11月、ピーターソンら
- 【特許文献3】米国特許第5,072,075号、1991年12月、リーら
- 【特許文献4】米国特許第5,121,190号、1992年6月、シャオら
- 【特許文献5】米国特許第5,483,421号、1996年1月、ゲドニら
- 【特許文献6】米国特許第5,615,087号、1997年3月、ウィーローチ
- 【特許文献7】米国特許第5,661,089号、1997年8月、ウィルソン
- 【特許文献8】米国特許第5,798,563号、1998年8月、フィールチェンフェルドら
- 【特許文献9】米国特許第5,838,063号、1998年11月、シルベスタ
- 【特許文献10】米国特許第5,894,173号、1999年4月、ジェイコブスら 20
- 【特許文献11】米国特許第5,900,675号、1999年5月、アペルトら
- 【特許文献12】米国特許第5,926,377号、1999年7月、ナカオら
- 【特許文献13】米国特許第5,982,630号、1999年11月、パティア
- 【特許文献14】特願平1-307294 1989年12月
- 【特許文献15】特願平6-112271 1994年4月
- 【特許文献16】特願平9-232376 1997年9月
- 【特許文献17】特願平10-209347 1998年8月
- 【特許文献18】特願平11-087560 1999年3月
- 【特許文献19】特願2000-022071 2000年1月
- 【特許文献20】特願2000-024150 2000年1月 30
- 【特許文献21】米国特許第5,574,630号
- 【特許文献22】米国特許第6,246,010号
- 【特許文献23】米国特許第4,902,610号、1990年2月、C. シップリ
- 【特許文献24】米国特許第5,336,855号、1994年9月、J. カーラートら
- 【特許文献25】米国特許第5,418,690号、1995年5月、R. コンら
- 【特許文献26】米国特許第5,768,109号、1998年6月、J. グーリックら
- 【特許文献27】米国特許第5,891,869号、1999年4月、S. ロシウロら
- 【特許文献28】米国特許第5,894,517号、1999年4月、J. ハチソンら
- 【特許文献29】米国特許第6,023,211号、2000年2月、J. ソメイ
- 【特許文献30】米国特許第6,075,423号、2000年6月、G. サンダース 40
- 【特許文献31】米国特許第6,081,430号、2000年6月、G. ラ・リュール
- 【特許文献32】米国特許第6,146,202号、2000年11月、S. ラミーら
- 【特許文献33】米国特許第6,222,740号、2001年4月、K. ボベンシペンら
- 【特許文献34】米国特許第6,431,914号、2002年8月、T. ビルマン
- 【特許文献35】米国特許第6,495,772号、2002年12月、D. アンストロムら
- 【特許文献36】米国特許出願番号第2002/0125967号、2002年9月、R. ギャレットら
- 【特許文献37】日本国公表公報第4025155号、1992年1月、O. タカシ 50

【非特許文献】

【0008】

【非特許文献1】TDB、1978年7月、マルチチップ冷却プレート 745 - 746 ページ

【非特許文献2】TDB、1982年2月、チップの同時配置 - マルチチップ・モジュール 4647 - 4649 ページ

【非特許文献3】TDB、1987年11月、高性能マルチチップ・モジュール 437 - 439 ページ

【非特許文献4】TDB、1998年8月、マルチチップ・モジュールの低コスト、ハイパワー設計 451 - 452 ページ

10

【非特許文献5】TDB、1993年9月、熱伝導基板搭載式マルチチップ・モジュール・キャップ 623 - 624 ページ

【発明の開示】

【発明が解決しようとする課題】

【0009】

こうしたモジュールの動作特性を高めるために、二つ以上のチップのチップ基板上面への追加が考慮されてきた。しかしながら、こうした追加チップの動作温度、特に間隔が密接した方向性で配置された場合の動作温度から、特にチップを有する基板がPCBに代表されるような有機基板に取り付けられて結合される時、通常は、耐熱性基板材料であるセラミックが必要となる。こうした例は、上記の非特許文献1～5であるIBM Technical Disclosure Bulletin (TDB)において説明されている。

20

【0010】

しかしながら、セラミックの使用は、多くの問題を提示し、その主なものの一つは取り扱いである。セラミックは、製造及び輸送中に不適切に取り扱った場合、割れ及び欠けを生じる可能性のある比較的脆い材料である。また、セラミックは、処理が比較的難しい材料でもあり、特に、多数の動作要件を満たすために、絶縁材料及び相互接続用導電材料の個別の層がいくつかに必要になる多深度レベルでの処理が難しい。

【0011】

非セラミック材料のチップキャリアが提案されているが、これらは、通常、様々な欠点を有する。例えば、上記特許文献21では、三つのチップが、シリカ充填ポリテトラフルオロエチレン (PTFE) を含む基板に取り付けられるが、反対側の望ましい接続部に接続するために、キャリアの全厚を貫通する個別のバイアを必要とする。加えて、この構造では、次に、特定の熱膨張率及びその他の特性を有するいくつかの層での複雑な「電源/接地組立体」の利用が必要とされ、したがって、結果として、最終的な組立体は非常に高価となり、構築が比較的困難なものとなる。

30

【0012】

二つ以上のチップを有する更に別の非セラミック基板の実施形態は、上記特許文献22において説明されている。残念なことに、この基板は、極めて薄い (100 μm 未満、好ましくは50 μm 未満、更に「最も好ましくは」20 μm 未満) 半導体チップを必要とする。当然のことながら、こうした薄くしたチップは、より強力な現在のチップ (例えば、特定用途向け集積回路 (ASIC) タイプに含まれるもの) に求められるような、更に高い動作能力を提供することができない。通常、こうしたチップは、その他のタイプよりも遙かに高い温度で動作する (例えば、ダイナミックランダムアクセスメモリ (DRAM) のタイプ)。

40

【0013】

本願の原出願である米国出願番号第10/354,000号では、取り付けられたチップ又はモジュール (チップキャリア) のような二つ以上の構成要素の間に高速相互接続を提供できるPCBが定められている。このPCBは、PCB上に取り付けられ、ボードの回路を通じて共に結合される電子モジュールのような電子構造に関する増大した動作要件

50

に対応する目的で設計されている。このPCBが対応する特定の増大要件の一つは、取り付けられた構成要素間での高周波接続のニーズであり、この接続は、記載のように、基礎を成すホストPCBを通じて生じる。こうした接続は、信号劣化等の有害な影響を被り、これは、こうした既知のPCB配線に内在する特性により発生するものである。例えば、信号劣化は、ステップ変化に対する信号の反応の「上昇時間」又は「下降時間」のいずれかの観点で表現される。信号の劣化は、式 $(Z_0 * C) / 2$ により定量化可能であり、ここで Z_0 は伝送線の特性インピーダンスであり、 C はパイアのキャパシタンスの量である。代表的な50オームの伝送線インピーダンスを有する線では、4ピコファラッド(pf)のキャパシタンスを有するメッキスルーホールパイアは、100ピコ秒(ps)の上昇時間(又は下降時間)の劣化を意味することになり、一方、下で説明するように、本発明の0.5pf埋設パイアには12.5psの劣化が伴う。この差異は、200ps以上の信号遷移速度が伴う800MHz以上のシステム動作において、大きな意味がある。

10

20

30

40

50

【0014】

本願の原出願である上記米国出願番号第10/354,000において定められるものより以前の通常の高性能PCBは、構成要素(特にチップ)間の接続における最大直流(DC)抵抗により課せられる制限により、特定のポイントを超える配線密度を提供できなかった。同様に、高速の信号では、長い線における「表皮効果」の損失を最小限にするために、普通のPCB線よりも幅広の線が要求される。全てが幅広線であるPCBを製造することは実際的でなく、これは主に、結果として最終的なボードにおいて、過剰な厚さが必要となるためである。こうした厚さの増大は、設計の観点から明らかに許容できない。

【0015】

様々なPCBが、上記の特許文献23~37において説明されている。これらの文書の内容は、参照により本明細書に組み込むものとする。

【0016】

本願の原出願である上記米国出願番号第10/354,000号におけるPCBの固有の特徴により、相対的に標準のPCB製造処理を利用して最終的な構造物を製造しつつ、高周波接続を確保することが可能となる。この出願は、参照により本明細書に組み込むものであり、これにおいて、PCBの一部は、PCB分野において知られる線及び間隔を含むPCBの残りの下部と比べて、相対的に幅広の線を利用する目的でのみ設けられる。

【0017】

こうした構造及び同様の構造、或いは、セラミック以外の材料、又は上で述べたような以前の非セラミック材料の深刻な欠点を有しない材料の同様の基板で、二つ以上のチップ(特にASICチップのような高温チップ)間で高速又はその他の効果的な結合を提供することが可能であり、更に、前記チップをPCBの回路と更に結合するために、その後、通常のPCBのような第二の基礎基板と電気的に結合させることが可能なものの使用は、この技術における大きな利点になると考えられる。

【0018】

したがって、本発明の主要な目的は、この技術においてマルチチップ電子パッケージ(又はモジュール)としても知られる、二つ以上のチップをその一部として含むチップキャリアの技術を強化することである。

【0019】

本発明の別の目的は、本発明の一つ以上のキャリアを上に取り付けることが可能な基礎回路化基板(PCB等)との効果的な電気結合を達成しつつ、上にあるチップとの間での高速接続を確保する、こうしたパッケージを提供することである。

【0020】

本発明の更なる目的は、ASICタイプのもののような高温チップに関して、こうした接続を提供することが可能である、こうしたパッケージを提供することである。

【0021】

本発明の更に別の目的は、堅牢な構造の最終的な構造物を確保しつつ、費用効率に優れ

た形で製造できる、こうしたパッケージを提供することである。

【0022】

更に、本発明の別の目的は、本発明のパッケージをその一部として利用したパッケージ-基板組立体を提供することであり、したがって、この組立体は、本明細書で定義するマルチチップキャリア固有の利点から恩恵を受ける。

【0023】

なお、本発明では、チップキャリアと、その一つの表面に取り付けられた複数のチップとを含む電子パッケージを製造することをも目的としているものであり、この方法では、容易に、比較的安価な形で完了することが可能であるため、結果として最終的な完成品のコストが削減される。

10

【課題を解決するための手段】

【0024】

以上の課題を解決するために、本発明の採った手段は、「マルチチップ電子パッケージであって、間隔を空けて内部に配置されてそれぞれの誘電材料層により分離された複数の導電プレーンを含む有機積層チップキャリアにして、その第一の表面上の複数の電気接点と、その第二の表面上の複数の導電体とを含み、前記電気接点の選択されたものが、前記導電体の選択されたものと電気的に結合される、チップキャリアと、前記有機積層チップキャリアの前記第一の表面上に間隔を空けて配置され、前記導電体の前記選択されたものと結合されるように前記電気接点の選択されたものと電気的に結合される、複数の半導体チップと、を備えたパッケージ」である。

20

【0025】

また、本発明の別の実施形態の採った手段は、上記マルチチップ電子パッケージについて、「前記半導体チップの選択されたものが互いに電気的に結合されるように、前記電気接点の選択されたものが、前記電気接点の他の選択されたものに電気的に接続されること」である。

【0026】

本発明の別の実施形態の採った手段は、上記マルチチップ電子パッケージについて、「前記複数の半導体チップが、前記有機積層チップキャリアの前記第一の表面上で、ほぼ同一平面を成す方向に配位される」ことである。

30

【0027】

本発明の別の実施形態の採った手段は、上記マルチチップ電子パッケージについて、「前記複数の半導体チップが、前記有機積層チップキャリアの前記第一の表面に対して、それぞれほぼ垂直に配位される」ことである。

【0028】

本発明の別の実施形態の採った手段は、上記マルチチップ電子パッケージについて、「前記複数の半導体チップが、互いにほぼ平行である」ことである。

【0029】

本発明の別の実施形態の採った手段は、上記マルチチップ電子パッケージについて、「前記有機積層チップキャリアの前記第一の表面上に位置し、前記複数の半導体チップをほぼ取り囲む多量のカプセル材料を更に含む」ことである。

40

【0030】

本発明の別の実施形態の採った手段は、上記マルチチップ電子パッケージについて、「前記複数の半導体チップを熱的接触状態でほぼ覆って配置される熱吸収カバー部材を更に含む」ことである。

【0031】

本発明の別の実施形態の採った手段は、上記マルチチップ電子パッケージについて、「前記有機積層チップキャリアの前記第一の表面上に配置され、前記複数の半導体チップの周りに間隔を空けて配置される補強部材を更に含む」ことである。

【0032】

本発明の別の実施形態の採った手段は、上記マルチチップ電子パッケージについて、「

50

前記複数の半導体チップを覆って配置され、前記半導体チップによりその動作中に生成される熱を除去する熱吸収部材を更に含む」ことである。

【0033】

本発明の別の実施形態の採った手段は、上記マルチチップ電子パッケージについて、「前記複数の半導体チップを覆って配置される熱吸収カバー部材を更に含み、前記熱吸収部材が、前記熱吸収カバー部材上に配置される」ことである。

【0034】

本発明の別の実施形態の採った手段は、上記マルチチップ電子パッケージについて、「前記有機積層チップキャリアが、その内部の熱伝導部材と、前記有機積層チップキャリアの前記第一の表面上で前記複数の半導体チップを前記電気接点に結合させる複数の半田要素とを含み、前記熱伝導層が、前記電気接点上の前記半田要素により形成される前記電気結合の障害を十分に防止するために、選択された厚さと熱膨張率とを有する」ことである。

10

【0035】

本発明の別の実施形態の採った手段は、上記マルチチップ電子パッケージについて、「前記熱伝導部材が、銅の第一の層と、鉄合金の第二の層と、銅の第三の層とを備える」ことである。

【0036】

本発明の別の実施形態の採った手段は、上記マルチチップ電子パッケージについて、「前記有機積層チップキャリアが、少なくとも一つの誘電層と少なくとも一つの導電プレーンを含み、前記導電プレーンが第一の周波数で信号を通すことが可能な信号線を含む第一の多層部分と、前記第一の多層部分に接合され、前記複数の半導体チップを結合させることに適応した第二の多層部分とを含み、前記第二の多層部分が、少なくとも一つの誘電層と少なくとも一つの導電信号プレーンとを含み、前記第二の多層部分の前記導電信号プレーンが、前記第一の周波数よりも高い周波数で信号を通すことが可能な信号線を含み、これにより、前記複数の半導体デバイス間的高速接続を提供する」ことである。

20

【0037】

本発明の別の実施形態の採った手段は、上記マルチチップ電子パッケージについて、「前記第二の多層部分が、導電プレーンと、前記導電プレーンの両側の第一及び第二の誘電層とを含み、導電信号プレーンの数が2であり、各導電信号プレーンが、信号を通すことが可能で、前記導電プレーンと向かい合う前記第一及び第二の誘電層のそれぞれの一つに配置されている前記信号線を含む」ことである。

30

【0038】

本発明の別の実施形態の採った手段は、上記マルチチップ電子パッケージについて、「前記第二の多層部分が、前記第一の誘電層上の前記導電信号プレーンの少なくとも一つの信号線を、前記第二の誘電層上の前記導電信号プレーンの少なくとも一つの前記信号線と相互接続する導電スルーホールを更に含む」ことである。

【0039】

本発明の別の実施形態の採った手段は、上記マルチチップ電子パッケージについて、「前記有機積層チップキャリアが、その中に内部コンデンサを含む」ことである。

40

【0040】

さらに、上記課題を解決するために、本発明の別の実施形態の採った手段は、「マルチチップ電子パッケージ組立体であって、複数の導電部材をその上に含む回路化基板と、内部に間隔を空けて配置され、それぞれの誘電材料層により分離された複数の導電プレーンを含む有機積層チップキャリアにして、その第一の表面上の複数の電気接点と、その第二の表面上の複数の導電体とを含み、前記電気接点の選択されたものが前記導電体の選択されたものと電気的に結合される、チップキャリアと、前記有機積層チップキャリアの前記第一の表面上に間隔を空けて配置され、前記導電体の前記選択されたものと結合されるように前記電気接点の選択されたものと電気的に結合される、複数の半導体チップと、前記有機積層チップキャリアの前記第二の表面上の前記導電体の前記選択されたものを、前記

50

回路化基板上の前記導電部材のそれぞれのものに電氣的に接続する複数の導電要素と、を含む組立体」である。

【0041】

本発明の別の実施形態の採った手段は、上記マルチチップ電子パッケージ組立体について、「前記回路化基板が、プリント基板である」ことである。

【0042】

本発明の別の実施形態の採った手段は、上記マルチチップ電子パッケージ組立体について、「前記複数の導電要素が、複数の半田部材を含む」ことである。

【0043】

本発明の別の実施形態の採った手段は、上記マルチチップ電子パッケージ組立体について、「前記複数の半導体チップを、前記積層チップキャリアの前記第一の表面上の前記複数の電気接点のそれぞれのもので電氣的に結合させる第一の複数の半田部材を更に含む」ことである。

10

【0044】

本発明の一態様によれば、内部に間隔を空けて配置され、それぞれの誘電材料層により分離された複数の導電プレーンを含む、有機積層チップキャリアを備えた、マルチチップ電子パッケージが提供され、このチップキャリアは、その第一の表面上に複数の電気接点を含み、その第二の表面上に複数の導電体を含み、この電気接点の選択された一つは、導電体の選択された一つと電氣的に結合され、複数の半導体チップが前記有機積層チップキャリアの第一の表面上に間隔を空けて配置され、電気接点の選択された一つと電氣的に結合され、導電体の選択された一つと結合されるようになる。

20

【0045】

本発明の別の態様によれば、マルチチップパッケージを製造する方法が提供され、この方法は、第一及び第二の表面を有し、更に、内部に間隔を空けて配置され、それぞれの誘電材料層により分離された複数の導電プレーンを含む、有機積層チップキャリアを提供することと、有機積層チップキャリアの第一の表面上に複数の電気接点を提供することと、有機積層チップキャリアの第二の表面上に複数の導電体を提供し、この電気接点の選択された一つが、導電体の選択された一つと電氣的に結合されることと、複数の半導体チップを有機積層チップキャリアの第一の表面上に間隔を空けて配置し、複数の半導体チップを電気接点の選択された一つと電氣的に結合し、複数の半導体チップが、積層チップキャリアの第二の表面上の導電体の選択された一つと電氣的に結合されるようにすることとをステップとして含む。

30

【0046】

本発明の第三の態様によれば、電子パッケージ組立体が提供され、これは複数の導電部材を上を含む回路化基板と、内部に間隔を空けて配置され、それぞれの誘電材料層により分離された複数の導電プレーンを含む有機積層チップキャリアで、その第一の表面上に複数の電気接点を含み、その第二の表面上に複数の導電体を含み、この電気接点の選択された一つが、導電体の選択された一つと電氣的に結合され、複数の半導体チップが有機積層チップキャリアの第一の表面上に間隔を空けて配置され、電気接点の選択された一つと電氣的に結合され、導電体の選択された一つと結合されるようになるチップキャリアと、有機積層チップキャリアの第二の表面上の複数の導電体の選択された一つを、回路化基板上の導電部材のそれぞれの一つと電氣的に接続する複数の導電要素とを含む。

40

【発明の効果】

【0047】

したがって、本発明によれば、この技術においてマルチチップ電子パッケージ（又はモジュール）としても知られる、二つ以上のチップをその一部として含むチップキャリアの技術を強化することができる。

【0048】

また、本発明によれば、本発明の一つ以上のキャリアを上に取り付けることが可能な基礎回路化基板（PCB等）との効果的な電気結合を達成しつつ、上にあるチップとの間で

50

の高速接続を確保する、こうしたパッケージを提供することができる。

【0049】

さらに、本発明によれば、ASICタイプのもののような高温チップに関して、こうした接続をすることができ、こうしたパッケージを提供することができる。更には、堅牢な構造の最終的な構造物を確保しつつ、費用効率に優れた形で製造でき、こうしたパッケージを提供することができる。

【0050】

更に、本発明によれば、本発明のパッケージをその一部として利用した、パッケージ-基板組立体を提供することができ、この組立体は、本明細書で定義するマルチチップキャリア固有の利点から恩恵を受けることができる。

【発明を実施するための最良の形態】

【0051】

本発明を他の更なる目的、利点、及び機能と共により一層理解するために、以下の開示及び前記特許請求の範囲を、添付図面と共に参照する。同様の符号は、それぞれの図で同様の要素を示すために使用されると理解されたい。

【0052】

上で述べたように、「高速」という用語は、本明細書での使用において、高周波の信号を意味する。本明細書で定義され、本明細書で教示される方法を使用して製造されるような多層チップキャリア及び回路化基板(PCB等)に関して達成可能な信号周波数の例は、毎秒のギガバイト(GPS)で約3.0乃至約10.0の範囲内のものを含む。しかしながら、これより高いものを含め、この範囲外の周波数も達成可能であることから、こうした例では、本発明を制限することを意図するものではない。以下から更に理解されるように、ここで製造されるキャリアは、少なくとも二つの別個の多層部分(部分組立体)で形成される場合があり、これらは、互いに接合される前に、それ自体が形成される。少なくとも、こうした別個の部分のそれぞれは、少なくとも一つの誘電層と少なくとも一つの導電層とを含むことになり、最も可能性の高い実施形態では、その一部として、それぞれの層がいくつが含まれる。下に提示する例は、それだけのもの(単なる例)に過ぎず、表示及び説明される層の数は、本発明の範囲を制限することを意味するものではない。

【0053】

ここで定義する製品は、特に、「情報処理システム」と呼ぶことが可能なものにおいて使用される。「情報処理システム」という用語は、ここでの使用において、ビジネス、科学、制御、又はその他の目的で、任意の形態の情報、知能、又はデータを、計算、分類、処理、送信、受信、検索、作成、切り換え、保存、表示、具現化、測定、検出、記録、再生、取り扱い、又は利用することを主眼として設計された任意の機器又は機器の集合を意味するものとする。こうした例には、パーソナルコンピュータと、サーバ、メインフレーム、その他の大型プロセッサとが含まれる。一例は、サーバとして、図5に表示されており、これは少なくとも一つのマルチチップパッケージと、このパッケージが上に取り付けられた回路化基板とを、サーバのハウジング内部に含むと理解される。

【0054】

図1では、本発明の一実施形態によるマルチチップ電子パッケージ1が表示されており、このパッケージ1は、有機積層チップキャリア2と、このキャリア2の上に位置する複数の半導体チップ3とを備える。有機積層チップキャリア2は、キャリア2内部で間隔を空けて配置され、それぞれの誘電材料層5により分離された、複数の導電プレーン4を含む。キャリア2は、更に、キャリア2上面に複数の電気接点6(一つを表示)を含み、各接点は、次にそれぞれの導電部材(例えば、半田球7)と電氣的に結合されるように設計され、これは、次に、この接点をチップ3の下面の対応する接触部位(表示なし)に結合させる。

【0055】

こうしたチップ部位は、広く知られており、詳細な説明は必要ないと考えられる。チップ3のそれぞれは、キャリア2の内部回路を通じて、導電体8(一つのみ表示)のそれぞ

10

20

30

40

50

れの一つと結合され、これは次に、多層PCBを主な例とする基礎回路化基板10のそれぞれの接触部位(表示なし)に電氣的に結合された状態にすること(つまり複数の半田球9を利用すること)が可能である。チップ3は、キャリア2の上面の回路と、おそらくはキャリア2内のその一部とを使用して、最終的な製品の動作要件に応じて、互いに電氣的に結合させることができる。図1において更に確認できるように、個々の接点6は、それぞれの導電体8に、キャリア2最上部からその全厚を通じて延びるメッキスルーホールのような直線(ここでは垂直)接続部により、直接的に結合する必要はない。

【0056】

図1において、両チップ3は、キャリア2の上面で、ほぼ同一平面を成す方向性で位置し、互いに間隔を空けている。一例において、各チップ3は、それぞれ10×2.54cm/1000(ミル)及び20×2.54cm/1000(ミル)の長さ及び幅寸法を有する場合があります、約1,000乃至約3,000の範囲の数を有する複数の半田球7を使用して、キャリア2に結合される場合がある。本発明は、こうした寸法又は数に限定されず、その他のものも本発明において容易に許容できると理解される。

10

【0057】

好適な実施形態において、キャリア2は、上部高速部11と、信号が低い周波数で通過する下部12とを含む。この特定の構造の更に具体的な例については、下で定義される。キャリア2の誘電材料は、様々な既知のPCB誘電材料から選択することが可能であり、これは、既知のファイバガラス補強されたエポキシ樹脂、Driclad(本発明の譲受人の米国登録商標)、PTEE、Nelco 6000SI、Rogers 4300、Polyclad LD621(下記参照)、及びその他を含む。しかしながら、必ずしも、PTEEを含む必要はない。更に、キャリア2が、その内部に熱伝導部材13を含む場合もあると考えられる。これが利用される場合、熱伝導部材13は、半田球7及び9により提供される半田接続の障害を十分に防止するように選択された厚さ及び熱膨張率を有する材料を含むことができる。

20

【0058】

熱伝導部材13は、ニッケル、銅、モリブデン、又は鉄を含む適切な金属にすることができる。好ましくは、熱伝導層も、接地プレーンとして機能する。好適な熱伝導部材(ゼロに近い熱膨張率を有する)は、三層構造で、銅の第一の層と、約34%乃至約38%ニッケル(好ましくは、約36%ニッケル)及び約62%乃至約66%鉄(好ましくは、約63%鉄)の合金の第二の層と、銅の第三の層とを備える。

30

【0059】

熱伝導部材13の全体の熱膨張率は、約4乃至約8ppm/である。好ましくは、熱伝導層の厚さの約72%乃至約80%は、ニッケル鉄合金であり、熱伝導層の厚さの約20%乃至約28%は、銅である。適切な36%ニッケル-63%鉄合金は、Texas Instruments Incorporated(マサチューセッツ州アトルボロ)から入手できる。代わりに、熱伝導部材は、約36%ニッケル-約63%鉄合金のような単一の金属合金のみで形成できる。

【0060】

熱伝導部材13の厚さは、好ましくは、約1×2.54cm/1000(ミル)乃至約3×2.54cm/1000(ミル)である。この部材に関する厚さ及び材料の選択は、この部材の熱膨張率を決定することになり、重要な点として、本明細書で定義する他の要素と組み合わせて使用する時、多層チップキャリア2の熱膨張率を制御するのに使用することができる。多層相互接続構造全体の熱膨張率が約10乃至約12ppm/の値に制御される時には、大きな利点が達成される。パッケージ1の動作中に(回路化基板での組立時及び現場作業において)、半田接続部の歪み制御が達成され、局所的な高歪み領域が回避され、これは、二つ以上のチップ3が使用され、互いに極めて接近する場合に重要な特徴となる。熱膨張率が約2乃至3ppm/の半導体チップ12と約17乃至20ppm/の回路化基板との間での全体的な歪みは、これにより、その大きさが大幅に低減される。この部材の更なる説明は、米国特許第6,351,393号において提示されてお

40

50

り、これは参照により本明細書に組み込むものとする。

【0061】

チップキャリア2は、同じく参照により本明細書に組み込む米国特許第6,370,012号において説明されるような、内部コンデンサ構造をその中に更に含む。その中で定義されるように、このコンデンサ構造は、PCBのような基礎基板上に配置されるように設計されたチップキャリア2その他において使用するのに適した並列コンデンサである。第6,370,012号の構造において、コンデンサは、好ましくは、少なくとも一つの内部導電層と、この内部導電体の反対側に追加される二つの追加導電体層と、第二の導電体層の外面にある無機誘電材料（好ましくは、酸化物質層）とを含む。代わりに、第二の導電層に適用したチタン酸バリウムのような適切な誘電材料を利用することができる。更に、この引用特許のコンデンサは、無機誘電材料の最上部に外部導電層を含み、これにより、内部及び追加導電層と外部導電体との間で、並列コンデンサを形成する。詳細な説明は、第6,370,012号に記載される。

10

【0062】

図2において、図1のパッケージ1は、多量のカプセル材料14（仮想表示）を更に含めて表示されており、これは、キャリア2の上面に位置し、下の半田球接続部7を含め、半導体チップ3をほぼ取り囲む。カプセル材料は、パッケージング技術において知られており、詳細な説明は必要ないと考えられる。適切な例は、上に引用した一つ以上の文書において確認できる。図2のパッケージ1は、更に、成形されたカプセル材料の最上部に位置し、半導体チップ3の上面と熱的接触した状態の熱吸収カバー部材15（同じく仮想表示）を含めて表示されている。部材15は、これにより、動作中にチップ3からの熱の除去を促進する役割を果たす。一例において、カバー部材15は、好ましくは、銅製だが、アルミニウム又はその他の適切な熱伝導材料にしてもよい。

20

【0063】

図3において、パッケージ11は、キャリア2上面の最上部に位置し、間隔を空けて配置されるチップ3を実質的に取り囲み、これらから更に間隔を空けている補強部材16（仮想表示）を含むものとして表示されている。この補強部材は、更に、その上面に位置する熱吸収カバー部材17（仮想表示）と、その上に位置する仮想表示の熱吸収部材18とを含む。補強部材16は、好ましくはステンレス鋼材料であり、一方、熱吸収カバー部材17は、好ましくは銅又はアルミニウムであり、熱吸収部材18は、好ましくはアルミニウムであり、図3に示すように複数の上向きの突起部を含む。熱吸収カバー部材17は、チップ3からの熱を受け取り、次に、この熱を更に大きな熱吸収部材18へと通過させ、これにより、動作中のパッケージ11からの熱の除去を促進するように設計される。

30

【0064】

上の熱吸収構成要素は、上で説明したように、ASICタイプのもののような強力なチップ3により生成される比較的高い熱を効果的に除去する役割を果たす。内部熱伝導部材の追加的な使用により、チップ3及びキャリア2の間と、利用される場合にはキャリア2及び基礎基板の間との両方で形成される、比較的壊れやすい半田接続部に障害を与えない、或いは損傷を発生させない、効果的に動作する製品が更に確保される。

【0065】

図4には、本発明による電子パッケージ1'の代替実施形態が表示される。パッケージ1'は、上で説明したものと同様のキャリア2を含み、好ましくは、半田要素9その他を利用して、キャリア2を基礎基板10に結合させている。しかしながら、パッケージ1'は、ほぼ垂直の方向性を有するチップ3'の利用において、図1乃至4のパッケージ1とは異なっており、これらは、好ましくは、それぞれの半田球7'により、キャリア2上面のそれぞれの接点6に電気的に結合されている。チップ3'は、更に、好ましくは、互いにほぼ平行の方向性を有し、理解されるように、図を見る者の視点ではページ奥へ延びる幅（又は長さ）寸法を有する。こうしたチップは、半田球7'を使用した接続が発生可能となるように、その外部（下部）エッジへと延びる適切な回路と共に、図1のものと同様の表面接触部位を含むことができる。チップキャリア2は、図1乃至4のものと同じく、

40

50

上で説明したような内部熱伝導部材（表示なし）及び又はコンデンサ（表示なし）を更に含んでもよい。

【0066】

図4の実施形態は、図2に示すようなカプセル材料及び熱吸収カバー部材を含んでもよく、或いは代わりに、図3に示すような補強体、熱吸収カバー、及び熱吸収部材を更に含んでもよい。したがって詳細な説明は、必要ないと考えられる。

【0067】

図5には、本発明を利用することが可能な情報処理システム19が表示されている。例えば、システム19は、サーバ（表示あり）、パーソナルコンピュータ、メインフレーム、又はこの技術において知られている同様の情報処理システムにすることができる。情報処理システムの技術においては、こうした構造が、回路基板及びその一部としてのその他のパッケージを含むことが広く知られている。本発明において、システム19は、マルチチップ電子パッケージ1（仮想表示）を上にも有する回路化基板10（同じく仮想表示）を含めて表示されている。基板10とパッケージ1との位置関係は、表示の方向性に対してほぼ垂直なものを含め、この組立体をシステム19内の他の場所に配置することも可能であることから、例示の目的のみを有する。更に、こうしたいくつかの組立体を、このようなシステムにおいて、その動作要件に応じて利用してもよい。このシステムが、コンピュータ、サーバ、メインフレーム、又はその他である場合、これは中央演算処理装置（CPU）と、一つ以上の入出力（I/O）デバイスと、一つ以上のランダムアクセスストレージデバイスとを含むことになる。更に、キーボードと、マウスと、ディスプレイと、プリンタと、スピーカと、モデムとを含め、機能的に共に動作可能な様々な周辺機器を含んでもよい。これらの構成要素は、その内部での位置、或いは、コンピュータ、サーバ、メインフレーム、その他との動作的な関係を含め、この技術において広く知られており、詳細な説明は必要ないと思われる。

【0068】

図6及び7では、多層部分20及び20'の二種類の実施形態が、それぞれ表示されており、これらは、他の多層部分に接合される時、本発明の一実施形態によるチップキャリア2を形成する。したがって、部分20及び20'は、本明細書では、第二の部分として定義され、もう一方の部分は、第一の（又はベース）部分と呼ばれることになる。本発明の広範な態様によれば、少なくとも一つの第二の部分は、少なくとも一つの第一の部分に接合され、この第二の部分は、最終的なキャリア製品のほぼ外側の部分に沿って存在するようになると理解される。更に、一つ以上のこうした第二の部分を、ベースとなる第一の部分に対して接合することが可能であり、これは図8乃至11に示すように、その両側に接合することを含むと理解される。最も重要な点として、ここで定義される第二の部分は、第二の部分に取り付けられる（例えば、半田付けされる）及び又は他の方法でそれに電気的に結合される、半導体チップ3の間での高周波（高速）接続を提供するために特に設計されている。重要な点として、第一又はベース部分には、必ずしもこうした機能は求められず、代わりに、現在の殆どのPCBにとって普通の方法で形成することが可能であり、その多くは前記の文書において説明されるものである。したがって、本発明により、既知のPCB製造手法を利用して、大幅に能力が増加したチップキャリアを結果的に製造することが可能であり、それに固定したチップは、以前に達成可能なものより高速で接続できるようになる。急速に拡大するパッケージング技術においては、主に、これに対応するこうした構成要素での要件の増加から、こうした接続は不可欠であると考えられる。したがって、ここで定義する本発明は、この技術に大きな利点を提供する。

【0069】

図6では、多層部分20が、中央導電プレーン21を含めて表示されており、好適な実施形態において、これは電源プレーンとしての役割を果たす。プレーン21は、二つの誘電材料23の層に囲まれており、図面では、プレーン21に対する両層の接合（積層化）から、一つの連続的な構造として表示されている。誘電材料23の外部表面には、追加の導電プレーン25及び27が配置され、好適な実施形態において、これらは一連の信号線

10

20

30

40

50

を備える。したがって、部分20は、単純に2S1P構造と呼ぶことが可能であり、これは二つの信号プレーンと一つの電源プレーンとを備えることを意味する。導電スルーホール29は、上部信号プレーン25を下部プレーン27に接続するために更に設けられる。好適な実施形態において、この導電スルーホールは、メッキスルーホール(PTH)であり、既知の技術を使用して作成される。部分20の形成は、既知のPCB手順を使用して達成され、これは前記の誘電層の積層化と、外部信号プレーンの蒸着(メッキ等)とを含む。したがって、詳細な説明は、必要ないと考えられる。

【0070】

前述のように、部分20は、最終的なキャリアを形成するために他の多層部分と組み合わせて部分20が形成される時、それに結合されるチップ3の間での高速(高周波)接続を提供するために設計される。したがって、こうした高速接続を提供するために、部分20(及び20')の個々の信号線は、好ましくは、約0.005×2.54cm(インチ)乃至約0.010×2.54cm(インチ)の幅と、0.0010乃至約0.0020×2.54cm(インチ)の厚さを有する。対応する誘電層はそれぞれ、約0.008×2.54cm(インチ)乃至約0.010×2.54cm(インチ)の厚さを有する。プレーン21、25、及び27の材料は、好ましくは銅だが、その他の導電材料も可能である。好適な誘電材料23は、低損失誘電体であり、一例はPolyclad LD621で、ニューハンプシャー州ウェストフランクリン所在のCookson Electronicsから入手できる。その他の材料には、ニューヨーク州ニューバーグ所在のPark Nelcoから入手可能なNelco 6000SIと、コネチカット州ロジャーズ所在のRogers Corporationから入手可能なRogers 4300が含まれる。こうした材料は、低い誘電定数及び損失係数を有し、この構造に最適な動作性能を提供する。0.01以下、好ましくは0.005未満の誘電損失を有するその他の材料も、部分20及び20'の両方に使用するのに適していると思われる。ここでも、この誘電材料は、PTEEにする必要はない。

【0071】

上の厚さと定義した材料とは、本発明の範囲を制限することを意図したものではなく、ここで教示する望ましい結果が達成される限り、その他のものも可能であると理解される。更に、この構造の第二の部分は、上で定義した熱伝導部材及び又は内部コンデンサ構造を内部に含むことができると理解される。一例においては、上で述べた厚さ、幅、及び材料を使用することで、約3乃至約10GPsの範囲内の信号周波数で信号を送ることが可能な第二の部分20(及び20')を提供することが可能となった。上の一つ以上の材料、パラメータ、その他に対する比較的小さな改良により、12GPs等、更に高い周波数も可能となるため、これも本発明を制限することを意図したものではない。定義された部分20全体で結果的に生じる厚さは、一実施形態によれば、約0.140×2.54cm(インチ)である。

【0072】

必須の要件ではないが、上で述べた導電プレーンの幅及び厚さは、通常、部分20及び20'が接合されるベース又は第一の多層部分でのものよりも大きくなる。つまり、ベース部分は、通常、その中で使用される導電プレーン及び誘電体に関して、より小さな厚さ及び幅寸法を含み、こうした幅、厚さ、及び材料は、今日使用される既知のPCB構造を代表するものである。したがって、詳細な説明の必要はないことになる。

【0073】

図8は、第二の部分20が二つ利用されたチップキャリア30の実施形態を例示しており、これらの部分のそれぞれは、共通の第一の多層部分31の両側に位置している。第一の部分31は、簡略化の目的から、外部導電層33及び35を含む単一の誘電層として例示されている。一実施形態において、層33及び35は、最終的な基板30の動作要件に応じて、電源又は接地プレーンとなる。好適な実施形態において、部分31は、混合信号及び接地及び又は電源機能を有するいくつかの(例えば、20の)導電プレーンと、対応する複数の(例えば、19の)誘電層とを含む。最も単純な形態において、部分31(及

び図9乃至11の31')は、第一の周波数で信号を通す少なくとも一つの信号プレーンを含む。以前に指摘したように、第一の多層部分31で使用される導電プレーン及び誘電層は、通常、両方とも従来のPCBにおいて利用されるものである。そのため、一例において、部分31は、約0.003×2.54cm(インチ)乃至約0.010×2.54cm(インチ)の幅と、対応する0.0005×2.54cm(インチ)の厚さとを有する、導電信号線を含む場合がある。誘電層はそれぞれ、約0.010×2.54cm(インチ)の初期厚さを含む。第一の部分31は、こうした多層構造のものであり、いくつかの導電誘電層を接合して第一の部分31を形成するように積層化されている。加えて、第二の部分20は、同様に、上で説明したように別個の多層部分組立体として形成される。次のステップでは、誘電層41(例えば、従来のプリプレグ又は熱可塑性材料)が、中間の第一の部分31の両側に追加され、別の誘電層43が、部分20の最外部の表面それぞれに追加される。この構造は、次に、標準的な積層化処理を使用して積層化され、単一の多層有機チップキャリアが形成される。前記及び本明細書内で説明される構造特性から、第二の部分20及び20'の信号プレーンの少なくとも一部は、従来型である第一の部分31及び31'の信号線の少なくとも一部よりも高周波の信号伝達を提供することになる。好適な実施形態において、外側部分の全ての信号線は、接合される第一の部分の信号層と比較して、こうした優れた性能を有する。

10

20

30

40

50

【0074】

各部分20の一つ以上の外部導電プレーンにアクセスするために、外部誘電層43内部には開口部45が設けられる。これは、好ましくは、この技術で知られるレーザ又は写真印画工程により行われる。誘電材料の除去に続いて、外部導電層51が、誘電層の開口部の内部を含め、図8の構造の両側に追加される。この時点で、部分20の信号線に結合される構成要素の接続が、キャリア30上に提供され、次にこうした信号線により、例えば図8では図を見る者の左側となる場所において同じ部分20の回路に更に結合される第二のチップ(図8には表示なし)に対して、こうした信号線を通じた高速信号伝達が、各部分20の上面及び下面でのものを含め、確保されることになる。こうした接続は、図8に示すような導電材料51の開口部を通じて更に提供されることになる。

【0075】

図8では、キャリアがPCB10と結合するための改良された下面又はその他の手段(つまり図1)を含む場合、二つ以上の半導体チップを、キャリア30の両側それぞれに取り付け、高周波信号により共に結合させることが可能であると理解される。したがって、本発明のキャリアは、その両側の表面に高速チップを独自の形で結合させ、この技術でこれまでに知られるのものより遙かに優れた動作性能を有する完成チップキャリア組立体を確保することができる(しかしながら、代表的な実施形態において、キャリア30は、一つの上部高速部分と一つの低速部分とのみを含みことになり、後者は図1に示すように底部導電体8を含む)。

【0076】

追加的な結合として、別の誘電材料55の層を更に追加し、導電プレーン51をカバーすることが可能であり、この場合、開口部45内の導電材料51との接続は、図8の同様の開口部及び導電材料61により達成され、キャリア30の片側にあるチップと電氣的に結合されることになる。メッキスルーホール(PTH)71は、図8の右側に例示されるように、キャリア30の全厚を通じて延びるように利用することができる。こうしたスルーホールは、従来の手法を使用して形成することが可能であり、その表面には、導電材料(例えば銅)の薄いメッキ層等が含まれることになる。このスルーホールは、導電ピン又は他のような追加構成要素が望ましい場合には、これを受け入れるために使用してもよい。PTH71は、一つ以上の構成要素を、キャリアのベース又は第一の部分31の中の内部導電プレーンに結合させることもできる。

【0077】

図8では、導電材料61に(或いは、材料61が利用されない場合には、代わりに、材料51に直接)結合された状態で表示される単一の半導体チップが、数字77により表さ

れ、接続する半田球が、(図1における7ではなく)数字79により表される。代わりに、こうした接続は、材料61に熱接合等により接続されることになる突出する金属リード(ワイヤボンダ等)により提供することもできる。

【0078】

図7に戻ると、部分20'は、図6の部分20のものと同様の構成要素を含んでいるが、本明細書の内容を使用して多層キャリアを形成するための代替実施形態を表している。部分20'は、その一部として、内部に2S1P部分20を含んでいる。誘電層81は、部分20の両側に追加されており、その後これに続いて、導電層83が、例えばメッキにより、加えられている。導電層83は、好ましくは、接地又は電源プレーンであり、表示のようにメッキスルーホール85により共に結合されている。部分20と同じように、いくつものこうしたスルーホールが、第二の部分において利用され、こうした接続を提供する。図6及び7の両方では、例示の目的から、一つのみが表示されている。誘電層81は、好ましくは、部分20で使用される低損失誘電層と同様の材料のものである。部分20'のこれらの層は、部分20と同様に、従来の積層化処理を使用して組み立てられる。

10

【0079】

図9では、二つの第二の部分20'が、共通する中間の多層の第一の部分31に接合されて表示されており、一実施形態では、上で述べたように、第一の部分31は、個別の誘電層(表示なし)に対応する数だけ接合された、いくつもの内部導電プレーン(同じく表示なし)を含む。したがって、図7の実施形態は、最終的な接合工程中に必要となる積層化ステップが少ないことから、最終的なキャリア(図9の30')を製造する、より単純な手段を意味している。つまり、図9に示す形成済みの三つの多層構造体20'及び31'を積層化するだけでよい。ここでも、注意すべき点として、たいていの場合は、一つのみ外部部分20'が、本明細書の内容による、基礎となる従来の部分31'に接合されることになる。積層化の完了に続いて、外部誘電層55'を、図8の開口部45と導電材料51とを提供するために定義したものと同様の手法を使用して、この構造体とその内部に設けられる導電開口部51'に追加することができる。メッキスルーホール85は、材料51'に接合した任意のチップを、必要に応じて、部分20'の最上層及び又は最下層に結合させることになる。キャリア30'の最外面を結合するために、図8のスルーホール71と同様に、共通スルーホール71'が設けられる。こうしたスルーホールは、好ましくは、図8のものと同様のメッキ導電材料73'を含む。

20

30

【0080】

更に重要な点として、スルーホール71及び71'は、一つ以上のチップを、それぞれ第一の多層部分30及び31'の内部配線に電気的に接続することが可能であり、これにより、こうした構成要素と中間構造体との間には、直接的な電気接続が提供される。したがって、ここで定義するキャリアは、キャリアの片側のチップ間の結合を、こうした同じチップとキャリアの全体的な構造のベース又は第一の部分の内部導電プレーンとの結合に加えて確保する、独自の性能を提供することができる。こうした二重結合は、結果として、これまで知られている製品に比べ優れた動作性能を有する最終的なキャリア製品をもたらすため、本発明の重要な態様を表している。

【0081】

図10及び11では、本発明において使用することが可能な二種類の代替キャリア実施形態30''及び30'''が、それぞれ表示されている。図10のキャリア30''の構造は、図9に示すものと同様で、キャリアの外面から部分20'の導電プレーンの一つに伸びる導電スルーホール91が追加されている。したがって、上で定義した追加的な電子構成要素の結合に加えて、ピン留め構成要素(つまり、図10及び11に示すピン93)の結合が更に可能となる。図11の実施形態では、部分31'(及び、使用する場合は、下側部分20')を貫いて、延長開口部95が設けられる。開口部95を設ける理由は、挿入ピン93のための適切なクリアランスを設けるためである。開口部95は、最終的な積層化の前に、31'及び20'(使用する場合)において予備形成(穴あけ)することが可能であり、PTHの未使用部分を除去するための従来の方法である「バックドリル

40

50

」とは対照的である。バックドリルは、銅のPTH層の一部を除去する。これは、高速信号を取り扱う際にPTHの容量効果を減少させる。バックドリルは、コストがかかり、実行が難しい。この構造は、バックドリルの必要性を打ち消して、同じ効果を達成する。

【0082】

図12及び13は、本発明のキャリアにおいて使用できる第二の部分20''の別の実施形態を表す。理解されるように、図13は、図12の線8-8に沿って得られた断面図であり、部分20''の上面における導電体のそれぞれの幅の一実施形態を例示する役割を果たしている。幅広の導電体のそれぞれの端部に位置するスルーホールも表示されている。この配置において、幅広導電体101は、その両側の端部のメッキスルーホール103を相互接続する信号線の役割を果たす。これと比較して、幅狭信号線105は、それぞれの外側にある幅広線101のペアの間で、対を成す関係で延びている。一実施形態において、線101は、約0.003×2.54cm(インチ)乃至約0.012×2.54cm(インチ)の幅を有する場合があります。一方、対応する内部の幅狭の線はそれぞれ、0.02×2.54cm(インチ)乃至約0.10×2.54cm(インチ)の幅を有する場合があります。これらの線は、約0.03×2.54cm(インチ)乃至約0.12×2.54cm(インチ)の距離で間隔を空けている。対を成す幅狭信号線105の両側に幅広線101を設ける目的は、適切なトレースインピーダンス制御と、信号線間で結合するノイズを最小化する遮蔽とを提供することである。図13において確認されるように、これらの線は、中央PTH103に結合される中間導電(又は電源)プレーン106の外側に位置する幅狭線105と共に、部分20''の両側に配置されている。この配置は、最大の信号遮蔽を提供可能な連続する基準プレーンによる有利な特徴を提供する。これは、より単純な構造の部分合成物を提供し、例えば高速信号と低速信号等、異なる誘電体の厚さを有する可能性のある、Z接続を伴うセクションを可能にする。しかしながら、こうしたパターンが表示されているものの、本発明の好適な実施形態においては、それぞれの半田球7(図1)が、球7のパターンと同様のパターンで配置された個別の接点6と結合することになると理解される。上のパターンは、一つのチップ上のこうした球のそれぞれの外側列を、隣接する別のチップの球の対応する外側列に相互接続するために使用することができる。

10

20

【0083】

以上のように、有機積層チップキャリアと、その第一の表面に間隔を空けて配置された複数の半導体チップとを備える、マルチチップ電子パッケージについて、表示及び説明を行った。更に、複数の導電要素(半田球等)を使用してチップキャリアを基板に接続する回路化基板(PCB等)と組み合わせて、前記のキャリア及び半導体チップを含む、電子パッケージ組立体について、表示及び説明を行った。重要な点として、本発明の有機積層チップキャリアは、これに電氣的に結合された二つ以上の高温半導体チップを有することが可能であり、これらは、共に結合すること、及び又はキャリアの下面(反対側)にある導電体に結合することができる。更に重要な点として、これらのチップは、これらの間で高周波信号伝達を確保できるように、高速度となる形で結合することが可能であり、これにより、結果として、この技術でこれまでに知られているものよりも優れた性能を有する最終的な製品構造が生じる。本発明は、本明細書で定義したように、パッケージ工程中及び望ましい基礎回路化基板上での配置中に、半導体チップの高温動作の結果として変形せず、或いはその他の形で損害を受けない、本明細書で説明したような有機積層材料を十分に含んだキャリアを使用して、こうした機能を達成することができる。したがって次に、このチップキャリアは、本明細書の内容に従って形成された少なくとも二つの部分を備えることができる。加えて、このキャリアは、チップとキャリアとの間の接続と、利用されている場合には、キャリアの下面と対応する基板との間の接続とを形成する、それぞれの半田球の間の分離(切断)を特に防止するように設計された、定義されたような内部コンデンサ構造及び又は熱伝導部材を、その一部として含むことができる。本明細書で定義した本発明は、これにより、その主要な部分として、実質的に有機積層である本体を利用する一方で、マルチチップタイプの既知のチップキャリアを上回る多くの重要な利点を有す

30

40

50

る。本明細書で定義した、この構造を組み立てる方法は、多くの既知のPCB手順を使用して実施することも可能であり、これにより、このタイプのキャリア、特にセラミック材料を中心に作られたものを形成するのに使用される他のプロセスに比べ、相対的に低いコストで実施できる。

【0084】

現時点において本発明の好適な実施形態がどのようなものかについて、表示及び説明を行ってきたが、前記特許請求の範囲により定義される本発明の範囲から逸脱することなく、この中で様々な変形及び改良を行い得ることは当業者には明らかであろう。

【図面の簡単な説明】

【0085】

【図1】本発明の一態様によるマルチチップ電子パッケージを例示する部分断面側面図である。

【図2】多量のカプセル材料とそのカバー部材とを更に含む図1のパッケージの側面図である。

【図3】補強部材及びカバーとその一部としての熱吸収部材との使用を例示する本発明の代替実施形態を示す図である。

【図4】本発明の代替実施形態を例示する側面図である。

【図5】本発明の一つ以上のマルチチップ電子パッケージ及び又はその完全組立体（基礎PCBを含む）の使用に適応した情報処理システムの透視図である。

【図6】少なくとも一つの多の部分と組み合わせる時、本発明のチップキャリアとして使用することが可能な、有機積層チップキャリアの一部の断面側面図である。

【図7】積層チップキャリアの別の部分の断面側面図である。

【図8】本発明において使用可能な有機積層チップキャリアを例示する、組立断面正面図である。

【図9】本発明において使用可能な有機積層チップキャリアの別の実施形態を示す図である。

【図10】本発明において使用することができる多層積層チップキャリアの別の態様を示す図である。

【図11】本発明において使用できる有機チップキャリアの断面側面図である。

【図12】本発明の有機積層チップキャリア上で使用可能な回路パターンの平面図である。

【図13】図12の線8-8に沿って得られた側面図である。図13の実施形態は、本発明において使用することができる有機積層チップキャリアの一部のみを表すものである。

【符号の説明】

【0086】

- 1、1' マルチチップ電子パッケージ
- 2 有機積層チップキャリア
- 3、3' 半導体チップ
- 4 導電プレーン
- 5 誘電材料層
- 6 電気接点
- 7、7'、9 半田球
- 8 導電体
- 10 基礎回路基板
- 11 上部高速部、パッケージ
- 12 下部、半導体チップ
- 13 熱伝導部材
- 14 カプセル材料
- 15、17 熱吸収カバー部材
- 16、18 補強部材

10

20

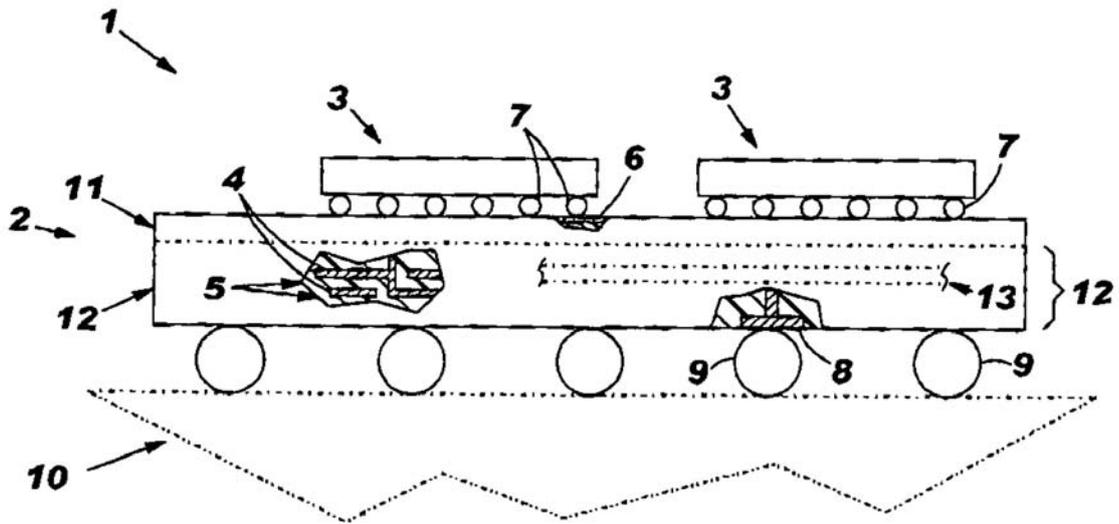
30

40

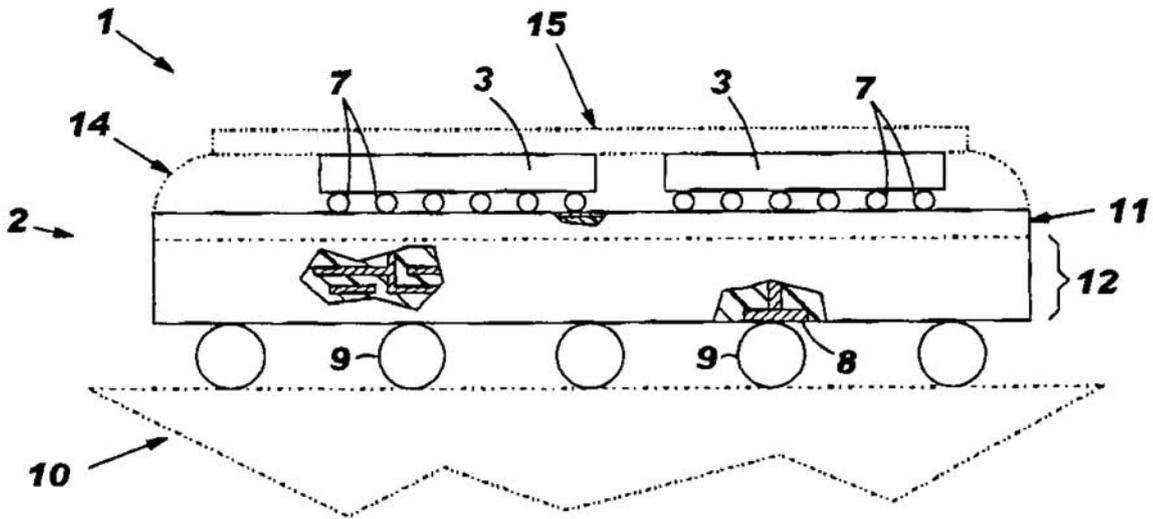
50

19	上方処理システム	
20、20'、20''	多層部分、第二の部分	
21	中央導電プレーン	
23	誘電材料	
25、27	導電プレーン	
29	導電スルーホール	
30、30'、30''、30'''	チップキャリア	
31、31'	第一の多層部分	
33、35	外部導電層	
41、43、51	誘電層、導電プレーン	10
45	開口部	
55、61	導電材料	
55'	外部導電層	
71、71'	メッキスルーホール	
77	半導体チップ	
79	半田球	
81	誘電層	
83	導電層	
85	メッキスルーホール	
91	導電スルーホール	20
93	ピン	
95	延長開口部	
101	幅広導電体	
103	メッキスルーホール	
105	幅広信号線	
106	中間導電プレーン	

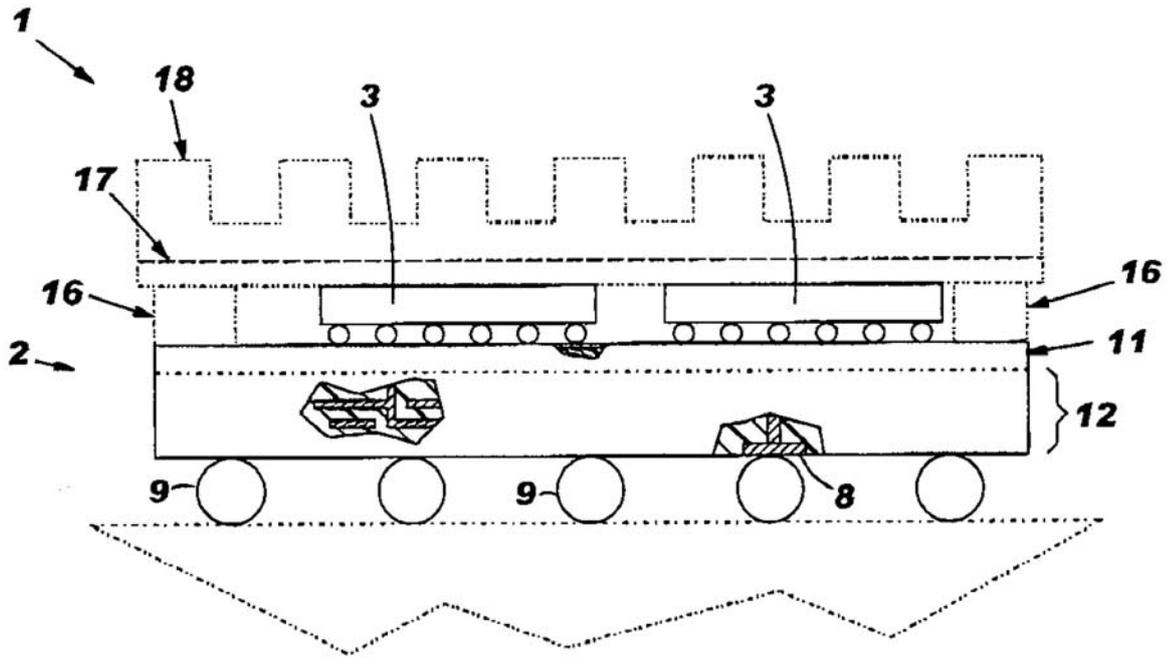
【図1】



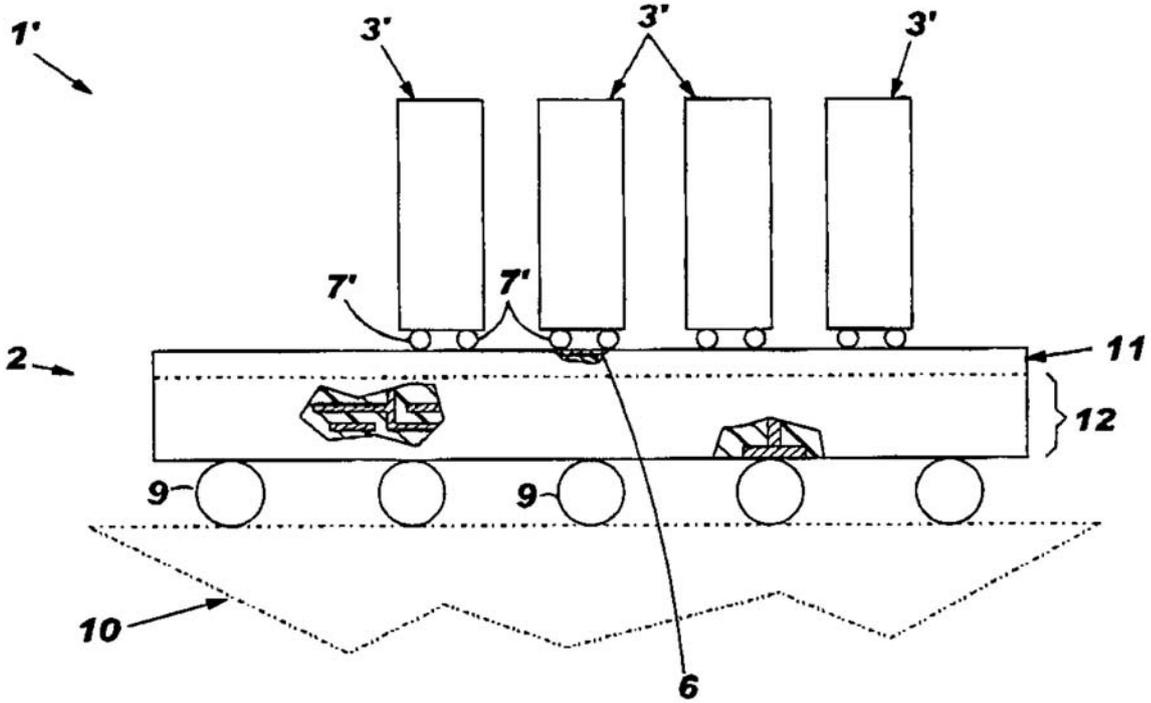
【図2】



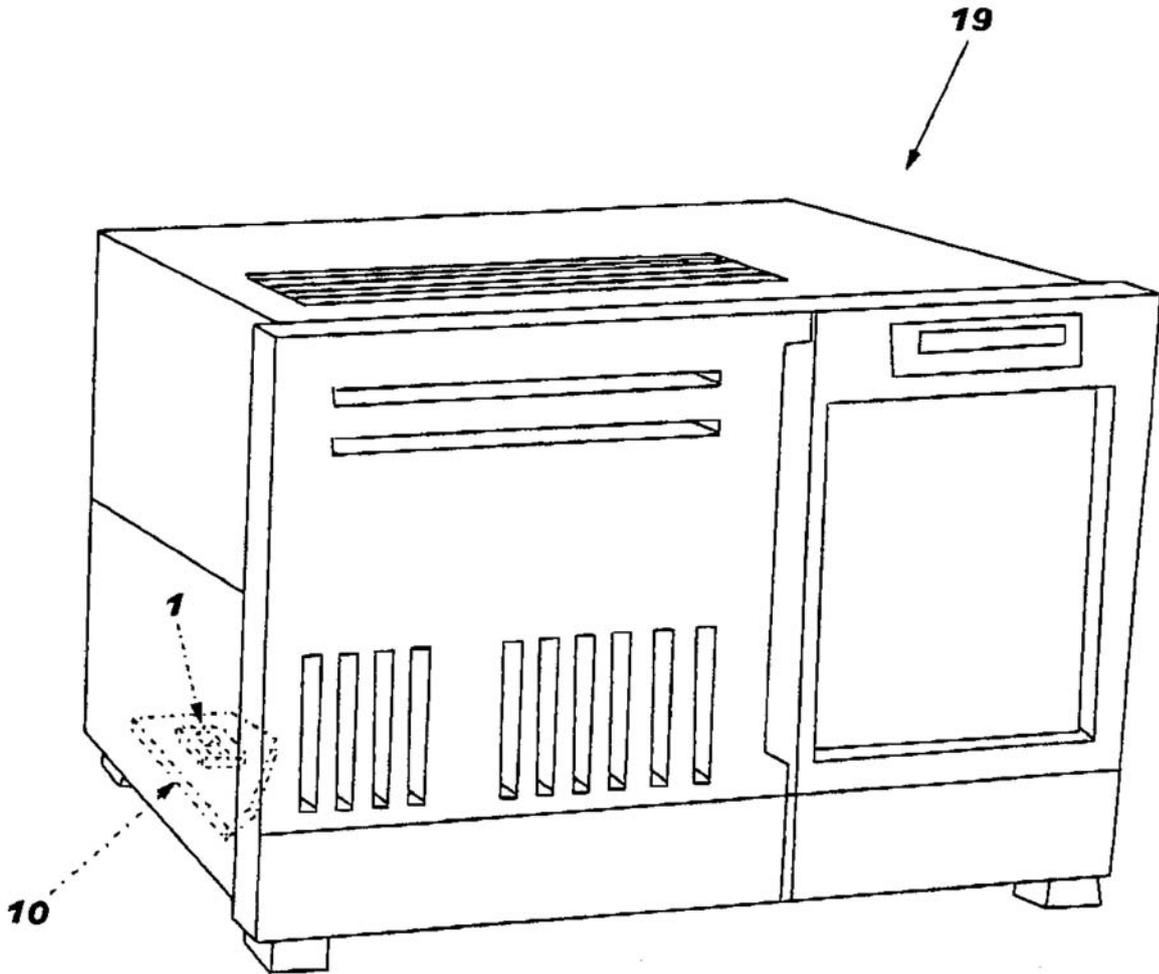
【図3】



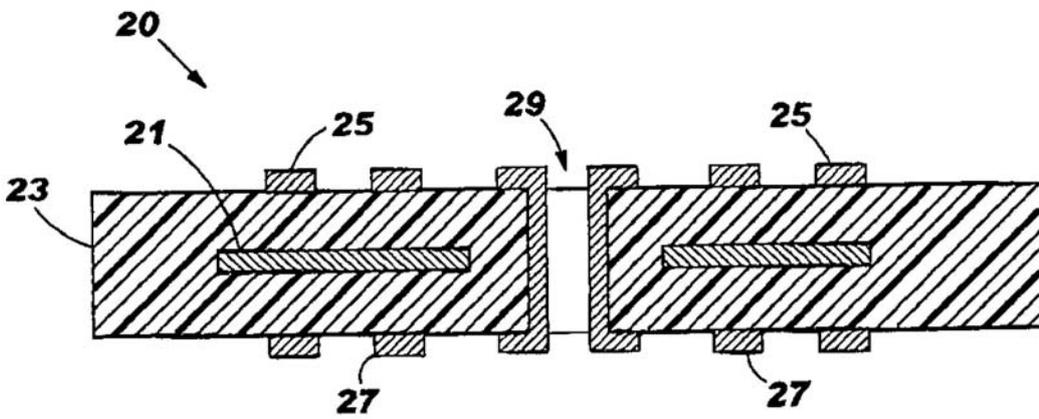
【図4】



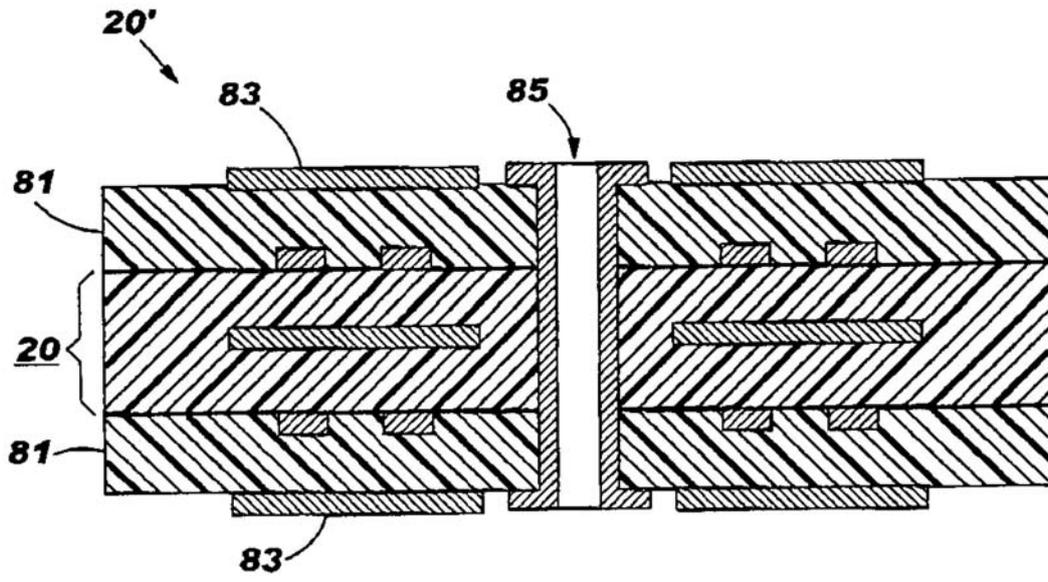
【図5】



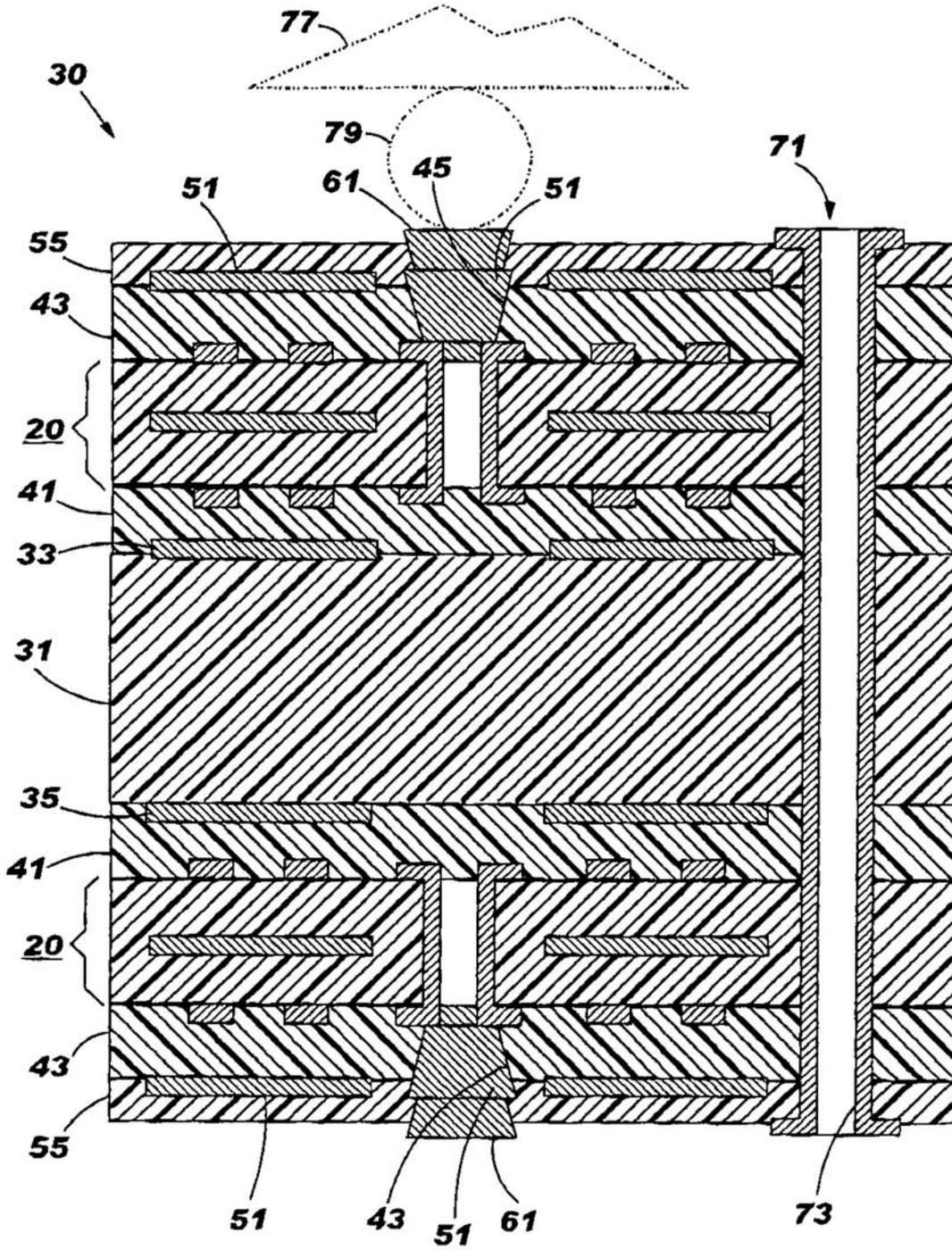
【図6】



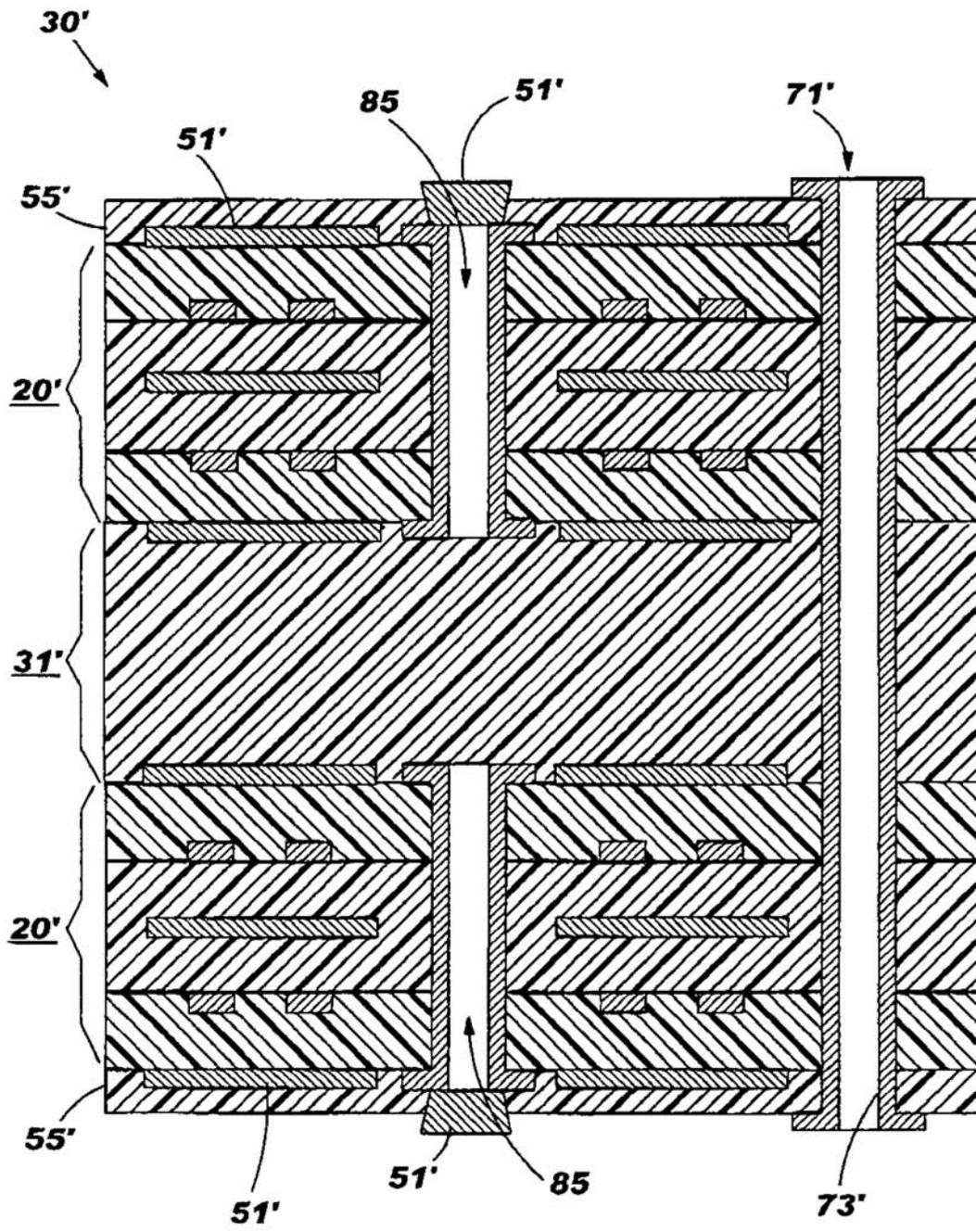
【 図 7 】



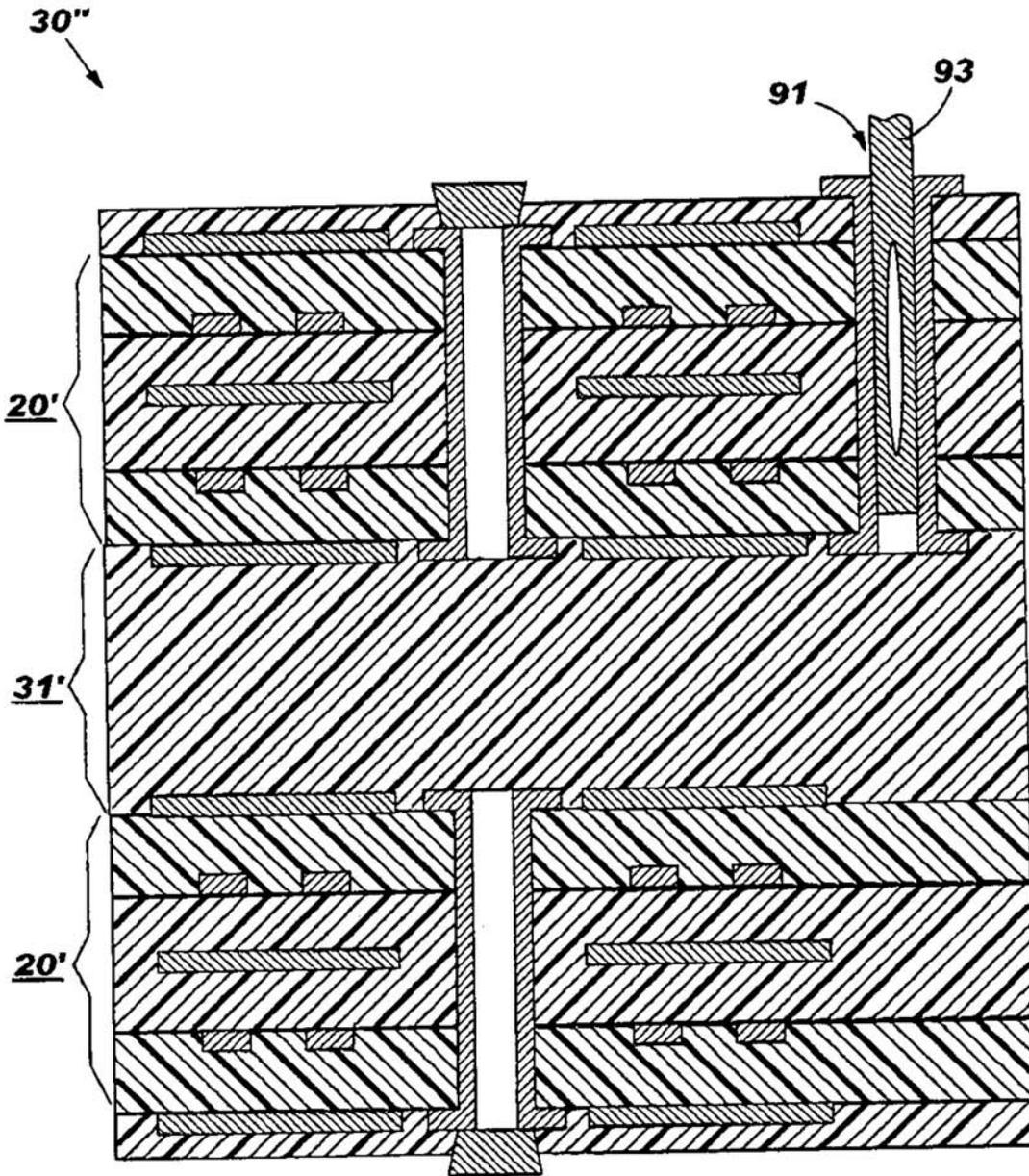
【図 8】



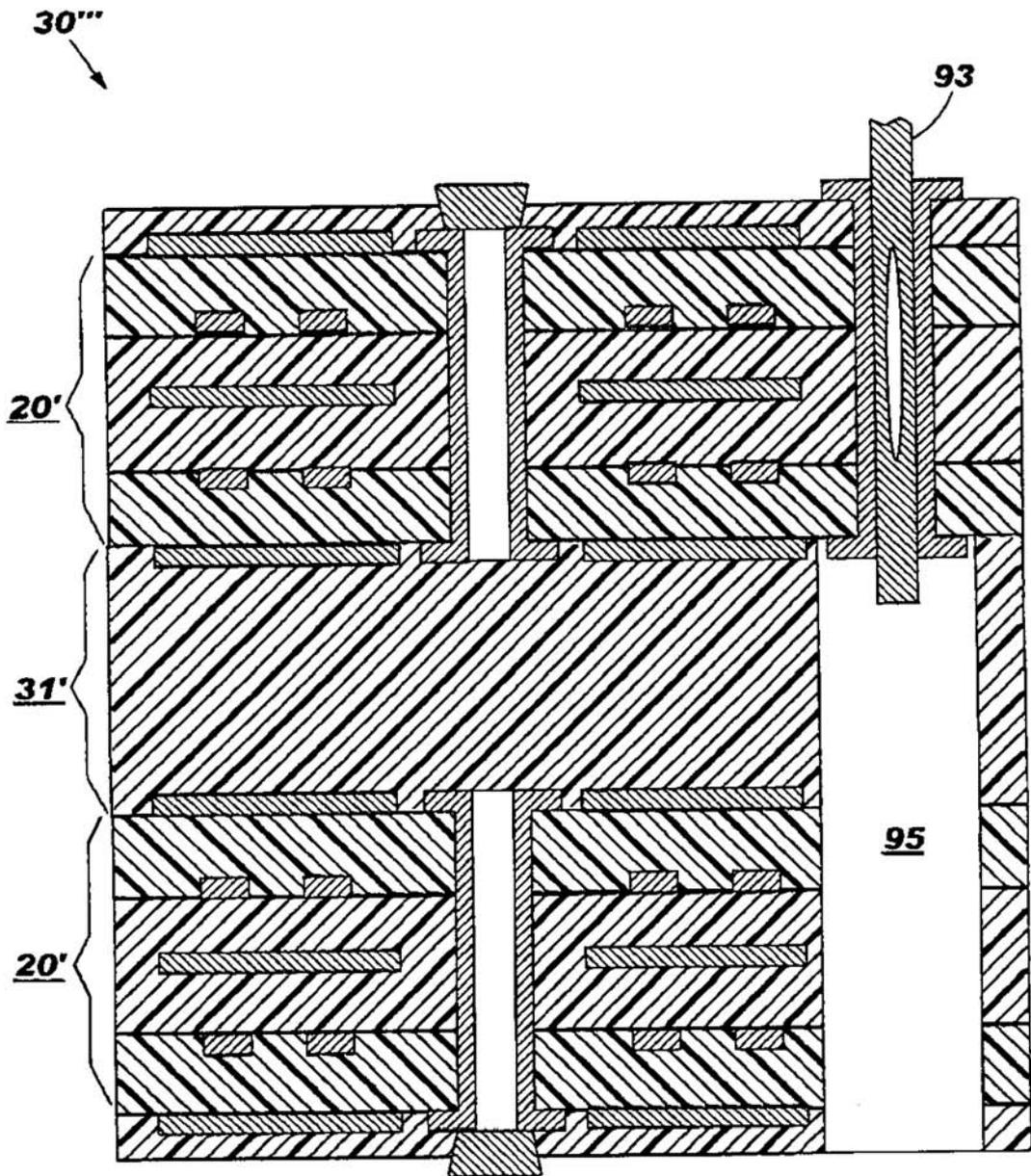
【図9】



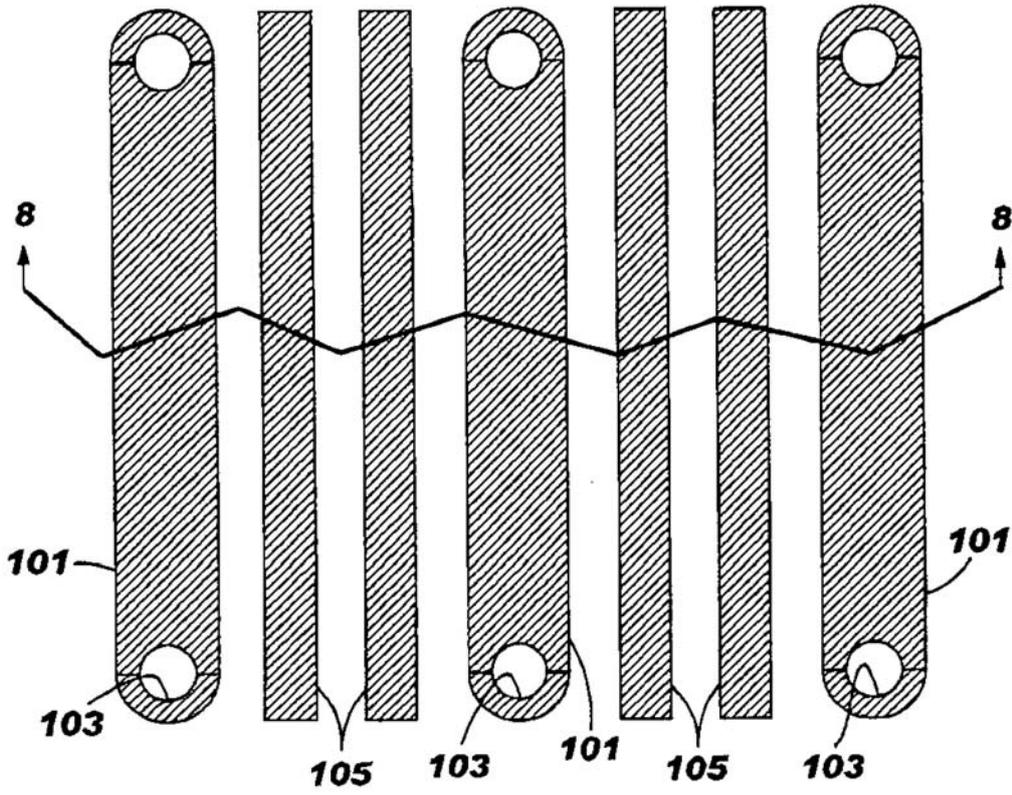
【図10】



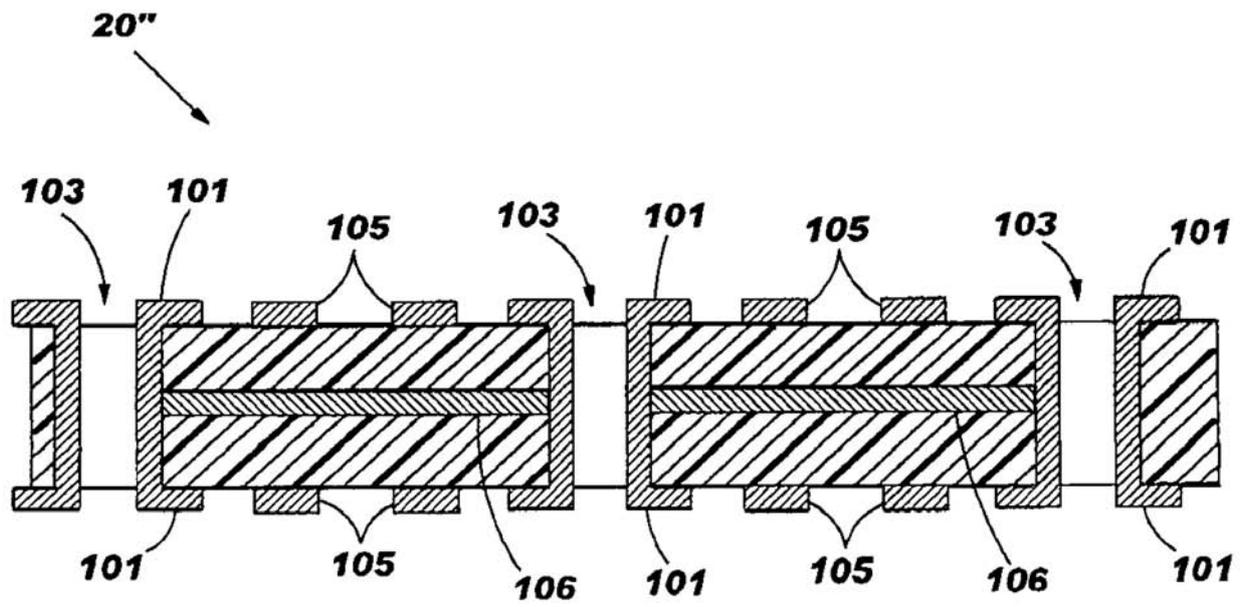
【図 11】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

- (72)発明者 ハウ ティー・リン
アメリカ合衆国 ニューヨーク州 ベスタル ハートウィック レーン 1 2 0 0
- (72)発明者 ボヤ アール・マルコビッチ
アメリカ合衆国 ニューヨーク州 エンドウエル ジョエル ドライブ 3 6 1 1
- (72)発明者 デビッド エル・トーマス
アメリカ合衆国 ニューヨーク州 ベスタル ステイト ラインロード 3
- (72)発明者 ローレンス アール・ファーレイ
アメリカ合衆国 ニューヨーク州 エンディコット ウェリントン ドライブ 6