



(12) 发明专利申请

(10) 申请公布号 CN 104701271 A

(43) 申请公布日 2015.06.10

(21) 申请号 201310655093.7

(22) 申请日 2013.12.05

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 宁先捷

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 骆苏华

(51) Int. Cl.

H01L 23/31(2006.01)

H01L 23/528(2006.01)

H01L 21/56(2006.01)

H01L 21/768(2006.01)

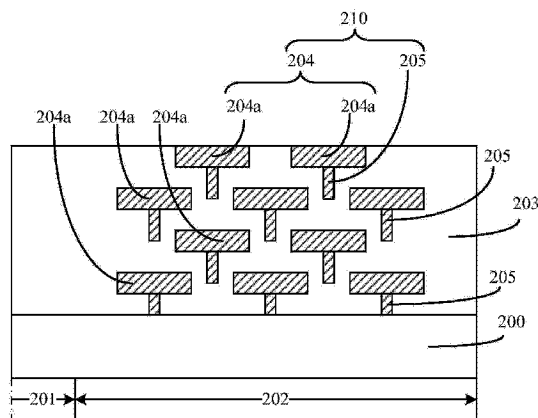
权利要求书2页 说明书8页 附图5页

(54) 发明名称

半导体结构及其形成方法

(57) 摘要

一种半导体结构及其形成方法,其中,半导体结构包括:衬底,所述衬底具有器件区、以及围绕所述器件区的密封环区,所述衬底表面具有介质层;位于密封环区介质层内的第一密封环结构,所述第一密封环结构包围所述器件区,所述第一密封环结构包括:若干层重叠设置的第一连接层,相邻两层第一连接层之间由介质层隔离,至少一层第一连接层由若干分立的子连接层构成,相邻子连接层之间由介质层隔离;位于相邻第一连接层之间的若干第一导电插塞,所述第一导电插塞的顶部与所述第一连接层连接,至少两层相邻第一连接层之间的第一导电插塞底部伸入相邻子连接层之间的介质层内。半导体结构对器件区的保护能力增强。



1. 一种半导体结构,其特征在于,包括:  
衬底,所述衬底具有器件区、以及围绕所述器件区的密封环区,所述衬底表面具有介质层;  
位于密封环区介质层内的第一密封环结构,所述第一密封环结构包围所述器件区,所述第一密封环结构包括:  
若干层重叠设置的第一连接层,相邻两层第一连接层之间由介质层隔离,至少一层第一连接层由若干分立的子连接层构成,相邻子连接层之间由介质层隔离;  
位于相邻第一连接层之间的若干第一导电插塞,所述第一导电插塞的顶部与所述第一连接层连接,至少两层相邻第一连接层之间的第一导电插塞底部伸入相邻子连接层之间的介质层内。
2. 如权利要求 1 所述的半导体结构,其特征在于,所述若干层第一连接层均由若干分立的子连接层构成,同一层子连接层之间由介质层隔离。
3. 如权利要求 2 所述的半导体结构,其特征在于,相邻两层第一连接层中的子连接层位置交错分布。
4. 如权利要求 2 所述的半导体结构,其特征在于,若干第一导电插塞的底部均伸入相邻子连接层之间的介质层内。
5. 如权利要求 1 所述的半导体结构,其特征在于,每一子连接层底部与若干第一导电插塞连接,所述子连接层以及与该子连接层连接的第一导电插塞构成密封环单元结构。
6. 如权利要求 5 所述的半导体结构,其特征在于,与一子连接层底部连接的第一导电插塞数量为 1 个~ 5 个。
7. 如权利要求 1 所述的半导体结构,其特征在于,还包括:所述第一导电插塞的底部与所述第一连接层连接。
8. 如权利要求 1 所述的半导体结构,其特征在于,所述密封环区的介质层内还具有第二密封环结构,所述第二密封环结构包围所述器件区,且所述第二密封环结构包围所述第一密封环结构,或者所述第一密封环结构包围所述第二密封环结构。
9. 如权利要求 8 所述的半导体结构,其特征在于,所述第二密封环结构包括:若干层重叠设置的第二连接层,相邻两层第二连接层之间由介质层电隔离;位于相邻两层第二连接层的第二导电插塞,所述第二导电插塞两端分别与相邻两层第二连接层相连接。
10. 如权利要求 1 所述的半导体结构,其特征在于,位于底层的第一连接层通过第一导电插塞与衬底连接。
11. 如权利要求 1 所述的半导体结构,其特征在于,所述第一连接层和第一导电插塞的材料为金属。
12. 如权利要求 1 所述的半导体结构,其特征在于,所述第一连接层或第一导电插塞的材料为铜、钨或铝。
13. 如权利要求 1 所述的半导体结构,其特征在于,所述衬底还包括切割道区,所述切割道区围绕所述密封环区和器件区。
14. 一种如权利要求 1 至 13 任一项半导体结构的形成方法,其特征在于,包括:  
提供衬底,所述衬底具有器件区、以及围绕所述器件区的密封环区;  
在所述衬底表面形成介质层;

在密封环区的介质层内形成第一密封环结构,所述第一密封环结构包围所述器件区,所述第一密封环结构包括:

若干层重叠设置的第一连接层,相邻两层第一连接层之间由介质层隔离,至少一层第一连接层由若干分立的子连接层构成,相邻子连接层之间由介质层隔离;

位于相邻第一连接层之间的若干第一导电插塞,所述第一导电插塞的顶部与所述第一连接层连接,至少两层相邻第一连接层之间的第一导电插塞底部伸入相邻子连接层之间的介质层内。

15. 如权利要求 14 所述的半导体结构的形成方法,其特征在于,所述第一导电插塞、以及位于所述第一导电插塞顶部的第一连接层同时形成。

## 半导体结构及其形成方法

### 技术领域

[0001] 本发明涉及半导体制造技术领域,尤其涉及一种半导体结构及其形成方法。

### 背景技术

[0002] 在集成电路(IC, Integrated Circuit)的制造中,制作密封环(也称作防护环, Seal Ring)对于半导体工艺来说是重要的一环。随着半导体技术的发展,集成电路被制成芯片的形式。具体的,通过将用于构成集成电路的半导体结构、或半导体器件形成于半导体基底或晶圆表面,再对所述半导体基底或晶圆进行切割(Saw),以形成多个孤立的芯片。然而,在对半导体基底或晶圆进行切割时,会将机械应力施加于所述半导体基底或晶圆上,因此,容易在切割而成的芯片内造成龟裂。

[0003] 再者,半导体基底上形成有多个半导体器件。此时,在制作半导体组件的过程中,沉积而成叠置绝缘层(Stacked Insulating Films),例如金属层间介质层(IMD, Inter-metal Dielectric)、层间介质层(ILD, Inter-layer Dielectric),会因且芯片切割工艺而暴露出侧壁表面。所述叠置绝缘层及其暴露出的侧壁表面构成了水气穿透的路径,进而会让半导体器件发生故障。

[0004] 为了防止半导体芯片受到切割工艺的损害及避免水气引发劣化的情形,会在每一芯片的器件区与切割道(Saw Lane)之间形成密封环结构。现有密封环结构在形成接线层及接触部的工艺中,同时形成,所形成的密封环结构呈多层结构,由金属层与绝缘层交替堆叠而成;其中,每一绝缘层内形成有通孔(Via),以使相邻的金属层之间连通。

[0005] 然而,现有的密封环结构保护芯片器件区的性能依旧较差,会影响切割而成的芯片性能。

### 发明内容

[0006] 本发明解决的问题是提供一种半导体结构及其形成方法,所述半导体结构对器件区的保护能力增强。

[0007] 为解决上述问题,本发明提供一种半导体结构,包括:衬底,所述衬底具有器件区、以及围绕所述器件区的密封环区,所述衬底表面具有介质层;位于密封环区介质层内的第一密封环结构,所述第一密封环结构包围所述器件区,所述第一密封环结构包括:若干层重叠设置的第一连接层,相邻两层第一连接层之间由介质层隔离,至少一层第一连接层由若干分立的子连接层构成,相邻子连接层之间由介质层隔离;位于相邻第一连接层之间的若干第一导电插塞,所述第一导电插塞的顶部与所述第一连接层连接,至少两层相邻第一连接层之间的第一导电插塞底部伸入相邻子连接层之间的介质层内。

[0008] 可选的,所述若干层第一连接层均由若干分立的子连接层构成,同一层子连接层之间由介质层隔离。

[0009] 可选的,相邻两层第一连接层中的子连接层位置交错分布。

[0010] 可选的,若干第一导电插塞的底部均伸入相邻子连接层之间的介质层内。

[0011] 可选的,每一子连接层底部与若干第一导电插塞连接,所述子连接层以及与该子连接层连接的第一导电插塞构成密封环单元结构。

[0012] 可选的,与一子连接层底部连接的第一导电插塞数量为 1 个~ 5 个。

[0013] 可选的,还包括:所述第一导电插塞的底部与所述第一连接层连接。

[0014] 可选的,所述密封环区的介质层内还具有第二密封环结构,所述第二密封环结构包围所述器件区,且所述第二密封环结构包围所述第一密封环结构,或者所述第一密封环结构包围所述第二密封环结构。

[0015] 可选的,所述第二密封环结构包括:若干层重叠设置的第二连接层,相邻两层第二连接层之间由介质层电隔离;位于相邻两层第二连接层的第二导电插塞,所述第二导电插塞两端分别与相邻两层第二连接层相连接。

[0016] 可选的,位于底层的第一连接层通过第一导电插塞与衬底连接。

[0017] 可选的,所述第一连接层和第一导电插塞的材料为金属。

[0018] 可选的,所述第一连接层或第一导电插塞的材料为铜、钨或铝。

[0019] 可选的,所述衬底还包括切割道区,所述切割道区围绕所述密封环区和器件区。

[0020] 相应的,本发明还提供一种上述任一项半导体结构的形成方法,包括:提供衬底,所述衬底具有器件区、以及围绕所述器件区的密封环区;在所述衬底表面形成介质层;在密封环区的介质层内形成第一密封环结构,所述第一密封环结构包围所述器件区,所述第一密封环结构包括:若干层重叠设置的第一连接层,相邻两层第一连接层之间由介质层隔离,至少一层第一连接层由若干分立的子连接层构成,相邻子连接层之间由介质层隔离;位于相邻第一连接层之间的若干第一导电插塞,所述第一导电插塞的顶部与所述第一连接层连接,至少两层相邻第一连接层之间的第一导电插塞底部伸入相邻子连接层之间的介质层内。

[0021] 可选的,所述第一导电插塞、以及位于所述第一导电插塞顶部的第一连接层同时形成。

[0022] 与现有技术相比,本发明的技术方案具有以下优点:

[0023] 本发明的半导体结构中,位于密封环区的第一密封环结构中,至少一层第一连接层由若干分立的子连接层构成,位于相邻第一连接层之间的若干第一导电插塞,而且,至少两层相邻第一连接层之间的第一导电插塞底部伸入相邻子连接层之间的介质层内。由于所述第一导电插塞底部伸入第一连接层内,使所述第一导电插塞底部与第一连接层相接触的界面处机械强度增强。在所述第一导电插塞底部、与第一连接层相接触的界面处,所述第一导电插塞能够避免在切割芯片的过程中所产生的分层或破裂向器件区延伸。因此,所述第一密封环结构对器件区的保护能力增强。

[0024] 本发明的半导体结构的形成方法中,形成于密封环区的第一密封环结构中,至少两层相邻第一连接层之间的第一导电插塞底部伸入相邻子连接层之间的介质层内,使所述第一导电插塞底部与第一连接层相接触的界面处机械强度增强。在所述第一导电插塞底部、与第一连接层相接触的界面处,所述第一导电插塞能够避免在切割芯片的过程中所产生的分层或破裂向器件区延伸。因此,所述第一密封环结构对器件区的保护能力增强。

[0025] 进一步,所述第一导电插塞、以及位于所述第一导电插塞顶部的第一连接层同时形成,因此所述第一导电插塞与位于该第一导电插塞顶部的第一连接层之间的机械强度较

大。在所述第一导电插塞顶部、与第一连接层相接触的界面处,所述第一导电插塞足以阻挡在切割芯片的过程中所产生的分层或破裂向器件区的延伸。

#### 附图说明

[0026] 图 1 是一种密封环结构的剖面结构示意图;

[0027] 图 2 和图 3 是本发明实施例的半导体结构的结构示意图,其中,图 3 是图 2 的俯视结构示意图,图 2 是图 3 沿 AA' 方向的剖面结构示意图;

[0028] 图 4 是本发明另一实施例的半导体结构的剖面结构示意图;

[0029] 图 5 是本发明其它实施例的半导体结构的剖面结构示意图;

[0030] 图 6 是本发明实施例的半导体结构形成过程的流程示意图;

[0031] 图 7 至图 10 是本发明实施例中,形成第一导电插塞、以及位于该层第一导电插塞顶部的第一连接层的过程的剖面结构示意图。

#### 具体实施方式

[0032] 如背景技术所述,现有的密封环结构保护芯片器件区的性能依旧较差,会影响切割而成的芯片性能。

[0033] 经过研究发现,在所述密封环结构中,由于金属材料与介质材料之间的界面机械性能较差,因此容易在切割工艺的过程中发生破裂或分层,致使所述密封环结构失去对芯片器件区的保护能力。

[0034] 具体的,请参考图 1,图 1 是一种密封环结构的剖面结构示意图,包括:衬底 100,所述衬底 100 包括器件区、以及包围所述器件区的密封环区;位于衬底 100 表面的介质层 101;位于密封环区介质层 101 内的若干层重叠设置的金属层 102;位于相邻两层金属层 102 之间的若干导电插塞 103,所述导电插塞 103 的两端分别与相邻两层金属层 102 连接。

[0035] 其中,相邻两层金属层 102 之间由介质层 101 相互隔离,所述金属层 102 与介质层 101 相接触的表面机械强度较弱,当对所述衬底 100 进行切割时,容易在金属层 102 与介质层 101 之间的界面处产生分层或破裂。在相邻两层金属层 102 之间具有导电插塞 103 相互连接,而且所述导电插塞 103 以及所述导电插塞 103 顶部的金属层 102 能够通过大马士革(Damascus)工艺同时形成,所形成的导电插塞 103 与该导电插塞 102 顶部的金属层 102 为一整体结构。具体的,所述导电插塞 103 和金属层 102 形成工艺包括:在已形成的金属层 102 和介质层 101 表面再形成一层介质层 101;在所述介质层 101 内形成通孔,在所述通孔顶部形成暴露出所述通孔的开口;在所述开口和通孔内填充金属材料,在所述通孔内形成导电插塞 103,在所述开口内形成金属层 102。因此,所述导电插塞 103 与该导电插塞 103 顶部的金属层 102 相接触的界面 A 处的机械强度增加,所述导电插塞 103 能够防止在切割过程中产生的分层或破裂自界面 A 处向器件区延伸。

[0036] 然而,由于所述导电插塞 103 形成于暴露出金属层 102 的通孔内,即所述导电插塞 103 与该导电插塞 103 底部的金属层 102 在不同的工艺步骤中形成,因此所述导电插塞 103 与该导电插塞 103 底部的金属层 102 相接触的界面 B 处机械强度依旧较弱,在受到加大应力或机械力影响时,所述界面 B 出依旧会发生分层或破裂,且所述分层或破裂会自切割道向器件区延伸,对切割后所形成的芯片造成损害。

[0037] 经过进一步研究,本发明提出一种半导体结构。其中,位于密封环区的第一密封环结构中,至少一层第一连接层由若干分立的子连接层构成,位于相邻第一连接层之间的若干第一导电插塞,而且,至少两层相邻第一连接层之间的第一导电插塞底部伸入相邻子连接层之间的介质层内。由于所述第一导电插塞底部伸入第一连接层内,使所述第一导电插塞底部与第一连接层相接触的界面处机械强度增强。在所述第一导电插塞底部、与第一连接层相接触的界面处,所述第一导电插塞能够避免在切割芯片的过程中所产生的分层或破裂向器件区延伸。因此,所述第一密封环结构对器件区的保护能力增强。

[0038] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0039] 图 2 和图 3 是本发明实施例的半导体结构的结构示意图,其中,图 3 是图 2 的俯视结构示意图,图 2 是图 3 沿 AA' 方向的剖面结构示意图。

[0040] 请参考图 2 和图 3,本发明实施例的半导体结构包括:

[0041] 衬底 200,所述衬底具有器件区 201、以及围绕所述器件区 201 的密封环区 202,所述衬底 200 表面具有介质层 203;

[0042] 位于密封环区 202 介质层 203 内的第一密封环结构 210,所述第一密封环结构 210 包围所述器件区 201,所述第一密封环结构 210 包括:

[0043] 若干层重叠设置的第一连接层 204,相邻两层第一连接层 204 之间由介质层 203 隔离,至少一层第一连接层 204 由若干分立的子连接层 204a 构成,相邻子连接层 204a 之间由介质层 203 隔离;

[0044] 位于相邻第一连接层 204 之间的若干第一导电插塞 205,所述第一导电插塞 205 的顶部与所述第一连接层 204 连接,至少两层相邻第一连接层 204 之间的第一导电插塞 205 底部伸入相邻子连接层 204a 之间的介质层 203 内。

[0045] 以下将对上述结构进行详细说明。

[0046] 所述衬底 200 为硅衬底、硅锗衬底、碳化硅衬底、绝缘体上硅(SOI)衬底、绝缘体上锗(GOI)衬底、玻璃衬底或 III-V 族化合物衬底(例如氮化硅或砷化镓等)。

[0047] 在本实施例中,所述衬底 200 还包括切割道区(未示出),所述切割道区围绕所述密封环区 202 和器件区 201。所述器件区 201 的衬底 200 表面形成有芯片电路;所述切割道区为形成芯片电路之后,进行切割工艺的位置,通过所述切割工艺使衬底 200 的若干器件区 201 相互分离,并成为独立的芯片,而所述切割道区在切割工艺中被去除。

[0048] 由于在经过切割工艺之后,形成于衬底 200 表面的介质层 203 侧壁被暴露出,容易使水汽或杂质自所述暴露出的介质层 203 侧壁表面进入器件区 201,造成器件区 201 的芯片电路的污染;而且,在所述切割工艺中,会使形成有芯片电路的衬底 200 受到较大的机械力或应力,容易造成器件区 201 的芯片电路受到损伤。因此,在所述器件区 201 和切割道区之间具有密封环区 202,所述密封环区 202 用于形成第一密封环结构 210,所述第一密封环结构 210 用于保护器件区 201 的芯片电路免受污染或损伤。

[0049] 所述第一密封环结构 210 的材料为金属材料,所述金属材料包括铜、钨、铝、钴或镍;此外,所述第一密封结构 210 与介质层 203 接触的表面还能够具有阻挡层,所述阻挡层的材料为钛、氮化钛、钽、氮化钽中的一种或多种组合;所述阻挡层用于阻止金属材料向介质层 203 内扩散。

[0050] 在本实施例的第一密封环结构 210 中,每一层第一连接层 204 均由若干分立的子连接层 204a 构成,同一层子连接层 204a 之间由介质层 203 隔离。而且,相邻两层第一连接层 204 中的子连接层 204a 位置交错分布,即一层子连接层 204a 的位置、与相邻一层子连接层 204 之间的介质层 203 的位置相对应。

[0051] 由于相邻两层第一连接层 204 中的子连接层 204a 位置交错分布,能够所述第一导电插塞 205 的顶部与所述子连接层 204a 连接的同时,所述第一导电插塞 205 的底部伸入相邻子连接层 204a 之间的介质层 203 内。本实施例中,若干第一导电插塞 205 的底部均伸入相邻子连接层 204a 之间的介质层 203 内,而且,所述第一导电插塞 205 的底部与相邻子连接层 204a 之间通过介质层 203 电隔离。在其他实施例中,所述第一导电插塞 205 的底部与子连接层 204a 之间还能够直接接触。

[0052] 由于所述第一导电插塞 205 的底部伸入相邻子连接层 204a 之间,即所述第一导电插塞 205 底部延伸入第一连接层 204 内,从而能够增强所述第一导电插塞 205 底部与第一连接层 204 之间的机械强度,从而防止切割工艺中,产生与介质层 203 内的破裂或分层向器件区 201 延伸。

[0053] 具体的,在切割道区进行切割工艺时,会使所述衬底 200 以及形成于所述衬底 200 表面的半导体结构受到较大的机械力或应力,从而容易使第一连接层 204 和介质层 203 相接处的界面,尤其是平行于衬底 200 表面方向的界面发生破裂或分层。在第一密封环结构 210 中,所述第一导电插塞 205、以及位于所述第一导电插塞 205 顶部的第一连接层 204 以形成大马士革结构的工艺同时形成,因此所述第一导电插塞 205 的顶部与第一连接层 204 相接触的界面处具有较高的机械强度,足以防止在切割道区产生的破裂或分层向器件区 201 延伸。同时,由于所述第一导电插塞 205 的底部伸入相邻子连接层 204a 之间,从而增强了所述第一导电插塞 205 底部伸入第一连接层 204 的位置的机械强度,使所述第一导电插塞 205 足以防止在切割道区产生的破裂或分层向器件区 201 延伸。因此,所述第一密封环结构 210 对器件区 201 的芯片电路保护能力提高,以保证经过切割工艺之后的芯片电路性能良好。

[0054] 所述重叠设置的第一连接层 204 的数量能够根据具体的工艺需求确定,而且所述第一连接层 204 的数量能够与器件区 201 用于构成芯片电路的电互连层的层数一致,即所述第一连接层 204 能够在器件区 201 形成电互连层时同时形成。本实施例中,图 2 示出了 4 层重叠设置的第一连接层 204,且每一层第一连接层 204 均有若干层分离的子连接层 204a 构成。

[0055] 其中,所述第一连接层 204 为包围器件区 201 的环形,且各层第一连接层 204 由 1 个~10 个分立的子连接层 204a 构成;其中,位于同一层的若干子连接层 204a 之间距离为 0.1 微米至 3 微米,每一子连接层 204a 的宽度为 0.1 微米至 3 微米。其次,每一子连接层 204a 的底部均于至少一个第一导电插塞 205 连接,且各子连接层 204a 底部所连接的第一导电插塞 205 的数量根据工艺需求而定;与同一子连接层 204a 连接的若干第一导电插塞 205 之间的距离应满足设计规则要求。

[0056] 需要说明的是,本实施例中,所述第一导电插塞 205 为条形插塞(ViaSlot)。具体的,所述第一导电插塞 205 平行于衬底 200 表面方向的图形为条形,而所述条形图形与子连接层 204a 的图形相同,且所述条形图形的长度与子连接层 204a 的长度相同。当所述第一



导电插塞 205 平行于衬底 200 表面方向的图形为条形时,所述第一导电插塞 205 能够完全将器件区 201 和切割道区的介质层 203 相互隔离,从而使所形成的第一密封环 210 完全将器件区 201 与切割道区相互隔离,以此更好的保护器件区 201,避免在切割道区产生的破裂或分层向器件区 201 延伸。

[0057] 每一子连接层 204a、以及与该子连接层 204a 连接的第一导电插塞 205 构成密封环单元,而所述第一密封环结构 210 由若干所述密封环单元重叠且交错设置而成。

[0058] 此外,在本实施例中,位于底层的第一连接层 204 通过第一导电插塞 205 与衬底 200 连接,即位于底层的第一连接层 204 中,若干子连接层分别通过至少一个第一导电插塞 205 与衬底 200 连接。

[0059] 在本实施例中,若干重叠的第一连接层 204 均有若干子连接层 204a 构成,而且,若干第一导电插塞 205 底部均伸入同一层子连接层 204a 之间的介质层内。然而,在另一实施例中,所述第一导电插塞 205 的底部还能够与位于该第一导电插塞 205 底部的第一子连接层 204 连接。

[0060] 请参考图 4,图 4 是本发明另一实施例的半导体结构的剖面结构示意图。

[0061] 在该实施例中,所述在若干第一导电插塞 205 中,部分第一导电插塞 205 得到底部与第一连接层 204 连接。具体的,位于底层的第一连接层 204 为一整体的电互连层,所述底层的第一连接层 204 顶部表面具有若干第一导电插塞 205a,且所述第一导电插塞 205a 的底部与所述底层第一连接层 204 连接,而所述第一导电插塞 205a 的顶部与若干子连接层 204a 连接。

[0062] 其中,所述底层的第一连接层 204、以及顶部与所述底层第一连接层 204 连接的第一导电插塞 205a 能够采用现有形成密封环结构的工艺形成。而若干子连接层 204a、以及顶部与所述子连接层 204a 连接的第一导电插塞 205 能够设置于易于在切割过程中发生破裂或分层的位置。因此,所述第一密封环结构 210 对于形成现有密封环结构的工艺改动较小。

[0063] 在其它实施例中,请参考图 5,图 5 是本发明其它实施例的半导体结构的剖面结构示意图。

[0064] 其中,所述密封环区 202 的介质层 203 内还具有第二密封环结构 220,所述第二密封环结构 220 包围所述器件区 201,且所述第二密封环结构 220 包围所述第一密封环结构 210,或者所述第一密封环结构 210 包围所述第二密封环结构 220。

[0065] 所述第二密封环结构 220 包括:若干层重叠设置的第二连接层 221,相邻两层第二连接层 221 之间由介质层 203 电隔离;位于相邻两层第二连接层 221 的第二导电插塞 222,所述第二导电插塞 222 两端分别与相邻两层第二连接层 221 相连接。

[0066] 所述第一密封环结构 210 与第二密封环结构 220 共同用于保护器件区 201 内的芯片电路,进一步增强了对器件区 201 的保护能力,在避免器件区 201 发生破裂或分层的同时,还能够防止水汽或杂质进入器件区 201。因此,器件区 201 的芯片电路性能得到保证。

[0067] 本实施例的半导体结构中,位于密封环区的第一密封环结构中,至少一层第一连接层由若干分立的子连接层构成,位于相邻第一连接层之间的若干第一导电插塞,而且,至少两层相邻第一连接层之间的第一导电插塞底部伸入相邻子连接层之间的介质层内。由于所述第一导电插塞底部伸入第一连接层内,使所述第一导电插塞底部与第一连接层相接触的界面处机械强度增强。在所述第一导电插塞底部、与第一连接层相接触的界面处,所述第

一导电插塞能够避免在切割芯片的过程中所产生的分层或破裂向器件区延伸。因此,所述第一密封环结构对器件区的保护能力增强。

[0068] 相应的,本发明的实施例还提供一种形成上述半导体结构的方法,请参考图 6,图 6 是本发明实施例的半导体结构形成过程的流程示意图,包括:

[0069] 步骤 S11,提供衬底,所述衬底具有器件区、以及围绕所述器件区的密封环区;

[0070] 步骤 S12,在所述衬底表面形成介质层;

[0071] 步骤 S13,在密封环区的介质层内形成第一密封环结构,所述第一密封环结构包围所述器件区,所述第一密封环结构包括:

[0072] 若干层重叠设置的第一连接层,相邻两层第一连接层之间由介质层隔离,至少一层第一连接层由若干分立的子连接层构成,相邻子连接层之间由介质层隔离;

[0073] 位于相邻第一连接层之间的若干第一导电插塞,所述第一导电插塞的顶部与所述第一连接层连接,至少两层相邻第一连接层之间的第一导电插塞底部伸入相邻子连接层之间的介质层内。

[0074] 其中,所述第一导电插塞、以及位于所述第一导电插塞顶部的第一连接层采用形成大马士革结构的工艺同时形成。以下将结合附图进行详细说明。

[0075] 请参考图 7 至图 10,图 7 至图 10 是形成本实施例中的第一导电插塞、以及位于该层第一导电插塞顶部的第一连接层的过程的剖面结构示意图。

[0076] 请参考图 7,提供衬底 200,所述衬底 200 表面具有介质层 203a,所述介质层 203a 表面具有第一连接层 204A,所述第一连接层 204A 的顶部表面与所述介质层 203a 的表面齐平。

[0077] 所述第一连接层 204A 包括若干分立的子连接层,相邻子连接层之间由介质层 203a 相互隔离。而且,所述第一连接层 204A 与衬底 200 之间具有若干导电插塞相互连接。

[0078] 请参考图 8,在介质层 203a 和第一连接层 204A 表面形成介质层 203b。

[0079] 所述介质层 203b 的材料为氧化硅,所述介质层 203b 的形成工艺为化学气相沉积工艺。

[0080] 请参考图 9,在介质层 203b 内形成暴露出子连接层表面的通孔 301、以及位于所述通孔 301 顶部的开口 302,所述开口 302 底部暴露出所述通孔 301、并与所述通孔 301 连通。

[0081] 所述通孔 301 和开口 302 的形成工艺包括:在介质层 203b 表面形成第一掩膜层,所述第一掩膜层暴露出通孔 301 的对应位置;以第一掩膜层为掩膜,刻蚀所述介质层 203b,在所述介质层 203b 内形成子开口;去除第一掩膜层,在所述介质层 203b 表面形成第二掩膜层,所述第二掩膜层暴露出所述子开口以及开口 302 的对应位置;以所述第二掩膜层为掩膜,刻蚀所述介质层 203b 和子开口底部,直至暴露出介质层 230b 为止,形成在介质层 203b 内形成通孔 301 和开口 302,切所述通孔 301 底部低于第一连接层 204A 的表面。其中,刻蚀介质层 203b 的工艺为各向异性的干法刻蚀工艺。

[0082] 请参考图 10,在所述通孔 301 (如图 9 所示)和开口 302 (如图 9 所示)内形成填满通孔 301 和开口 302 的导电材料,在通孔 301 内形成第一导电插塞 205,在所述开口 302 内形成第一连接层 204B。

[0083] 所述第一导电插塞 205 和第一连接层 204B 的形成工艺包括:采用沉积或电镀工艺在所述介质层 203b 表面、以及通孔 301 和开口 302 内填充满导电材料;对所述导电材料进

行抛光,直至暴露出介质层 203b 的表面为止。其中,所述导电材料为铜、钨、铝或镍;而且,在形成导电材料之前,还能够在介质层 203b 的表面、以及通孔 301 和开口 302 的侧壁和底部表面形成抛光停止层,所述抛光停止层的材料为钛、氮化钛、钽、氮化钽中的一种或多种组合。

[0084] 在形成第一导电插塞 205 和第一连接层 204B 之后,重复执行图 8 至图 10 的工艺步骤,直至形成如图 2 所述的半导体结构。

[0085] 由于所述第一导电插塞 205 以及顶部的第一连接层 204B 同时形成,因此,所述第一导电插塞 205 的顶部与第一连接层 204B 之间的机械强度较强;同时,由于所述第一导电插塞 205 的底部延伸入第一连接层 204A 内,因此所述第一导电插塞 205 的底部与第一连接层 204A 之间的机械强度增强。因此,所形成的半导体结构作为密封环结构时,所述密封环结构的机械强度增强,对器件区的保护能力提高。

[0086] 本实施例的半导体结构的形成方法中,形成于密封环区的第一密封环结构中,至少两层相邻第一连接层之间的第一导电插塞底部伸入相邻子连接层之间的介质层内,使所述第一导电插塞底部与第一连接层相接触的界面处机械强度增强。在所述第一导电插塞底部、与第一连接层相接触的界面处,所述第一导电插塞能够避免在切割芯片的过程中所产生的分层或破裂向器件区延伸。因此,所述第一密封环结构对器件区的保护能力增强。

[0087] 虽然本发明披露如上,但本发明并非限于于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

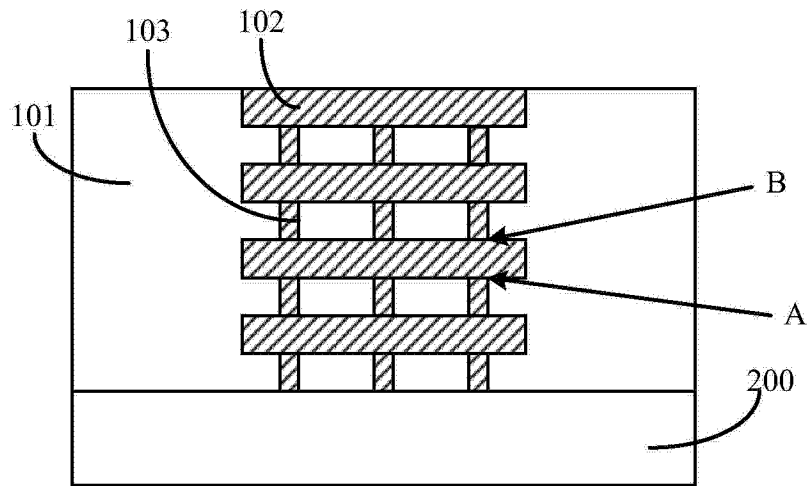


图 1

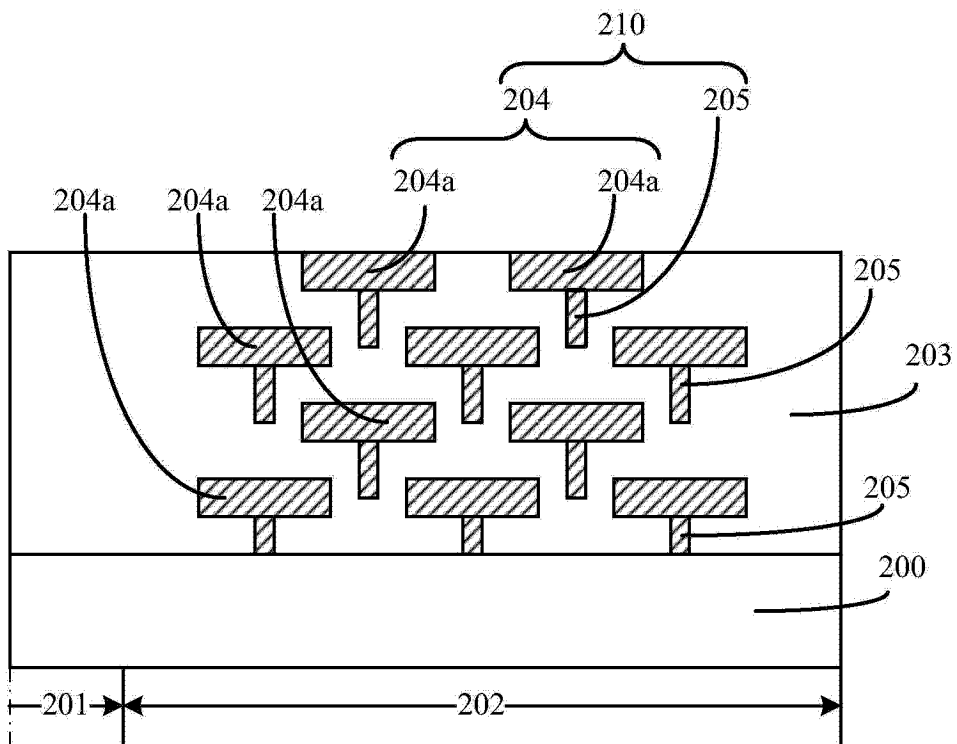


图 2

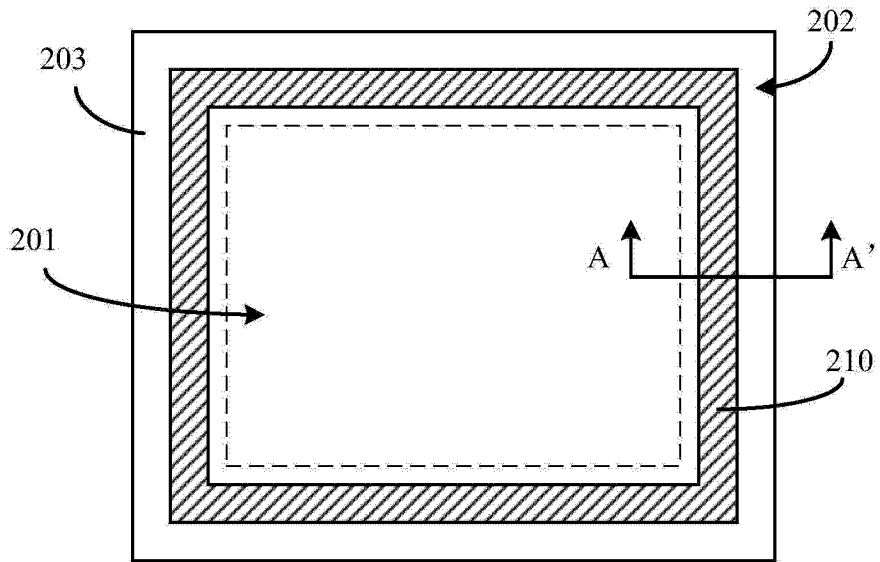


图 3

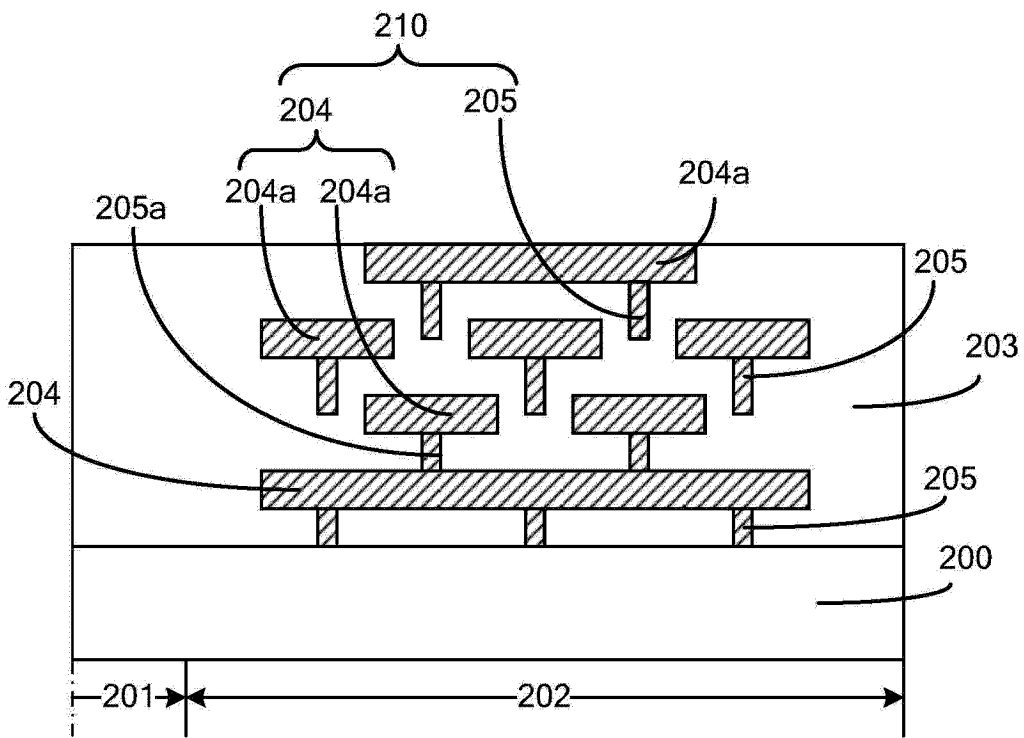


图 4

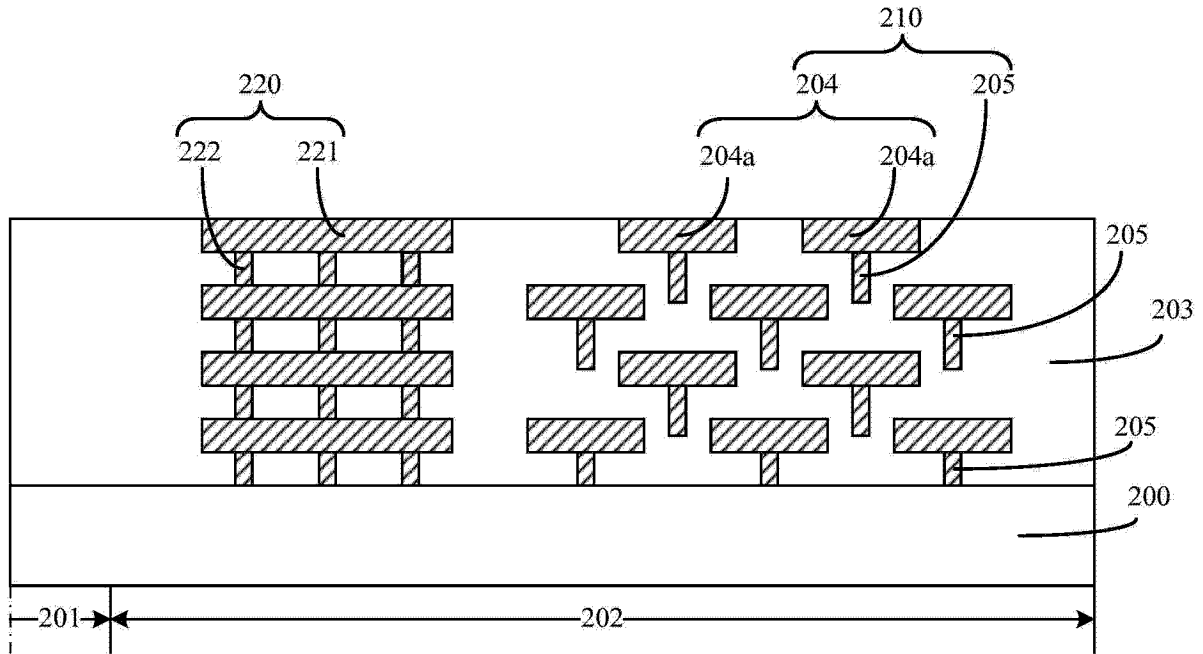


图 5

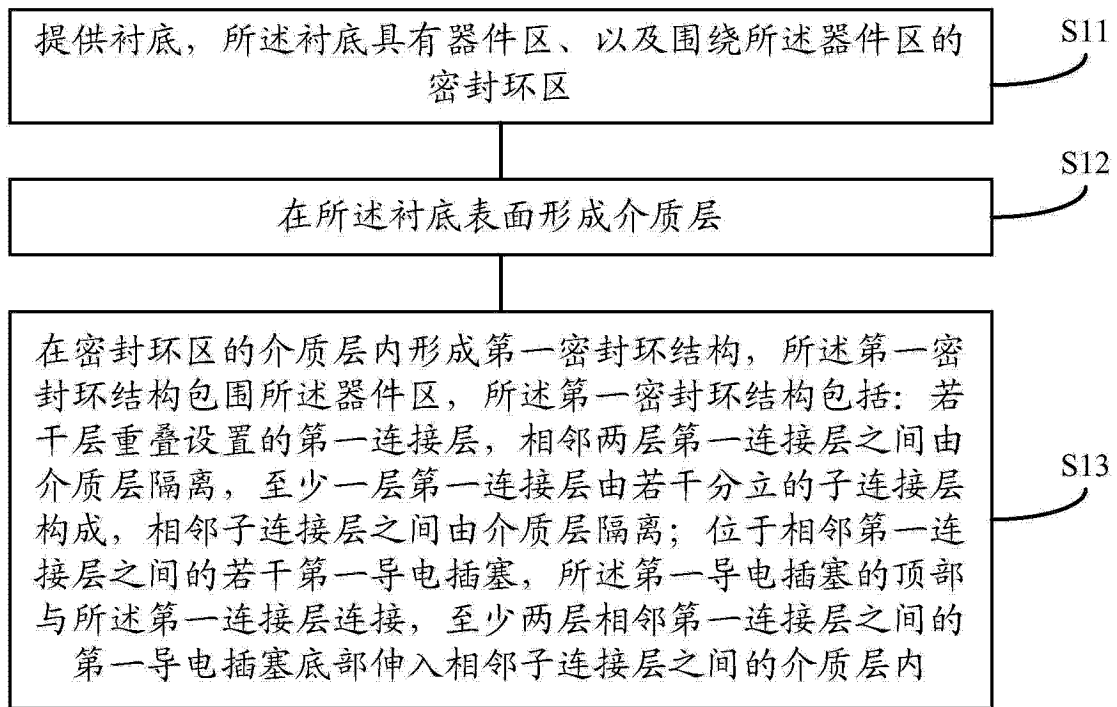


图 6

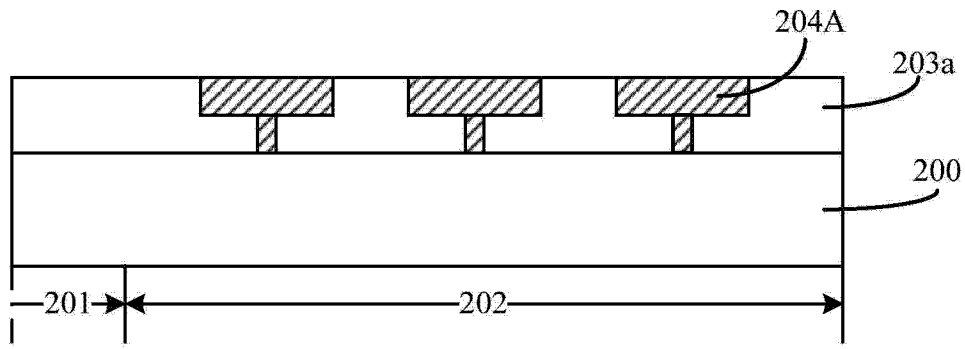


图 7

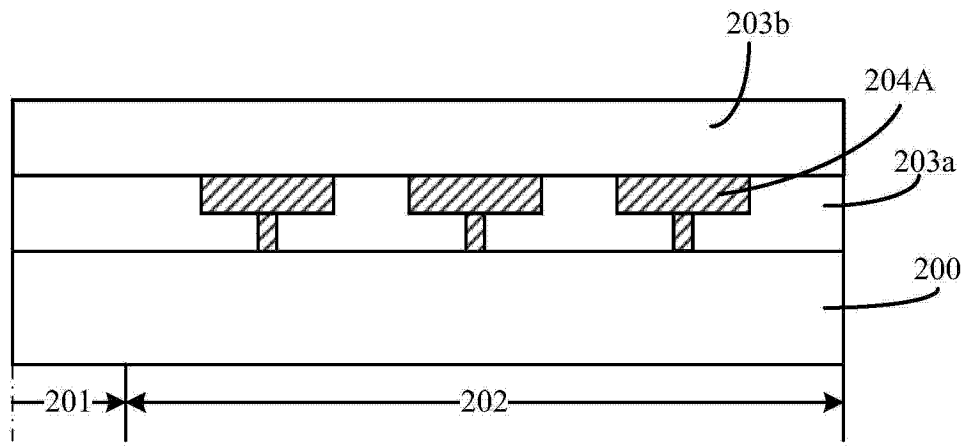


图 8

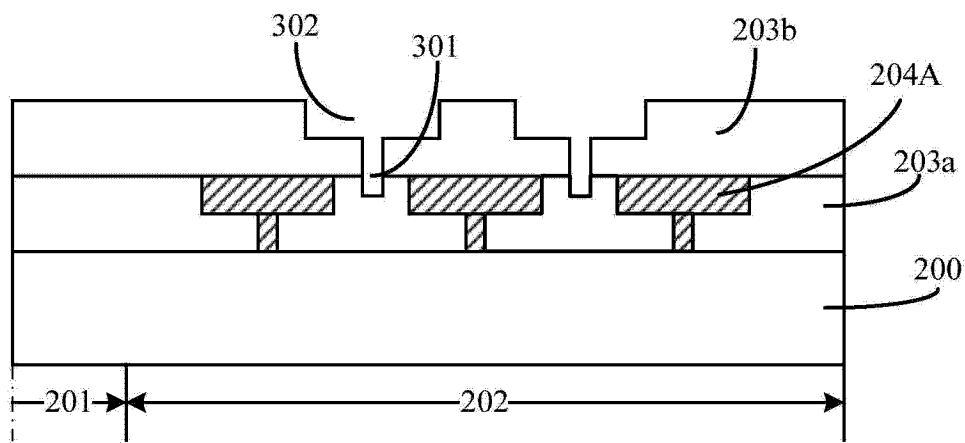


图 9

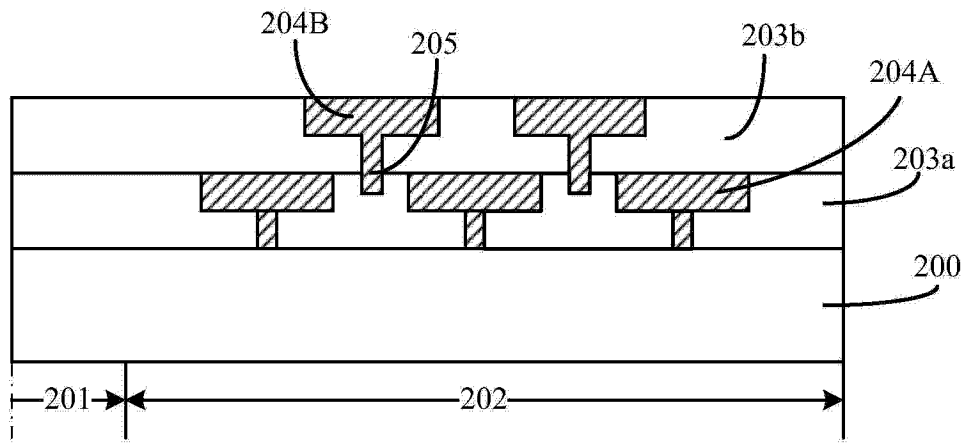


图 10