



### 청구항 1.

반도체 기판상에 금속층을 형성시키는 단계와,

상기 금속층상에 버퍼층 및 포토 레지스트층을 형성시키는 단계와,

상기 포토 레지스트층을 노광 및 현상하여 패터닝하는 단계와,

상기 패터닝된 포토 레지스트층을 마스크로 하여 상기 버퍼층을 패터닝하는 단계와,

상기 패터닝 된 버퍼층을 마스크로 하여 상기 금속층을 패터닝 하여 금속 배선을 형성하는 단계를 포함하며;

상기 금속층과 상기 버퍼층의 두께비는 5:1 이하인 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 2.

제 1 항에 있어서,

상기 버퍼층은 질화실리콘인 것을 특징으로 하는 반도체 소자의 제조방법.

### 청구항 3.

제 1 항에 있어서,

상기 버퍼층은 화학 건식 식각으로 패터닝함을 특징으로 하는 반도체 소자의

제조방법.

### 청구항 4.

제 1 항에 있어서,

상기 금속층은  $Cl_2/BCl_3/Ar/CHF_3$ 을 포함하는 반응가스를 이용하여 식각함을 특징으로 하는 반도체 소자의 제조방법

### 청구항 5.

제 1 항에 있어서,

상기 포토 레지스트층의 두께는 3000 ~ 4000Å 범위인 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 6.

제 1 항에 있어서,

상기 버퍼층의 패터닝 시 식각 시간을 조절하여 상기 패터닝 된 버퍼층의 폭이 상기 패터닝 된 포토 레지스트의 상단부의 폭에 상응하도록 함을 특징으로 하는 반도체 소자의 제조 방법.

**청구항 7.**

삭제

**청구항 8.**

제 1항에 있어서,

상기 금속층과 상기 버퍼층의 두께는 각각 3000 ~ 5000Å, 1600 ~ 2000Å의 범위인 것을 특징으로 하는 반도체 소자의 제조 방법.

명세서

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체 소자 제조 방법에 관한 것으로, 특히, 금속배선의 원하는

임계치수를 얻을 수 있도록 한 반도체 소자의 제조방법에 관한 것이다.

일반적으로, 반도체 소자는 다양한 형태의 막(예를 들어, 실리콘막, 산화막, 필드 산화막, 폴리 실리콘막, 금속 배선막 등)이 적층되는 형태를 갖는다. 이러한 다층 구조의 반도체 소자는 증착 공정, 산화 공정, 포토 리소그래피 공정(포토 레지스트층 도포, 노광, 현상 공정 등), 식각 공정, 세정 공정 및 린스 공정 등과 같은 여러 가지 공정들에 의해 제조된다. 상기 포토 리소그래피 공정은 임의의 막 위에 스핀 코팅 등의 방법을 통해 포토 레지스트(감광막)를 도포한다. 그리고, 원하는 형상이 패터닝 된 마스크를 이용하여 상기 포토 레지스트를 노광하고, 현상액을 이용하여 상기 노광된 포토 레지스트를 패터닝한다. 이와 같이 패터닝 된 포토 레지스트를 마스크로 이용하면 하부의 막을 선택적으로 제거(식각)한다.

도 1a 내지 도 1d는 종래기술에 의한 반도체 소자의 금속배선 공정 단면도이다.

도 1a 내지 도 1d를 참조하여 종래기술에 의한 반도체 소자의 금속배선 제조방법을 단계적으로 설명하면 다음과 같다.

먼저, 도 1a와 같이 반도체 기판(10)상에 금속층(11)을 형성한다. 이 때, 금속층(11)은 스퍼터링(Sputtering) 또는 화학 기상 증착법(Chemical Vapor Deposition)등으로 형성하며, 상기 금속층(11)은 알루미늄 등의 금속재질이 될 수 있다.

그리고, 상기 금속층(11)이 전면에 포토 레지스트층(14)을 도포한다. 이 때, 상기 포토 레지스트층(14)은 상기 금속층보다 더 두껍게 형성한다.

이어서, 반도체 기판(10)의 상부에 포토 레지스트층(14)을 패터닝하기 위한 개구부를 가지는 마스크(7)를 정렬시킨 후, 정렬된 마스크(7)를 통해 반도체 기판(10)의 포토 레지스트층(14)에 광을 조사한다. 이에 따라, 포토 레지스트층(14)은 상기 마스크(7)의 개구부를 통해 광이 조사되는 부분과 광이 조사되지 않은 부분의 특성이 달라진다. 이 때, 상기 포토 레지스트층(14)은 상기 금속층(11)의 두께에 비하여 포토 레지스트층(14)의 두께가 두껍게 형성되기 때문에 노광시 포토 레지스트층(14)의 상단부와 하단부에 조사되는 광량이 달라지게 되고, 현상 공정시 상기 포토 레지스트층(14)의 상단부보다 하단부의 폭이 넓어지는 포토 레지스트 푸트(foot)가 발생하게 된다.

그런 다음, 도 1b와 같이 광에 의해 패터닝된 포토 레지스트층(14)을 현상함으로써 금속층(11)상에 포토 레지스트 패턴(14a)을 형성한다. 이러한 현상 공정에 의한 포토 레지스트 마스크 패턴에는 노광 공정에 의한 포토 레지스트 푸트(15)가 남게 된다.

이어서, 도 1c와 같이 포토 레지스터 패턴(14a)을 마스크로 이용하여 금속층(11)을 식각하여 반도체 기판(10)상에 금속배선(11a)을 형성한다.

그리고, 도 1d와 같이 상기 포토 레지스트 패턴(14a)을 제거하여 반도체 기판(10)상에 금속배선(11a)을 형성한다. 그러나, 이와 같은 종래기술에 의한 반도체 소자의 금속배선 형성 방법에 있어서는 다음과 같은 문제점이 있었다.

즉, 포토 레지스트(14a)의 노광 및 현상 공정 시 발생하는 포토 레지스트 푸트로 인하여 원하는 임계치수보다 큰 폭의 금속 배선이 형성된다. 따라서, 종래기술에 따른 반도체 소자의 제조 방법은 원하는 임계치수의 금속배선을 얻을 수 없으며 불필요한 임계치수 손실이 발생된다.

### 발명이 이루고자 하는 기술적 과제

본 발명은, 이와 같은 종래 기술의 문제점을 해결하기 위해 안출한 것으로, 원하는 임계치수의 금속배선을 얻을 수 있도록 한 반도체 소자의 제조방법을 제공하는데 그 목적이 있다.

### 발명의 구성

상기와 같은 목적을 달성하기 위한, 본 발명의 실시 예에 따른 반도체 소자의 제조방법은, 반도체 기판상에 금속층을 형성시키는 단계와, 상기 금속층상에 버퍼층을 형성시키는 단계와, 상기 버퍼층상에 포토 레지스트 층을 형성시키는 단계와, 상기 포토 레지스트층을 패터닝하는 단계와, 상기 포토 레지스트층을 마스크로 하여 상기 버퍼층을 패터닝하는 단계와, 상기 버퍼층을 마스크로 하여 상기 금속층을 패터닝하는 단계를 포함하는 것을 특징으로 한다.

상기 버퍼층의 재질은 질화실리콘인 것을 특징으로 한다.

상기 버퍼층은 건식 식각으로 패터닝되는 것을 특징으로 한다.

상기 금속층은  $Cl_2/BCl_3/Ar/CHF_3$ 을 포함하는 반응가스에 의해 식각되는 것을 특징으로 한다.

상기 금속층과 상기 버퍼층의 두께비는 5:1 이하인 것을 특징으로 한다.

상기와 같은 특징을 갖는 본 발명에 따른 반도체 소자의 제조 방법을 첨부한 도면을 참조하여 보다 상세히 설명하면 다음과 같다.

도 2a 내지 도 2f는 본 발명에 의한 반도체 소자의 제조방법을 단계적으로 나타내는 단면도이다.

도 2a와 같이, 반도체 기판(100)상에 금속층(111)을 3000 ~ 5000Å 두께로 형성한다. 이 때, 금속층(111)은 스퍼터링(Sputtering) 또는 화학 기상 증착법(CVD, Chemical Vapor Deposition)등의 증착 공정을 이용하여 형성하며, 상기 금속층(111)은 알루미늄 등의 금속 재질이 될 수 있다.

그런 다음, 상기 금속층(111)상에 질화 실리콘( $Si_3N_4$ )등의 버퍼층(112)을 1600 ~ 2000Å 두께로 형성한다.

그런 다음, 상기 버퍼층(112) 위에 포토 레지스트층(114)을 3000 ~ 4000Å 두께로 형성한다. 그리고, 반도체 기판(100)의 상부에 포토 레지스트층(114)을 패터닝하기 위한 개구부를 가지는 마스크(117)를 정렬시킨 후, 정렬된 마스크(117)를 통해 포토 레지스트층(114)을 노광한다. 이에 따라, 포토 레지스트층(114)은 마스크(117)의 개구부를 통해 조사되는 광에 의해 노광된다.

이 때, 상기 포토 레지스트층(114)의 두께가 두껍기 때문에 노광시 포토 레지스트층(114)의 상단부와 하단부에 조사되는 광량이 달라지게 된다.

그런 다음, 도 2b와 같이 노광된 포토 레지스트층(114)을 현상하면, 상술한 바와 같이 포토 레지스트층(114)의 상단부와 하단부에 조사되는 광량이 다르기 때문에 상단부보다 하단부의 폭이 넓은 포토 레지스트 패턴(114a)이 형성된다. 즉, 상기 포토 레지스트 패턴(114a) 하단부에는 노광 공정에 의한 포토 레지스트 푸트(115)가 형성 된다.

이어서, 도 2c와 같이 상기 포토 레지스터 패턴(114a)을 마스크로 하여 상기 버퍼층(112)을 화학 건식 식각(Chemical Dry Etch)공정으로 식각하여 버퍼층 패턴(112a)을 형성한다. 상기 화학 건식 식각은 수직 및 수평 방향으로 식각하는 등 방식각의 특성을 갖기 때문에 상기 버퍼층 패턴(112a)은 포토 레지스트 패턴(114a)의 포토 레지스트 푸트(115) 폭보다 좁은 폭이 남게 된다. 이 때, 상기 버퍼층 패턴(112a)의 양 측면 식각량은 100Å 내지 200Å으로 조절한다.

즉, 상기 포토 레지스트 패턴(114a)층의 상단부의 폭과 상기 버퍼층 패턴(112a)의 폭이 같게 되도록 상기 버퍼층 패턴(112a)의 식각 공정 시간을 조절한다.

이어서, 상기 포토 레지스트 패턴(114a)를 제거한다.

도2e와 같이, 상기 버퍼층 패턴(112a)을 마스크로 이용하여 상기 반도체 기판(100)의 금속층(111)을 식각하여 금속 배선(111a)을 형성한다. 이 때, 금속층(111)은 Cl<sub>2</sub>/BCl<sub>3</sub>/Ar/CHF<sub>3</sub>을 포함하는 화학 반응가스에 의해 식각한다. 마스크 패턴으로 사용한 상기 버퍼층 패턴(112a)의 폭과 식각 된 금속배선(111a)의 폭은 임계치수를 초과하지 않는다. 즉, 반도체 기판(100)상에 패터닝된 버퍼층 패턴(112a)의 폭에 대응되도록 패터닝된다. 금속층(111)의 두께에 따라 마스크 패턴으로 이용된 버퍼층(112)의 두께를 조절한다. 바람직하게는 금속층(111)과 버퍼층(112)의 두께 비율은 5:1 이하가 되도록 한다.

이어서, 도 2f와 같이 반도체 기판(100)상에 패터닝된 금속층(111)상의 버퍼층 패턴(112a)을 제거함으로써 반도체 기판(100)상에는 원하는 임계치수를 가지는 금속배선이 형성된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 실시 예에 기재된 내용으로 한정하는 것이 아니라 특허 청구 범위에 의해서 정해져야 한다.

### 발명의 효과

이상의 설명에서와 같이 본 발명의 실시 예에 따른 반도체 소자의 제조방법에 있어서는 다음과 같은 효과가 있다.

즉, 본 발명은 금속층 위에 버퍼층과 포토 레지스트를 차례로 증착하여 노광 및 현상 공정으로 포토 레지스트 패턴을 형성하고, 상기 포토 레지스트 패턴을 마스크로 이용하여 상기 버퍼층을 식각하여 버퍼층 패턴을 현상한 후, 상기 버퍼층 패턴을 마스크로 이용하여 상기 금속층을 패터닝 한다.

따라서, 상기 포토 레지스트 패턴에서 발생하는 포토 레지스트 푸트로 인한 금속배선의 임계치수의 손실을 방지 할 수 있다.

또한, 본 발명은 금속층의 패터닝 공정 시 포토 레지스트의 두께를 금속층 두께와 상관없이 조절 할 수 있어 원하는 임계치수로 금속배선을 형성 할 수 있다.

### 도면의 간단한 설명

도 1a 내지 도 1d는 종래기술에 의한 반도체 소자의 제조 공정을 단계적으로 나타내는 공정 단면도.

도 2a 내지 도 2f는 본 발명에 의한 반도체 소자의 제조공정을 단계적으로 나타내는 공정을 나타내는 단면도.

<도면의 주요 부분에 대한 부호의 설명>

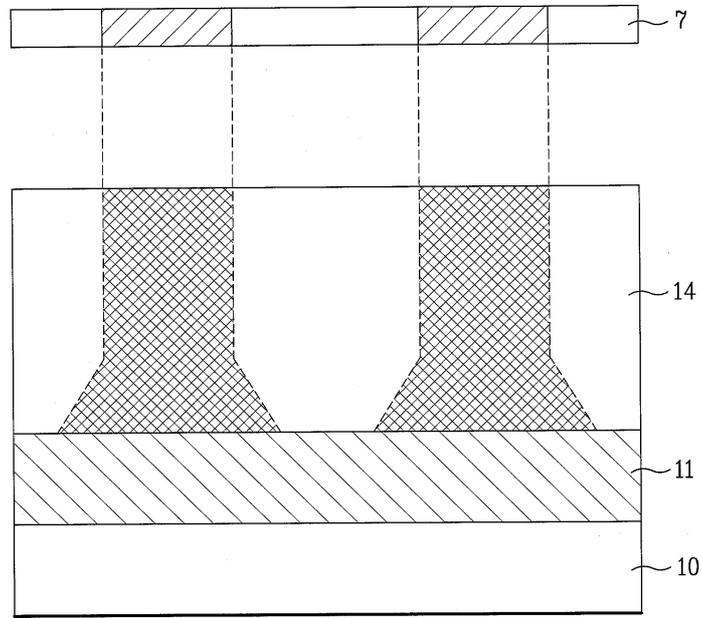
2 : 절연층 7, 117 : 마스크

10, 100 : 반도체 기판 11, 111 : 금속층

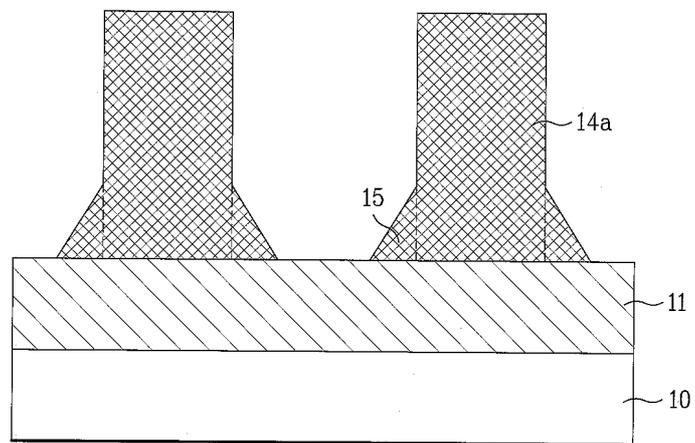
14, 114 : 포토 레지스트층

도면

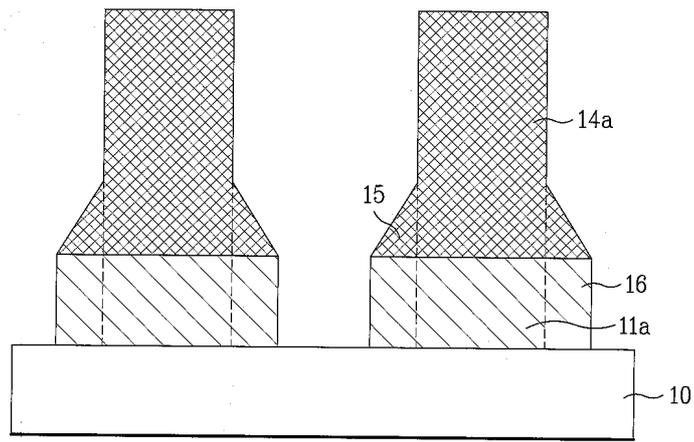
도면1a



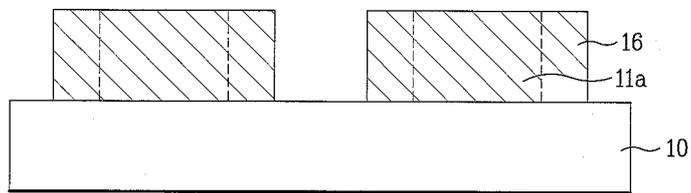
도면1b



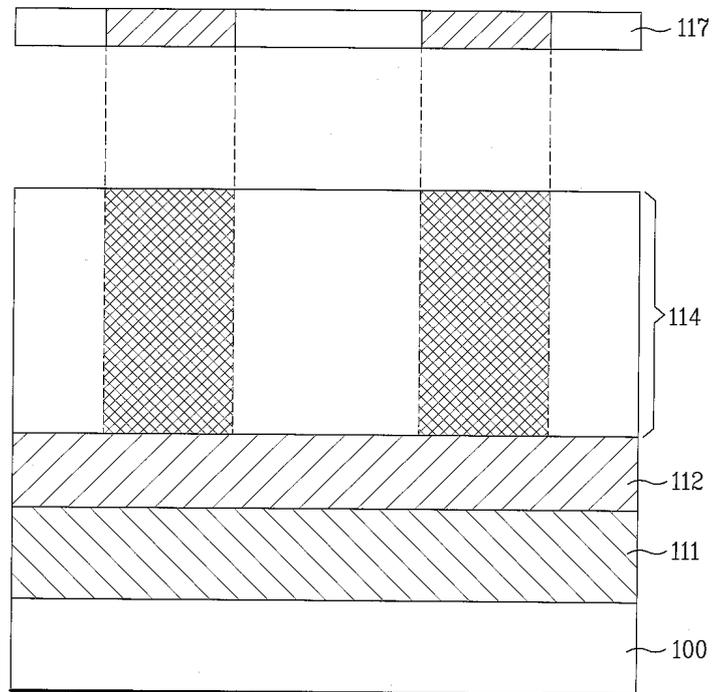
도면1c



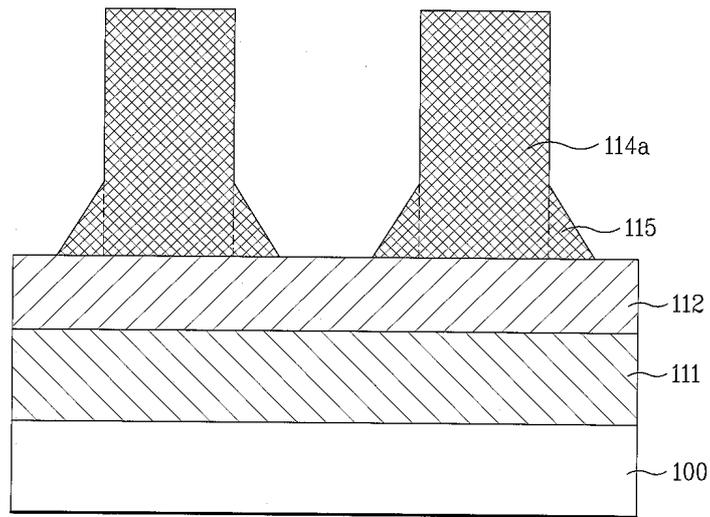
도면1d



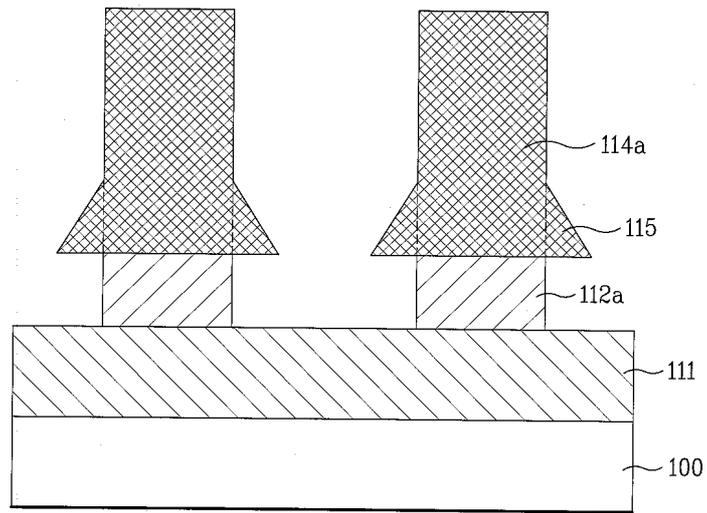
도면2a



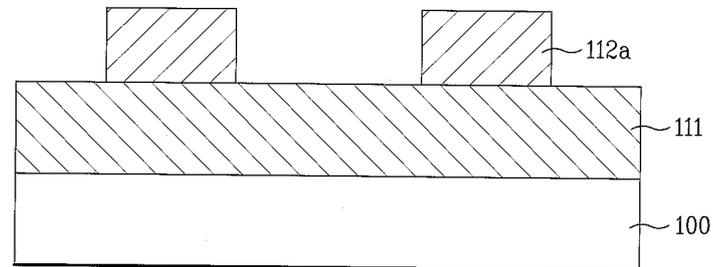
도면2b



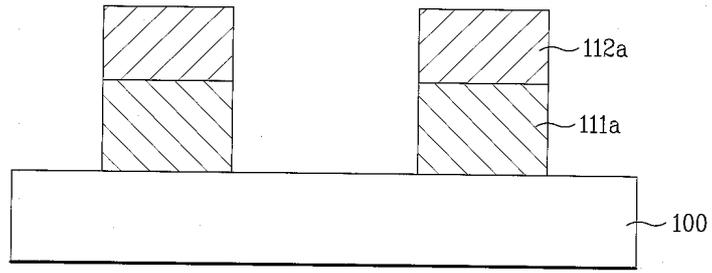
도면2c



도면2d



도면2e



도면2f

