



(12) 发明专利申请

(10) 申请公布号 CN 103715266 A

(43) 申请公布日 2014. 04. 09

(21) 申请号 201310727116. 0

(22) 申请日 2013. 12. 25

(71) 申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 王珂 刘圣烈 宁策 杨维

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243

代理人 许静 黄灿

(51) Int. Cl.

H01L 29/786(2006. 01)

H01L 21/77(2006. 01)

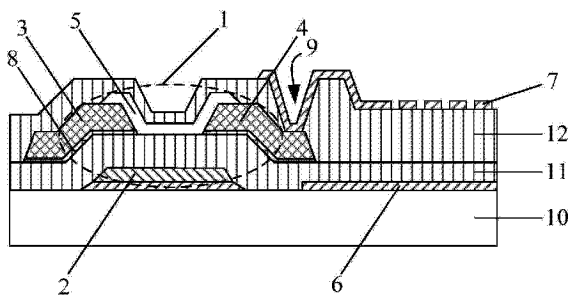
权利要求书2页 说明书6页 附图2页

(54) 发明名称

氧化物薄膜晶体管、阵列基板的制造方法及显示器件

(57) 摘要

本发明涉及显示技术领域，公开了一种氧化物薄膜晶体管、阵列基板的制造方法及显示器件。该氧化物薄膜晶体管的氧化物有源层图案位于源电极、漏电极和栅电极的下方，且栅电极位于源电极和漏电极下方，使得形成源电极和漏电极的刻蚀工艺不会对氧化物有源层图案产生破坏。同时，由于不需要在氧化物有源层图案上形成刻蚀阻挡层图案，省略了形成刻蚀阻挡层图案的光刻工序，提高了氧化物薄膜晶体管显示器件的量产性，降低了生产成本。



1. 一种氧化物薄膜晶体管,包括栅电极、栅绝缘层、氧化物有源层图案、源电极和漏电极,其特征在于,源电极和漏电极位于氧化物有源层图案的下方;栅电极位于源电极和漏电极下方;栅绝缘层位于栅电极和源电极、漏电极之间。

2. 一种显示器件,包括形成在衬底基板上的氧化物薄膜晶体管,所述氧化物薄膜晶体管包括栅电极、栅绝缘层、氧化物有源层图案、源电极和漏电极,其特征在于,源电极和漏电极位于氧化物有源层图案的下方;栅电极位于源电极和漏电极下方;栅绝缘层位于栅电极和源电极、漏电极之间。

3. 根据权利要求2所述的显示器件,其特征在于,在栅绝缘层和源电极、漏电极之间形成有第一缓冲层图案,所述第一缓冲层图案对应于源电极和漏电极所在的区域;

在源电极、漏电极和氧化物有源层图案之间形成有第二缓冲层图案,所述第二缓冲层图案对应于源电极和漏电极所在的区域;

所述第一缓冲层图案和第二缓冲层图案与源电极和漏电极接触设置。

4. 根据权利要求3所述的显示器件,其特征在于,所述第一缓冲层图案和第二缓冲层图案的材料为 MoNb、MoW 或 MoTi。

5. 根据权利要求2所述的显示器件,其特征在于,栅电极和衬底基板之间形成有第三缓冲层图案,所述第三缓冲层图案对应于栅电极所在的区域;

栅电极和栅绝缘层之间形成有第四缓冲层图案;所述第四缓冲层图案对应于栅电极所在的区域;

所述第三缓冲层图案和第四缓冲层图案与栅电极接触设置。

6. 根据权利要求5所述的显示器件,其特征在于,所述第三缓冲层图案和第四缓冲层图案的材料为 MoNb、MoW 或 MoTi。

7. 根据权利要求2-6任一项所述的显示器件,其特征在于,所述栅绝缘层为二氧化硅层或二氧化硅层、氮氧化硅层和氮化硅层中任意两个膜层的复合层或二氧化硅层、氮氧化硅层和氮化硅层三个膜层的复合层。

8. 根据权利要求7所述的显示器件,其特征在于,二氧化硅层靠近氧化物有源层图案设置。

9. 一种阵列基板的制造方法,包括在衬底基板上形成氧化物薄膜晶体管的步骤,其中,氧化物薄膜晶体管包括栅电极、栅绝缘层、氧化物有源层图案、源电极和漏电极,其特征在于,所述在衬底基板上形成氧化物薄膜晶体管的步骤包括:

在衬底基板上形成栅电极;

在形成栅电极的衬底基板上形成栅绝缘层;

在形成栅绝缘层的衬底基板上形成源电极和漏电极;

在形成源电极和漏电极的衬底基板上形成氧化物有源层的图案。

10. 根据权利要求9所述的制造方法,其特征在于,所述制造方法还包括:

低于 200°C 环境下,在氧化物有源层图案上形成钝化层。

11. 根据权利要求9所述的制造方法,其特征在于,所述在源电极和漏电极上形成氧化物有源层的图案的步骤之前还包括:

对源电极和漏电极的表面进行等离子处理。

12. 根据权利要求11所述的制造方法,其特征在于,采用笑气对源电极和漏电极的表

面进行等离子处理。

13. 根据权利要求 9-12 任一项所述的制造方法,其特征在于,还包括在衬底基板上形成公共电极的步骤;

在衬底基板上形成栅电极和公共电极的步骤包括:

在衬底基板上依次形成透明导电层和栅金属层;

在栅金属层上涂覆一层光刻胶;

采用半色调或灰色调掩膜版对光刻胶进行曝光,显影,使光刻胶形成光刻胶不保留区域、光刻胶完全保留区域和光刻胶半保留区域;其中,光刻胶完全保留区域包括栅电极所在的区域,光刻胶半保留区域包括公共电极所在的区域,光刻胶不保留区域对应于其它区域;

通过第一次刻蚀工艺完全刻蚀掉光刻胶不保留区域的栅金属层和透明导电层;

通过灰化工艺去除光刻胶半保留区域的光刻胶;

通过第二次刻蚀工艺完全刻蚀掉光刻胶半保留区域的栅金属层,形成包括公共电极的图案;

剥离剩余的光刻胶,形成包括栅电极的图案。

14. 根据权利要求 9-12 任一项所述的制造方法,其特征在于,所述在形成栅绝缘层的衬底基板上形成源电极和漏电极的步骤包括:

在衬底基板上依次形成第一缓冲层、源漏金属层和第二缓冲层;

在所述第二缓冲层上涂覆光刻胶;

对光刻胶进行曝光,显影,形成光刻胶保留区域和光刻胶不保留区域,其中,光刻胶保留区域包括源电极和漏电极所在的区域,光刻胶不保留区域对应于其它区域;

通过第四次刻蚀工艺完全刻蚀掉光刻胶不保留区域的第二缓冲层、源漏金属层和第一缓冲层;

剥离剩余的光刻胶,形成包括源电极和漏电极的图案。

氧化物薄膜晶体管、阵列基板的制造方法及显示器件

技术领域

[0001] 本发明涉及显示技术领域，特别是涉及一种氧化物薄膜晶体管、阵列基板的制造方法及显示器件。

背景技术

[0002] 目前，液晶显示器的薄膜晶体管(Thin Film Transistor, 简称 TFT)中的有源层的主要成分为硅，如非晶硅或多晶硅。采用非晶硅作为有源层的 TFT，因非晶硅特性的限制，如迁移率、开态电流等，难以用于需要较大电流和快速响应的场合，如有机发光显示器和大尺寸、高分辨率、高刷新频率的显示器等。而采用多晶硅作为有源层的 TFT，因多晶硅特性优于非晶硅，可以用于需要较大电流和快速响应的场合，但是因多晶硅的均匀性不佳，制备中大尺寸的面板仍有困难。因此，氧化物半导体作为有源层的 TFT 日益受到重视。

[0003] 氧化物半导体，如铟镓锌氧化物(Indium Gallium Zinc Oxide, 简称 IGZO)、铟锡锌氧化物(Indium Tin Zinc Oxide, 简称 ITZO)，作为有源层的 TFT，其迁移率、开态电流、开关特性等优于非晶硅 TFT。虽然特性不如多晶硅 TFT，但是足以用于需要较大电流和快速响应的应用。而且氧化物半导体的均匀性好，与多晶硅相比，由于没有均匀性的问题，可以采用溅射、沉积等方法制备有源层，不需增加额外的设备，成本较低。

[0004] 图 1 所示为现有技术中氧化物 TFT 阵列基板的结构示意图，如图 1 所示，氧化物 TFT 阵列基板包括氧化物 TFT1 和像素电极(图中未示出)。其中，氧化物 TFT1 包括栅电极 2、源电极 3、漏电极 4 和氧化物有源层图案 5，源电极 3 和漏电极 4 位于氧化物有源层图案 5 的上方，漏电极 4 与像素电极 7 连接。在氧化物 TFT 阵列基板的制造工艺中，通常采用湿法刻蚀源漏金属层(图中未示出)来形成 TFT 源电极 3 和漏电极 4。由于刻蚀液对源漏金属层下面的氧化物有源层图案 5 也具有刻蚀作用。为了解决上述问题，现有技术中，除了源电极 3、漏电极 4 和氧化物有源层 5 接触的区域外，在氧化物有源层 5 上都会制作一层刻蚀阻挡层 20，以保护氧化物有源层 5 不被破坏。但是，这样就至少增加了一道光刻工序，使得目前的氧化物 TFT 阵列基板的制造工艺基本都需要 6-7 道光刻工艺，提高了制造成本。

发明内容

[0005] 本发明提供一种氧化物薄膜晶体管及阵列基板的制造方法，用以解决在源电极、漏电极和氧化物有源层之间形成刻蚀阻挡层，保护氧化物有源层不被破坏时，增加了光刻工序，造成生产成本增加的问题。

[0006] 同时，本发明还提供一种显示器件，其采用上述的氧化物薄膜晶体管，用于降低生产成本。

[0007] 为解决上述技术问题，本发明提供一种氧化物薄膜晶体管，包括栅电极、栅绝缘层、氧化物有源层图案、源电极和漏电极，其中，源电极和漏电极位于氧化物有源层图案的下方；栅电极位于源电极和漏电极下方；栅绝缘层位于栅电极和源电极、漏电极之间。

[0008] 同时，本发明还提供一种氧化物薄膜晶体管显示器件，其包括如上所述的氧化物

薄膜晶体管。

[0009] 本发明还提供一种氧化物薄膜晶体管阵列基板的制造方法,包括在衬底基板上形成氧化物薄膜晶体管的步骤,其中,氧化物薄膜晶体管包括栅电极、栅绝缘层、氧化物有源层图案、源电极和漏电极,其中,所述在衬底基板上形成氧化物薄膜晶体管的步骤包括:

[0010] 在衬底基板上形成栅电极;

[0011] 在形成栅电极的衬底基板上形成栅绝缘层;

[0012] 在形成栅绝缘层的衬底基板上形成源电极和漏电极;

[0013] 在形成源电极和漏电极的衬底基板上形成氧化物有源层的图案。

[0014] 本发明的上述技术方案的有益效果如下:

[0015] 上述技术方案中,通过在氧化物有源层图案的下方形成源电极、漏电极和栅电极,且栅电极位于源电极和漏电极下方,使得形成源电极和漏电极的刻蚀工艺不会对氧化物有源层图案产生破坏。同时,由于不需要在氧化物有源层图案上形成刻蚀阻挡层图案,省略了形成刻蚀阻挡层图案的光刻工序,提高了氧化物薄膜晶体管显示器件的量产性,降低了生产成本。

附图说明

[0016] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。

[0017] 图 1 表示现有技术中氧化物 TFT 阵列基板的部分结构示意图;

[0018] 图 2 表示本发明实施例中氧化物 TFT 阵列基板的部分结构示意图;

[0019] 图 3- 图 6 表示本发明实施例中氧化物 TFT 阵列基板的制造过程示意图。

具体实施方式

[0020] 下面将结合附图和实施例,对本发明的具体实施方式作进一步详细描述。以下实施例用于说明本发明,但不用来限制本发明的范围。

[0021] 需要说明的是,本发明实施例中的“上”“下”只是参考附图对本发明实施例进行说明,不作为限定用语。

[0022] 实施例一

[0023] 本发明实施例提供一种氧化物 TFT 阵列基板的制造方法,包括在衬底基板上形成氧化物 TFT 的步骤,其中,氧化物 TFT 包括栅电极、栅绝缘层、氧化物有源层图案、源电极和漏电极。本发明实施例中,在衬底基板上形成氧化物薄膜晶体管的步骤包括:

[0024] 在衬底基板上形成栅电极;

[0025] 在形成栅电极的衬底基板上形成栅绝缘层;

[0026] 在形成栅绝缘层的衬底基板上形成源电极和漏电极;

[0027] 在形成源电极和漏电极的衬底基板上形成氧化物有源层的图案。

[0028] 本技术方案中,通过在氧化物有源层图案的下方形成源电极、漏电极和栅电极,且栅电极位于源电极和漏电极下方,使得形成源电极和漏电极的刻蚀工艺不会对氧化物有源

层图案产生破坏。同时,由于不需要在氧化物有源层图案上形成刻蚀阻挡层图案,省略了形成刻蚀阻挡层图案的光刻工序,提高了氧化物薄膜晶体管显示器件的量产性,降低了生产成本。

[0029] 其中,衬底基板由透光材料制成,具有良好的透光性,通常为玻璃基板、石英基板或透明树脂基板。

[0030] 为了改善源电极、漏电极和氧化物有源层图案的接触电阻,可以在源电极和漏电极上形成氧化物有源层的图案的步骤之前,先对源电极和漏电极的表面进行等离子处理,具体可以用笑气 N_2O 对源电极和漏电极的表面进行等离子处理,以有效降低 TFT 的漏电流,改善显示装置的画面闪烁、串扰和残像等现象,提高显示性能。同时,由于一般还会对氧化物有源层图案进行退火去氢工艺,防止氢离子进入氧化物有源层图案,使得氧化物有源层图案的氧空位发生变化,影响 TFT 的性能和使用寿命。但是,该退火去氢工艺会降低氧化物有源层图案的氧含量,影响其半导体特性,而通过上述等离子处理提高了源电极和漏电极的氧含量。源电极和漏电极充足的氧含量可以为氧化物有源层图案补充氧元素,保证氧化物有源层图案的半导体特性。

[0031] 下面以 ADS 模式显示装置的氧化物 TFT 阵列基板的制造过程为例,来具体说明本发明实施例中氧化物 TFT 阵列基板的制造方法:

[0032] 其中,ADS (或称 AD-SDS, Advanced Super Dimension Switch, 高级超维场转换技术) 主要是通过同一平面内狭缝像素电极(即像素电极上具有多个延伸方向不同的狭缝)边缘所产生的电场以及狭缝像素电极层与板状公共电极层间产生的电场形成多维电场,使液晶盒内狭缝像素电极间、像素电极正上方所有取向液晶分子都能够产生旋转,从而提高了液晶工作效率并增大了透光效率。高级超维场转换技术可以提高显示装置的画面品质,具有高分辨率、高透过率、低功耗、宽视角、高开口率、低色差、无挤压水波纹(push Mura)等优点。

[0033] 结合图 2- 图 6 所示,该制造方法具体包括:

[0034] 步骤 S1、在衬底基板 10 上形成包括栅电极 2 和公共电极 6 的图案,在栅电极 2 上形成栅绝缘层 11;

[0035] 步骤 S2、在栅绝缘层 11 上形成包括源电极 3 和漏电极 4 的图案;

[0036] 步骤 S3、在源电极 3 和漏电极 4 上形成氧化物有源层 5 的图案;

[0037] 步骤 S4、在氧化物有源层图案 5 上形成钝化层 12,在钝化层 12 上形成钝化层过孔 9;

[0038] 步骤 S5、在钝化层过孔 9 上形成狭缝像素电极 7。

[0039] 上述步骤中,通过 5 道光刻工艺即完成 ADS 模式显示装置的氧化物 TFT 阵列基板的制造,节约了成本,提高了量产性。

[0040] 其中,结合图 3 所示,步骤 S1 具体为:

[0041] 首先,在衬底基板 10 上依次形成透明导电层(图中未示出)和栅金属层(图中未示出),具体可以通过涂覆、化学沉积、溅射等工艺在衬底基板 10 上依次形成透明导电层(如:氧化铟锡、氧化铟锌)和栅金属层。为了改善栅电极 2 的粘附性和扩散性,可以在栅金属层和透明导电层之间形成第三缓冲层图案(图中未示出),当然,还可以在栅金属层和栅绝缘层 11 之间形成第四缓冲层图案(图中未示出),且第三缓冲层和第四缓冲层均与栅金属层接

触设置,并对应栅电极 2 所在的区域。其中,第三缓冲层和第四缓冲层的材料可以为 MoNb、MoW 或 MoTi。

[0042] 然后,采用半色调或灰色调掩膜版通过一次构图工艺形成包括栅电极 2 和公共电极 6 的图案。该步骤具体包括:首先,在第四缓冲层上涂覆一层光刻胶;之后,采用半色调或灰色调掩膜版对光刻胶进行曝光,显影,使光刻胶形成光刻胶不保留区域、光刻胶完全保留区域和光刻胶半保留区域。其中,光刻胶完全保留区域包括栅电极所在的区域,光刻胶半保留区域包括公共电极所在的区域,光刻胶不保留区域对应于其它区域;然后,通过第一次刻蚀工艺完全刻蚀掉光刻胶不保留区域的第四缓冲层、栅金属层、第三缓冲层和透明导电层,优选采用湿刻法对第四缓冲层、栅金属层、第三缓冲层和透明导电层进行刻蚀;之后,通过灰化工艺去除光刻胶半保留区域的光刻胶,暴露出该区域的第四缓冲层;然后,通过第二次刻蚀工艺完全刻蚀掉光刻胶半保留区域的第四缓冲层和栅金属层,该区域的透明导电层形成包括公共电极 6 的图案。优选采用湿刻法对第四缓冲层和栅金属层进行刻蚀;最后,剥离剩余的光刻胶,具体为,剥离光刻胶完全保留区域的光刻胶,该区域的栅金属层形成包括栅电极 2 的图案。本步骤中通过一次构图工艺同时形成包括栅电极 2 和公共电极 6 的图案,降低了生产成本。

[0043] 最后,在栅电极 2 上形成栅绝缘层 11。具体通过涂覆、化学沉积、溅射等工艺在栅电极 2 上形成栅绝缘层 11。其中,栅绝缘层 11 的厚度为 150-300nm,具体可以为二氧化硅层或二氧化硅层、氮氧化硅层和氮化硅层中任意两个膜层的复合层或二氧化硅层、氮氧化硅层和氮化硅层三个膜层的复合层。优选二氧化硅层靠近氧化物有源层图案设置,因为 SiO_2 中 H 含量比较小,不会对氧化物有源层图案的半导体特性产生影响。

[0044] 本实施例中在衬底基板 10 上形成栅电极 2 和栅绝缘层 11 后,首先执行步骤 S2,即:在栅绝缘层 11 上形成氧化物 TFT 的源电极 3 和漏电极 4;然后执行步骤 S3,即:在源电极 3 和漏电极 4 上形成氧化物有源层的图案 5。

[0045] 其中,结合图 4 所示,步骤 S2 具体包括:

[0046] 首先,通过涂覆、化学沉积、溅射等工艺在栅绝缘层 11 上形成源漏金属层(图中未示出)。之后,在源漏金属层上旋涂一层光刻胶,采用普通掩膜版对光刻胶进行曝光,显影,形成光刻胶保留区域和光刻胶不保留区域,其中,光刻胶保留区域包括源电极 3 和漏电极 4 所在的区域,光刻胶不保留区域对应于其它区域;然后,采用湿刻法完全刻蚀掉光刻胶不保留区域的源漏金属层;最后,剥离剩余的光刻胶,暴露出光刻胶保留区域的源漏金属层,该区域的源漏金属层形成包括源电极 3 和漏电极 4 的图案。

[0047] 进一步地,为了改善源电极 3 和漏电极 4 的粘附性和扩散性,可以在栅绝缘层 11 和源电极 3、漏电极 4 之间形成第一缓冲层的图案 8。当然,还可以在源电极 3 和漏电极 4 和氧化物有源层图案 5 之间形成第二缓冲层的图案(图中未示出),且第一缓冲层图案和第二缓冲层图案均与源电极 3 和漏电极 4 接触设置。其中,第一缓冲层图案和第二缓冲层图案的材料可以选择 MoNb、MoW 或 MoTi,还可以与源电极 3 和漏电极 4 在同一构图工艺中形成,节约成本。

[0048] 本实施例中,在形成源电极 3 和漏电极 4 之后,用笑气 N_2O 对源电极 3 和漏电极 4 的表面进行等离子处理,用于改善源电极 3、漏电极 4 和氧化物有源层图案的接触电阻,降低 TFT 的漏电流。

[0049] 下面将在源电极 3 和漏电极 4 上形成氧化物有源层的图案 5,即执行步骤 S3,结合图 5 所示。其中,步骤 S3 具体为:首先通过磁控溅射成膜工艺在源电极 3 和漏电极 4 上形成氧化物有源层(图中未示出),然后采用普通掩膜版通过一次构图工艺(包括涂覆光刻胶、曝光、显影、刻蚀工艺)形成氧化物有源层的图案 5。

[0050] 结合图 6 所示,在氧化物有源层图案 5 上再形成钝化层 12,即完成氧化物 TFT 的制作。为防止形成钝化层 12 时破坏氧化物有源层 5,优选使用低温高密度的沉积方法形成钝化层 12,沉积温度需要控制在 200℃ 以下,钝化层 12 的材料可以为二氧化硅层和氮氧化硅层两个膜层的复合层,也可以为二氧化硅层、氮氧化硅层和氮化硅层三个膜层的复合层。

[0051] 然后,还需制作阵列基板的狭缝像素电极 7,如图 2 所示。由于氧化物 TFT1 的漏电极 4 需要与狭缝像素电极 7 连接,因此,在制作狭缝像素电极 7 之前还需在漏电极 4 的上方形成钝化层过孔 9。为了提高 TFT 器件的稳定性,在钝化层过孔 9 制作结束后,对钝化层 12 进行退火处理,退火温度可以在 250℃ -350℃ 之间。

[0052] 形成钝化层过孔 9 后,在钝化层过孔 9 上形成阵列基板的狭缝像素电极 7。其中,狭缝像素电极 7 的材料为透明导电材料(如氧化铟锡、氧化铟锌),与 TFT 的漏电极 4 通过钝化层过孔 9 连接。

[0053] 为了提高氧化物 TFT 阵列基板的稳定性,并降低像素电极 7 的电阻率,可以在阵列基板制造完成后进行退火处理,退火温度可以选择 250℃ -300℃。

[0054] 以上仅以 ADS 模式显示装置的氧化物 TFT 阵列基板的制造过程为例来具体说明本发明的技术方案,并不是一种限定。所有使用氧化物 TFT 阵列基板的显示装置,如:TN 模式的显示装置,IPS 模式的显示装置,都可以使用本发明的技术方案来制造其阵列基板。

[0055] 实施例二

[0056] 基于同一发明构思,请参阅图 2,本实施例中提供一种氧化物 TFT,其包括形成在衬底基板 10 上的氧化物薄膜晶体管 1,氧化物薄膜晶体管 1 包括栅电极 2、栅绝缘层 11、氧化物有源层的图案 5 和源电极 3、漏电极 4。其中,源电极 3 和漏电极 4 位于氧化物有源层图案 5 的下方,栅电极 2 位于源电极 3 和漏电极 4 下方,栅绝缘层 11 位于栅电极 2 和源电极 3、漏电极 4 之间。从而形成源电极和漏电极的刻蚀工艺不会对氧化物有源层图案产生破坏。同时,由于不需要在氧化物有源层图案上形成刻蚀阻挡层图案,省略了形成刻蚀阻挡层图案的光刻工序,提高了氧化物薄膜晶体管阵列基板的量产性,降低了生产成本。

[0057] 实施例三

[0058] 本实施例中提供一种氧化物 TFT 显示器件,如:氧化物 TFT 阵列基板、氧化物 TFT 显示装置。请参阅图 2,所述氧化物 TFT 显示器件包括形成在衬底基板 10 上的氧化物薄膜晶体管 1,氧化物薄膜晶体管 1 包括形成在衬底基板 10 上的氧化物薄膜晶体管 1,氧化物薄膜晶体管 1 包括栅电极 2、栅绝缘层 11、氧化物有源层的图案 5 和源电极 3、漏电极 4。其中,源电极 3 和漏电极 4 位于氧化物有源层图案 5 的下方,栅电极 2 位于源电极 3 和漏电极 4 下方,栅绝缘层 11 位于栅电极 2 和源电极 3、漏电极 4 之间。从而形成源电极和漏电极的刻蚀工艺不会对氧化物有源层图案产生破坏。同时,由于不需要在氧化物有源层图案上形成刻蚀阻挡层图案,省略了形成刻蚀阻挡层图案的光刻工序,提高了氧化物薄膜晶体管阵列基板的量产性,降低了生产成本。

[0059] 本实施例中,在栅绝缘层 11 和源电极 3、漏电极 4 之间形成有第一缓冲层的图案

8,第一缓冲层的图案8对应于源电极3和漏电极4所在的区域,并与源电极3和漏电极4接触设置,用于改善源电极3和漏电极4的粘附性和扩散性。当然,在源电极3、漏电极4和氧化物有源层图案5之间也可以形成有第二缓冲层的图案(图中未示出),并与源电极3和漏电极4接触设置。其中,第一缓冲层图案8和第二缓冲层图案的材料可以为MoNb、MoW或MoTi,源电极3和漏电极4的厚度可以为200-300nm。

[0060] 同样,为了改善栅电极2的粘附性和扩散性,在衬底基板10和栅电极2之间形成有第三缓冲层的图案(图中未示出),其中,第三缓冲层图案对应于栅电极2所在的区域,并与栅电极2接触设置。当然,在栅电极2和栅绝缘层11之间也可以形成有第四缓冲层的图案(图中未示出),并与栅电极2接触设置。其中,第三缓冲层图案和第四缓冲层图案的材料可以为MoNb、MoW或MoTi,栅电极2的厚度可以为200-300nm。

[0061] 其中,栅绝缘层11的厚度可以为150-300nm,具体为二氧化硅层或二氧化硅层、氮氧化硅层和氮化硅层中任意两个膜层的复合层或二氧化硅层、氮氧化硅层和氮化硅层三个膜层的复合层。优选二氧化硅层靠近氧化物有源层图案5设置,因为SiO₂中H含量比较小,不会对氧化物有源层图案5的半导体特性产生影响。氧化物有源层图案5的厚度可以为40-50nm,材料为氧化铟锡或氧化铟锌等氧化物半导体。

[0062] 对于ADS模式显示装置的氧化物TFT阵列基板,如图2所示,氧化物TFT阵列基板还包括公共电极6、狭缝像素电极7和钝化层12,其中,像素电极7通过钝化层过孔9与TFT的漏电极4连接。公共电极6的厚度为70nm左右,并与狭缝像素电极7的位置对应,从而在TFT1的控制下,狭缝像素电极7的边缘之间产生的电场以及狭缝像素电极7与板状公共电极6之间产生的电场形成多维电场,用于驱动液晶分子的旋转。优选通过一次构图工艺同时形成TFT的栅电极2和公共电极6,降低生产成本,提高量产性。

[0063] 以上所述仅是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明技术原理的前提下,还可以做出若干改进和替换,这些改进和替换也应视为本发明的保护范围。

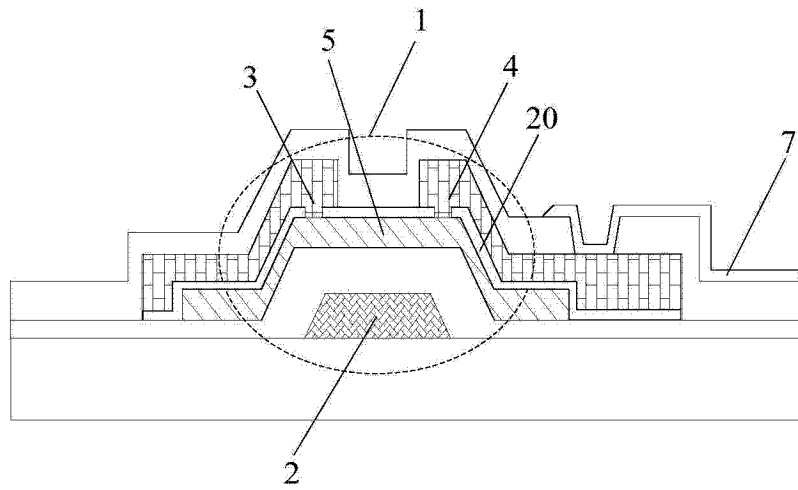


图 1

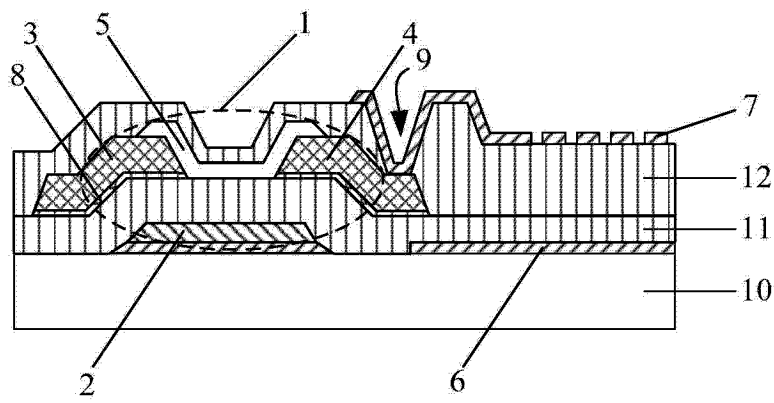


图 2

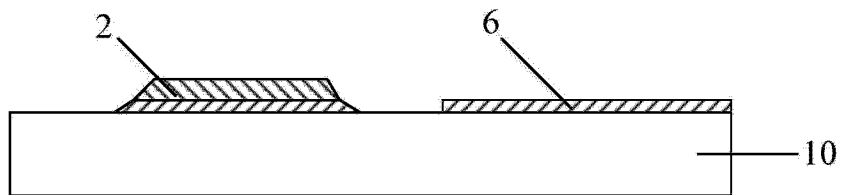


图 3

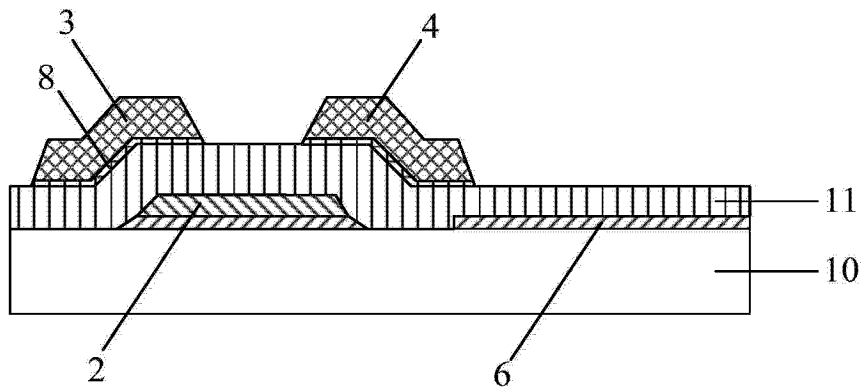


图 4

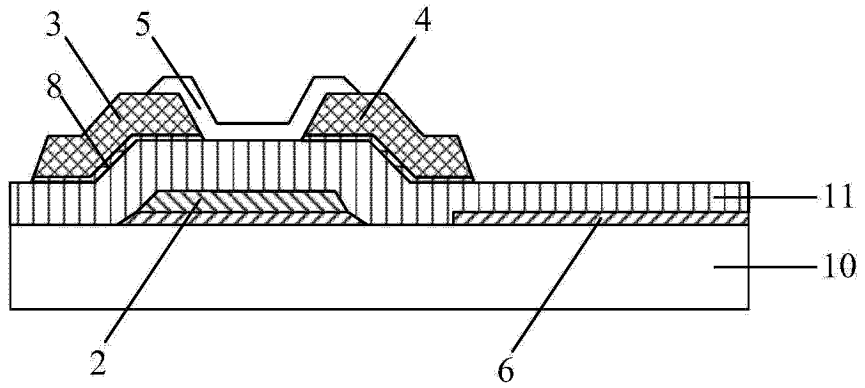


图 5

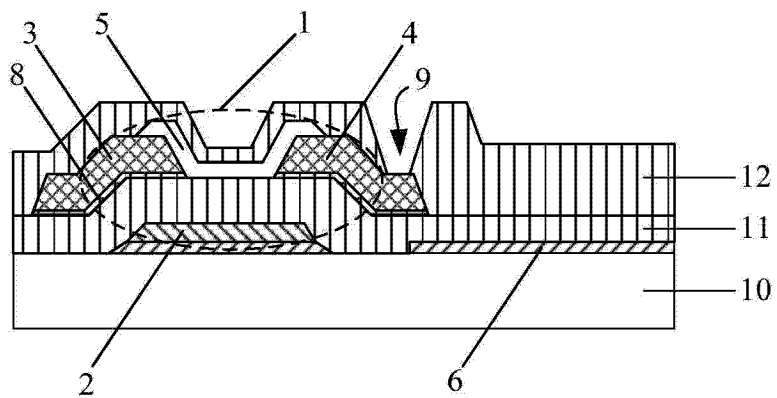


图 6