



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I465039 B

(45) 公告日：中華民國 103 (2014) 年 12 月 11 日

(21) 申請案號：098134945

(22) 申請日：中華民國 98 (2009) 年 10 月 15 日

(51) Int. Cl. :

*H03K19/0185(2006.01)**G09G3/36 (2006.01)*

(71) 申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORP. (TW)

新竹市新竹科學工業園區力行二路 1 號

(72) 發明人：劉晉煒 LIU, CHIN WEI (TW)；吳威憲 WU, WEI HSIEN (TW)；陳靜茹 CHEN, JING RU (TW)

(74) 代理人：戴俊彥；吳豐任

(56) 參考文獻：

TW 200841307A

US 6064713

審查人員：廖家成

申請專利範圍項數：17 項 圖式數：7 共 34 頁

(54) 名稱

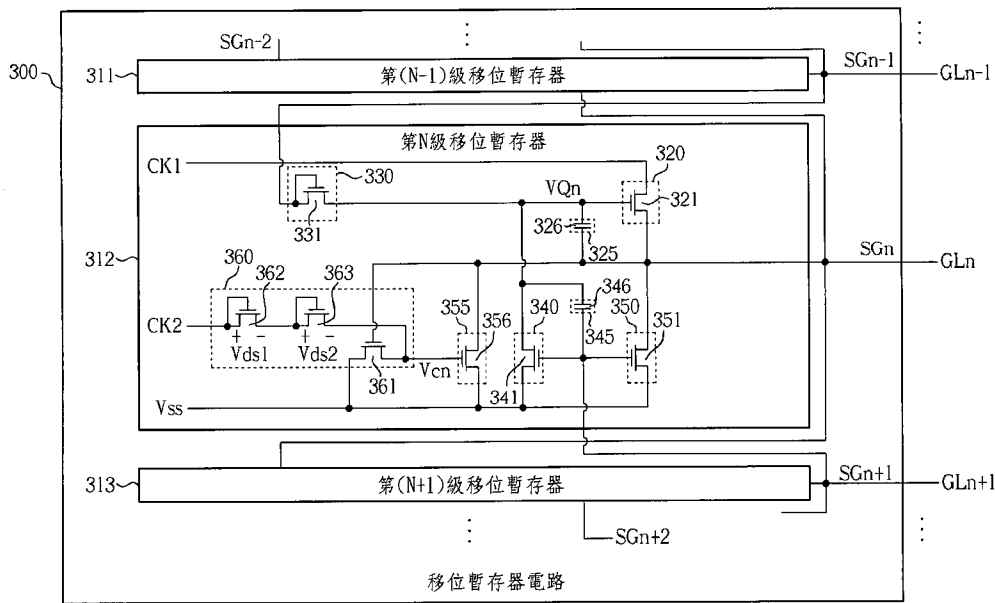
移位暫存器電路

SHIFT REGISTER CIRCUIT

(57) 摘要

一種移位暫存器電路包含複數級移位暫存器以提供複數閘極訊號至複數閘極線。每一級移位暫存器包含上拉單元、用來接收輸入訊號之輸入單元、用來根據輸入訊號提供驅動控制電壓之儲能單元、放電單元、耦合單元以及下拉單元。上拉單元係根據驅動控制電壓以上拉第一閘極訊號。放電單元係用來執行放電運作以下拉驅動控制電壓。耦合單元係用來耦合儲能單元與後級移位暫存器，使後級移位暫存器所產生之第二閘極訊號的降緣可據以下拉驅動控制電壓。下拉單元係根據第二閘極訊號以下拉第一閘極訊號。

A shift register circuit includes plural shift register stages for providing plural gate signals to plural gate lines. Each shift register stage includes a pull-up unit, an input unit for receiving an input signal, an energy-store unit for providing a driving control voltage according to the input signal, a discharging unit, a couple unit and a pull-down unit. The pull-up unit pulls up a first gate signal according to the driving control voltage. The discharging unit is employed to perform a discharging operation for pulling down the driving control voltage. The couple unit is utilized for coupling the energy-store unit with a succeeding shift register circuit stage so that the falling edge of a second gate signal generated by the succeeding shift register stage is capable of shifting down the driving control voltage. The pull-down unit pulls down the first gate signal according to the second gate signal.



第3圖

- 300 . . . 移位暫存器
電路
- 311 . . . 第(N-1)級
移位暫存器
- 312 . . . 第 N 級移
位暫存器
- 313 . . . 第(N+1)級
移位暫存器
- 320 . . . 上拉單元
- 321 . . . 第一電晶體
- 325 . . . 儲能單元
- 326 . . . 第一電容
- 330 . . . 輸入單元
- 331 . . . 第二電晶體
- 340 . . . 放電單元
- 341 . . . 第三電晶體
- 345 . . . 耦合單元
- 346 . . . 第二電容
- 350 . . . 第一下拉單
元
- 351 . . . 第四電晶體
- 355 . . . 第二下拉單
元
- 356 . . . 第五電晶體
- 360 . . . 控制單元
- 361 . . . 第六電晶體
- 362 . . . 第七電晶體
- 363 . . . 第八電晶體
- CK1 . . . 第一時脈
- CK2 . . . 第二時脈
- GLn-1、GLn、GLn
+1 . . . 閘極線
- SGn-2、SGn-1、
SGn、SGn+1、SGn
+2 . . . 閘極訊號
- Vcn . . . 下拉控制
電壓
- Vds1 . . . 第一汲源
極壓降

Vds2 . . . 第二汲源
極壓降

VQn . . . 驅動控制
電壓

Vss . . . 低電源電壓

公告本

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 98134945

※申請日： 98.10.14

※IPC 分類： H03K 19/0185 (2006.01)

一、發明名稱：(中文/英文)

G09G 3/36 (2006.01)

移位暫存器電路/SHIFT REGISTER CIRCUIT

二、中文發明摘要：

一種移位暫存器電路包含複數級移位暫存器以提供複數閘極訊號至複數閘極線。每一級移位暫存器包含上拉單元、用來接收輸入訊號之輸入單元、用來根據輸入訊號提供驅動控制電壓之儲能單元、放電單元、耦合單元以及下拉單元。上拉單元係根據驅動控制電壓以上拉第一閘極訊號。放電單元係用來執行放電運作以下拉驅動控制電壓。耦合單元係用來耦合儲能單元與後級移位暫存器，使後級移位暫存器所產生之第二閘極訊號的降緣可據以下拉驅動控制電壓。下拉單元係根據第二閘極訊號以下拉第一閘極訊號。

三、英文發明摘要：

A shift register circuit includes plural shift register stages for providing plural gate signals to plural gate lines. Each shift register stage includes a pull-up unit, an input unit for receiving an input signal, an energy-store unit for providing a driving control voltage according to the input signal, a discharging unit, a couple unit and a pull-down unit.

The pull-up unit pulls up a first gate signal according to the driving control voltage. The discharging unit is employed to perform a discharging operation for pulling down the driving control voltage. The couple unit is utilized for coupling the energy-store unit with a succeeding shift register circuit stage so that the falling edge of a second gate signal generated by the succeeding shift register stage is capable of shifting down the driving control voltage. The pull-down unit pulls down the first gate signal according to the second gate signal.

98年11月17日 簽正 修

四、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

300	移位暫存器電路
311	第(N-1)級移位暫存器
312	第N級移位暫存器
313	第(N+1)級移位暫存器
320	上拉單元
321	第一電晶體
325	儲能單元
326	第一電容
330	輸入單元
331	第二電晶體
340	放電單元
341	第三電晶體
345	耦合單元
346	第二電容
350	第一下拉單元
351	第四電晶體
355	第二下拉單元

356	第五電晶體
360	控制單元
361	第六電晶體
362	第七電晶體
363	第八電晶體
CK1	第一時脈
CK2	第二時脈
GLn-1、GLn、GLn+1	閘極線
SGn-2、SGn-1、SGn、 SGn+1、SGn+2	閘極訊號
Vcn	下拉控制電壓
Vds1	第一汲源極壓降
Vds2	第二汲源極壓降
VQn	驅動控制電壓
Vss	低電源電壓

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種移位暫存器電路，尤指一種可降低漏電流與減輕電壓應力之移位暫存器電路。

【先前技術】

液晶顯示裝置(Liquid Crystal Display ; LCD)是目前廣泛使用的一種平面顯示器，其具有外型輕薄、省電以及無輻射等優點。液晶顯示裝置的工作原理係利用改變液晶層兩端的電壓差來改變液晶層內之液晶分子的排列狀態，用以改變液晶層的透光性，再配合背光模組所提供的光源以顯示影像。一般而言，液晶顯示裝置包含有複數畫素單元、移位暫存器電路以及源極驅動器。源極驅動器係用來提供複數資料訊號至複數畫素單元。移位暫存器電路包含複數級移位暫存器，係用來產生複數閘極訊號饋入複數畫素單元以控制複數資料訊號的寫入運作。因此，移位暫存器電路即為控制資料訊號寫入操作的關鍵性元件。

第 1 圖為習知移位暫存器電路的示意圖。如第 1 圖所示，移位暫存器電路 100 包含複數級移位暫存器，為方便說明，只顯示第(N-1)級移位暫存器 111、第 N 級移位暫存器 112 以及第(N+1)級移位暫存

器 113。每一級移位暫存器係用來根據第一時脈 CK1 與反相於第一時脈 CK1 之第二時脈 CK2 以產生對應閘極訊號饋入至對應閘極線，譬如第(N-1)級移位暫存器 111 係用來產生閘極訊號 SG_{n-1} 饋入至閘極線 GL_{n-1} ，第 N 級移位暫存器 112 係用來產生閘極訊號 SG_n 饋入至閘極線 GL_n ，第(N+1)級移位暫存器 113 係用來產生閘極訊號 SG_{n+1} 饋入至閘極線 GL_{n+1} 。第 N 級移位暫存器 112 包含上拉單元 120、輸入單元 130、儲能單元 125、放電單元 140、下拉單元 150、以及控制單元 160。上拉單元 120 係用來根據驅動控制電壓 V_{Qn} 以上拉閘極訊號 SG_n 。放電單元 140 與下拉單元 150 係用來根據控制單元 160 所產生之下拉控制電壓 V_{dn} 以分別下拉驅動控制電壓 V_{Qn} 與閘極訊號 SG_n 。

第 2 圖為第 1 圖所示之移位暫存器電路 100 的工作相關訊號波形圖，其中橫軸為時間軸。在第 2 圖中，由上往下的訊號分別為第一時脈 CK1、第二時脈 CK2、閘極訊號 SG_{n-1} 、閘極訊號 SG_n 、閘極訊號 SG_{n+1} 、驅動控制電壓 V_{Qn} 、以及下拉控制電壓 V_{dn} 。如第 2 圖所示，當驅動控制電壓 V_{Qn} 沒有被上拉至第一高電壓 V_{h1} 或第二高電壓 V_{h2} 時，第一時脈 CK1 之昇緣與降緣可經由上拉單元 120 之元件電容耦合作用而導致驅動控制電壓 V_{Qn} 之漣波，另由於此漣波係為基於低電源電壓 V_{ss} 而週期性擺動於峰值電壓 V_{rc1} 與谷值電壓 V_{rt1} 之間的交流訊號，所以峰值電壓 V_{rc1} 可能因元件老化、溫度變化或其他操作因素而升高至接近零電壓，如此會導致上拉單元 120 的漏電流，進而使閘極訊號 SG_n 之電壓準位發生顯著漂移現象

而降低影像顯示品質。就另一方面而言，當驅動控制電壓 V_{Qn} 沒有被上拉至第一高電壓 V_{h1} 或第二高電壓 V_{h2} 時，下拉控制電壓 V_{dn} 係大約保持在高電源電壓 V_{dd} ，用來持續導通放電單元 140 與下拉單元 150 之電晶體，據以持續下拉驅動控制電壓 V_{Qn} 與閘極訊號 S_{Gn} ，亦即放電單元 140 與下拉單元 150 之電晶體係長時間承受高電壓應力，所以容易導致臨界電壓漂移，進而降低移位暫存器電路 100 的可靠度及使用壽命。

【發明內容】

依據本發明之實施例，其揭露一種移位暫存器電路，用以提供複數個閘極訊號至複數條閘極線。此種移位暫存器電路包含複數級移位暫存器，第 N 級移位暫存器包含上拉單元、輸入單元、儲能單元、放電單元、耦合單元、第一下拉單元、第二下拉單元、以及控制單元。

上拉單元電連接於第 N 閘極線，用來根據驅動控制電壓與第一時脈以上拉第 N 閘極訊號。輸入單元電連接於第 $(N-1)$ 級移位暫存器與上拉單元，用來接收第一輸入訊號。儲能單元電連接於上拉單元與輸入單元，用來根據第一輸入訊號執行充電程序。第一輸入訊號係為第 $(N-1)$ 級移位暫存器所產生之第 $(N-1)$ 閘極訊號或第 $(N-1)$ 啟始脈波訊號。放電單元電連接於儲能單元與第 $(N+1)$ 級移位暫存器，用來根據第 $(N+1)$ 閘極訊號執行放電程序，據以下拉驅動控制電壓。耦

合單元電連接於儲能單元與第(N+1)級移位暫存器，用來根據第(N+1)閘極訊號之降緣以下拉驅動控制電壓。第一下拉單元電連接於第 N 閘極線與第(N+1)級移位暫存器，用來根據第(N+1)閘極訊號以下拉第 N 閘極訊號。第二下拉單元電連接於第 N 閘極線，用來根據下拉控制電壓以下拉第 N 閘極訊號。控制單元電連接於第二下拉單元，用來根據第二輸入訊號以產生下拉控制電壓。第二輸入訊號係為直流電壓或反相於第一時脈之第二時脈。

【實施方式】

下文依本發明移位暫存器電路，特舉實施例配合所附圖式作詳細說明，但所提供之實施例並非用以限制本發明所涵蓋的範圍。

第 3 圖為本發明第一實施例之移位暫存器電路的示意圖。如第 3 圖所示，移位暫存器電路 300 包含複數級移位暫存器，為方便說明，移位暫存器電路 300 只顯示第(N-1)級移位暫存器 311、第 N 級移位暫存器 312 以及第(N+1)級移位暫存器 313，其中只有第 N 級移位暫存器 312 顯示內部功能單元架構，其餘級移位暫存器係類同於第 N 級移位暫存器 312，所以不另贅述。在移位暫存器電路 300 的運作中，第(N-1)級移位暫存器 311 係用以提供閘極訊號 SG_{N-1} 饋入至閘極線 GL_{N-1} ，第 N 級移位暫存器 312 係用以提供閘極訊號 SG_N 饋入至閘極線 GL_N ，第(N+1)級移位暫存器 313 係用以提供閘極訊號 SG_{N+1} 饋入至閘極線 GL_{N+1} 。

第 N 級移位暫存器 312 包含上拉單元 320、輸入單元 330、儲能單元 325、放電單元 340、耦合單元 345、第一下拉單元 350、第二下拉單元 355、以及控制單元 360。上拉單元 320 電連接於閘極線 GL_n ，用來根據驅動控制電壓 V_{Qn} 及第一時脈 $CK1$ 以上拉閘極線 GL_n 之閘極訊號 SG_n 。輸入單元 330 電連接於第 $(N-1)$ 級移位暫存器 311，用來將閘極訊號 SG_{n-1} 輸入為驅動控制電壓 V_{Qn} ，所以第 N 級移位暫存器 312 係以閘極訊號 SG_{n-1} 作為致能所需之啟始脈波訊號。儲能單元 325 電連接於上拉單元 320 與輸入單元 330，用來根據閘極訊號 SG_{n-1} 執行充電程序。放電單元 340 電連接於儲能單元 325 與第 $(N+1)$ 級移位暫存器 313，用來根據閘極訊號 SG_{n+1} 執行放電程序以下拉驅動控制電壓 V_{Qn} 。耦合單元 345 電連接於儲能單元 325 與第 $(N+1)$ 級移位暫存器 313，用來根據閘極訊號 SG_{n+1} 之降緣以下拉驅動控制電壓 V_{Qn} 。第一下拉單元 350 電連接於閘極線 GL_n 與第 $(N+1)$ 級移位暫存器 313，用來根據閘極訊號 SG_{n+1} 以下拉閘極訊號 SG_n 。第二下拉單元 355 電連接於閘極線 GL_n ，用來根據下拉控制電壓 V_{cn} 以下拉閘極訊號 SG_n 。控制單元 360 電連接於第二下拉單元 355 與閘極線 GL_n ，用來根據閘極訊號 SG_n 與反相於第一時脈 $CK1$ 之第二時脈 $CK2$ 以產生下拉控制電壓 V_{cn} 。

在第 3 圖的實施例中，上拉單元 320 包含第一電晶體 321，儲存單元 325 包含第一電容 326，輸入單元 330 包含第二電晶體 331，放電單元 340 包含第三電晶體 341，耦合單元 345 包含第二電容

346，第一下拉單元 350 包含第四電晶體 351，第二下拉單元 355 包含第五電晶體 356，控制單元 360 包含第六電晶體 361、第七電晶體 362 與第八電晶體 363。第一電晶體 321 至第八電晶體 363 係為薄膜電晶體(Thin Film Transistor)、金氧半場效電晶體(Metal Oxide Semiconductor Field Effect Transistor)、或接面場效電晶體(Junction Field Effect Transistor)。

第二電晶體 331 包含第一端、第二端與閘極端，其中第一端電連接於第(N-1)級移位暫存器 311 以接收閘極訊號 SG_{N-1} ，閘極端電連接於第一端，第二端電連接於儲能單元 325 與上拉單元 320。第一電晶體 321 包含第一端、第二端與閘極端，其中第一端用以接收第一時脈 CK_1 ，閘極端電連接於第二電晶體 331 之第二端，第二端電連接於閘極線 GL_N 。第一電容 326 電連接於第一電晶體 321 的閘極端與第二端之間。第三電晶體 341 包含第一端、第二端與閘極端，其中第一端電連接於第二電晶體 331 之第二端，閘極端電連接於第(N+1)級移位暫存器 313 以接收閘極訊號 SG_{N+1} ，第二端用以接收低電源電壓 V_{SS} 。第四電晶體 351 包含第一端、第二端與閘極端，其中第一端電連接於閘極線 GL_N ，閘極端電連接於第(N+1)級移位暫存器 313 以接收閘極訊號 SG_{N+1} ，第二端用以接收低電源電壓 V_{SS} 。第二電容 346 電連接於第三電晶體 341 的第一端與閘極端之間。第五電晶體 356 包含第一端、第二端與閘極端，其中第一端電連接於閘極線 GL_N ，閘極端電連接於控制單元 360 以接收下拉控制電壓 V_{cn} ，第二端用以接收低電源電壓 V_{SS} 。

第六電晶體 361 包含第一端、第二端與閘極端，其中第一端電連接於第五電晶體 356 之閘極端，閘極端電連接於閘極線 GLn 以接收閘極訊號 SGn，第二端用以接收低電源電壓 Vss。第七電晶體 362 包含第一端、第二端與閘極端，其中第一端用以接收第二時脈 CK2，閘極端電連接於第一端。在另一實施例中，第七電晶體 362 之第一端係用來接收可導通第七電晶體 362 與第八電晶體 363 之直流電壓，譬如高電源電壓 Vdd。第八電晶體 363 包含第一端、第二端與閘極端，其中第一端電連接於第七電晶體 362 之第二端，閘極端電連接於第一端，第二端電連接於第六電晶體 361 之第一端。第二電晶體 331、第七電晶體 362 與第八電晶體 363 的電路功能類同於二極體，其第一端與第二端實質上等效於二極體之陽極(Anode)與陰極(Cathode)。

如第 3 圖所示，第七電晶體 362 之第一端與第二端間具有第一汲源極壓降 V_{ds1} ，而第八電晶體 363 之第一端與第二端間具有第二汲源極壓降 V_{ds2} 。在一實施例中，第八電晶體 363 的寬長比係小於第六電晶體 361 的寬長比，用來提供較大的第二汲源極壓降 V_{ds2} 以顯著降低下拉控制電壓 V_{cn} 之高準位電壓。在另一實施例中，第七電晶體 362 與第八電晶體 363 的寬長比均小於第六電晶體 361 的寬長比，用來提供較大的第一汲源極壓降 V_{ds1} 與第二汲源極壓降 V_{ds2} 以顯著降低下拉控制電壓 V_{cn} 之高準位電壓。在另一實施例中，尤其是當第五電晶體 356 為金氧半場效電晶體時，第八電晶體

363 係可省略，而第七電晶體 362 之第二端則直接連接至第六電晶體 361 之第一端，且第七電晶體 362 的寬長比係小於第六電晶體 361 的寬長比，用來提供較大的第一汲源極壓降 V_{ds1} 以顯著降低下拉控制電壓 V_{cn} 之高準位電壓。

第 4 圖為第 3 圖之移位暫存器電路 300 的工作相關訊號波形示意圖，其中橫軸為時間軸。在第 4 圖中，由上往下的訊號分別為第一時脈 $CK1$ 、第二時脈 $CK2$ 、閘極訊號 SG_{n-1} 、閘極訊號 SG_n 、閘極訊號 SG_{n+1} 、驅動控制電壓 V_{Qn} 、以及下拉控制電壓 V_{cn} 。

如第 4 圖所示，於時段 $T1$ 內，閘極訊號 SG_{n-1} 由低準位電壓上昇至高準位電壓，第二電晶體 331 切換為導通狀態，使驅動控制電壓 V_{Qn} 也跟著從低準位電壓上昇至第一高電壓 V_{h1} 。於時段 $T2$ 內，因閘極訊號 SG_{n-1} 由高準位電壓降至低準位電壓，第二電晶體 331 切換為截止狀態，使驅動控制電壓 V_{Qn} 因而成為浮接電壓，又因第一時脈 $CK1$ 切換至高準位電壓，所以可藉由第一電晶體 321 之元件電容耦合作用，將驅動控制電壓 V_{Qn} 由第一高電壓 V_{h1} 上拉至第二高電壓 V_{h2} ，並據以導通第一電晶體 321，將閘極訊號 SG_n 由低準位電壓上拉至高準位電壓。此時，具高準位電壓之閘極訊號 SG_n 可導通第六電晶體 361，用來將下拉控制電壓 V_{cn} 下拉至低電源電壓 V_{ss} ，進而截止第五電晶體 356。

於時段 $T3$ 內，第一時脈 $CK1$ 切換至低準位電壓，所以閘極訊

號 SG_n 也跟著降為低準位電壓，因而使第六電晶體 361 截止，此時下拉控制電壓 V_{cn} 係為第二時脈 CK_2 之高準位電壓減去第一汲源極壓降 V_{ds1} 與第二汲源極壓降 V_{ds2} 之電壓 V_{x1} ，電壓 V_{x1} 可導通第五電晶體 356 以下拉閘極訊號 SG_n 至低電源電壓 V_{ss} 。此外，因第 $(N+1)$ 級移位暫存器 313 利用閘極訊號 SG_n 作為致能所需之啟始脈波訊號而於時段 T_3 內產生高準位電壓之閘極訊號 SG_{n+1} ，所以第三電晶體 341 與第四電晶體 351 均於時段 T_3 內導通，據以下拉驅動控制電壓 V_{Qn} 與閘極訊號 SG_n 至低電源電壓 V_{ss} 。於時段 T_4 內，第二時脈 CK_2 由高準位電壓切換至低準位電壓，所以第七電晶體 362 與第八電晶體 363 截止，而藉由第七電晶體 362 與第八電晶體 363 的元件電容耦合作用，下拉控制電壓 V_{cn} 會下降至電壓 V_{x2} ，電壓 V_{x2} 仍可導通第五電晶體 356 以下拉閘極訊號 SG_n 至低電源電壓 V_{ss} 。此時，雖然第一時脈 CK_1 由低準位電壓切換至高準位電壓，並藉由第一電晶體 321 之元件電容耦合作用以上拉驅動控制電壓 V_{Qn} ，但同時閘極訊號 SG_{n+1} 係由高準位電壓切換至低準位電壓，而閘極訊號 SG_{n+1} 之降緣可經由第二電容 346 的耦合作用以下拉驅動控制電壓 V_{Qn} ，所以驅動控制電壓 V_{Qn} 之連波的峰值電壓 V_{rc2} 可顯著小於第 2 圖所示對應於習知移位暫存器電路 100 運作之峰值電壓 V_{rc1} 。於時段 T_5 內，第二時脈 CK_2 由低準位電壓切換至高準位電壓，所以第七電晶體 362 與第八電晶體 363 導通，而下拉控制電壓 V_{cn} 又被上拉至電壓 V_{x1} 。同時，第一時脈 CK_1 由高準位電壓切換至低準位電壓，所以可藉由第一電晶體 321 之元件電容耦合作用，將驅動控制電壓 V_{Qn} 從峰值電壓 V_{rc2} 下拉至谷值電壓 V_{rt2} ，

很顯然地，谷值電壓 V_{rt2} 亦顯著小於第 2 圖所示對應於習知移位暫存器電路 100 運作之谷值電壓 V_{rt1} 。

其後，在閘極訊號 SG_n 持續低準位電壓的狀態下，第 N 級移位暫存器 312 係週期性地執行上述於時段 T_4 及 T_5 內之電路運作，所以驅動控制電壓 V_{Qn} 係週期性地擺動於峰值電壓 V_{rc2} 與谷值電壓 V_{rt2} 之間，而下拉控制電壓 V_{cn} 係週期性地擺動於電壓 V_{x1} 與電壓 V_{x2} 之間。由上述可知，藉由第二電容 346 之耦合作用，可使驅動控制電壓 V_{Qn} 之漣波的峰值電壓 V_{rc2} 顯著低於零電壓，據以降低第一電晶體 321 之漏電流，而閘極訊號 SG_n 之電壓準位也就不會顯著漂移以確保高顯示品質，並可節省電路操作之功率消耗。此外，藉由第七電晶體 362 與第八電晶體 363 的汲源極壓降，下拉控制電壓 V_{cn} 的高準位電壓可顯著降低，因此可顯著減輕第五電晶體 356 之電壓應力以避免臨界電壓漂移，進而提高其可靠度與使用壽命。

第 5 圖為本發明第二實施例之移位暫存器電路的示意圖。如第 5 圖所示，移位暫存器電路 500 包含複數級移位暫存器。為方便說明，移位暫存器電路 500 仍只顯示第 $(N-1)$ 級移位暫存器 511、第 N 級移位暫存器 512 以及第 $(N+1)$ 級移位暫存器 513，其中只有第 N 級移位暫存器 512 顯示內部功能單元架構。相較於第 3 圖所示之移位暫存器電路 300，第 $(N-1)$ 級移位暫存器 511 另用以提供啟始脈波訊號 ST_{n-1} ，第 N 級移位暫存器 512 另用以提供啟始脈波訊號 ST_n ，

第(N+1)級移位暫存器 513 另用以提供啟始脈波訊號 ST_{n+1} 。在移位暫存器電路 500 的運作中，啟始脈波訊號 ST_{n-1} 之波形實質上係同於閘極訊號 SG_{n-1} 之波形，啟始脈波訊號 ST_n 之波形實質上係同於閘極訊號 SG_n 之波形，啟始脈波訊號 ST_{n+1} 之波形實質上係同於閘極訊號 SG_{n+1} 之波形。

第 N 級移位暫存器 512 之電路架構係類似於第 3 圖所示之第 N 級移位暫存器 312 的電路架構，主要差異在於另包含進位單元 580 與第三下拉單元 585，而輸入單元 330 則置換為輸入單元 530。進位單元 580 電連接於第(N+1)級移位暫存器 513，用來根據驅動控制電壓 VQ_n 及第一時脈 CK_1 以產生啟始脈波訊號 ST_n 饋入至第(N+1)級移位暫存器 513。第三下拉單元 585 電連接於進位單元 580 與第(N+1)級移位暫存器 513，用來根據閘極訊號 SG_{n+1} 以下拉啟始脈波訊號 ST_n 。輸入單元 530 電連接於第(N-1)級移位暫存器 511，用來將啟始脈波訊號 ST_{n-1} 輸入為驅動控制電壓 VQ_n 。

在第 5 圖的實施例中，輸入單元 530 包含第二電晶體 531，進位單元 580 包含第九電晶體 581，第三下拉單元 585 包含第十電晶體 586。第二電晶體 531、第九電晶體 581 與第十電晶體 586 係為薄膜電晶體、金氧半場效電晶體、或接面場效電晶體。第二電晶體 531 包含第一端、第二端與閘極端，其中第一端電連接於第(N-1)級移位暫存器 511 之進位單元以接收啟始脈波訊號 ST_{n-1} ，閘極端電連接於第一端，第二端電連接於儲能單元 325、上拉單元 320 與進位單

元 580。第九電晶體 581 包含第一端、第二端與閘極端，其中第一端用以接收第一時脈 CK1，閘極端電連接於第二電晶體 531 之第二端，第二端電連接於第(N+1)級移位暫存器 513 之輸入單元。第十電晶體 586 包含第一端、第二端與閘極端，其中第一端電連接於第九電晶體 581 之第二端，閘極端電連接於第(N+1)級移位暫存器 513 以接收閘極訊號 S_{Gn+1}，第二端用以接收低電源電壓 V_{SS}。移位暫存器電路 500 的工作相關訊號波形係同於第 4 圖所示之訊號波形，所以不再贅述。

第 6 圖為本發明第三實施例之移位暫存器電路的示意圖。如第 6 圖所示，移位暫存器電路 600 包含複數級移位暫存器。為方便說明，移位暫存器電路 600 仍只顯示第(N-1)級移位暫存器 611、第 N 級移位暫存器 612 以及第(N+1)級移位暫存器 613，其中只有第 N 級移位暫存器 612 顯示內部功能單元架構。第 N 級移位暫存器 612 之電路架構係類似於第 3 圖所示之第 N 級移位暫存器 312 之電路架構，主要差異在於將控制單元 360 置換為控制單元 660。控制單元 660 電連接於第二下拉單元 355 與儲能單元 325，用來根據第二時脈 CK2 與驅動控制電壓 V_{Qn} 以產生下拉控制電壓 V_{cn}。

在第 6 圖的實施例中，控制單元 660 包含第六電晶體 661、第七電晶體 662 與第八電晶體 663。第六電晶體 661 包含第一端、第二端與閘極端，其中第一端電連接於第五電晶體 356 之閘極端，閘極端電連接於儲能單元 325 以接收驅動控制電壓 V_{Qn}，第二端用以

接收低電源電壓 V_{ss} 。第七電晶體 662 包含第一端、第二端與閘極端，其中第一端用以接收第二時脈 $CK2$ ，閘極端電連接於第一端。在另一實施例中，第七電晶體 662 之第一端係用來接收可導通第七電晶體 662 與第八電晶體 663 之直流電壓，譬如高電源電壓 V_{dd} 。第八電晶體 663 包含第一端、第二端與閘極端，其中第一端電連接於第七電晶體 662 之第二端，閘極端電連接於第一端，第二端電連接於第六電晶體 661 之第一端。第六電晶體 661、第七電晶體 662 與第八電晶體 663 係為薄膜電晶體、金氧半場效電晶體、或接面場效電晶體。

在一實施例中，第八電晶體 663 的寬長比係小於第六電晶體 661 的寬長比，用來提供較大的第二汲源極壓降 V_{ds2} 以顯著降低下拉控制電壓 V_{cn} 之高準位電壓。在另一實施例中，第七電晶體 662 與第八電晶體 663 的寬長比均小於第六電晶體 661 的寬長比，用來提供較大的第一汲源極壓降 V_{ds1} 與第二汲源極壓降 V_{ds2} 以顯著降低下拉控制電壓 V_{cn} 之高準位電壓。在另一實施例中，尤其是當第五電晶體 356 為金氧半場效電晶體時，第八電晶體 663 係可省略，而第七電晶體 662 之第二端直接連接至第六電晶體 661 之第一端，且第七電晶體 662 的寬長比係小於第六電晶體 661 的寬長比，用來提供較大的第一汲源極壓降 V_{ds1} 以顯著降低下拉控制電壓 V_{cn} 之高準位電壓。

第 7 圖為第 6 圖之移位暫存器電路 600 的工作相關訊號波形示

意圖，其中橫軸為時間軸。在第 7 圖中，由上往下的訊號分別為第一時脈 CK1、第二時脈 CK2、閘極訊號 SGn-1、閘極訊號 SGn、閘極訊號 SGn+1、驅動控制電壓 VQn、以及下拉控制電壓 Vcn。第 7 圖所示之訊號波形係類似於第 4 圖所示之訊號波形，主要差異在於下拉控制電壓 Vcn 於時段 T1 內係為低準位電壓，此乃因第六電晶體 661 之閘極端係用來接收驅動控制電壓 VQn，而驅動控制電壓 VQn 於時段 T1 內係為第一高電壓 Vh1，所以可導通第六電晶體 661，進而將下拉控制電壓 Vcn 下拉至低電源電壓 Vss。除了下拉控制電壓 Vcn 於時段 T1 內之波形，第 7 圖之其餘時段的訊號波形係同於第 4 圖之訊號波形，所以不再贅述。

綜上所述，本發明移位暫存器電路係利用耦合單元以顯著降低驅動控制電壓之漣波的峰值電壓，所以可降低驅動控制電壓所驅動之電晶體的漏電流，而閘極訊號之電壓準位也就不會顯著漂移以確保高顯示品質，並可節省電路操作之功率消耗。此外，本發明移位暫存器電路利用控制單元之至少一電晶體的汲源極壓降以顯著降低下拉控制電壓的高準位電壓，據以減輕被下拉控制電壓所控制之電晶體的電壓應力，所以可避免臨界電壓漂移，進而提高其可靠度與使用壽命。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何具有本發明所屬技術領域之通常知識者，在不脫離本發明之精神和範圍內，當可作各種更動與潤飾，因此本發明之保護範圍當視

後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖為習知移位暫存器電路的示意圖。

第 2 圖為第 1 圖所示之移位暫存器電路的工作相關訊號波形圖，其中橫軸為時間軸。

第 3 圖為本發明第一實施例之移位暫存器電路的示意圖。

第 4 圖為第 3 圖之移位暫存器電路的工作相關訊號波形示意圖，其中橫軸為時間軸。

第 5 圖為本發明第二實施例之移位暫存器電路的示意圖。

第 6 圖為本發明第三實施例之移位暫存器電路的示意圖。

第 7 圖為第 6 圖之移位暫存器電路的工作相關訊號波形示意圖，其中橫軸為時間軸。

【主要元件符號說明】

100、300、500、600	移位暫存器電路
111、311、511、611	第(N-1)級移位暫存器
112、312、512、612	第 N 級移位暫存器
113、313、513、613	第(N+1)級移位暫存器
120、320	上拉單元
125、325	儲能單元

130、330、530	輸入單元
140、340	放電單元
150	下拉單元
160、360、660	控制單元
321	第一電晶體
326	第一電容
331、531	第二電晶體
341	第三電晶體
345	耦合單元
346	第二電容
350	第一下拉單元
351	第四電晶體
355	第二下拉單元
356	第五電晶體
361、661	第六電晶體
362、662	第七電晶體
363、663	第八電晶體
580	進位單元
581	第九電晶體
585	第三下拉單元
586	第十電晶體
CK1	第一時脈

CK2	第二時脈
GLn-1、GLn、GLn+1	閘極線
SGn-2、SGn-1、SGn、 SGn+1、SGn+2	閘極訊號
STn-2、STn-1、STn、 STn+1	啟始脈波訊號
T1、T2、T3、T4、 T5	時段
Vcn、Vdn	下拉控制電壓
Vdd	高電源電壓
Vds1	第一汲源極壓降
Vds2	第二汲源極壓降
Vh1	第一高電壓
Vh2	第二高電壓
VQn	驅動控制電壓
Vrc1、Vrc2	峰值電壓
Vrt1、Vrt2	谷值電壓
Vss	低電源電壓

七、申請專利範圍：

1. 一種移位暫存器電路，用以提供複數閘極訊號至複數閘極線，該移位暫存器電路包含複數級移位暫存器，該複數級移位暫存器之一第 N 級移位暫存器包含：
 - 一上拉單元，電連接於該些閘極線之一第 N 閘極線，用來根據一驅動控制電壓與一第一時脈以上拉該些閘極訊號之一第 N 閘極訊號；
 - 一輸入單元，電連接於該上拉單元與該複數級移位暫存器之一第 $(N-1)$ 級移位暫存器，用來將一第一輸入訊號輸入為該驅動控制電壓；
 - 一儲能單元，電連接於該上拉單元與該輸入單元，用來根據該第一輸入訊號執行一充電程序；
 - 一放電單元，電連接於該儲能單元與該複數級移位暫存器之一第 $(N+1)$ 級移位暫存器，用來根據該些閘極訊號之一第 $(N+1)$ 閘極訊號執行一放電程序，據以下拉該驅動控制電壓；
 - 一耦合單元，電連接於該儲能單元與該第 $(N+1)$ 級移位暫存器，用來根據該第 $(N+1)$ 閘極訊號之降緣以下拉該驅動控制電壓；
 - 一第一下拉單元，電連接於該第 N 閘極線與該第 $(N+1)$ 級移位暫存器，用來根據該第 $(N+1)$ 閘極訊號以下拉該第 N 閘極訊號；
 - 一第二下拉單元，電連接於該第 N 閘極線，用來根據一下拉控制電壓以下拉該第 N 閘極訊號；以及

一控制單元，電連接於該第二下拉單元，用來根據一第二輸入訊號以產生該下拉控制電壓，包含：

一第一電晶體，包含：

一第一端，電連接於該第二下拉單元，用來輸出該下拉控制電壓；

一閘極端，電連接於該第 N 閘極線以接收該第 N 閘極訊號，或電連接於該輸入單元以接收該驅動控制電壓；以及

一第二端，用來接收一低電源電壓；以及

一第二電晶體，包含：

一第一端，用來接收該第二輸入訊號；

一閘極端，電連接於該第二電晶體之第一端；以及

一第二端，電連接於該第一電晶體之第一端；

其中該第二電晶體之寬長比係小於該第一電晶體之寬長比。

2. 如請求項 1 所述之移位暫存器電路，其中該儲能單元包含一電容。

3. 如請求項 1 所述之移位暫存器電路，其中該耦合單元包含一電容。

4. 如請求項 1 所述之移位暫存器電路，其中該上拉單元包含一電晶體，該電晶體包含：

一第一端，用以接收該第一時脈；

一閘極端，電連接於該輸入單元以接收該驅動控制電壓；以及
一第二端，電連接於該第 N 閘極線。

5. 如請求項 1 所述之移位暫存器電路，其中該輸入單元包含一電晶體，該電晶體包含：

一第一端，電連接於該第(N-1)級移位暫存器以接收一第(N-1)閘極訊號；

一閘極端，電連接於該第一端；以及

一第二端，電連接於該儲能單元與該上拉單元；

其中該第一輸入訊號係為該第(N-1)閘極訊號。

6. 如請求項 1 所述之移位暫存器電路，其中該放電單元包含一電晶體，該電晶體包含：

一第一端，電連接於該儲能單元；

一閘極端，電連接於該第(N+1)級移位暫存器以接收該第(N+1)閘極訊號；以及

一第二端，用來接收一低電源電壓。

7. 如請求項 1 所述之移位暫存器電路，其中該第一下拉單元包含一電晶體，該電晶體包含：

一第一端，電連接於該第 N 閘極線；

一閘極端，電連接於該第(N+1)級移位暫存器以接收該第(N+1)閘極訊號；以及

- 一 第二端，用來接收一低電源電壓。
8. 如請求項 1 所述之移位暫存器電路，其中該第二下拉單元包含一電晶體，該電晶體包含：
- 一 第一端，電連接於該第 N 閘極線；
 - 一 閘極端，電連接於該控制單元以接收該下拉控制電壓；以及
 - 一 第二端，用來接收一低電源電壓。
9. 如請求項 1 所述之移位暫存器電路，其中該第二輸入訊號係為一直流電壓或反相於該第一時脈之一第二時脈。
10. 如請求項 1 所述之移位暫存器電路，其中該第一電晶體與該第二電晶體係為薄膜電晶體(Thin Film Transistor)或場效電晶體(Field Effect Transistor)。
11. 如請求項 1 所述之移位暫存器電路，其中該控制單元另包含一第三電晶體，該第三電晶體包含：
- 一 第一端，電連接於該第二電晶體之第二端；
 - 一 閘極端，電連接於該第三電晶體之第一端；以及
 - 一 第二端，電連接於該第一電晶體之第一端。
12. 如請求項 11 所述之移位暫存器電路，其中該第一電晶體、該第二電晶體與該第三電晶體係為薄膜電晶體或場效電晶體。

13. 如請求項 12 所述之移位暫存器電路，其中該第三電晶體之寬長比係小於該第一電晶體之寬長比。
14. 如請求項 1 所述之移位暫存器電路，其中該第 N 級移位暫存器另包含：
- 一進位單元，電連接於該輸入單元與該儲能單元，用來根據該驅動控制電壓與該第一時脈以上拉一第 N 啟始脈波訊號，該第 N 啟始脈波訊號係被饋送至該第(N+1)級移位暫存器之一輸入單元；以及
 - 一第三下拉單元，電連接於該進位單元與該第(N+1)級移位暫存器，用來根據該第(N+1)閘極訊號以下拉該第 N 啟始脈波訊號。
15. 如請求項 14 所述之移位暫存器電路，其中該第 N 級移位暫存器之輸入單元包含一電晶體，該電晶體包含：
- 一第一端，電連接於該第(N-1)級移位暫存器以接收一第(N-1)啟始脈波訊號；
 - 一閘極端，電連接於該第一端；以及
 - 一第二端，電連接於該儲能單元、該上拉單元與該進位單元；其中該第一輸入訊號係為該第(N-1)啟始脈波訊號。
16. 如請求項 14 所述之移位暫存器電路，其中該第 N 級移位暫存器

之進位單元包含一電晶體，該電晶體包含：

一第一端，用以接收該第一時脈；

一閘極端，電連接於該第 N 級移位暫存器之輸入單元以接收該
驅動控制電壓；以及

一第二端，電連接於該第(N+1)級移位暫存器之輸入單元。

17. 如請求項 14 所述之移位暫存器電路，其中該第 N 級移位暫存器

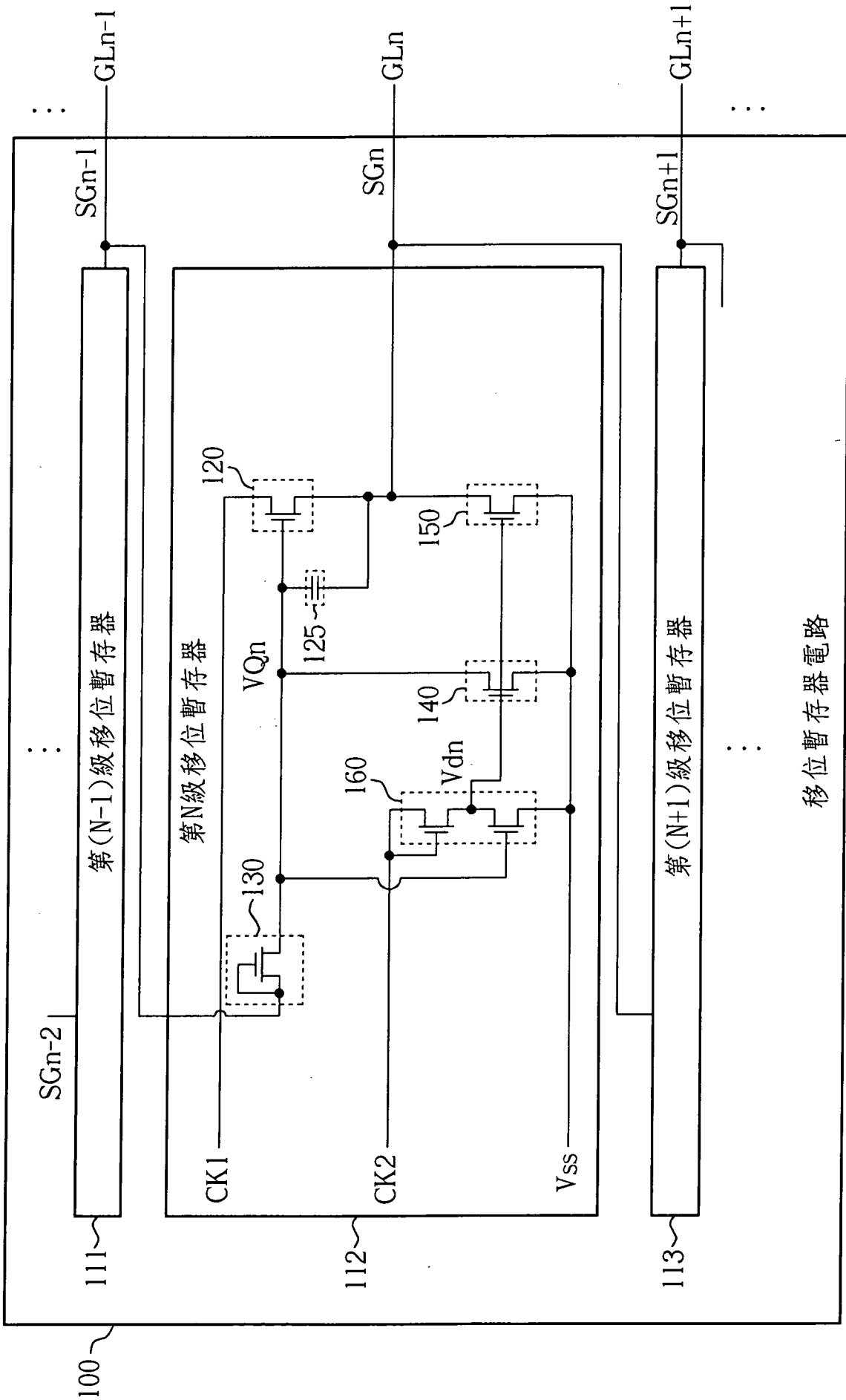
之第三下拉單元包含一電晶體，該電晶體包含：

一第一端，電連接於該進位單元；

一閘極端，電連接於該第(N+1)級移位暫存器以接收該第(N+1)
閘極訊號；以及

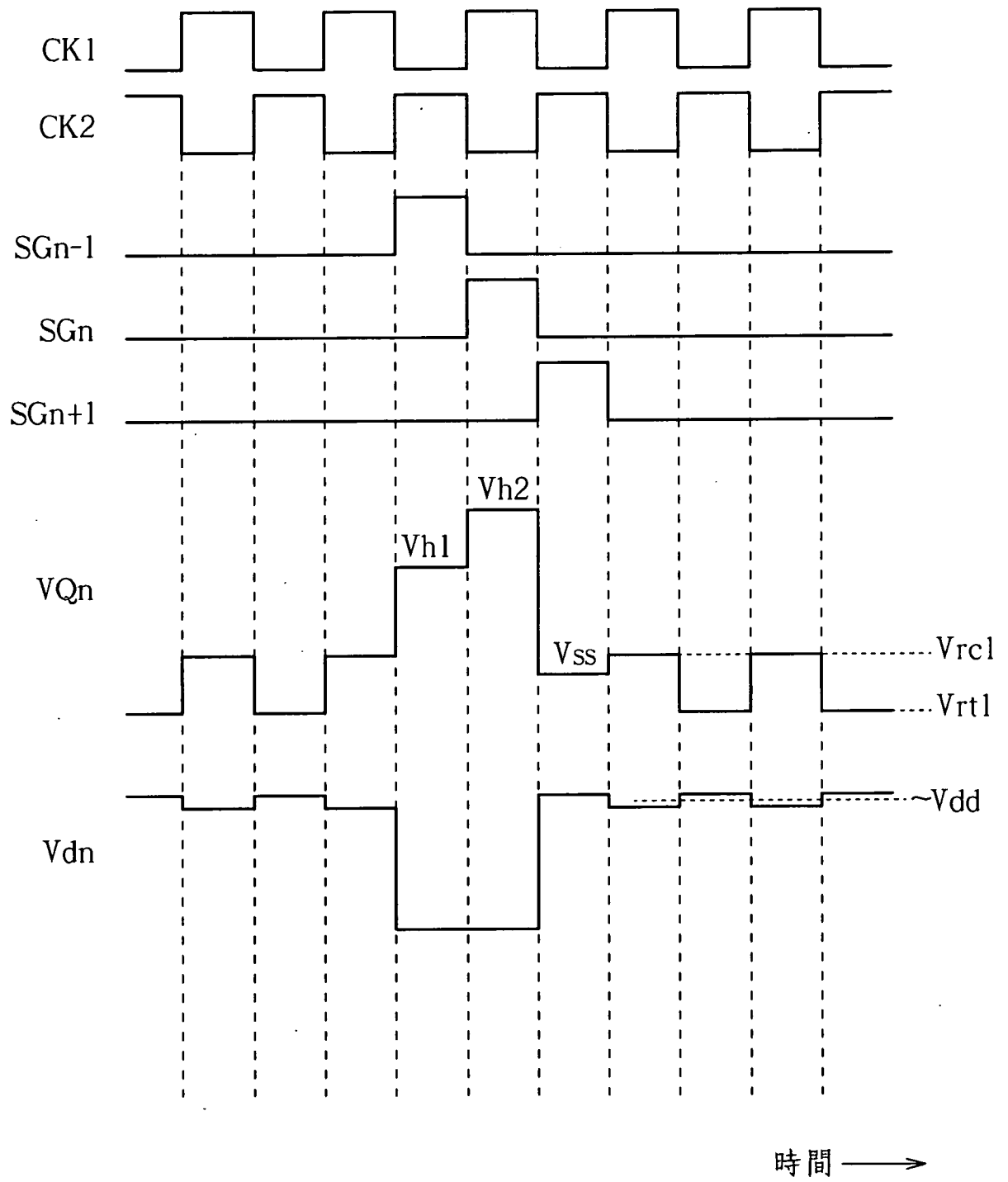
一第二端，用來接收一低電源電壓。

八、圖式：

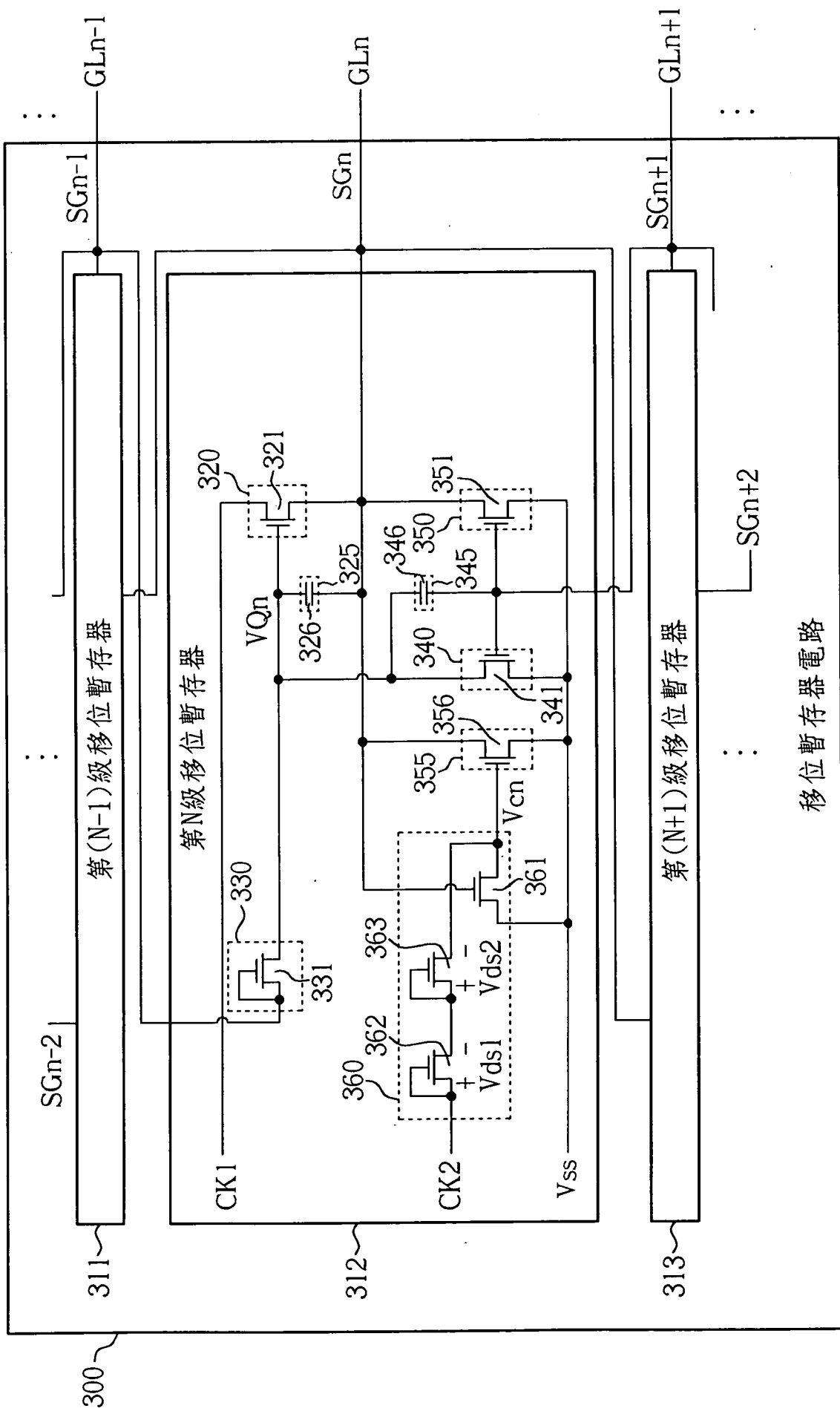


移位暫存器電路

第1圖

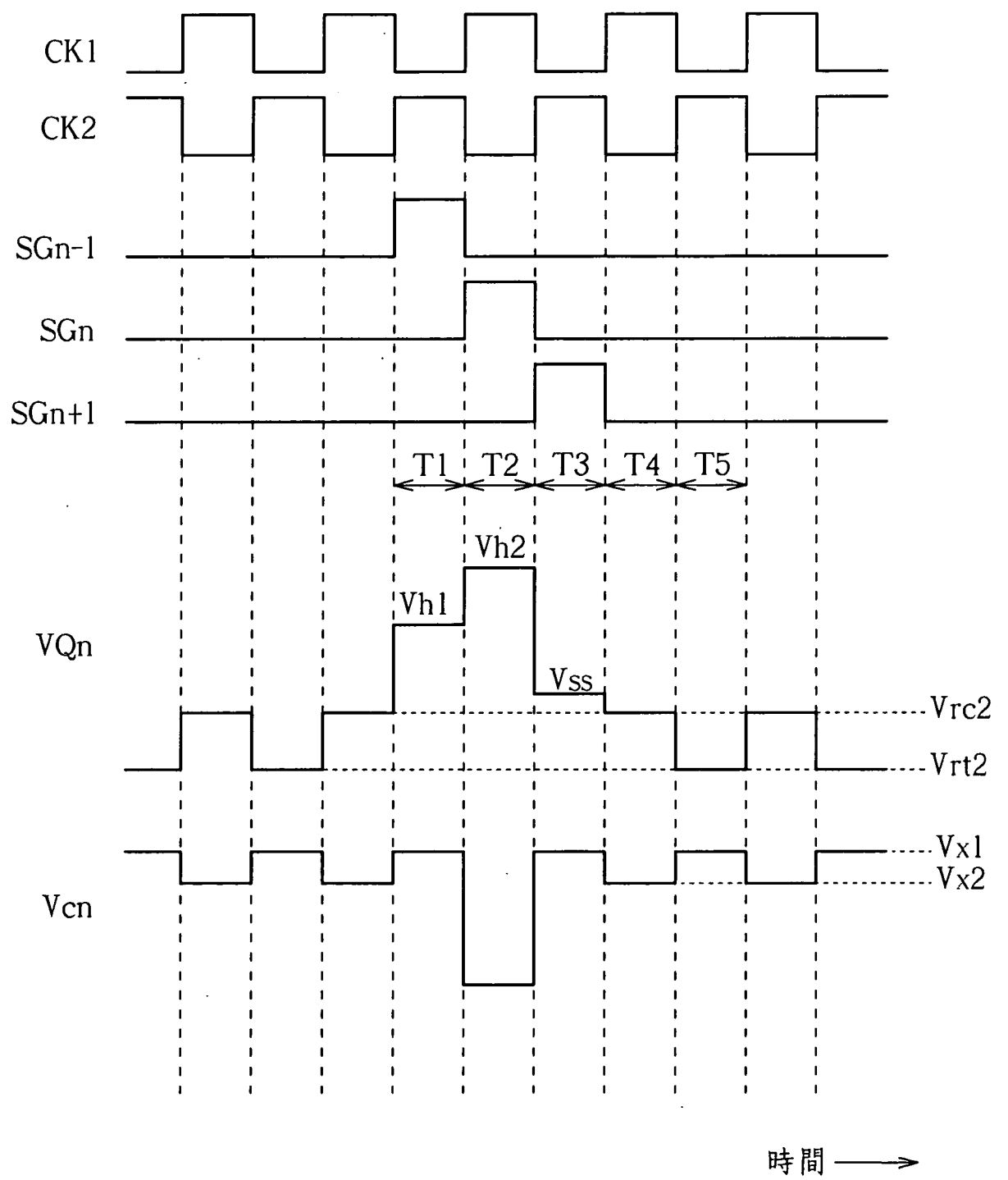


第2圖

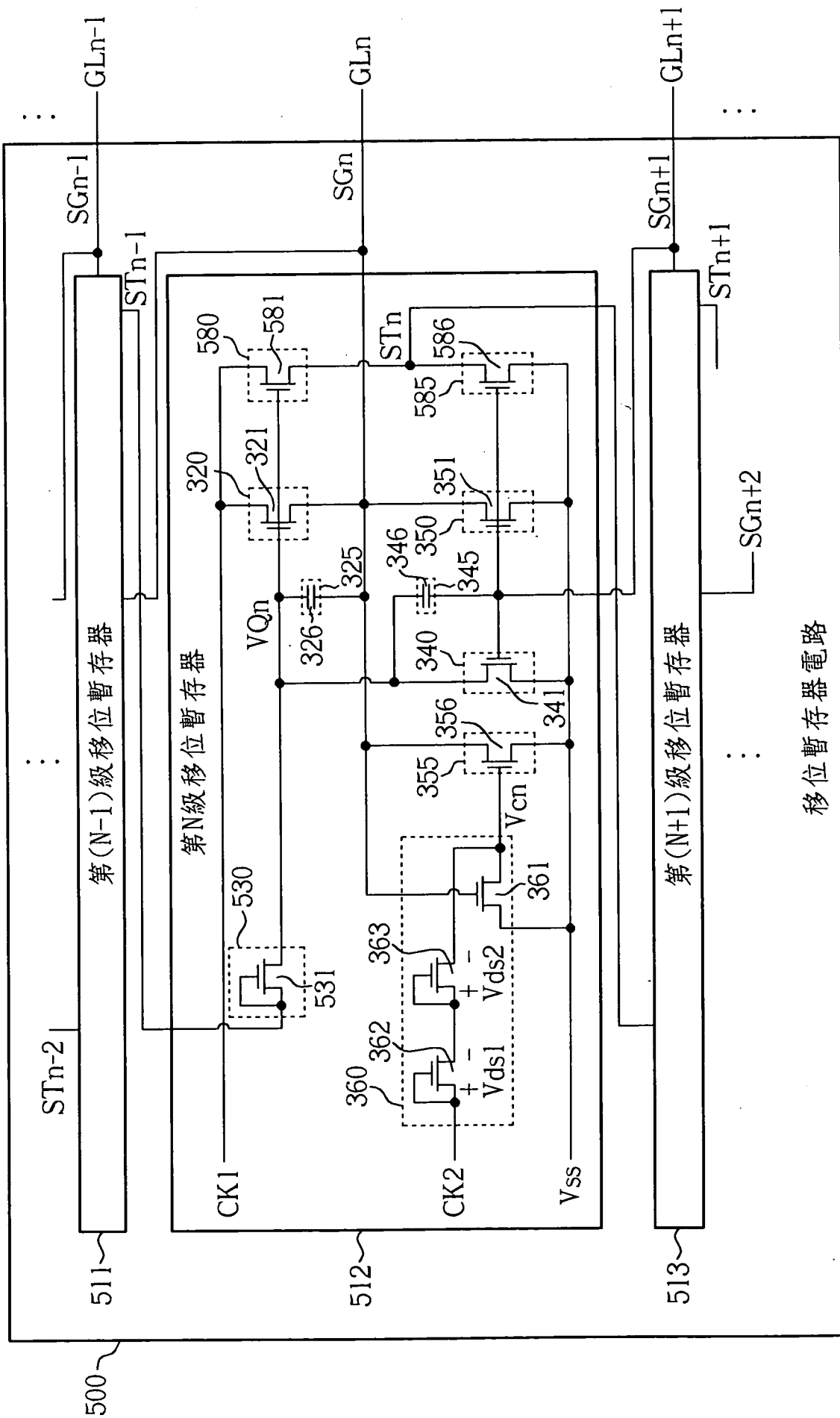


移位暫存器電路

第3圖

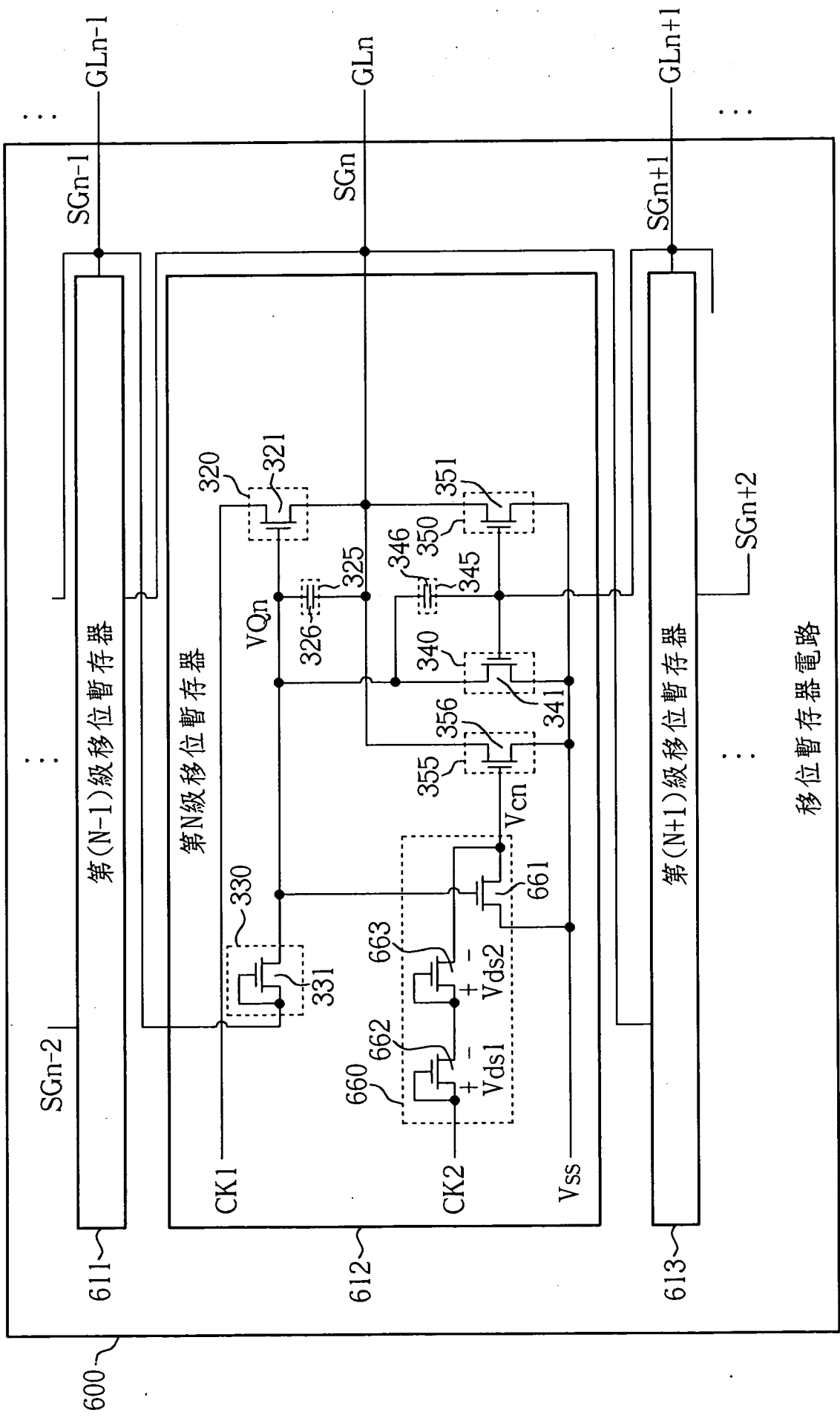


第4圖



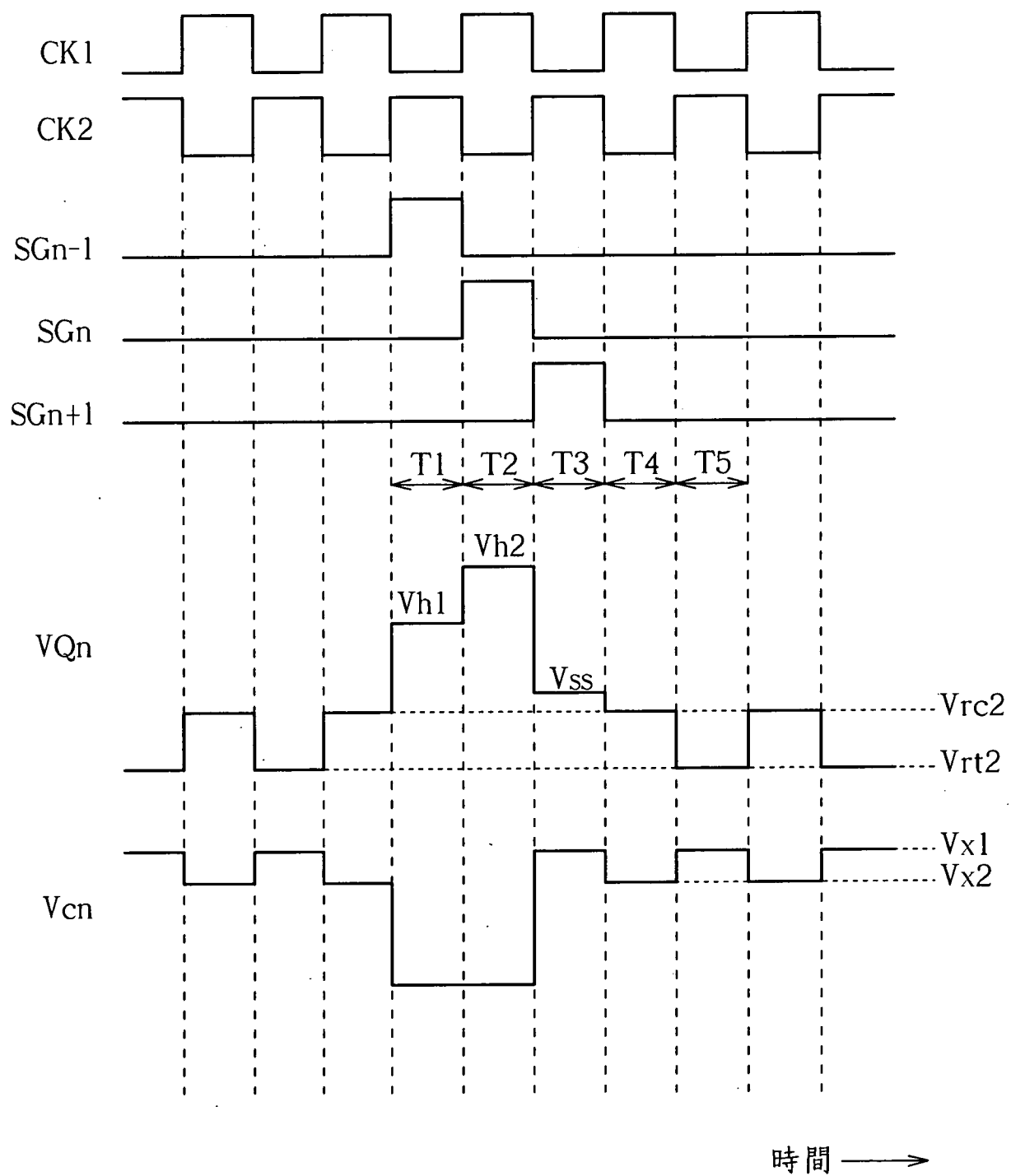
移位暫存器電路

第5圖



移位暫存器電路

第6圖



第7圖