



(12) 发明专利

(10) 授权公告号 CN 1767060 B

(45) 授权公告日 2012. 12. 26

(21) 申请号 200510082615. 4

(22) 申请日 2005. 07. 06

(30) 优先权数据

10-2004-0087658 2004. 10. 30 KR

(73) 专利权人 海力士半导体有限公司

地址 韩国京畿道

(72) 发明人 姜熙福 安进弘

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 康建峰 李春晖

(51) Int. Cl.

G11C 11/409 (2006. 01)

G11C 11/419 (2006. 01)

G11C 7/00 (2006. 01)

(56) 对比文件

CN 1428784 A, 2003. 07. 09, 全文.

US 6147898 A, 2000. 11. 14, 全文.

JP 10-261296 A, 1998. 09. 29, 全文.

JP 10-40688 A, 1998. 02. 13, 全文.

US 6487124 B2, 2002. 11. 26, 全文.

CN 1485859 A, 2004. 03. 31, 全文.

审查员 苏丹

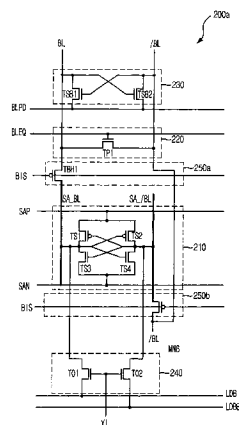
权利要求书 3 页 说明书 17 页 附图 12 页

(54) 发明名称

半导体存储器装置及执行读写操作的方法

(57) 摘要

本发明提供了半导体存储器装置及读写操作方法。半导体存储器装置包括：第一和第二单元阵列，分别输出数据至位线和反相位线；感测放大块，通过位线耦合到第一单元阵列并且通过反相位线耦合到第二单元阵列，用于感测及放大位线和反相位线之间的电压差；第一基准单元块，通过位线耦合到第一单元阵列，如果第二单元阵列经由反相位线输出数据至感测放大块，则输出基准信号至位线；第二基准单元块，通过反相位线耦合至第二单元阵列，如果第一单元阵列经由位线输出数据至感测放大块，则输出基准信号至反相位线；第一和第二浮置块，分别耦合至位线和反相位线，并且分别浮置包含在第一单元阵列中的每个位线和包含在第二单元阵列中的每个反相位线。



1. 一种用以响应于所输入之地址及命令来输出或存储数据之半导体存储器装置,包括:

第一单元阵列,用于输出所述数据至位线;

第二单元阵列,用于输出所述数据至反相位线;

感测放大块,用于感测及放大所述位线和所述反相位线之间的电压差,其中所述感测放大块通过所述位线耦合到所述第一单元阵列并且通过所述反相位线耦合到所述第二单元阵列;

第一基准单元块,通过所述位线耦合到所述第一单元阵列,如果所述第二单元阵列经由所述反相位线输出数据至所述感测放大块,则输出基准信号至所述位线;

第二基准单元块,通过所述反相位线耦合至所述第二单元阵列,如果所述第一单元阵列经由所述位线输出数据至所述感测放大块,则输出基准信号至所述反相位线;

第一浮置块,耦合至所述位线,用以浮置包含在所述第一单元阵列中的每个所述位线,由此在预充电期间均衡每个所述位线的电压电平;以及

第二浮置块,耦合至所述反相位线,用以浮置包含在第二单元阵列中的每个所述反相位线,由此在预充电期间均衡每个所述反相位线的电压电平。

2. 如权利要求第 1 项之半导体存储器装置,其中所述感测放大块使用具有比供应电压高的电压电平的高电压来放大所述位线与反相位线之间的电压差。

3. 如权利要求第 2 项之半导体存储器装置,其中所述感测放大块使用具有比地电压低的电压电平的电压,以放大所述位线与反相位线之间的电压差。

4. 如权利要求第 3 项之半导体存储器装置,其中所述感测放大块包含:

第一连接控制块,用以将该感测放大块连接或断开于所述第一单元阵列;

第二连接控制块,用以将该感测放大块连接或断开于所述第二单元阵列;

感测放大器,用于放大所述位线与反相位线之间的电压差;以及

预充电块,用以响应于预充电命令信号来均衡所述位线及反相位线之电压电平。

5. 如权利要求第 4 项之半导体存储器装置,其中所述第一连接控制块包含 MOS 晶体管,用以将第一单元阵列及第一基准单元块之一连接或断开于所述感测放大器。

6. 如权利要求第 4 项之半导体存储器装置,其中所述第二连接控制块包含 MOS 晶体管,用以将第二单元阵列及第二基准单元块之一连接或断开于所述感测放大器。

7. 如权利要求第 4 项之半导体存储器装置,其中所述感测放大器包含:

第一 PMOS 晶体管,其具有栅、漏与源,其中所述栅耦合至所述反相位线,所述源接收高于所述供应电压的高电压,且所述漏耦合至所述位线;

第二 PMOS 晶体管,其具有栅、漏与源,其中所述栅耦合至所述位线,所述源接收高于所述供应电压的高电压,且所述漏耦合至所述反相位线;

第一 NMOS 晶体管,其具有栅、漏与源,其中所述栅耦合至所述反相位线,所述源接收低于所述地电压的低电压,且所述漏耦合至所述位线;以及

第二 NMOS 晶体管,其具有栅、漏与源,其中所述栅耦合至所述位线,所述源接收低于所述地电压的低电压,且所述漏耦合至所述反相位线。

8. 如权利要求第 4 项之半导体存储器装置,其中所述感测放大块进一步包含子感测放大块,用于将所述位线及反相位线之一放大至地电压。

9. 如权利要求第 8 项之半导体存储器装置,其中所述子感测放大块包含:

第一 NMOS 晶体管,其具有栅、漏与源,所述栅耦合至所述反相位线,所述源用于接收位线电压控制信号,且所述漏耦合至所述位线;以及

第二 NMOS 晶体管,其具有栅、漏与源,所述栅耦合至所述位线,所述源用于接收位线电压控制信号,且所述漏耦合至所述反相位线。

10. 如权利要求第 9 项之半导体存储器装置,其中如果所述预充电命令信号被激励,则所述位线电压控制信号具有地电平。

11. 如权利要求第 4 项之半导体存储器装置,其中所述第一和第二浮置块各自包含 MOS 晶体管,每个 MOS 晶体管用于响应于所述预充电命令信号在预充电期间分别浮置所述位线与反相位线。

12. 如权利要求第 1 项之半导体存储器装置,其中所述第一基准单元块包含:

第一电容器,用于接收基准供应电压以由此产生基准信号;

第一晶体管,用于响应于基准选择信号来传送所述基准信号;以及

第二晶体管,用于响应于基准单元预充电信号来对所述第一电容器充电。

13. 如权利要求第 12 项之半导体存储器装置,其中所述第二基准单元块包含:

第二电容器,用于接收基准供应电压以由此产生基准信号;

第三晶体管,用于响应于反相基准选择信号来传送所述基准信号;以及

第四晶体管,用于响应于反相基准单元预充电信号来对所述第二电容器充电。

14. 如权利要求第 13 项之半导体存储器装置,其中所述基准供应电压是供应电压、1/2 供应电压和地电压之一。

15. 如权利要求第 14 项之半导体存储器装置,其中所述第一基准单元块之总数与包含在所述第一单元阵列中之所述位线之总数相同,所述第二基准单元块之总数与包含在所述第二单元阵列中之所述反相位线之总数相同。

16. 如权利要求第 15 项之半导体存储器装置,其中第一及第二电容器的每个电容与包含在第一及第二单元阵列中的每个单位单元之电容相同。

17. 如权利要求第 1 项之半导体存储器装置,进一步包括数据输出装置,用以将感测放大块所放大之数据递送至数据线及反相数据线上,或将输入数据经由数据线及反相数据线上递送至感测放大块中。

18. 如权利要求第 17 项之半导体存储器装置,其中所述数据输出装置包含:

第一 MOS 晶体管,其耦合于位线与数据线之间,用以将在该位线中加载之数据递送至该数据线上;以及

第二 MOS 晶体管,其耦合于反相位线与反相数据线之间,用以将在该反相位线中加载之数据递送至该反相数据线上。

19. 如权利要求第 1 项之半导体存储器装置,其中若预充电命令信号被激励,则任何电压不被供应给所述位线及反相位线。

20. 一种根据所输入之地址及所输入之命令来执行半导体存储器装置之读取操作及写入操作之方法,包括如下步骤:

a) 将存储于第一单元阵列中的数据递送至位线,并且将存储于第二单元阵列中的数据递送至反相位线;

b) 由感测放大块通过使用具有比地电压低的电压电平的一低电压和具有比供应电压高的电压电平的一高电压来感测并放大所述位线和所述反相位线之间的电压差,其中所述感测放大块通过所述位线耦合到所述第一单元阵列并且通过所述反相位线耦合到所述第二单元阵列;

c) 如果所述第二单元阵列经由所述反相位线输出所述数据至所述感测放大块,则将从第一基准单元块产生的基准信号递送至所述位线,而如果所述第一单元阵列经由所述位线输出所述数据至所述感测放大块,则将从所述第二基准单元块产生的基准信号递送至所述反相位线,其中所述第一基准单元块通过所述位线耦合到所述第一单元阵列,并且所述第二基准单元块通过所述反相位线耦合到所述第二单元阵列;以及

d) 响应于预充电命令信号,由第一浮置块浮置所述位线,并且由第二浮置块浮置所述反相位线,其中所述第一浮置块通过所述位线耦合到所述第一单元阵列,并且所述第二浮置块通过所述反相位线耦合到所述第二单元阵列。

21. 如权利要求第 20 项之方法,其中所述供应电压及所述地电压从所述半导体存储器装置之外输入。

22. 如权利要求第 21 项之方法,其中步骤 b) 进一步包括:接收所述供应电压及所述地电压,以由此产生所述低电压及所述高电压。

23. 如权利要求第 22 项之方法,进一步包括步骤:响应于所输入之地址及命令来输出在所述位线及反相位线之一中所放大之数据。

24. 如权利要求第 23 项之方法,进一步包括步骤:将所述位线及反相位线之一放大至地电压以防止低电压递送至耦合于所述第一单元阵列的位线及耦合至所述第二单元阵列的反相位线。

25. 如权利要求第 20 项之方法,其中步骤 d) 包含均衡每个所述位线的电压电平和均衡每个所述反相位线的电压电平的步骤。

26. 如权利要求第 20 项之方法,在步骤 c) 之后且在步骤 d) 之前进一步包括步骤:递送感测放大块所放大之数据至数据线及反相数据线中,或经由数据线及反相数据线递送输入数据至感测放大块中。

27. 如权利要求第 20 项之方法,其中若所述预充电命令信号被激励,则任何电压不被供应给所述位线及反相位线。

## 半导体存储器装置及执行读写操作的方法

### 技术领域

[0001] 本发明涉及一种半导体存储器装置；且更具体而言涉及一种用于在低供应电压之下减少功耗之半导体存储器装置。

### 背景技术

[0002] 一般而言，半导体存储器装置被操作于从外部电路输入之供应电压或包含于半导体存储器装置中之电压产生器所产生之低内部电压下。特别地，本领域的技术人员专注于如何在半导体存储器装置之操作速度不降低的条件下，使供应给半导体存储器装置之供应电压变低。

[0003] 第 1 图示出常规半导体存储器装置之核心区域的方块图。

[0004] 如所示，该常规半导体存储器装置包含行地址解码器 20、列地址解码器 30、单元 (cell) 区域 100 以及数据输入 / 输出块 40。

[0005] 单元区域 100 包含多个单元阵列，例如 110、120、130 及 140，以及多个感测放大块，例如 150 及 160。行地址解码器 20 接收行地址并解码该行地址以存取存储于单元区域 100 中之数据；且列地址解码器 30 接收列地址并解码该列地址以存取存储于单元区域 100 中之数据。数据输入 / 输出块 40 用于输出存储于单元区域 100 中之数据或将通过数据垫 / 插脚而输入之数据递送至单元区域 100。

[0006] 亦即，在读取操作期间，响应于行地址及列地址所存取的数据被输出至数据输入 / 输出块 40。否则，在写入操作下，从外部电路输入的数据经由数据输入 / 输出块 40 存储在对应于行地址与列地址之单位单元中。

[0007] 详言之，包含在单元区域 100 中的每个单元阵列，例如 110，包括多个单位单元，每个都用以存储数据；且每个感测放大块，例如 150，用以感测并放大从每个单元阵列输出之数据。

[0008] 第 2 图是描述第 1 图中所示的单元区域 100 之详细结构的方块图。

[0009] 如所示，第一单元阵列 110 包含多个位线对，例如 BL 及 /BL，多个单元，例如 CELL1、CELL2 及 CELL3，以及多个字线，例如 WL0 至 WL5。此处，每个单元由一个电容器与一个晶体管构成。例如，第一单元 CELL1 包含耦合至板线 (plate line) PL 的第一电容器 C0 以及具有耦合至第一字线 WL0 的栅的第一 MOS 晶体管 M0。第一 MOS 晶体管 M0 耦合于第一电容器 C0 与位线 BL 之间，用于响应于字线 WL0 将第一电容器 C0 连接或断开于位线 BL。

[0010] 此外，分别耦合至第一字线 WL0 及第二字线 WL1 且彼此相邻的第一单元 CELL1 及第二单元 CELL2 共同连接于位线 BL；而位线 BL 耦合于包括在感测放大块 150 中之感测放大器 152A。

[0011] 为读取存储于第一单元 CELL1 中之数据，第一字线 WL0 被选择并激励；结果，第一 MOS 晶体管 M0 然后被导通。存储于第一电容器 C0 中之数据被递送到位线 BL 中。

[0012] 接着，感测放大器 152A 通过使用位线 BL 与反相位线 /BL 之间的电位差来感测及放大所述数据，所述位线 BL 接收经由第一 MOS 晶体管 M0 递送之数据，而所述反相位线 /BL

不接收从包括在第一单元阵列 110 中的任何单元所输出之数据。

[0013] 在上述由感测放大器 152A 执行之感测及放大操作之后,经放大之数据经由本地数据总线对 LDB 与 LDBB 输出至外部电路。此处,在所述感测及放大操作下,感测放大器 152A 确定位线 BL 及反相位线 /BL 之逻辑电平。此外,位线 BL 及反相位线 /BL 之每个逻辑电平被传送至本地数据总线 LDB 及本地数据总线杠 LDBB 的每个。

[0014] 亦即,若第一单元 CELL1 存储处于逻辑高电平“1”的数据,即第一电容器 C0 充电,则在感测及放大操作之后位线 BL 具有供应电压 VDD 的电压电平,且反相位线 /BL 具有地 GND 的电压电平。否则,即若第一单元 CELL1 存储处于逻辑低电平“0”的数据,则在感测及放大操作之后位线 BL 具有地 GND 的电压电平,且反相位线 /BL 具有供应电压 VDD 的电压电平。

[0015] 由于存储在每个单元之每个电容器中之电荷量是小的,在电荷被递送至位线 BL 中之后,应在每个原先单元之电容器中恢复电荷。在使用感测放大器之锁存数据完成该恢复之后,对应于原先单元之字线被去激励 (inactivate)。

[0016] 在此描述当存储在第三单元 CELL3 中之数据被读取的情形。若第三单元 CELL3 存储处于逻辑高电平“1”的数据,亦即第三电容器 C2 被充电,则在感测及放大操作之后,反相位线 /BL 具有供应电压 VDD 的电压电平,且位线 BL 具有地 GND 的电压电平。否则,亦即若第三单元 CELL3 存储处于逻辑低电平“0”的数据,则在感测及放大操作之后,反相位线 /BL 具有地 GND 的电压电平,且位线 BL 具有供应电压 VDD 的电压电平。

[0017] 此外,在写入操作中,亦即当一输入数据存储于单元区域中时,对应于所输入之行及列地址之字线被激励,然后,存储在耦合于该字线的单元中之数据被感测和放大。之后,在感测放大器 152A 中,经放大之数据被替换为输入数据。亦即,输入数据被锁存于感测放大器 152A 中。接下来,输入数据被存储于对应于所激励之字线之单元中。若完成了存储输入数据于单元中,则对应于所输入的行与列地址之字线被去激励。

[0018] 第 3 图是描述第 1 图中所示的单元区域 100 内之每个单元阵列及每个感测放大块之间的连接的方块图。特别地,该常规半导体存储器装置具有共享位线感测放大器结构。在此,所述共享位线感测放大器结构指的是两个相邻单元阵列耦合至一个感测放大块。

[0019] 如所示,有多个单元阵列 110、130 和 180 及多个感测放大块 150 和 170。第一感测放大块 150 耦合至第一单元阵列 110 及第二单元阵列 130;而第二感测放大块 170 耦合于第二单元阵列 130 及第三单元阵列 180。

[0020] 若一个单元阵列耦合于一个感测放大块,则该感测放大块包含多个感测放大器,每个对应于包括在该单元阵列中之每个位线对。亦即,包含在感测放大块中之感测放大器数目与包含在单元阵列中之位线数目相同。然而,参照第 3 图,由于在共享位线感测放大器结构下,两个单元阵列保持公用的一个感测放大块,故感测放大块具有每个对应于每两个位线对的感测放大器的数目。就是说,包含在感测放大块中之感测放大器的数目可以减半。

[0021] 在用于实施较高度集成电路的共享位线感测放大器结构下,感测放大块,例如 150,进一步包含第一连接块 151 以及第二连接块 153。由于感测放大块被共同耦合于两个相邻单元阵列 110 及 130,故应有用于将第一感测放大块 150 连接或断开于两个相邻单元阵列 110 与 130 之一的控制。第一及第二连接块 151 及 153 每个具有多个开关单位,例如晶体管。第一连接块 151 中之多个晶体管,例如 MN1 至 MN4,根据第一连接控制信号 BISH1 而

导通或关断；且第二连接块 153 中的多个晶体管，例如 MN5 至 MN8，根据第二连接控制信号 BISL1 而导通或关断。

[0022] 例如，若第一连接控制信号 BISH1 被激励，则包含在第一连接块 151 中之全部晶体管导通，即第一单元阵列 110 耦合至第一感测放大块 150 之感测放大器块 152。否则，若第二连接控制信号 BISL1 被激励，则包含在第二连接块 153 中之全部晶体管导通，即第二单元阵列 130 耦合至第一感测放大块 150 之感测放大器块 152。

[0023] 同样，另一个感测放大块 170 包含多个感测放大器及两个连接块，其响应于其它连接控制信号 BISH2 及 BISL2 而受控以便于将感测放大块 170 之感测放大器块连接或断开于两个相邻单元阵列 130 及 180 之一。

[0024] 而且，除了连接块及感测放大器以外，每个感测放大块，例如 150，进一步包含预充电块及数据输出块。

[0025] 第 4 图是描述第 2 图中所示的感测放大块 150 之方块图。

[0026] 如所示，感测放大块 150 包含感测放大器 152A、预充电块 155A、第一及第二均衡块 154A 及 157A、以及数据输出块 156A。

[0027] 感测放大器 152A 接收电源信号 SAP 及 SAN 以便于放大位线 BL 与反相位线 /BL 之间的电位差。当感测放大器 152A 未被激励时，在由预充电信号 BLEQ 使能时，预充电块 155A 用于将位线对 BL 及 /BL 预充电一位线预充电电压 VBLP。响应于预充电信号 BLEQ，第一均衡块 154A 使位线 BL 之电压电平与反相位线 /BL 之电压电平相同。类似于第一均衡块 154A，第二均衡块 157A 亦被用于使位线 BL 之电压电平与反相位线 /BL 之电压电平相同。最后，基于从列地址产生之列控制信号 YI，数据输出块 156A 输出由感测放大器 152A 放大之数据至本地数据总线对 LDB 及 LDBB。

[0028] 在此，感测放大块 150 进一步包含两个连接块 151A 及 153A，每个分别依据连接控制信号 BISH 及 BISL 将感测放大器 152A 而连接或断开于相邻单元阵列之一。

[0029] 第 5 图是示出所述常规半导体存储器装置之操作的波形。以下参照第 1 图至第 5 图详述该常规半导体存储器装置之操作。

[0030] 如所示，读取操作可分为四个步骤：预充电步骤、读取步骤、感测步骤及恢复步骤。同样，写入操作非常类似于读取操作。然而，写入操作包含写入步骤而非读取操作中之读取步骤，并且更详细地，并非所感测及放大之数据不输出，而是来自外部电路之输入数据在感测步骤期间被锁存于感测放大器中。

[0031] 以下假设一单元之电容器被充电，即存储逻辑高数据“1”。此处，符号‘SN’指的是在所述单元之电容器中充电的电位电平。另外，感测放大块中之两个连接块之一被激励而另一个被去激励。结果，感测放大块耦合至两个相邻单元阵列之一。

[0032] 在预充电步骤中，位线 BL 及反相位线 /BL 由位线预充电电压 VBLP 加以预充电。这时所有字线被去激励。一般而言，位线预充电电压 VBLP 是 1/2 核心电压，即  $1/2V_{core} = VBLP$ 。

[0033] 当预充电信号 BLEQ 被激励为逻辑高电平时，第一及第二均衡块 154A 及 157A 亦被使能。因此，位线 BL 及反相位线 /BL 被预充电为 1/2 核心电压。此处，第一及第二连接块 151A 及 153A 亦被激励，即包括在第一及第二连接块 151A 及 153A 中之全部晶体管导通。

[0034] 在读取步骤中，读取命令被输入并加以实施。此处，若第一连接块 151A 耦合于第

一单元阵列 110 且第二连接块 153A 耦合于第二单元阵列 130, 则当第一连接块 151A 被激励而第二连接块 153A 被去激励时, 感测放大器 152A 耦合于第一单元阵列 110。否则, 当第二连接块 153A 被激励而第一连接块 151A 被去激励时, 感测放大器 152A 耦合至第二单元阵列 130 并断开于第一单元阵列 110。

[0035] 此外, 对应于所输入地址之字线由供应电压 VDD 或高电压 VPP 拉激励, 直到恢复步骤为止。

[0036] 此处, 为激励字线, 通常使用高电压 VPP, 这是因为要求供应电压 VDD 变低且半导体存储器装置之操作速度变快。

[0037] 若字线被激励, 则对应于该字线之单元之 MOS 晶体管导通; 且存储于所述单元中之电容器内之数据被递送至位线 BL 中。

[0038] 因此, 由 1/2 核心电压预充电之位线 BL 被提升一预定电压电平  $\Delta V$ 。此处, 虽然电容器被充电为核心电压  $V_{core}$ , 但位线 BL 之电压电平无法增加至核心电压  $V_{core}$ , 这是因为电容器之电容  $C_c$  小于位线 BL 之寄生电容 (worm capacitance)  $C_b$ 。

[0039] 参照第 5 图, 在读取步骤中, 应理解位线 BL 之电压电平被增加预定电压电平  $\Delta V$ , 且符号 'SN' 亦减小至该电压电平。

[0040] 此时, 亦即当数据被递送至位线 BL 中时, 没有数据被递送至反相位线 /BL, 并且反相位线 /BL 然后保持 1/2 核心电压电平。

[0041] 接着在感测步骤中, 第一电源信号 SAP 被供以核心电压  $V_{core}$  且第二电源信号 SAN 被供以地 GND。然后通过使用第一及第二电源信号 SAP 及 SAN, 感测放大器可以放大位线 BL 与反相位线 /BL 之间的电压差, 即电位差。此时, 位线 BL 及反相位线 /BL 之间的相对高侧被放大至核心电压  $V_{core}$ ; 而位线 BL 及反相位线 /BL 之间的另一侧, 即相对低侧, 被放大至地 GND。

[0042] 此处, 位线 BL 之电压电平高于反相位线 /BL 之电压电平。亦即在位线 BL 及反相位线 /BL 被放大之后, 位线 BL 被供以核心电压  $V_{core}$  且反相位线 /BL 被供以地 GND。

[0043] 最后, 在恢复步骤中, 用于将位线 BL 提升预定电压电平  $\Delta V$  的在读取步骤中从电容器输出之数据被恢复于原先的电容器中。亦即, 该电容器被再充电。在恢复步骤之后, 对应于电容器之字线被去激励。

[0044] 接着, 所述常规半导体存储器装置再次执行预充电步骤。亦即, 第一及第二电源信号 SAP 及 SAN 分别被供以 1/2 核心电压  $V_{core}$ 。此外, 预充电信号 BLEQ 被激励并且输入至第一及第二均衡块 154A 及 157A 以及预充电块 155A。此时, 感测放大器 152A 通过第一及第二连接块 151A 及 153A 耦合至两个相邻单元阵列, 例如 110 与 130。

[0045] 随着半导体存储器装置之设计技术的快速发展, 用于操作半导体存储器装置的供应电压之电压电平变低。然而, 虽然供应电压之电压电平变低, 但要求半导体存储器装置之操作速度变快。

[0046] 为了实现有关半导体存储器装置操作速度之要求, 半导体存储器装置包含一内部电压产生器, 用以产生具有比供应电压 VDD 低之电压电平的核心电压  $V_{core}$ , 以及具有比核心电压  $V_{core}$  高之电压电平的高电压 VPP。

[0047] 至目前为止, 可通过借助使用克服供应电压 VDD 之电压电平减小的上述方式而无需任何其他特定方法来实施制造半导体存储器装置的纳米级 (nano-scale) 技术而实现所



要求之操作速度。

[0048] 例如, 尽管供应电压之电压电平从大约 3.3V 降低为大约 2.5V 或 2.5V 以下, 如果基于从大约 500nm 至大约 100nm 来实施纳米级技术, 则实现所要求之操作速度。这意味着半导体存储器装置更为集成化。亦即随着纳米级技术之升级, 即发展, 包含在半导体存储器装置内之所制造的晶体管之功耗被减小, 且若供应电压之电压电平未减小, 则所制造之晶体管的操作速度亦变快。

[0049] 然而, 对于基于 100 纳米以下之纳米技术, 发展纳米技术是很困难的。亦即, 存在对半导体存储器装置越来越集成化的限制。

[0050] 此外, 供应电压之所要求的电压电平变低, 例如从大约 2.0V 至大约 1.5V 或甚至大约 1.0V。因此, 仅通过发展纳米技术无法达到有关供应电压之要求。

[0051] 若输入于半导体存储器装置之供应电压的电压电平低于预定电压电平, 则包含在半导体存储器装置内之每个晶体管之操作裕度将不足; 且结果, 所要求之操作速度无法满足且半导体存储器装置之操作可靠性无法保证。

[0052] 另外, 感测放大器需要较多时间来稳定放大位线 BL 与反相位线 /BL 之间的电压差, 这是因为晶体管之预定导通电压, 即阈电压保持在低供应电压以下。

[0053] 再者, 若在位线对 BL 及 /BL 处产生噪声, 则位线 BL 及反相位线 /BL 之每个电压电平在 1/2 核心电压  $V_{core}$  上波动, 亦即增加或减小一预定电平。就是说, 当供应电压之电压电平变低时, 小噪声可严重影响半导体存储器装置之操作可靠性。

[0054] 因此, 存在对将供应电压之电压电平减小在预定电平以下的限制。

[0055] 此外, 随着半导体存储器装置更加集成化, 晶体管之尺寸变小, 且晶体管之栅与位线之间的距离变得愈来愈近。结果, 产生了泄放电流 (bleed current)。在此, 泄放电流指的是晶体管之栅与位线之间的一种泄漏电流, 这是由于晶体管之栅与位线之间的物理距离在一预定值以下。

[0056] 第 6 图是描述半导体存储器装置之单位单元以便示出泄放电流之原因的横截面图。

[0057] 如所示, 所述单位单元包含基板 10、装置隔离层 11、源与漏区 12a 与 12b、栅电极 13、位线 17、电容器 14 至 16 以及绝缘层 18 与 19。在此, 符号 'A' 指的是晶体管之栅电极 13 与位线 17 之间的距离。

[0058] 由于制造半导体存储器装置之纳米技术的快速发展, 晶体管之栅电极 13 与位线 17 之间的距离, 亦即 'A' 变短。

[0059] 在预充电步骤中, 位线 BL 被供以 1/2 核心电压, 且栅电极 13, 即字线, 被供以地。

[0060] 若单位单元中之栅电极 13 及位线 17 因为在制造过程中发生错误而造成电子性短路, 则在预充电步骤期间电流连续流动, 并且功耗增加。在此情况下, 半导体存储器装置包括多个附加的单位单元以取代位线与栅电极发生电子性短路之单位单元。此时, 以字线基础用附加单元代替错误单元。

[0061] 否则, 若在制造过程中无错误发生, 亦即在半导体存储器装置的任何单元中, 位线 17 与栅电极 13 未发生电子性短路, 则没有泄放电流。然而, 若晶体管之栅电极 13 与位线 17 之间的距离, 即 'A' 太短而在制造过程中无任何错误, 则泄放电流产生并流动。

[0062] 最近, 有关如何在低功率条件下操作半导体存储器装置是很重要的。如果上述泄

放电流产生,则不应理解具有该泄放电流之半导体存储器装置适用于系统,虽然该半导体存储器装置可正常操作。

[0063] 为了减小泄放电流的量,建议在晶体管之栅电极与位线之间添加电阻器。然而,虽然电阻器可以减小少量泄放电流,但这对于减小及防止泄放电流之流动不是有效且基本的。

[0064] 另一方面,若一位线对被预充电为地,则一去激励之字线之电压电平与该位线对之电压电平相同,于是位线对与字线之间没有泄放电流。

[0065] 然而,若位线对被预充电为地,则在数据输出至本地数据线对之后,在位线对再次预充电之前,位线对中的一个被供以供应电压且位线对中的另一个被供以地。接着,为了将位线对预充电为地,被供以供应电压的位线对中的一个被放电至地。亦即,具有供应电压电平的位线对中的一个被下拉至地电平。结果,另外发生了的功耗。

[0066] 若半导体存储器装置使用本领域技术人员众所周知的半预充电方法,即一种使用半供应电压  $1/2V_{DD}$  作为位线预充电电压之方法,则分别放大至供应电压及地的位线对中的一个和另一个被均衡以再次预充电位线对。此后,半供应电压  $1/2V_{DD}$  连续供应给位线对。

[0067] 在此情况下,当位线对再次预充电为地时,没有附加的功耗发生。

[0068] 然而,若半供应电压  $1/2V_{DD}$  用作位线预充电电压,则位线对与去激励之字线之间产生泄放电流。因此,在低功率系统或被供以低电平供应电压之系统下,采用半预充电方法之半导体存储器装置是不适当的。亦即,很难将采用半预充电方法之半导体存储器装置应用于低功率系统。

## 发明内容

[0069] 因此,本发明之目的是提供一种半导体装置,用以减小预充电操作期间之功耗,并且防止泄放电流产生以由此减小功耗。

[0070] 因此本发明之另一个目的是提供一种用于在低功率条件下以快速度操作的半导体装置。

[0071] 根据本发明的一方面,提供了一种用以响应于所输入之地址及命令来输出或存储数据之半导体存储器装置,包括:第一单元阵列,用于输出所述数据至位线;第二单元阵列,用于输出所述数据至反相位线;感测放大块,用于感测及放大所述位线和所述反相位线之间的电压差,其中所述感测放大块通过所述位线耦合到所述第一单元阵列并且通过所述反相位线耦合到所述第二单元阵列;第一基准单元块,通过所述位线耦合到所述第一单元阵列,如果所述第二单元阵列经由所述反相位线输出数据至所述感测放大块,则输出基准信号至所述位线;第二基准单元块,通过所述反相位线耦合至所述第二单元阵列,如果所述第一单元阵列经由所述位线输出数据至所述感测放大块,则输出基准信号至所述反相位线;第一浮置块,耦合至所述位线,用以浮置包含在所述第一单元阵列中的每个所述位线,由此在预充电期间均衡每个所述位线的电压电平;以及第二浮置块,耦合至所述反相位线,用以浮置包含在第二单元阵列中的每个所述反相位线,由此在预充电期间均衡每个所述反相位线的电压电平。

[0072] 根据本发明之另一方面,提供了一种根据所输入之地址及所输入之命令来执行半

导体存储器装置之读取操作及写入操作之方法,包括如下步骤:

[0073] a) 将存储于第一单元阵列中的数据递送至位线,并且将存储于第二单元阵列中的数据递送至反相位线;

[0074] b) 由感测放大块通过使用具有比地电压低的电压电平的一低电压和具有比供应电压高的电压电平的一高电压来感测并放大所述位线和所述反相位线之间的电压差,其中所述感测放大块通过所述位线耦合到所述第一单元阵列并且通过所述反相位线耦合到所述第二单元阵列;

[0075] c) 如果所述第二单元阵列经由所述反相位线输出所述数据至所述感测放大块,则将从第一基准单元块产生的基准信号递送至所述位线,而如果所述第一单元阵列经由所述位线输出所述数据至所述感测放大块,则将从所述第二基准单元块产生的基准信号递送至所述反相位线,其中所述第一基准单元块通过所述位线耦合到所述第一单元阵列,并且所述第二基准单元块通过所述反相位线耦合到所述第二单元阵列;以及

[0076] d) 响应于预充电命令信号,由第一浮置块浮置所述位线,并且由第二浮置块浮置所述反相位线,其中所述第一浮置块通过所述位线耦合到所述第一单元阵列,并且所述第二浮置块通过所述反相位线耦合到所述第二单元阵列。

#### 附图说明

[0077] 根据结合附图进行的下面优选实施例之描述,本发明之上述及其它目的以及特征将变得显而易见,在附图中:

[0078] 第 1 图是示出常规半导体存储器装置之核心区域的方块图;

[0079] 第 2 图是描述第 1 图中所示的单元区域之详细结构的方块图;

[0080] 第 3 图是描述包括在第 1 图中所示的单元区域中之每个单元阵列与每个感测放大块之间的连接之方块图;

[0081] 第 4 图是描述第 2 图中所示的感测放大块 150 之方块图;

[0082] 第 5 图是示出所述常规半导体存储器装置之操作之波形;

[0083] 第 6 图是一横截面图,其描述半导体存储器装置之单位单元以便于示出泄放电流之原因;

[0084] 第 7 图是示出根据本发明之半导体存储器装置之方块图;

[0085] 第 8 图是一方块图,其描述根据本发明之实施例在第 7 图中所示之基准单元块;

[0086] 第 9 图是描述第 7 图中所示的感测放大块之电路图;

[0087] 第 10 图是示出第 7 图中所示的半导体存储器装置之操作之波形;

[0088] 第 11 图是示出第 7 图中所示的半导体存储器装置之详细操作之波形;并且

[0089] 第 12 图是描述依本发明之另一个实施例在第 7 图中所示之感测放大块之方块图。

#### 具体实施方式

[0090] 以下将参照附图来详述根据本发明在低功率条件下操作的半导体存储器装置。

[0091] 第 7 图是示出根据本发明之半导体存储器装置之方块图。

[0092] 如所示,所述半导体存储器装置包含第一至第四基准单元块 400a 至 400d,第一及第二单元阵列 300a 及 300b,以及第一及第二感测放大块 200a 及 200b。具体而言,第一及

第二基准单元块 400a 及 400b 分别耦合于第一单元阵列 300a 之第一位线  $BL_n$  及第二位线  $BL_{n+1}$ 。此外,第三及第四基准单元块 400c 及 400d 分别耦合于第二单元阵列 300b 之第一反相位线  $/BL_n$  及第二反相位线  $/BL_{n+1}$ 。

[0093] 另外,所述半导体存储器装置包含第一及第二浮置控制块 500a 及 500b,当预充电命令信号 BLEQ 被激励时,每个用于浮置位线,例如  $BL_n$ ,以及反相位线,例如  $/BL_n$ 。

[0094] 详言之,第一浮置块 500a 具有多个 MOS 晶体管,用于浮置包括在第一单元阵列 300a 中的每个位线  $BL_n$ ,以由此均衡位线  $BL_n$  的每个电压电平。响应于预充电命令信号 BLEQ,包括在第一浮置块 500a 中的每个 MOS 晶体管被导通。结果,如果预充电命令信号 BLEQ 被激励,则每个位线耦合于浮置线 FLOAT,而后每个位线之电压电平得以均衡。

[0095] 同样,第二浮置块 500b 具有多个 MOS 晶体管,用以浮置包括在第二单元阵列 300b 中的每个反相位线  $/BL_n$ ,以由此均衡反相位线  $/BL_n$  的每个电压电平。响应于预充电命令信号 BLEQ,包括在第二浮置块 500b 中的每个 MOS 晶体管被导通。结果,如果预充电命令信号 BLEQ 被激励,则每个位线耦合于浮置线 FLOAT,然后各反相位线之电压电平得以均衡。

[0096] 在根据本发明之半导体存储器装置中,在预充电时段内,即当预充电命令信号 BLEQ 被激励时,任何电压不被供应于包括在每个单元阵列中的每个位线或每个反相位线。因此,若该半导体存储器装置具有浮置块,例如 500a,则单元阵列中的每个位线之电压电平可被均衡。

[0097] 然而,若没有必要均衡单元阵列中的每个位线之电压电平,则该半导体存储器装置不需要包含浮置块。若半导体存储器装置中没有浮置块,则在预充电时段内每个位线具有不同的电压电平。在此情况下,若在数据信号被加载到所述位线及位线对之一时有电压差,则感测放大器可感测并放大所述位线和位线对之间的电压差。因此,数据读取/写入操作或刷新操作在单元阵列中的每个位线具有不同电压电平的上述条件下执行。

[0098] 此处,每个单元阵列,例如 300a,包含多个单位单元,每个用于响应于所输入之地址及命令来存储数据及输出该数据至位线与反相位线之一;且感测放大块 200 用于感测并放大从每个单元阵列所输出之数据。第一单元阵列 300a 经由多个位线,例如  $BL_n$  及  $BL_{n+1}$ ,耦合至感测放大块 200。第二单元阵列 300b 经由多个反相位线,例如  $/BL_n$  及  $/BL_{n+1}$ ,耦合至感测放大块 200。

[0099] 详言之,包括在第一及第二单元阵列 300a 及 300b 中的每个单位单元由例如  $Cap_1$  的电容器与例如  $TC_1$  的晶体管构成。

[0100] 第一及第二基准单元块 400a 及 400b 用于经由多个位线,例如  $BL_n$  及  $BL_{n+1}$ ,以及多个反相位线,例如  $/BL_n$  及  $/BL_{n+1}$  而供应基准信号至感测放大块 200。

[0101] 第 8 图是描述第 7 图中所示之第一及第二基准单元块 400a 及 400b 之方块图。

[0102] 如所示,第一基准单元块 400a 包含第一电容器  $RC_1$ ,用以接收基准供应电压  $V_{CP}$ ,以由此产生基准信号;第一晶体管  $RT_1$ ,用以响应于基准选择信号  $REF\_SEL$  来传送所述基准信号;以及第二晶体管  $RT\_PCG_1$ ,用以响应于基准单元预充电信号  $REF\_PCG$  来对第一电容器  $RC_1$  充电。

[0103] 同样,第二基准单元块 400b 包含第二电容器  $RC_2$ ,用以接收基准供应电压  $V_{CP}$ ,以由此产生基准信号;第三晶体管  $RT_2$ ,用以响应于反相(inverse)基准选择信号  $/REF\_SEL$  来传送所述基准信号;以及第四晶体管  $RT\_PCG_2$ ,用以响应于反相基准单元预充电信号来对电

容器充电。

[0104] 此处,第一及第二电容器 RC1 及 RC2 的每个电容与包括在第一及第二单元阵列 300a 及 300b 中的每个单位单元之电容相同。

[0105] 另外,基准供应电压 VCP 是供应电压 VDD,1/2 供应电压 1/2VDD 以及地 GND 之一。在本发明中,基准供应电压 VCP 之电压电平与单位单元之板电压 PL 之电压电平相同。

[0106] 此外,第一及第二基准单元块 400a 及 400b 之数目根据包括在第一单元阵列 300a 中之位线 BL 的数目来确定。此处,第一及第二基准单元块 400a 及 400b 之总数与包括在第一单元阵列 300a 中之位线 BL<sub>n</sub> 及 BL<sub>n+1</sub> 之总数相同,且第三及第四基准单元块 400c 及 400d 之总数与包括在第二单元阵列 300b 中之反相位线 /BL<sub>n</sub> 及 /BL<sub>n+1</sub> 之总数相同。

[0107] 例如,若有 1024 数目之位线包含于第一单元阵列 300a 中,则基准单元块之数目为 1024。

[0108] 根据本发明之半导体存储器装置中,当第二单元阵列 300b 经由反相位线 /BL<sub>n</sub> 输出数据至感测放大器 200a 时,第一基准单元块 400a 输出基准信号至位线 BL<sub>n</sub>。同样,当第一单元阵列 300a 经由位线 BL<sub>n</sub> 输出数据至感测放大器 200a 时,第三基准单元块 400c 输出基准信号至反相位线 /BL<sub>n</sub>。

[0109] 第 9 图是描述第 7 图中所示的感测放大块 200a 之电路图。

[0110] 如所示,感测放大块 200a 包含预充电块 220、第一及第二连接块 250a 及 250b、感测放大器 210、子感测放大器 230 以及数据输出块 240。在第 7 图中所示之半导体存储器装置中,两个相邻单元阵列,即 300a 及 300b,耦合于感测放大块 200a。

[0111] 详言之,包括在第一单元阵列 300a 中之单位单元经由位线 BL<sub>n</sub> 耦合至感测放大器 210,而包括在第二单元阵列 300b 中之单位单元经由反相位线 /BL<sub>n</sub> 耦合至感测放大器 210。此处,第一预充电块 220 及第一连接块 250a 位于第一单元阵列 300a 与感测放大器 210 之间。同样,第二预充电块及第二连接块 250b 位于第二单元阵列 300b 与感测放大器 210 之间。

[0112] 感测放大器 210 接收第一电源信号 SAP 以及第二电源信号 SAN,用以放大位线 BL<sub>n</sub> 与反相位线 /BL<sub>n</sub> 之间的电位差,即电压差。当感测放大器 210 被激励时,高电压 VPP 作为第一电源信号 SAP 输入,且低电压 VBB 作为第二电源信号 SAN 输入。若感测放大器 210 被去激励,则地 GND 或低电压 VBB 作为第一电源信号 SAP 输入,且 1/2 供应电压,即半 VDD,作为第二电源信号 SAN 输入。

[0113] 在此,高电压 VPP 具有比从外部电路所输入之供应电压 VDD 高的电压电平;且低电压 VBB 具有比地 GND 低的电压电平。

[0114] 此外,感测放大块 210 包含第一及第二连接块 250a 及 250b,每个用以将加载于位线或反相位线中的数据递送至感测放大器中,并且防止低电压 VBB 递送至分别耦合到单元阵列之位线及反相位线中。

[0115] 举例而言,若响应于所输入之命令,存储于第一单元阵列 300a 中的数据经由位线 BL 而输出,则第一连接块 250a 被激励。结果,所述数据可递送至感测放大器 210。然后,为了防止低电压供应至连接于第一单元阵列 300a 之位线 BL,在感测放大器感测并放大位线 BL 与反相位线 /BL 之间的电压差的过程中,第一连接块 250a 被去激励。同样,若响应于所输入之命令,存储于第二单元阵列 300b 中的数据经由反相位线 /BL 而输出,则第二连接块

250b 被激励。结果,数据可递送至感测放大器 210。然后为了防止低电压 VBB 供应至连接于第二单元阵列 300b 之反相位线 /BL,在感测放大器感测并放大位线 BL 及反相位线 /BL 之间的电压差的过程中,第二连接块 250b 被去激励。

[0116] 此外,感测放大块 200 包含子感测放大器 230,其放大位线 BL 及反相位线 /BL 之一以防止基于低电压 VBB 的数据损坏。

[0117] 详言之,子感测放大块 230 包含:第一 NMOS 晶体管 TSB1,其具有栅、漏与源,所述栅耦合至反相位线 /BL,所述源用以接收位线电压控制信号 BLPD,而所述漏耦合至位线 BL;以及第二 NMOS 晶体管 TSB2,其具有栅、漏与源,所述栅耦合至位线 BL,所述源用以接收位线电压控制信号 BLPD,而所述漏耦合至反相位线 /BL。

[0118] 另外,当位线感测放大器 210 被激励时,位线电压控制信号 BLPD 作为地被输入至子感测放大器 230。

[0119] 当感测放大器 210 不被激励时,在由预充电命令信号 BLEQ 使能时,第一预充电块 220 用以均衡位线 BL 与反相位线 /BL 的每个电压电平。

[0120] 最后,响应于根据所输入之列地址之列选择信号 YI,数据输出块 240 输出感测放大器 210 所放大之数据至本地数据线对,即 LDB 与 LDBB。

[0121] 亦即,在感测放大块 210 通过使用高电压 VPP 及低电压 VBB 来感测并放大数据之后,该数据被递送至本地数据线对。就是说,高电压 VPP 及低电压 VBB 分别作为第一电源信号 SAP 及第二电源信号 SAN 输入。接着,预充电块 220 被激励以均衡位线 BL 及反相位线 /BL。在本发明中,即使预充电块 220 被激励,亦没有电压供应给位线 BL 及反相位线 /BL。

[0122] 感测放大块 210 包含第一及第二 PMOS 晶体管 TS1 及 TS2,以及第一及第二 NMOS 晶体管 TS3 及 TS4。

[0123] 第一 PMOS 晶体管 TS1 具有栅、漏与源,所述栅耦合至感测放大反相位线 SA\_/BL,所述源用以接收第一电源信号 SAP,而所述漏耦合至感测放大位线 BL SA\_BL。且第二 PMOS 晶体管 TS2 具有栅、漏与源,所述栅耦合至感测放大位线 SA\_BL,所述源用以接收第一电源信号 SAP,而所述漏耦合至感测放大反相位线 SA\_/BL。

[0124] 第一 NMOS 晶体管 TS3 具有栅、漏与源,所述栅耦合至感测放大反相位线 SA\_/BL,所述源用以接收第二电源信号 SAN,而所述漏耦合至感测放大位线 SA\_BL;且第二 NMOS 晶体管 TS4 具有栅、漏与源,所述栅耦合至感测放大位线 SA\_BL,所述源用以接收第二电源供应信号 SAN,而所述漏耦合至感测放大反相位线 SA\_/BL。

[0125] 在由感测放大器 210 放大之后,数据经由数据输出块 240 传送至本地数据线 LDB 及本地反相数据线 LDBB。

[0126] 数据输出块 240 用于将感测放大块 210 所放大之数据递送至本地数据线 LDB 与本地反相数据线 LDBB 中,或经由本地数据线 LDB 与本地反相数据线 LDBB 递送所输入之数据至感测放大块 210 中。

[0127] 详言之,数据输出块 240 包含第一及第二 MOS 晶体管 T01 及 T02。第一 MOS 晶体管 T01 耦合于位线 BL 与本地数据线 LDB 之间,用以响应于根据所输入列地址之列控制信号 YI 来递送感测放大器 210 所放大之数据至本地数据线 LDB 中,或经由本地数据线 LDB 递送所输入之数据至感测放大块 210 中。此外,第二 MOS 晶体管 T02 耦合于反相位线 /BL 与本地反相数据线 LDBB 之间,用以响应于列控制信号 YI 来递送感测放大器 210 所放大之数据

至本地反相数据线 LDBB 中,或经由本地反相数据线 LDBB 递送所输入之数据至感测放大块 210 中。

[0128] 第 10 图是示出第 7 图中所示的半导体存储器装置之操作的波形。此外,第 11 图是示出第 7 图中所示的半导体存储器装置之详细操作之波形。

[0129] 以下参照第 7 图至第 11 图详细描述根据之半导体存储器装置之操作。

[0130] 在所述半导体存储器装置中,在预充电时段内,任何电压不被供应给位线,例如 BL<sub>n</sub>,以及反相位线,例如 /BL<sub>n</sub>。亦即,若预充电命令信号 BLEQ 被激励,则位线及反相位线的每个被浮置。

[0131] 另外,根据本发明之半导体存储器装置使用高电压 VPP 及低电压 VBB 而不是供应电压 VDD 及地 GND 来放大位线 BL 与反相位线 /BL 之间的电压差。在此,高电压 VPP 比供应电压 VDD 高,且低电压 VBB 比地 GND 低。

[0132] 参照第 10 图及第 11 图,读取或写入操作可分为四个步骤:预充电步骤、读取步骤、感测步骤及恢复步骤。具体而言,如第 10 图所示,详细描述了基准单元块之操作。在基准单元块中描述了节点 RN1 与 RN2 的每个电压电平。在预充电步骤期间,每个基准单元块的每个电容器被充电至半 VDD,即 1/2 供应电压。然后,在读取步骤、感测步骤及恢复步骤期间,亦即当预充电命令信号 BLEQ 被去激励时,响应于反相基准选择信号 /REF\_SEL,从每个基准单元块输出之基准信号被输出。

[0133] 此处,节点 RN1 与 RN2 的每个电压电平可根据基准供应电压 VCP 而加以调节。举例而言,如第 10 图所示,节点 RN1 与 RN2 的每个电压电平可在从地至半 VDD 之范围中变化。此处,基准供应电压 VCP 可根据从基准单元块所输出之基准信号之所需电压电平而加以调节。

[0134] 此外,基准供应电压 VCP 之电压电平与板电压 PL 之电压电平相同,以将具有从单元阵列所输出之数据的半电平之基准信号供应至位线与反相位线之一。

[0135] 亦即,为了稳定的操作,由供应给位线及反相位线之一的基准信号所造成之提升电平是由单元阵列所输出之数据造成的提升电平的一半。

[0136] 例如,若假设供应电压 VDD 约为 1.0V 且由数据所造成之提升电平约为 0.2V,则位线 BL 及反相位线 /BL 的每个电压电平被保持为大约 0.5V。

[0137] 虽然因恢复步骤之后的预充电步骤较长,位线 BL 及反相位线 /BL 的每个电压电平减小至大约 0.3V,但若数据加载至位线 BL,则位线 BL 变为大约 0.5V(0.3V+0.2V) 且反相位线 /BL 变为大约 0.4V(0.3V+0.1V),这是因为由基准信号所造成之提升电平是由数据所造成的提升电平的一半。

[0138] 参照第 11 图,以下假设包含于第一单元阵列 300a 中耦合于位线 BL 之单元之电容器被充电,即存储逻辑高数据 " 1 "。

[0139] 具体而言,根据本发明之半导体存储器装置中之位线 BL 及反相位线 /BL 被浮置于从半供应电压 1/2VDD 至地 GND 的范围内。此外,参照第 7 图,半导体存储器装置具有一开放式 (open) 位线结构。

[0140] 在预充电步骤 t0', 位线 BL 及反相位线 /BL 被浮置。此时,全部字线被去激励。亦即,在预充电步骤 t0' 期间,若激励为高电压 VPP 的预充电信号 BLEQ 被保持,则位线 BL 及反相位线 /BL 的每个电压电平被均衡。

[0141] 详言之,在恢复步骤  $t4'$ ,即数据被递送到本地数据总线对中并且被恢复于原先单元中之后,位线 BL 及反相位线 /BL 之电压电平缓慢减小,这是因为在预充电步骤  $t0'$  期间,任何电压不供应给位线 BL 及反相位线 /BL。结果,在预充电步骤  $t0'$  期间,位线 BL 及反相位线 /BL 之电压电平将在从半供应电压  $1/2VDD$  至地 GND 的范围内变化。

[0142] 在读取步骤  $t1'$ ,读取命令被输入并执行,而后对应于所输入地址之字线 WL 由高电压 VPP 激励,直到恢复步骤为止。此处,为激励字线,通常使用高电压 VPP,这是因为要求供应电压 VDD 变低且半导体存储器装置之操作速度变快。

[0143] 若字线 WL 被激励,则对应于该字线之单元之 MOS 晶体管被导通;且包含在第一单元阵列 300a 中之单元之电容器中所存储之数据被递送至位线 BL 中。此时,输入到预充电块 220 之预充电信号 BLEQ 被去激励。

[0144] 同时,当第一单元阵列 300a 输出所存储之数据至位线 BL 时,响应于反相基准选择信号 /REF\_SEL,耦合至反相位线 /BL 的第二基准单元块 400b 将具有所述单元之电容器中所存储之数据之  $1/2$  电压电平的基准信号输出至反相位线 /BL。

[0145] 否则,当第二单元阵列 300b 输出所存储之数据至反相位线 /BL 时,响应于基准控制信号 REF\_SEL,耦合至位线 BL 的第一基准单元块 400a 将具有包含在第二单元阵列 300b 中之单元之电容器中所存储之数据的  $1/2$  电压电平之基准信号输出至位线 BL 中。

[0146] 参照第 11 图,在读取步骤  $t1'$ ,应理解位线 BL 及反相位线 /BL 的每个电压电平被增加了每个预定电压电平,例如大约两倍电压电平。

[0147] 接着,在感测步骤期间之第一及第二感测步骤  $t2$  及  $t3$ ,第一电源信号 SAP 被供以高电压 VPP 且第二电源信号 SAN 被供以低电压 VBB。在此,供应电压 VDD 可作为第一电源信号 SAP 输入。

[0148] 在第一感测步骤  $t2$ ,感测放大器 210 可提供使用第一及第二电源信号 SAP 及 SAN 来放大位线 BL 与反相位线 /BL 之间的电压差,即电位差。此时,位线 BL 及反相位线 /BL 之间的相对高侧被放大至高电压 VPP;而位线 BL 与反相位线 /BL 之间的另一侧,即相对低侧,被放大至地 GND。然后,经放大之电压差被锁存于感测放大器 210 中。特别地,该感测放大器放大电压差可以比常规感测放大器快,这是因为使用高电压 VPP 及低电压 VBB 而非供应电压 VDD 及地 GND。

[0149] 此处,位线 BL 之电压电平高于反相位线 /BL 之电压电平。亦即,在位线 BL 及反相位线 /BL 经过放大后,位线 BL 保持高电压 VPP 之电压电平。然而,即使反相位线 /BL 可暂时放大至低电压 VBB,反相位线 /BL 仍保持地 GND 之电压电平,这是因为第二连接块 250b 被去激励,即关断。就是说,由于反相位线 /BL 预充电为具有比低电压 VBB 高之电压电平的地 GND,感测放大器 210 中之反相位线 /BL 不被放大至低电压 VBB。结果,第一单元阵列 300a 中之位线 BL 之电压电平可保持为地 GND。

[0150] 此处,第一及第二连接块 250a 及 250b 用于防止低电压 VBB 递送至第二单元阵列 300b 中之反相位线 /BL 中。如第 11 图所示,所述单元阵列之位线及反相位线 BL 与 /BL 有别于感测放大器 210 之位线及反相位线 BL\_SA\_BL 与 SA\_/BL。

[0151] 此外,由于第二单元阵列 300b 中的位线 BL 所产生之寄生电容相对较大,流经包括在第二连接块 250b 中之晶体管之电流量是小的。因此,在感测步骤  $t2$  及  $t3$  以及恢复步骤  $t4$  期间,第二单元阵列 300b 中之反相位线 /BL 之电压电平保持为地 GND。



[0152] 同样,在位线 BL 放大至低电压 VBB 的情况中,第一连接块 250a 被去激励,以防止低电压 VBB 递送到第一单元阵列 300a 中之位线 BL 中。

[0153] 若低电压 VBB 递送至第一或第二单元阵列 300a 或 300b 中之位线 BL 或反相位线 /BL 中,则从第一或第二单元阵列 300a 或 300b 感测的数据被损坏,亦即加载于位线 BL 或反相位线 /BL 中的电荷被放电。因此,防止的是低电压 VBB 经由第一或第二连接块 250a 或 250b 传送至第一或第二单元阵列 300a 或 300b。如第 11 图所示,所述单元阵列之位线及反相位线 BL 与 /BL 之电压电平未减小至低电压 VBB。

[0154] 亦即,低电压 VBB 被用以增加感测放大器 210 之操作速度但被禁止传送至第一及第二单元阵列 300a 及 300b。

[0155] 然而,第一及第二连接块 250a 与 250b 无法完全防止低电压 VBB 被传送至单元阵列中。因此,根据本发明之半导体存储器装置进一步包含子感测放大器 230,用以放大位线 BL 及反相位线 /BL 之一,以防止基于低电压 VBB 之数据损坏。即使低电压 VBB 传送至单元阵列之位线 BL 及反相位线 /BL 之一,子感测放大器 230 仍可将被减小至低电压电平的位线 BL 及反相位线 /BL 之一提升至地 GND。

[0156] 详言之,若数据加载至位线 BL,则在感测步骤之后,位线 BL 变为高电压电平 VPP 且反相位线 /BL 变为地 GND。此时,若反相位线 /BL 增加至地 GND 以上的预定电压或减小至低电压 VBB,则子感测放大器 230 将反相位线 /BL 调节至地 GND,这是因为第二 NMOS 晶体管 TSB2 由位线 BL 之电压电平导通。

[0157] 此处,在感测步骤  $t2'$  及  $t3'$  以及恢复步骤  $t4'$  期间,激励为地 GND 的位线电压控制信号 BLPD 被输入至子感测放大器 230。

[0158] 在第一感测步骤  $t2$  之后的第二感测步骤  $t3$  期间,感测放大器 210 连续接收第一及第二电源信号 SAP 及 SAN,而后,位线 BL 之电压电平被稳定化为高电压 VPP。另外,根据所输入列地址之 I/O 控制信号  $Y_i$  被激励为逻辑高电平。响应于所激励之 I/O 控制信号  $Y_i$ ,数据输出块 240 将加载于位线 BL 及反相位线 /BL 之每个电压电平,即数据递送至本地数据线 LDB 以及本地反相数据线 LDBB 中。

[0159] 此处,当任何数据不被递送时,本地数据线 LDB 及本地反相数据线 LDBB 以  $1/2$  核心电压  $V_{core}$  来预充电。然后,当数据递送至本地数据线 LDB 及本地反相数据线 LDBB 中时,本地反相数据线 LDBB 之电压电平暂时减小至地 GND,这是因为反相位线之电压电平是地 GND。

[0160] 最后,在恢复步骤  $t4$ ,用以将位线 BL 提升预定电压电平的在读取步骤期间从电容器输出之数据被恢复于原先的电容器。亦即,电容器被再充电。在恢复步骤  $t4$  之后,对应于所述电容器之字线 WL 被去激励。

[0161] 在恢复步骤之后,地 GND 被供应给感测放大器 210 作为第一及第二电源信号 SAP 及 SAN。

[0162] 在常规半导体存储器装置中,因为当任何数据经由本地数据线 LDB 及本地反相数据线 LDBB 传送时,本地数据线 LDB 及本地反相数据线 LDBB 被预充电为供应电压 VDD 或  $1/2$  供应电压  $1/2VDD$ ,故由感测放大器 210 放大至地 GND 之反相位线 /BL 之电压电平由数据输出块 240 增加至一预定电平。

[0163] 因此,为了将反相位线 /BL 之预定电平恢复至地 GND,常规半导体存储器装置具有

足够的时间用于恢复步骤。否则,在恢复步骤,错误数据可被恢复于第一或第二单元阵列 300a 或 300b 之原先单元中。举例而言,当原先数据为“0”时,恢复数据可变为“1”。因此,在常规半导体存储器装置中,花费足够的时间,即相对长之时间来执行恢复步骤 t4。

[0164] 然而,在本发明中,感测放大器 210 中之反相位线 /BL 被放大至低电压 VBB,其具有比地 GND 低之电压电平。因此,由于该低电压 VBB,若供应电压 VDD 或半供应电压,即 1/2VDD,被供应给感测放大器 210 中之反相位线 /BL,则反相位线 /BL 之电压电平几乎不增加。

[0165] 因此,在根据本发明之半导体存储器装置中,恢复步骤 t4 之时段可予以减小。

[0166] 接着,半导体存储器装置再次执行预充电步骤 t5。另外,预充电信号 BLEQ 被激励并输入至预充电块 220。此时,感测放大器 210 耦合至两个相邻单元阵列,即 300a 及 300b。结果,位线 BL 与反相位线 /BL 被浮置,且位线 BL 与反相位线 /BL 之电压电平被均衡。然后,位线 BL 与反相位线 /BL 的每个电压电平变低,这是因为任何电压不被供应给位线 BL 及反相位线 /BL。

[0167] 以下假设耦合于位线 BL 之第一单元阵列 300a 中所包括之单元之电容器被充电,亦即存储逻辑低数据“0”。

[0168] 同样,在预充电步骤 t0,位线 BL 与反相位线 /BL 被浮置为介于地 GND 和半供应电压 1/2VDD 之间的预定电压电平,。

[0169] 在读取步骤 t1,读取命令被输入并加以执行,然后对应于所输入地址之字线 WL 由供应电压 VDD 或高电压 VPP 激励,直到恢复步骤为止。

[0170] 若字线 WL 被激励,则对应于该字线之单元之 MOS 晶体管导通;且包括在第一单元阵列 300a 中的单元之电容器中所存储之数据被递送至位线 BL 中。此时,输入到预充电块 220 之预充电信号 BLEQ 被去激励。然而,由于所述数据是逻辑低电平“0”,故位线 BL 之电压电平不改变,亦即维持为地 GND。

[0171] 同时,当第一单元阵列 300a 输出所存储之数据至位线 BL 时,响应于反相基准控制信号 /REF\_SEL,耦合于反相位线 /BL 之第二基准单元块 400b 输出基准信号至反相位线 /BL,该基准信号具有存储于单元之电容器中之数据的 1/2 电压电平。

[0172] 接下来,在该感测步骤之第一感测步骤 t2,第一电源信号 SAP 被供以高电压 VPP,且第二电源信号 SAN 被供以低电压 VBB。然后,感测放大器 210 可通过使用第一及第二电源信号 SAP 及 SAN,即高电压 VPP 及低电压 VBB,来放大位线 BL 与反相位线 /BL 之间的电压差,即电位差。此时,位线 BL 与反相位线 /BL 之间之相对高侧被放大至高电压 VPP;而位线 BL 与反相位线 /BL 之间的另一侧,即相对低侧,被放大至地 GND。

[0173] 此处,第一及第二连接块用以防止低电压 VBB 递送至第一单元阵列 300a 中之位线 BL 中。结果,位线 BL 可保持电压电平为地 GND,这是因为第一连接块 250a 被去激励,即关断。

[0174] 由于用以感测及放大逻辑低数据,即“0”之其它步骤与逻辑高数据,即“1”的相同,对这些步骤的描述将予以省略。

[0175] 继续描述根据本发明之半导体存储器装置之写入操作。写入操作接收来自外部电路之写入命令、地址及数据。接着,所述数据被输入到本地数据线 LDB 及本地反相数据线 LDBB。在感测步骤中,感测放大器 210 之经感测及放大的数据不被输出,而是来自外部电路

的所输入数据被锁存于感测放大器 210 中。此处,感测步骤亦包含使用高电压 VPP 及低电压 VBB 以增加感测放大器 210 之操作速度之第一及第二感测步骤 t2 及 t3。接着,在第二感测步骤 t3,响应于列控制信号 YI,所输入的数据经由数据输出块 240 传送并且锁存于感测放大器 210 中。

[0176] 接下来在恢复步骤 t4,在感测步骤期间被锁存于感测放大器 210 中之数据被存储在对应于所输入地址的电容器中。

[0177] 如上所述,在读取操作及写入操作中,位线 BL 及反相位线 /BL 被预充电为地 GND,且感测放大器 210 使用高电压 VPP 及低电压 VBB 来感测并放大存储于单元中之数据,或锁存本地数据线及本地数据线对之所输入的数据。

[0178] 结果,即由于感测放大器 210 被供以高电压 VPP,根据本发明之半导体存储器装置之操作速度被增加,即被改善。另外,提升位线 BL 或反相位线 /BL 之电压电平至预定之电压电平可能是困难的,这是因为位线 BL 及反相位线 /BL 被浮置且具有半供应电压  $1/2VDD$  以下之预定电平;然而,感测放大器 210 可通过使用高电压 VPP 及低电压 VBB 而有效地放大电压电平。

[0179] 根据如上述之地电平预充电操作,可预期有关依照本发明之半导体存储器装置之优点。

[0180] 首先,在预充电步骤期间没有功耗,这是因为任何电压不被供应给位线及反相位线,且位线及反相位线被浮置。

[0181] 在常规半导体存储器装置中,在预充电步骤期间,地 GND 及半供应电压  $1/2VDD$  持续供应至位线及反相位线。然而在本发明中,因为不另外使用任何功率,功耗可以显著地减小。

[0182] 再者,在根据本发明之半导体存储器装置中,防止了产生于字线,亦即每个单元中的晶体管的栅,与位线之间的泄放电流。若位线与反相位线之一具有预定电平以上之电压电平,则可发生泄放电流。然而,由于在预充电步骤期间位线与反相位线被浮置,然后变为预定电平以下的较低者,且字线在预充电步骤期间去激励,故任何电流无法流动,这是因为在位线和反相位线之一与被去激励之字线之间没有电压差。因此,半导体存储器装置之功耗可以减小。

[0183] 第三,在根据本发明之半导体存储器装置中,操作速度得以改善,这是因为虽然供应电压之电压电平变低,但感测放大器通过使用高电压 VPP 及低电压 VBB 来操作。

[0184] 第四,根据本发明之半导体存储器装置可减小恢复步骤 t4 之时段。在常规半导体存储器装置中,由于当任何数据经由本地数据线 LDB 与本地反相数据线 LDBB 传送时,本地数据线 LDB 及本地反相数据线 LDBB 被预充电为供应电压 VDD 或  $1/2$  供应电压  $1/2VDD$ ,故由感测放大器 210 放大至地 GND 的反相位线 /BL 之电压电平由供应电压 VDD 或  $1/2$  供应电压  $1/2VDD$  增加至预定电平。然而,在本发明中,感测放大器 210 中之反相位线 /BL 被放大至低电压 VBB,其具有比地 GND 低的电压电平。因此,由于该低电压 VBB,若供应电压 VDD 或半供应电压,即  $1/2VDD$ ,被供应给感测放大器 210 中之反相位线 /BL,则该反相位线 /BL 之电压电平几乎不增加。

[0185] 第 12 图系根据本发明之另一个实施例,描述第 7 图中所示的感测放大块之方块图。

[0186] 如所示,感测放大块包含预充电块 220\_1、第一及第二连接块 250a\_1 及 250b\_1、感测放大器 210\_1、子感测放大器以及数据输出块 240\_1。此处,感测放大块就其结构而言类似于第 9 图中所示之感测放大块,除了子感测放大器,其用以放大位线 BL 及反相位线 /BL 之一以防止基于低电压 VBB 的数据损坏。因此,此处将省略对第 7 图中所示之感测放大块之详细描述。

[0187] 然而,所述子感测放大器包含第一子感测放大器 230a\_1 以及第二子感测放大器 230b\_1。

[0188] 详言之,第一子感测放大器 230a 包含第一 NMOS 晶体管 TSB1,其具有栅、漏与源,所述栅耦合至反相位线 /BL,所述源用以接收位线电压控制信号 BLPD,且所述漏耦合至位线 BL,而第二子感测放大器 230b\_1a 包含第二 NMOS 晶体管 TSB2,其具有栅、漏与源,所述栅耦合至位线 BL,所述源用以接收位线电压控制信号 BLDP,且所述漏耦合至反相位线 /BL。

[0189] 在本发明中,有可能实施一种用以在低功率条件下,例如 1.5V 以下,以快速度操作并防止泄放电流产生以减小功耗之半导体存储器装置。

[0190] 另外,与位线及反相位线被预充电为 1/2 核心电压的情形相比较,在根据本发明之半导体存储器装置中,任何电压不被供应给位线及反相位线。结果,预充电步骤期间之功耗可显著减小。

[0191] 在根据本发明之半导体存储器装置中,泄放电流被减小,这是因为位线与反相位线被浮置且变为较低者。因此,半导体存储器装置可减少功耗及电流消耗。

[0192] 此外,感测放大器之操作速度变快,这是因为虽然供应电压之电压电平变低,但感测放大器通过使用具有比核心电压 Vcore 高的电压电平的高电压 VPP 来操作。

[0193] 另外,根据本发明之半导体存储器装置可减小恢复步骤之时段。结果,在根据本发明之半导体存储器装置中,响应于所输入命令,例如读取或写入命令的操作周期可变短。在常规半导体存储器装置中,由于当任何数据经由本地数据线 LDB 及本地反相数据线 LDBB 传送时,本地数据线 LDB 与本地反相数据线 LDBB 被预充电为供应电压 VDD 或 1/2 供应电压 1/2VDD,故由感测放大器 210 放大至地 GND 的反相位线 /BL 之电压电平由供应电压 VDD 或 1/2 供应电压 1/2VDD 增加至预定电平。然而,在本发明中,感测放大器 210 中之反相位线 /BL 被放大至低电压 VBB,其具有比地 GND 低的电压电平。因此,由于该低电压 VBB,若供应电压 VDD 或半供应电压,即 1/2VDD,被供应给感测放大器 210 中之反相位线 /BL,则该反相位线 /BL 之电压电平几乎不增加。

[0194] 本申请包含有关 2004 年 10 月 30 日向韩国专利局所提交之韩国专利申请第 2004-87658 号的主体,其全部内容在此引入作为参考。

[0195] 虽然已针对特定实施例描述了本发明,但是对本领域的技术人员将显而易见的是,可在被限定于以下权利要求的本发明之精神及范围内进行各种改变及修改。

[0196] 【主要符号说明】

[0197]	10	基板
[0198]	14, 15, 16	电容器
[0199]	20	行地址解码器
[0200]	30	列地址解码器
[0201]	40	数据输入 / 输出块

---

[0202]	100	单元区域
[0203]	110, 130, 180	单元阵列
[0204]	150, 170	感测放大块
[0205]	151	第一连接块
[0206]	153	第二连接块
[0207]	200a, 200b	感测放大块
[0208]	210	感测放大器
[0209]	220	预充电块
[0210]	230	子感测放大器
[0211]	240	数据输出块
[0212]	250a, 250b	连接块
[0213]	300a, 300b	单元阵列
[0214]	400a-400d	基准单元块
[0215]	500a, 500b	浮置控制块。

图1  
(现有技术)

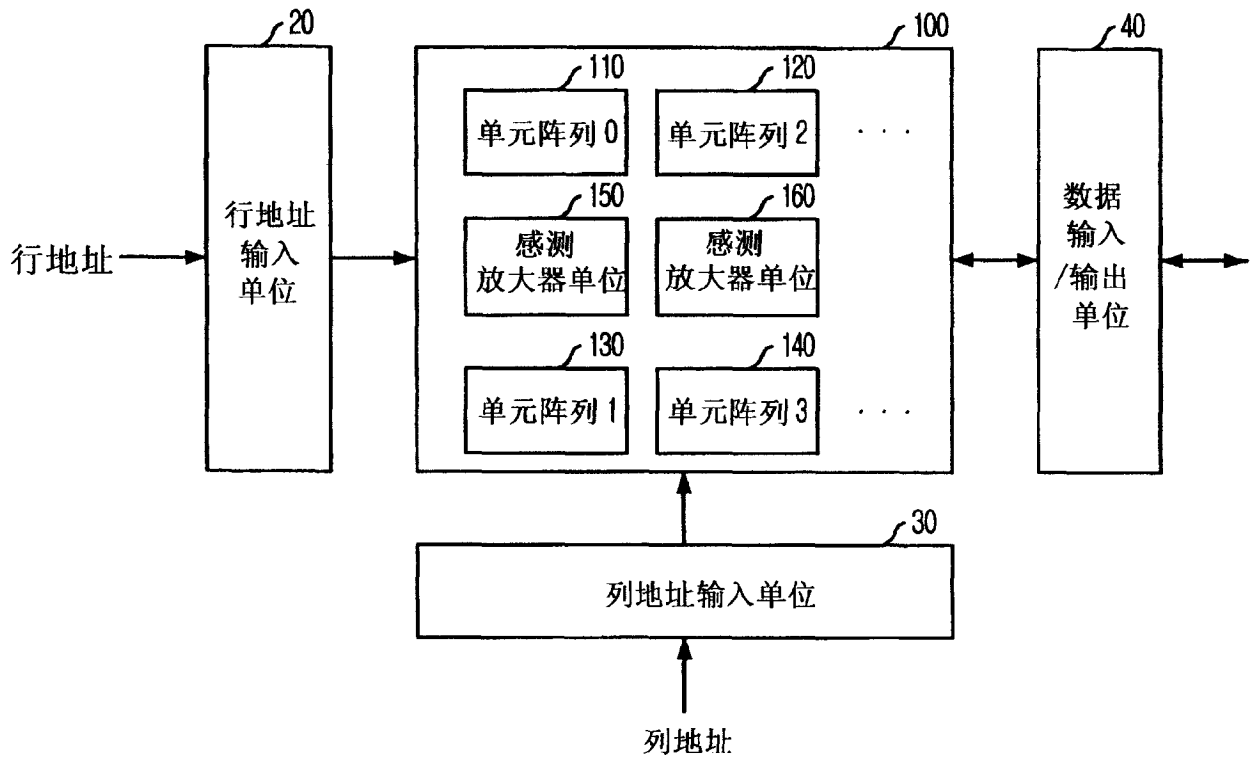


图2  
(现有技术)

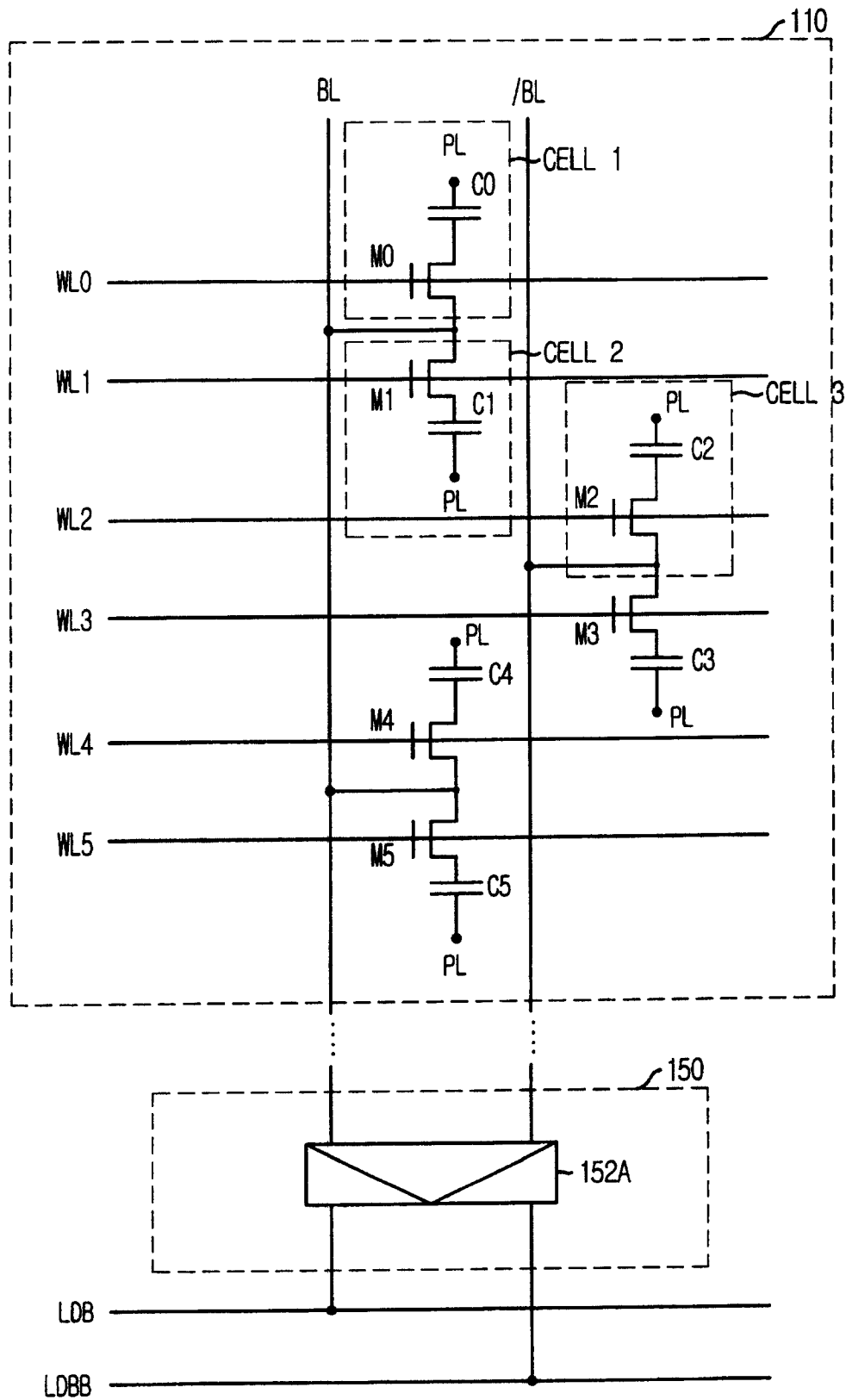


图3  
(现有技术)

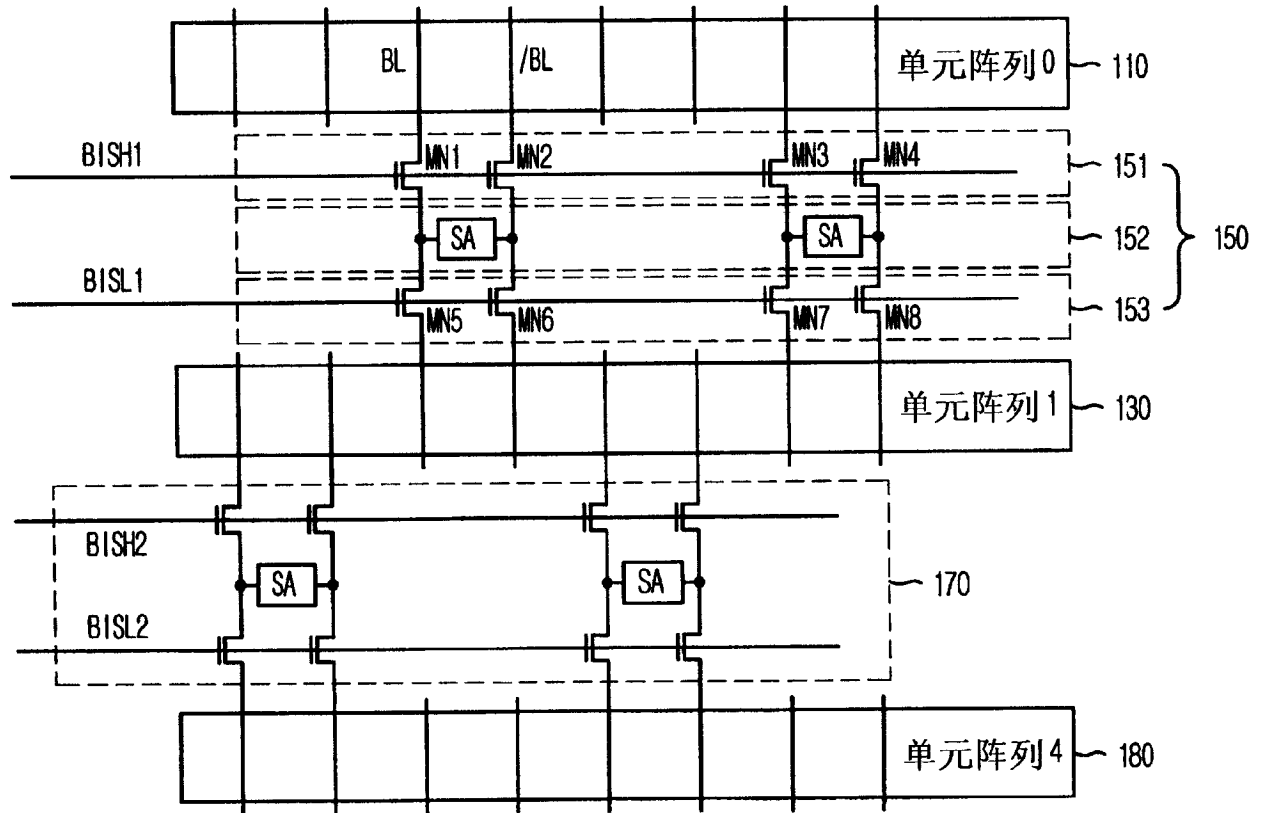




图4  
(现有技术)

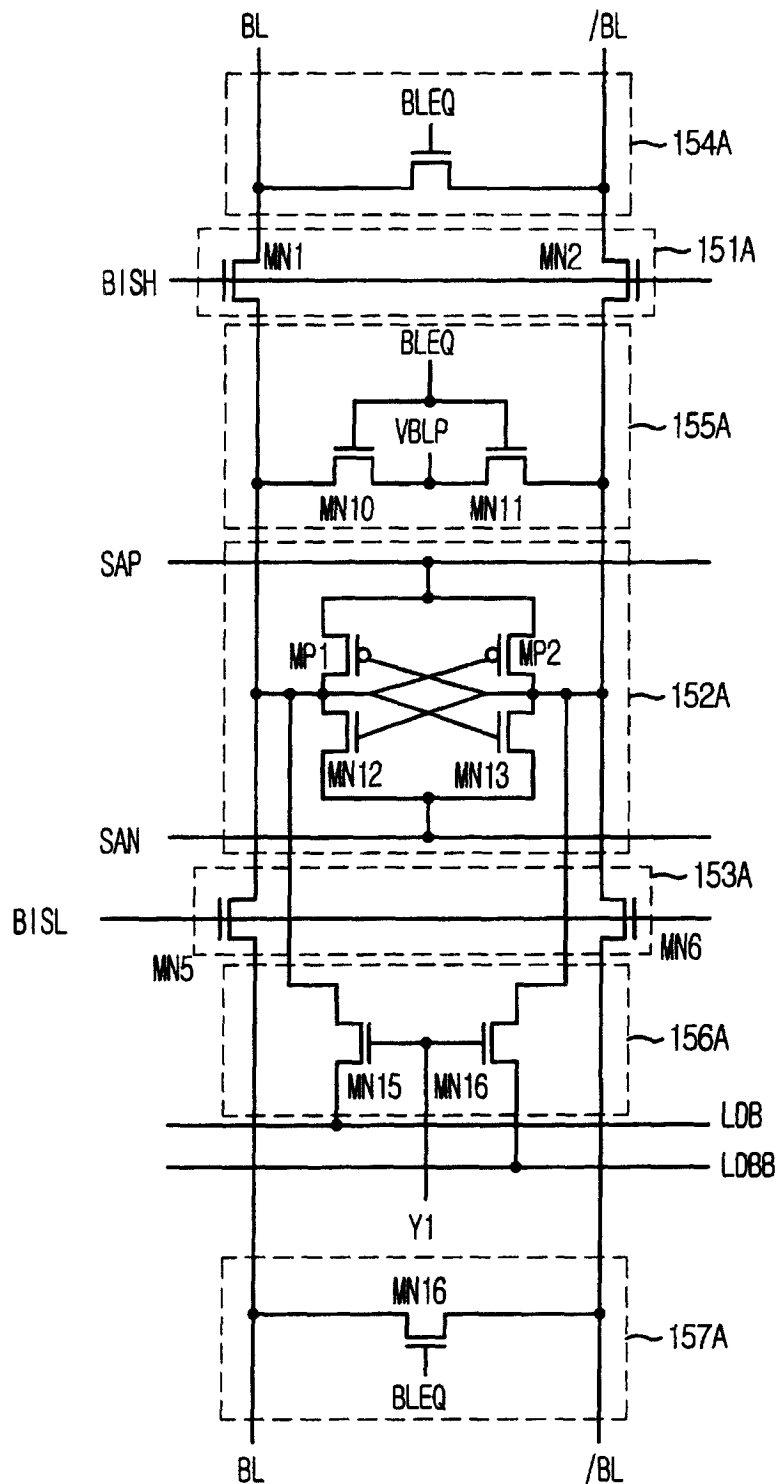


图5  
(现有技术)

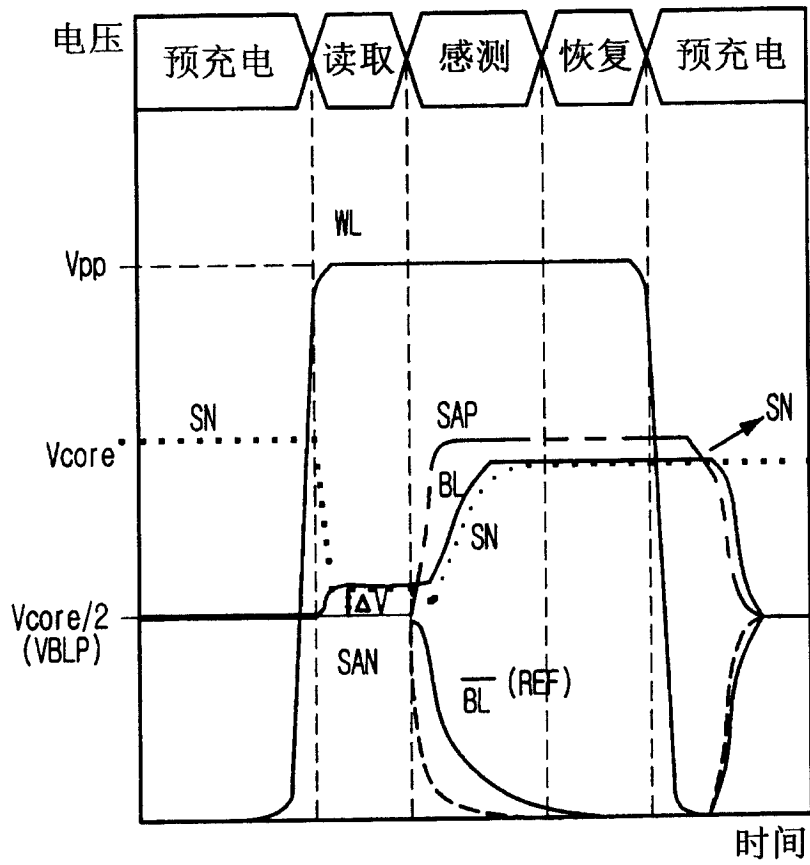
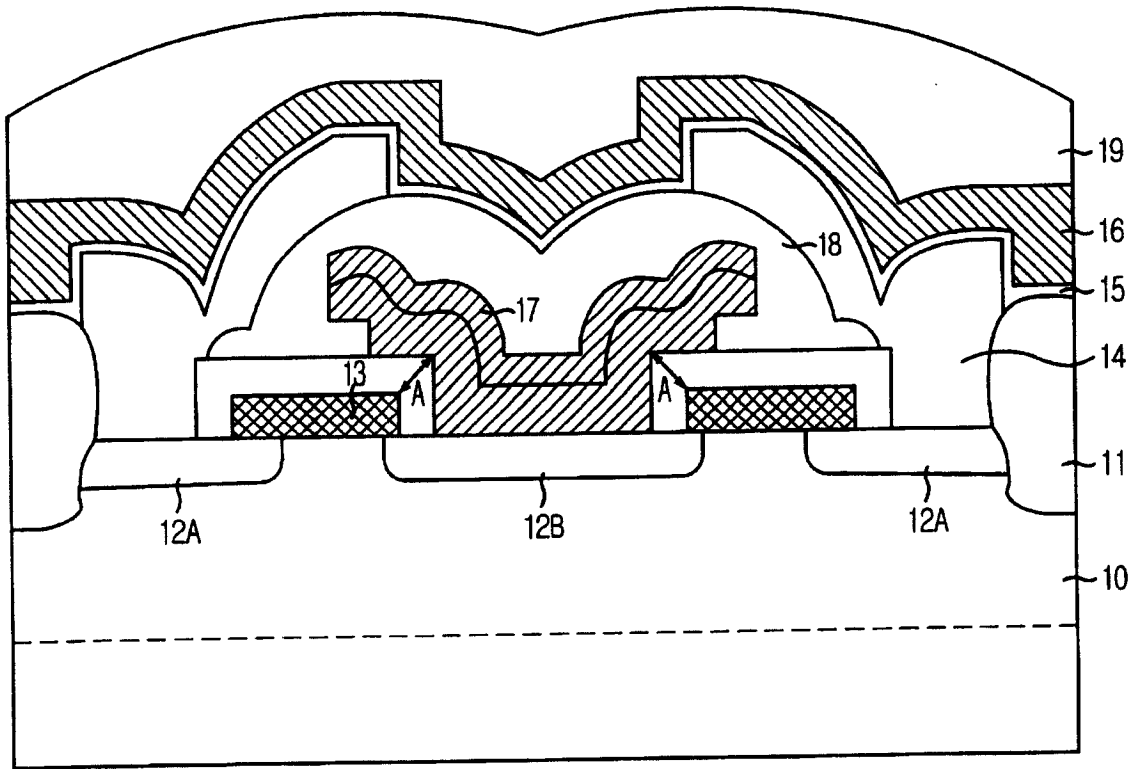


图6  
(现有技术)



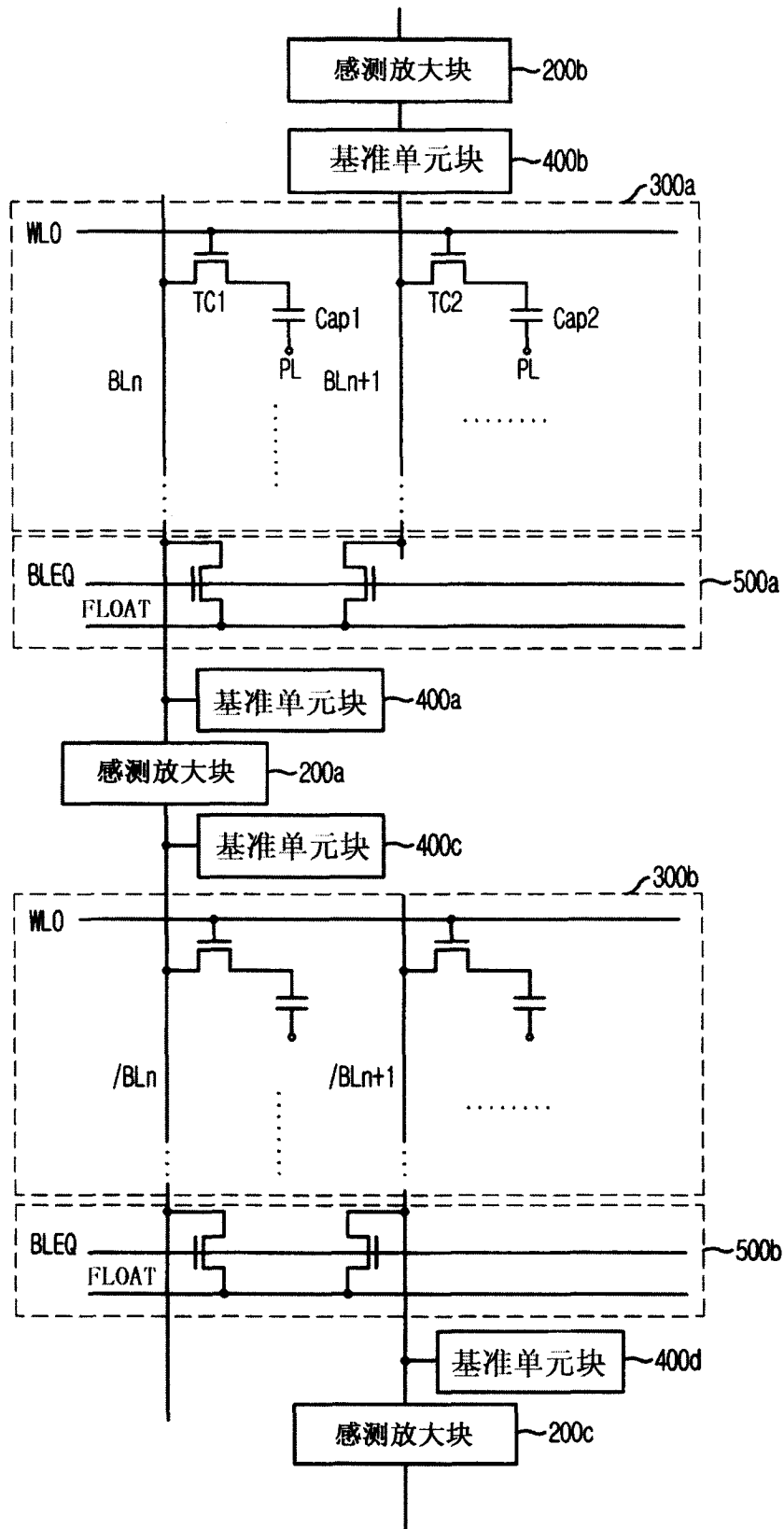


图 7

图8

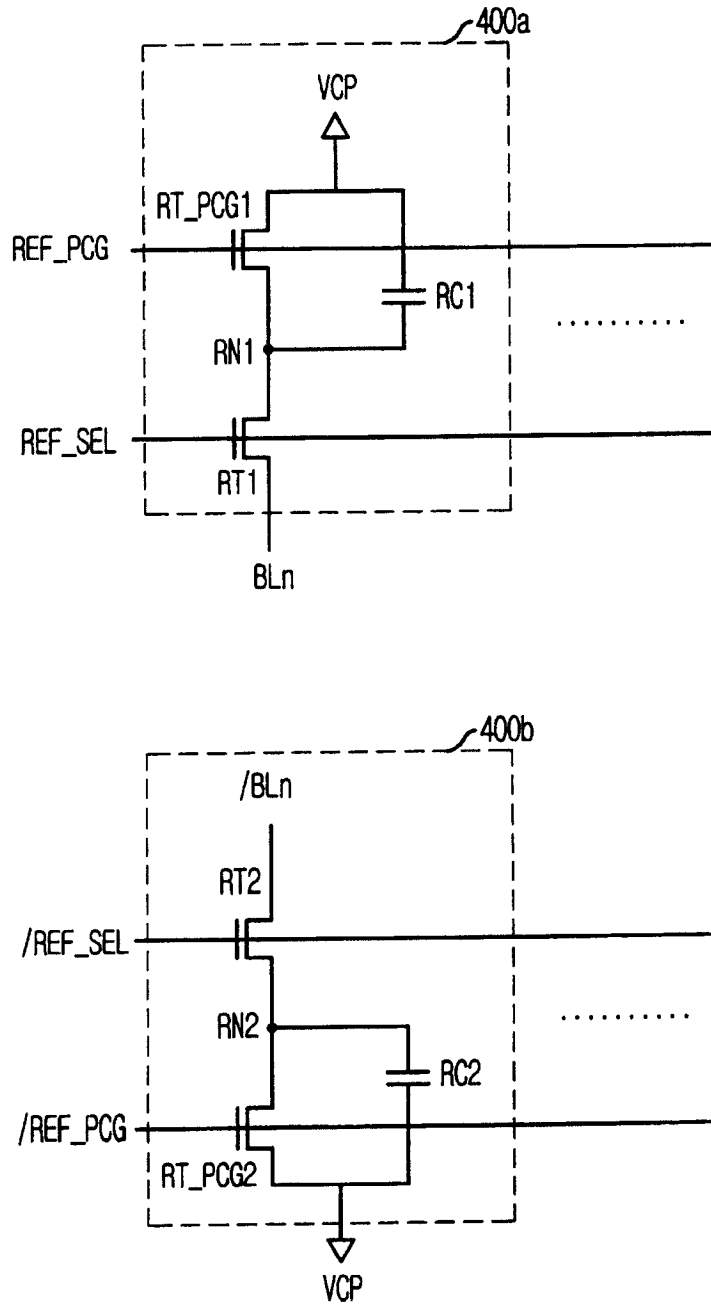


图9

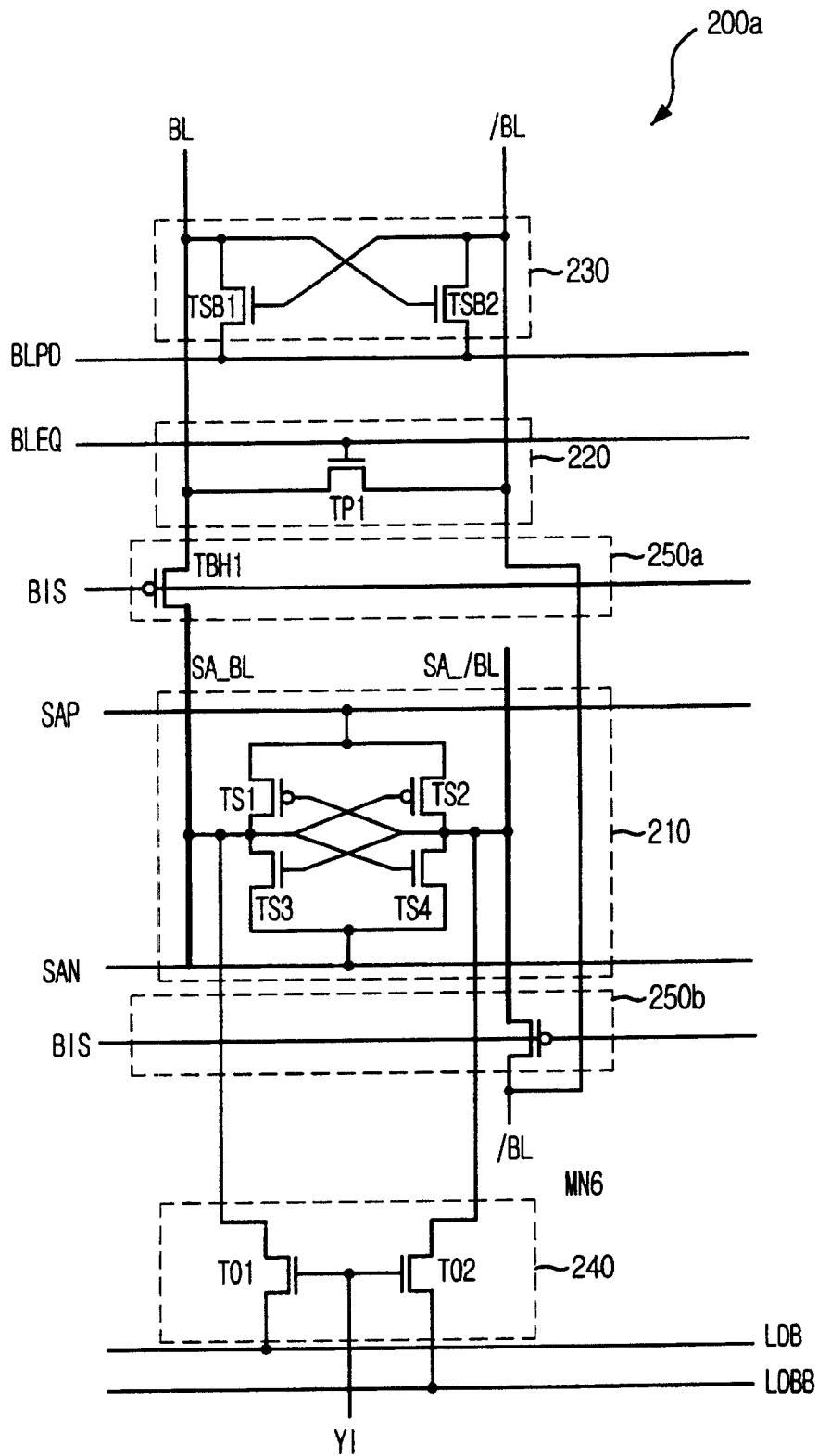


图10

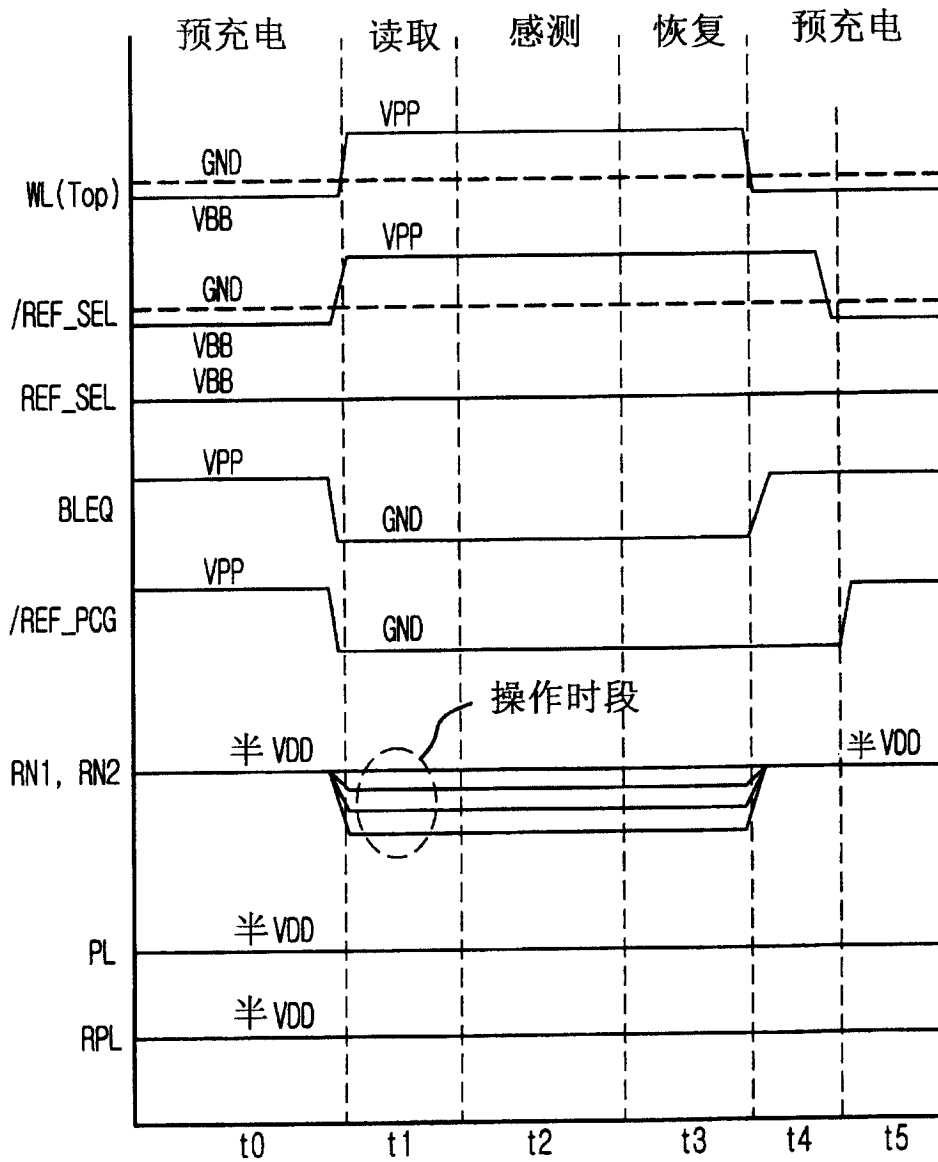


图11

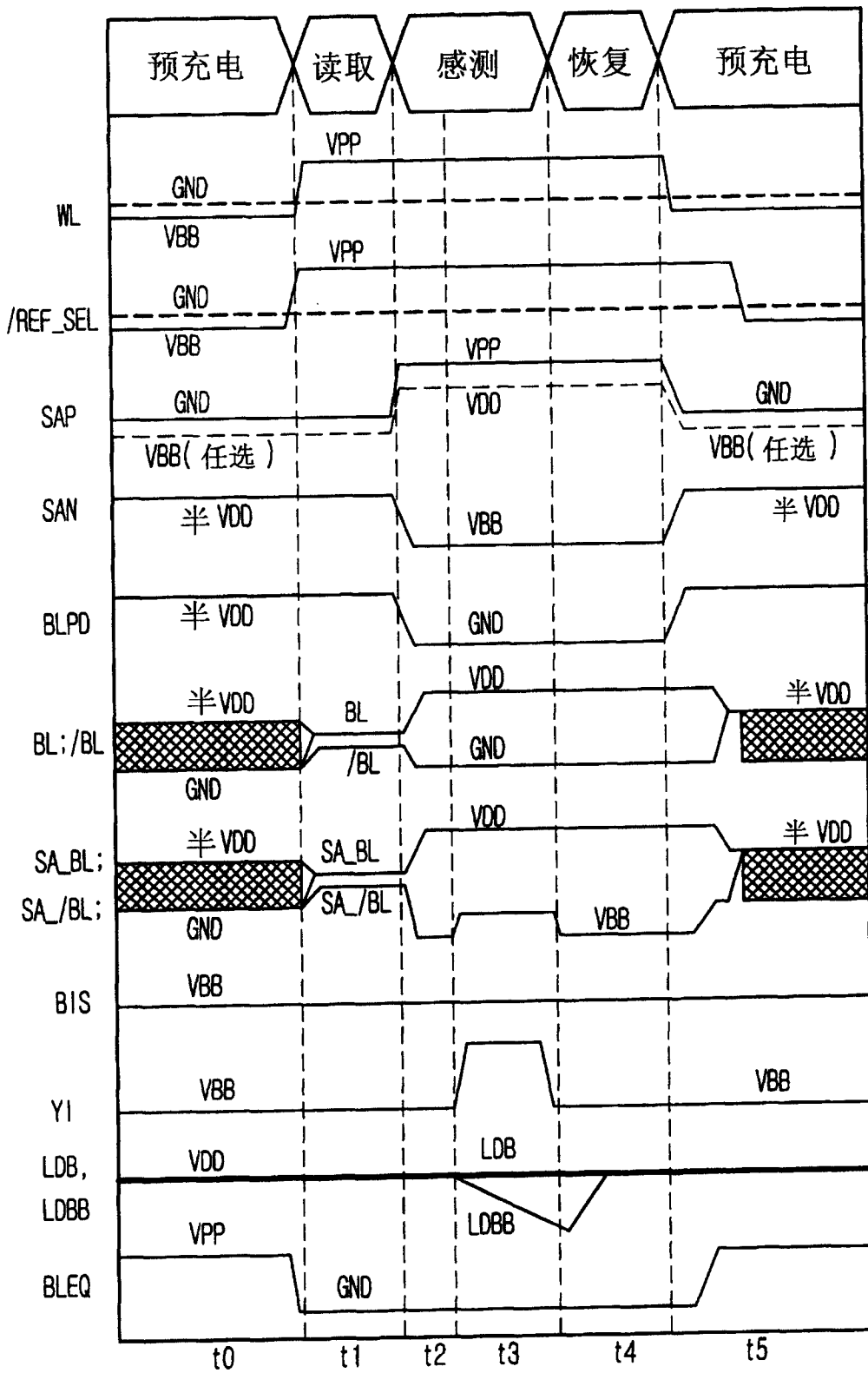




图12

