



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년05월16일
(11) 등록번호 10-0829644
(24) 등록일자 2008년05월07일

(51) Int. Cl.
H01L 21/20 (2006.01) *H01L 27/12* (2006.01)

(21) 출원번호 10-2005-7000467
(22) 출원일자 2005년01월10일
심사청구일자 2006년03월30일
번역문제출일자 2005년01월10일

(65) 공개번호 10-2005-0018979
(43) 공개일자 2005년02월28일
(86) 국제출원번호 PCT/IB2003/003341
국제출원일자 2003년07월09일
(87) 국제공개번호 WO 2004/006326
국제공개일자 2004년01월15일

(30) 우선권주장
0208602 2002년07월09일 프랑스(FR)

(56) 선행기술조사문헌
W02002015244 A2

전체 청구항 수 : 총 27 항

(73) 특허권자
에스. 오. 이. 떼끄 쉘리공 오 냉실라또흐 떼끄놀로지
프랑스, 에프-38190 베흔느, 슈망 데 프랑크, 뽁 떼끄놀로지끄 데 풍벤느

(72) 발명자
기슬랑, 브루노
프랑스, 에프-38170 씨씨네, 뤼 조르쥬 매데르, 58
방사헬, 다니엘
프랑스, 에프-38100 그랑노블, 뤼 루이 마이끌, 49
스코트니키, 토마스
프랑스, 에프-38920 끌-몽포르, 슈맹 드 라 펴므, 105

(74) 대리인
한양특허법인

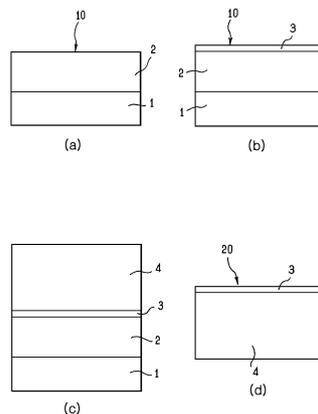
심사관 : 양희용

(54) 스트레인된 반도체 재료층의 전달 방법

(57) 요약

도너 웨이퍼로부터 스트레인된 반도체 재료의 얇은층을 구비하는 전자 구조를 제조하는 방법으로서, 도너 웨이퍼는 제1 격자 파라미터를 가지는 반도체 재료의 상부층을 포함하는 격자 파라미터 매칭층(2)과, 제1 격자 파라미터와는 실질적으로 상이한 제2 공칭 격자 파라미터를 가지고, 매칭층(2)에 의하여 스트레인된 반도체 재료막(3)을 구비하고, 프로세스는 막(3)을 수취 기관(4)으로 전달하는 단계를 구비한다. 본 발명에 따른 프로세스들 중 하나를 사용하여 구조들이 제조된다.

대표도 - 도1



특허청구의 범위

청구항 1

도너 웨이퍼(10)로부터 획득되는 스트레인된 반도체 재료의 얇은 층을 구비하는 구조를 제조하는 방법으로서, 상기 도너 웨이퍼(10)는, 제1 격자 파라미터를 가지는 반도체 재료들로부터 선택된 재료의 상부층을 포함하는 격자 파라미터 매칭층(2)을 구비하는 것인 상기 방법에 있어서,

(a) 상기 매칭층(2)의 상부층 상에 반도체 재료들로부터 선택되고, 상기 제1 격자 파라미터와는 상이한 공칭 격자 파라미터를 가지는 재료의 막(3)을 성장시키는 단계로서, 상기 성장된 막은 하부에 있는 상기 매칭층의 상부층의 제1 격자 파라미터를 유지하여 스트레인될 만큼 작은 두께를 가지는, 상기 막(3) 성장 단계;

(b) 상기 매칭층(2)에 취성(embrittlement) 영역을 형성하는 단계;

(c) 상기 막(3) 측 상에서 상기 도너 웨이퍼(10)와 수취 기관(4)을 분자 부착(웨이퍼 접합)에 의해 접합시키는 단계; 및

(d) 상기 제조할 구조를 형성하기 위하여, 취성 영역 레벨에서 분리하기 위해 에너지를 공급하는 공정을 포함하며, 상기 막(3)을 구비하는 상기 도너 웨이퍼(10)의 일부를 제거하는 단계를 구비하는 것을 특징으로 하는 스트레인된 반도체 재료의 얇은 층을 구비하는 구조의 제조 방법.

청구항 2

제 1 항에 있어서, 상기 단계 (d) 이후에, 표면 조도를 보정하는 프로세스가 상기 매칭층의 제거되지 않은 부분의 표면 상에 수행되는 것을 특징으로 하는 스트레인된 반도체 재료의 얇은 층을 구비하는 구조의 제조 방법.

청구항 3

제 1 항에 있어서, 상기 단계 (d)는 에너지 공급 후에 남아있는 상기 매칭층(2)을 제거하는 단계를 더 구비하는 것을 특징으로 하는 스트레인된 반도체 재료의 얇은 층을 구비하는 구조의 제조 방법.

청구항 4

제 3 항에 있어서, 남아있는 상기 매칭층의 일부를 제거하는 상기 단계는, 상기 막(3)을 구성하는 재료에 관하여 남아있는 상기 매칭층(2)의 선택적 에칭의 적어도 한 동작을 구비하는 것을 특징으로 하는 스트레인된 반도체 재료의 얇은 층을 구비하는 구조의 제조 방법.

청구항 5

제 4 항에 있어서,

- 상기 단계 (c) 전에, 상기 수취 기관(4)의 표면 상에, 소정 온도로부터 점성이 되는 재료로 형성된 층을 형성하는 단계; 및

- 상기 단계 (d)에서 상기 남아있는 매칭층(2)을 제거한 후, 상기 막(3) 상에, 상기 막(3)의 재료와 동일한 재료를 성장시키는 단계를 더 구비하는 것을 특징으로 하는 스트레인된 반도체 재료의 얇은 층을 구비하는 구조의 제조 방법.

청구항 6

제 5 항에 있어서, 상기 재료의 성장에 의하여 두꺼워진 상기 막(3)은,

- 이 재료가, 표준 임계 두께를 넘으면 탄성적으로 스트레인되는 것을 일반적으로 방지하는, 상기 표준 임계 두께보다 큰 두께를 가지고,

- 탄성적으로 스트레인되는 것을 특징으로 하는 스트레인된 반도체 재료의 얇은 층을 구비하는 구조의 제조 방법.

청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 있어서, 상기 단계 (a)후, 상기 막(3) 상에 적어도 하나의 성장층(6)을

성장시키는 단계가 부가적으로 수행되어, 상기 막(3)이 탄성적으로 스트레인되어 유지되는 것을 특징으로 하는 스트레인된 반도체 재료의 얇은 층을 구비하는 구조의 제조 방법.

청구항 8

제 7 항에 있어서, 상기 성장층(6)은 제1 격자 파라미터와 동일한 공칭 격자 파라미터를 가지는 것을 특징으로 하는 스트레인된 반도체 재료의 얇은 층을 구비하는 구조의 제조 방법.

청구항 9

제 1 항 내지 제 6 항 중 어느 한 항에 있어서, 상기 단계 (a)와 상기 단계 (c) 사이에, 상기 막(3)의 스트레인된 상태를 감소시키지 않는 층들을 상기 막(3) 상에 성장시키는 단계가 추가적으로 실행되고, 이들 성장층들은 상기 제1 격자 파라미터를 가지는 층과 상기 제1 격자 파라미터를 갖도록 스트레인된 층이 각각 교대로 된 다중층 구조를 형성하고, 상기 막(3) 상에 직접 형성된 상기 성장층(6)은 상기 제1 격자 파라미터를 가지는 층인 것을 특징으로 하는 스트레인된 반도체 재료의 얇은 층을 구비하는 구조의 제조 방법.

청구항 10

제 1 항 내지 제 6 항 중 어느 한 항에 있어서, 상기 단계 (a)와 상기 단계 (c) 사이에, 상기 수취 기관(4)과 상기 도너 웨이퍼(10) 사이에 적어도 하나의 접합층을 형성하는 단계가 부가적으로 실행되고, 상기 접합층은 상기 수취 기관(4) 상에 및/또는 상기 도너 웨이퍼(10)의 접합면 상에 형성되는 것을 특징으로 하는 스트레인된 반도체 재료의 얇은 층을 구비하는 구조의 제조 방법.

청구항 11

제 10 항에 있어서, 상기 접합층은 실리카로 형성되는 것을 특징으로 하는 스트레인된 반도체 재료의 얇은 층을 구비하는 구조의 제조 방법.

청구항 12

삭제

청구항 13

제 1 항 내지 제 6 항 중 어느 한 항에 있어서, 상기 접합은 열 처리를 수반하여 상기 접합을 강하게 하는 것을 특징으로 하는 스트레인된 반도체 재료의 얇은 층을 구비하는 구조의 제조 방법.

청구항 14

제 1 항 내지 제 6 항 중 어느 한 항에 있어서, 상기 단계 (b)에서 상기 취성 영역은, 원자 종을 상기 매칭층(2)에 주입함으로써 주입 깊이와 동일한 깊이에서 형성되는 것을 특징으로 하는 스트레인된 반도체 재료의 얇은 층을 구비하는 구조의 제조 방법.

청구항 15

제 1 항 내지 제 6 항 중 어느 한 항에 있어서, 상기 단계 (a) 전에, 상기 취성 영역은 상기 단계 (b)에서 상기 막(3) 아래의 층의 다공성화(porosification)에 의하여 형성되는 것을 특징으로 하는 스트레인된 반도체 재료의 얇은 층을 구비하는 구조의 제조 방법.

청구항 16

제 1 항 내지 제 6 항 중 어느 한 항에 있어서, 스트레인된 재료의 상기 막(3)은 실리콘으로 형성되며, 상기 매칭층(2)은 실리콘-게르마늄으로 형성되며, 상기 매칭층(2)은 두께를 따라 증가하는 게르마늄 농도를 가지는 버퍼층과, 상기 스트레인된 막(3) 아래에 릴렉스된 상부층을 구비하는 것을 특징으로 하는 스트레인된 반도체 재료의 얇은 층을 구비하는 구조의 제조 방법.

청구항 17

제 16 항에 있어서, 상기 단계 (d)동안 에너지 공급후 제거되지 않는 상기 매칭층의 일부는, 상기 매칭층(2)의 상부 릴렉스된 실리콘-게르마늄층의 적어도 일부인 것을 특징으로 하는 스트레인된 반도체 재료의 얇은 층을 구

비하는 구조의 제조 방법.

청구항 18

제 16 항에 있어서,

상기 단계 (a)후, 상기 막(3) 상에 적어도 하나의 성장층(6)을 성장시키는 단계가 부가적으로 수행되어, 상기 막(3)이 탄성적으로 스트레인되어 유지되고,

상기 성장층(6)은, 상기 매칭층(2)의 릴렉스된 상부 층의 게르마늄 농도와 동일한 게르마늄 농도를 갖는 릴렉스된 실리콘-게르마늄으로 형성되는 것을 특징으로 하는 스트레인된 반도체 재료의 얇은 층을 구비하는 구조의 제조 방법.

청구항 19

제 1 항 내지 제 6 항 중 어느 한 항에 있어서, 상기 수취 기관(4)은 실리콘으로 형성되는 것을 특징으로 하는 스트레인된 반도체 재료의 얇은 층을 구비하는 구조의 제조 방법.

청구항 20

제 1 항 내지 제 6 항 중 어느 한 항에 있어서, 상기 웨이퍼(10)는 탄소를 더 함유하는 적어도 하나의 층을 구비하며, 상기 층의 탄소 농도는 50% 이하인 것을 특징으로 하는 스트레인된 반도체 재료의 얇은 층을 구비하는 구조의 제조 방법.

청구항 21

제 1 항 내지 제 6 항 중 어느 한 항에 있어서, 상기 웨이퍼(10)는 탄소를 더 함유하는 적어도 하나의 층을 구비하며, 상기 층의 탄소 농도는 5% 이하인 것을 특징으로 하는 스트레인된 반도체 재료의 얇은 층을 구비하는 구조의 제조 방법.

청구항 22

제 1 항 내지 제 6 항 중 어느 한 항에 따른 방법에 따라 제조된 기관-상-중간 반도체(intermediate semiconductor-on-substrate)(20) 구조로서, 상기 구조(20)의 반도체는 두께 방향으로 매칭층의 일부(5)와 막(3)을 구비하고, 상기 기관은 수취 기관(4)인 상기 구조에 있어서, 상기 매칭층의 일부(5)의 자유면은 분리-후(post-detachment) 취성 영역면의 특징을 나타내는 것을 특징으로 하는 기관-상-중간 반도체 구조.

청구항 23

제 22 항에 있어서, 제 8 항에 따라 제조된 기관-상-중간 반도체 구조에 있어서, 상기 기관과 상기 막(3) 사이에 있으며, 상기 매칭층의 잔존부(5)의 재료와 동일한 반도체 재료층을 더 구비하는 것을 특징으로 하는 기관-상-중간 반도체 구조.

청구항 24

제 9 항에 따른 방법에 따라 제조된 기관-상-반도체 구조(20)에 있어서, 상기 절연체-상-반도체 구조(20)의 반도체는 두께 방향으로 막(3)과 상기 막(3) 상의 다중층 구조로 구성되며, 상기 다중층 구조는 제1 격자 파라미터를 가지는 층들과, 상기 제1 격자 파라미터를 갖도록 스트레인된 층을 교대로 가지고(상기 막(3)에 직접 인접한 성장층(6)은 상기 제1 격자 파라미터를 가지는 층이다), 상기 기관은 상기 수취 기관(4)이며, 상기 막(3)은 상기 다중층 구조 상에 있고, 상기 다중층 구조는 상기 기관(4) 상에 있는 것을 특징으로 하는 기관-상-반도체 구조.

청구항 25

제 6 항에 따른 방법에 의하여 제조된 절연체-상-반도체 구조에 있어서, 그 반도체층은 막(3)을 구비하는 데, 상기 막(3)의 재료가, 표준 임계 두께를 넘으면 탄성적으로 스트레인되는 것을 일반적으로 방지하는, 상기 표준 임계 두께보다 그 두께가 더 커도(important), 상기 막(3)은 탄성적으로 스트레인되는 것을 특징으로 하는 절연체-상-반도체 구조.

청구항 26

제 22 항에 있어서, 상기 구조(20)는 그 반도체 두께 방향 아래에 배치되는 전기적 절연 재료층을 구비하여, 상기 구조(20)가 절연체-상-반도체 구조인 것을 특징으로 하는 구조.

청구항 27

제 22 항에 있어서, 상기 막(3)은 실리콘인 것을 특징으로 하는 구조.

청구항 28

제 27 항에 있어서, 상기 구조는 상기 막(3)에 인접한 SiGe 층을 구비하는 것을 특징으로 하는 구조.

명세서

기술분야

<1> 본 발명은 수취 기관으로 도너 웨이퍼의 얇은 층을 전달하여, 절연체 상 반도체(semiconductor-on-insulator) 구조와 같은 구조를 형성하는 것에 관한 것이다.

<2> 본 발명은, 보다 자세하게는, 이 전달을 실행하여, 스트레인된(strained) 층들을 구비하는 전자 구조를 생성하는 것에 관한 것이다.

배경기술

<3> 여기서, "스트레인된 층(strained layer)"이라는 표현은, 결정학적 구조가 에피택시와 같은 결정 성장동안 신장(tension) 또는 압축으로 주로 탄성적으로 스트레인되는 반도체 재료의 임의 층을 의미하며, 적어도 하나의 격자 파라미터가 이 재료의 공칭(nominal) 격자 파라미터와는 실질적으로 상이할 것을 요구하며, 공칭 격자 파라미터는 평형시 벌크 형태인 재료의 격자 파라미터로서 이해될 수 있다.

<4> 반대로, "릴렉스된 층(relaxed layer)"은 50%를 초과하는 결정학적 완화율(relaxation rate)(X선 회절 또는 라만 분광기로 측정된 경우)을 가지는 반도체 재료층을 의미한다. 100% 완화율을 가지는 층은 층 재료의 공칭 격자 파라미터와 실질적으로 동일한 격자 파라미터를 가진다.

<5> 전달 목적은, 특히 "절연체 상 반도체(semiconductor-on-insulator)"(또한, 여기서 "SeOI"라고도 칭함) 구조를 생성하기 위함이다.

<6> 반도체 재료 내에 미치는 이러한 스트레인은 사실상 이용할 가치가 있는 물리적 및/또는 전기적 특성을 나타낼 수도 있다.

<7> 따라서, 예컨대, 신장-스트레인된 실리콘층(스트레인된 Si 층이라고도 칭함)의 주 이점은, 전하 캐리어(홀과 전자와 같은)가, 일반적으로 릴렉스된 Si 층에서 발견되는 이동성보다 높은 이동성을 가진다는 점이 주된 이점이다.

<8> 스트레인된 Si 층은 이 관점에서, 릴렉스된 Si 층 내의 이동성보다 높은 전하 캐리어 이동성 100%에 도달할 수도 있다. 이러한 스트레인된 Si 층을 생성하기 위하여, 실리콘과 게르마늄으로 구성된 베이스 상에 에피택시에 의하여 실리콘막을 성장시키는 것이 알려져 있다.

<9> 평형의 게르마늄은 평형의 실리콘의 격자 파라미터보다 약간 큰(약 4% 더 큰) 격자 파라미터를 가지므로, 실리콘에서의 규정된 양의 게르마늄의 존재는 실리콘으로만 구성된 베이스와 비교하여, 격자 파라미터를 약간 증가시킬 수 있다.

<10> 따라서, 이 실리콘-게르마늄 베이스(SiGe 베이스라고도 칭함)는 에피택셜 성장된 Si 막을 스트레인시켜, 그 격자 파라미터를 자신의 것과 실질적으로 동일하게 할 것이다.

<11> 실제로, 벌크 SiGe로 형성된 기관은 시판되지 않으며, SiGe 베이스는 일반적으로, 버퍼층을 통해 릴렉스된 SiGe 층이 그 위에 생성되는 단-결정 Si 지지 기관으로 구성된다.

<12> "버퍼층(buffer layer)"이라는 용어는, 면들 중 하나의 영역에 제1 구조의 격자 파라미터와 실질적으로 동일한 격자 파라미터를 가지고, 타면의 영역에 제2 구조의 격자 파라미터와 실질적으로 동일한 격자 파라미터를 가지

는, 상이한 격자 파라미터들을 가지는 2개의 결정학적 구조들 사이의 중간층을 의미하는 것으로 이해된다.

- <13> Si 지지 기판과 릴렉스된 SiGe 층 사이에 삽입된 버퍼층은 일반적으로, 릴렉스된 층을 향해 지지 기판의 두께를 통하여 점진적으로 증가하는 게르마늄의 양에 따른(quantity-wise) 비율을 가지는 SiGe로 형성된다.
- <14> 따라서, 이는,
- <15> - 릴렉스된 층을 향하여 지지 기판으로부터 게르마늄 함유량을 점진적으로 증가시킬 수 있게 한다.
- <16> - 격자 파라미터의 차이에 연관된 결함들을 제한하여, 이들을 제거할 수 있게 한다.
- <17> - 표면 상에 에피택셜 성장된 Si 막에 관하여 충분히 두꺼운 릴렉스된 SiGe 층의 안정성을 제공하여, 릴렉스된 SiGe 층의 격자 파라미터에 영향을 주지 않고, Si 막의 격자 파라미터를 변형시키도록 Si 막을 스트레인할 수 있게 한다.
- <18> 이러한 모든 이유로, 버퍼층은 충분히 두꺼워야 하며, 통상적으로 1 마이크로 내지 3 마이크로미터의 값을 가진다.
- <19> 본 발명의 적용 분야에서, 이 형태의 웨이퍼는, 적어도 하나의 재료층이 웨이퍼로부터 제거되어 수취 기판에 전달된다는 점에서 도너(donor)로서 사용된다.
- <20> 이 전달은 일반적으로 도너 웨이퍼를 수취 기판에 접합시키는 제1 단계를 구비한다.
- <21> 제2 단계는 도너 웨이퍼로부터 잉여 부분들을 제거함으로써, 접합 영역에 인접한 접합된 도너 웨이퍼의 적어도 하나의 얇은 층을 유지하는 단계로 구성된다.
- <22> 따라서, Si 또는 SiGe 층들과 같은 반도체층들을 전달하는 몇몇 프로세스들 및 기술들이 제안되었으며, 도너 웨이퍼는 단-결정 실리콘 지지 기판과 SiGe 두께를 연속하여 구비한다.
- <23> MIT(Massachusetts Institute of Technology)의 지-유안 청(Zhi-Yuan Cheng) 등은, "*SiGe-On-Insulator(SGOI): Substrate Preparation and MOSFET Fabrication for Electron Mobility Evaluation*"(2001 IEEE International SOI Conference, 10/01)의 문서에, SiGe 버퍼층을 구비하는 상기 도너 웨이퍼로부터 층들을 전달하는 2가지 공지된 기술들을 제안하였다.
- <24> - 제1 층 전달 기술은 "에치-백(etch-back)"이라고 불리며, 화학-기계적 수단에 의하여, 도너 웨이퍼를 수취 기판에 접합한 후, 단-결정 Si 지지 기판과 SiGe 버퍼층을 제거하는 단계로 구성된다.
- <25> 특히, "선택적(selective)" 에칭이라 불리는 에칭은, 표면층의 릴렉스된 SiGe보다 쉽게 버퍼층의 스트레인된 SiGe를 에칭하는 능력을 가지므로, 버퍼층을 제거하는 데 사용된다. 다음, 릴렉스된 SiGe 층은 에칭에 대한 "정지 층(stop layer)"으로서 작용하며, 이것은 에칭이 그 레벨에서 적어도 부분적으로 정지하기 때문이다.
- <26> 마지막으로, 스트레인된 Si막이 릴렉스된 SiGe 층 상에 에피택셜 성장되어, 스트레인된 Si-on-SiGe 구조를 생성한다.
- <27> 이 최종 구조에서, 릴렉스된 재료층(이 경우, SiGe층)은 스트레인된 재료층(이 경우, Si막)과 산화물 사이에 개재된다. 이것은 실질적으로 Si/SiGe 조합물의 예상되는 기술적 성능 및 특히 그 전기적 특성을 감소시킬 수도 있다.
- <28> 따라서, 예컨대 SiGe 층은 회로 커패시턴스를 증가시킬 경향을 가질 수도 있으며, 따라서 Si/SiGe 활성 부분에서 생성될 또는 생성된 전자 구성요소의 스위칭 속도를 감소시킬 수도 있다.
- <29> 절연체 상에 2개층을 가지는 이 조합물을 구비하는 이러한 구조의 활성 부분에서의 전자 구성요소의 제조는 또한, 특히 절연체-상(on-insulator) 조합물에서 측면 절연 영역을 생성함으로써 행하기가 복잡하다는 위험성을 가진다.
- <30> 이 프로세스는 절연체-상-Si/SiGe(Si/SiGe-on-insulator) 구조의 제조로의 적용을 더 제한하고, 예컨대, 스트레인된 절연체-상-스트레인된 Si(Si-on-insulator) 구조의 제조에 대한 해법을 제공하지 않는다.
- <31> 다른 에치-백 기술과 프로세스는, 예컨대 스트레인되지 않은 Si 층이 특히 전달되는 문서 US 5 013 681에 제안되었다.
- <32> 지-유안 청 등에 의한 문서에 보고된 제2 층 전달 기술은, 당업자에게 공지된 출원인의 "Smart-Detachment[®]" 기술에 기초하며, 그 설명은 웨이퍼 감소 기술을 다루는 다수의 연구에서 찾아볼 수도 있다. 이것은, 접합 후

에 도너 웨이퍼가 분리되는 취성(embrittlement) 영역을 내부에 생성하기 위하여, 접합 전에 종(species)을 릴렉스된 SiGe 층에 주입하는 단계로 구성된다.

- <33> 그러므로, 한편으로는, 릴렉스된 SiGe층의 일부가 벗겨진 도너 웨이퍼와, 다른 한편으로는 릴렉스된 SiGe의 제거된 얇은 층과 수취 기판을 함께 접합하여 구비하는 구조가 획득된다.
- <34> Smart-Detachment[®] 기술은, 에치-백 기술과는 달리, 도너 웨이퍼를 희생시키는 것 대신, 도너 웨이퍼를 재활용하는 가능성을 가진다는 점에서 유리하다.
- <35> 동시에 2가지 기술들을 사용하여, 다른 프로세스들을 제안하였다.
- <36> 따라서, 문서 US 5 882 987 및 US 6 323 108은, 산화된 지지 기판에 접합된 단-결정 Si 베이스 지지 기판, SiGe 층, 및 에피택셜 성장된 Si 막을 연속하여 구비하는 도너 웨이퍼로부터 SeOI 구조를 생성하는 전체 프로세스를 개시한다.
- <37> 접합 전에 Si 지지 기판에 취성 영역을 형성하고, 접합 후에 이 영역에서 도너 웨이퍼의 분리를 유발하는 Smart-Cut[®] 기술이 채용된다.
- <38> 따라서, Si 지지 기판의 일부, SiGe 층 및 에피택셜 성장된 Si 막으로 연속하여 구성되는 구조가 제거되어, 전체 어셈블리가 산화된 수취 기판에 접합된다.
- <39> 다음, 2개의 연속 선택 에칭 동작이 이 구조에 수행되어, 우선 에칭액으로 Si 지지 기판의 잔존 부분을 제거하여 SiGe 층이 정지층을 형성하도록 하고, 다음 에칭액으로 SiGe 층을 제거하여 Si 막이 정지층을 형성하도록 형성한다.
- <40> 최종적으로 획득된 구조는 표면 Si 층을 가지는 SeOI 구조이다.
- <41> 이 프로세스의 주 목적은, 실리콘층의 품질에 불리할 것인 마감 단계를 피할 수 있는 프로세스를 사용하여, 모두 두께가 상당히 얇고 상당히 균일한 실리콘층을 가지는 SeOI 구조를 생성하는 것이다.
- <42> 그러나, 이 프로세스의 주 목적은 스트레인된 실리콘층을 가지는 SeOI 구조를 생성하는 것은 아니다.
- <43> 이 프로세스의 실행시 SeOI 구조를 생성하는 데 사용되는 SiGe층은 또한, 상기에서 알 수 있는 바와 같이, Si 지지 기판과 전위 릴렉스된 SiGe 층 사이의 버퍼층의 역할을 완수하기 위하여 요구되는 데 불충분한 두께인, 통상적으로 0.01 미크론 내지 0.2 미크론의 두께를 가진다.
- <44> SiGe 층 상에 에피택셜 성장되고, 최종 SeOI 구조의 Si층을 구성하는 실리콘막은 따라서 거의 스트레인되지 않거나 스트레인되지 않는 것으로 보이며, 따라서, 스트레인된 Si 층을 구비하는 구조의 제작에 관련하여, 특히 SeOI 구조에서 유용한 전기적 특성의 이점을 가지는, 상술된 본 문서의 주제인 본 발명의 주 목적을 만족하지 않는다.
- <45> 따라서, 이 형태의 프로세스는 스트레인된 Si층을 구비하는 구조를 생성하는 데 부적합한 것으로 보여진다.
- <46> 엘.제이. 후양(L.J. Huang) 등의 IBM 문서("SiGe-On-Insulator prepared by wafer bonding and layer transfer for high-performance field-effect transistors", Applied Physics Letters, 26/02/2001, Vol.78, No.9)는 예컨대, 단-결정 Si 지지 기판, SiGe 버퍼층 및 릴렉스된 SiGe층을 연속하여 구비하는 도너 웨이퍼에서 시작하여, 스트레인된 실리콘을 가지는 Si/SGOI 구조를 제조하는 프로세스를 개시한다.
- <47> 채용된 프로세스는 릴렉스된 SiGe 층에 Smart-Cut[®] 기술을 사용하는 단계로 구성되어, 산화된 수취 기판으로의 접합 후에 그리고 미리 형성된 취성 영역에서의 분리 후에, 릴렉스된 SiGe를 가지는 SGOI 구조를 생성할 수 있다.
- <48> 다음, 최종적으로, 스트레인된 Si 막이 릴렉스된 SiGe 층 상에 에피택셜 성장되어, Si/SGOI 구조를 생성한다.
- <49> 이 최종 구조에서, 릴렉스된 재료층(즉, SiGe 층)은 스트레인된 재료층(즉, Si 막)의 아래에 있다. 이것은, 이미 상술된 바와 같이, 스트레인된 재료층의 경우에 예상되는 성능, 특히 전자 성능에 불리할 수도 있다.
- <50> 이 프로세스는 이러한 절연체-상-Si/SiGe(Si/SiGe-on-insulator) 구조의 생성으로의 적용을 더 제한하며, 예컨대 절연체-상-스트레인된 Si 구조의 생성에 대한 해법을 제공하지 못한다.
- <51> 문서 W0 01/99169에 관하여, 이 문서는, Si 기판, SiGe 버퍼층, 릴렉스된 SiGe층, 및 선택적으로, 스트레인된

Si 또는 SiGe 층으로 연속하여 구성되는 웨이퍼로부터, 선택적인 다른 스트레인된 Si 또는 SiGe 층 상에 릴렉스된 SiGe 층을 가지는 최종 구조를 생성하는 프로세스들을 제시한다.

- <52> 이러한 구조를 생성하기 위하여 채용된 기술은, 수취 기판에 웨이퍼를 접합시킨 후, Si 기판과 SiGe 버퍼층을 선택적으로 에칭함으로써, 유지되기를 원하지 않는 재료를 웨이퍼로부터 제거하는 단계를 포함한다.
- <53> 이것은, 이 기술이 두께가 특히 얇고 균등한(homogeneous) 층 두께를 달성할 수 있도록 제시하나, 화학적 에칭에 의하여 Si 기판과 SiGe 버퍼층의 파괴를 수반한다.
- <54> 따라서, 이들 프로세스는 새로운 층 전달을 위하여, 웨이퍼의 일부, 특히 버퍼층의 적어도 일부를 재사용하는 가능성을 가지지 않는다.
- <55> WO 02/15244 문서는, 전달 전에 제공되며, 릴렉스된 SiGe 층/스트레인된 Si/SiGe 층/버퍼 SiGe 층/Si 기판 구조를 구비하는 소스 웨이퍼를 설명한다.
- <56> 다음, 전달은 스트레인된 Si 층 레벨에서 Smart-Cut[®] 프로세스를 행하는 단계로 구성된다.
- <57> 이들 조건에서, 이 스트레인된 Si 층이 희생(sacrificial)층이 되어, 형성된 최종 구조에서 유용한 층이 될 수 없다.
- <58> WO 02/15244 문서는 또한, SiGe 층을 전달한 후(릴렉스된 SiGe 층/SiGe 버퍼층/Si 기판 구조를 연속하여 구비한 소스 기판으로부터), 그리고 전달된 SiGe 층 상에 Si 층을 성장시킨 후의 스트레인된 Si/SGOI 기판의 생성을 설명한다.
- <59> 이들 프로세스들은 단순한 스트레인된 절연체-상-실리콘 구조의 생성에 대한 해법을 제공하지 않는다.

발명의 상세한 설명

- <60> 다른 것들은 물론, 상술된 이들 단점들 및 다른 불이익을 피하기 위하여, 본 발명은, 제1 태양에 따르면, 도너 웨이퍼로부터 획득되는 스트레인된 반도체 재료의 얇은 층을 구비하는 구조를 제조하는 방법을 제안하며, 상기 도너 웨이퍼는, 제1 격자 파라미터를 가지는 반도체 재료로부터 선택된 재료의 상부층을 포함하는 격자 파라미터 매칭층을 구비하며, 상기 방법은,
 - <61> (a) 상기 매칭층의 상부층 상에 반도체 재료들로부터 선택되고, 상기 제1 격자 파라미터와는 실질적으로 상이한 공칭 격자 파라미터를 가지는 재료의 막을 성장시키는 단계로서, 성장된 막은 하부에 있는 매칭층의 상부층의 제1 격자 파라미터를 유지하여 스트레인될 만큼 작은 두께를 가지는, 상기 막 성장 단계;
 - <62> (b) 상기 매칭층에 취성(embrittlement) 영역을 형성하는 단계;
 - <63> (c) 상기 막 측 상에서 도너 웨이퍼와 수취 기판과 접합시키는 단계; 및
 - <64> (d) 상기 제조할 구조를 형성하기 위하여, 취성 영역 레벨에서 분리하기 위해 에너지를 공급하는 공정을 포함하며, 막을 구비하는 도너 웨이퍼의 일부를 제거하는 단계를 구비하는 것을 특징으로 한다.
- <65> 본 발명에 따른 다른 바람직한 태양은 다음과 같다.
 - <66> - 단계 (d) 이후에 표면 조도를 보정하는 프로세스가 매칭층의 제거되지 않은 부분의 표면 상에 수행된다.
 - <67> - 단계 (d)는 에너지 공급후에 남아있는 매칭층을 제거하는 단계를 더 구비한다.
 - <68> - 남아있는 매칭층의 일부를 제거하는 상기 단계는, 막을 구성하는 재료에 관하여 남아있는 매칭층의 선택적 에칭의 적어도 한 동작을 구비한다.
 - <69> - 프로세스는 상기 막 상에, 막의 재료와 실질적으로 동일한 재료를 성장시키는 것을 더 구비한다.
 - <70> - 상기 재료의 성장에 의하여 두꺼워지는 막은,
 - <71> 이 재료가, 표준 임계 두께를 넘으면 실질적으로 탄성적으로 스트레인되는 것을 일반적으로 방지하는, 상기 표준 임계 두께보다 큰(important) 두께를 가지고,
 - <72> 실질적으로 탄성적으로 스트레인된다.
 - <73> - 단계 (a)후, 막 상에 적어도 하나의 성장층을 성장시키는 단계가 부가적으로 수행되어, 상기 막이 실질적으로

탄성적으로 스트레인되어 유지된다.

- <74> - 상기 성장층은 제1 격자 파라미터와 실질적으로 동일한 공칭 격자 파라미터를 가진다.
- <75> - 단계 (a)와 단계 (c) 사이에, 상기 막의 스트레인된 상태를 실질적으로 감소시키지 않는 층들을 상기 막 상에 성장시키는 단계가 추가적으로 실행되며, 이들 성장층들은 제1 격자 파라미터를 가지는 층과 상기 제1 격자 파라미터를 갖도록 스트레인된 층이 각각 교대로 된 다중층 구조를 형성하며, 막 상에 직접 형성된 성장층은 상기 제1 격자 파라미터를 가지는 층이다.
- <76> - 단계 (a)와 단계 (c) 사이에, 수취 기관과 도너 웨이퍼 사이에 적어도 하나의 접합층을 형성하는 단계가 부가적으로 실행되고, 상기 접합층은 수취 기관 상에 및/또는 도너 웨이퍼의 접합면 상에 형성된다.
- <77> - 접합층은 실리카로 형성된다.
- <78> - 접합의 단계 (c)는 분자 부착(웨이퍼 접합)에 의하여 수행된다.
- <79> - 접합은 열 처리를 수반하여, 접합을 강하게 한다.
- <80> - 단계 (b)에서 취성(脆性, embrittlement) 영역은, 원자 종을 매칭층에 주입함으로써 주입 깊이와 실질적으로 동일한 깊이에서 형성된다.
- <81> - 단계 (a) 전에, 취성 영역은 단계 (b)에서 상기 막 아래의 층의 다공성화(porosification)에 의하여 형성된다.
- <82> - 스트레인된 재료의 막은 실리콘으로 형성되며, 매칭층은 실리콘-게르마늄으로 형성되며, 매칭층은 두께를 따라 증가하는 게르마늄 농도를 가지는 버퍼층과, 스트레인된 막 아래에 릴렉스된 상부층을 구비한다.
- <83> - 단계 (d) 동안 에너지 공급후 제거되지 않는 매칭층의 일부는, 매칭층의 상부 릴렉스된 실리콘-게르마늄층의 적어도 일부이다.
- <84> - 상기 성장층은 매칭층의 상부 릴렉스된 층의 게르마늄 농도와 실질적으로 동일한 게르마늄 농도를 갖는 실리콘-게르마늄으로 형성된다.
- <85> - 수취 기관은 실리콘으로 형성된다.
- <86> - 웨이퍼는, 탄소를 더 함유하는 적어도 하나의 층을 구비하고, 상기 층의 탄소 농도는 50% 이하이다.
- <87> 제2 태양에 따르면, 본 발명은 상기 방법에 따라 생성된 다음의 기관 상 반도체(semiconductor-on-substrate) 구조를 제공한다.
- <88> - 상기 청구항들 중 하나에 따른 방법에 따라 제조된 기관-상-중간 반도체 구조로서, 상기 구조의 반도체는 두께 방향으로 매칭층의 일부와 막을 구비하고, 기관은 수취 기관인 상기 구조에 있어서, 매칭층의 일부의 자유면은 분리-후(post-detachment) 취성 영역면의 특징을 나타내는 것을 특징으로 한다.
- <89> - 상기 청구항에 따르면, 제 8 항에 따라 제조된 기관-상-중간 반도체 구조에 있어서, 기관과 막 사이에 있으며, 매칭층의 잔존부의 재료와 실질적으로 동일한 반도체 재료층을 더 구비하는 것을 특징으로 한다.
- <90> - 기관-상 반도체 구조는, 기관-상-반도체 구조의 반도체는 두께 방향으로 막과 상기 막 상의 다중층 구조로 구성되며, 상기 다중층은 제1 격자 파라미터를 가지는 층들과, 상기 제1 격자 파라미터를 갖도록 스트레인된 층을 교대로 가지고(상기 막에 직접 인접한 성장층은 상기 제1 격자 파라미터를 가지는 층이다), 상기 기관은 수취 기관이며, 상기 막은 상기 다중층 구조 상에 있고, 상기 다중층은 기관 상에 있는 것을 특징으로 한다.
- <91> - 절연체-상-반도체 구조는, 그 반도체층은 막을 구비하는 데, 막의 재료가, 표준 임계 두께를 넘으면 실질적으로 탄성적으로 스트레인되는 것을 일반적으로 방지하는, 상기 표준 임계 두께보다 그 두께가 더 커도, 상기 막은 스트레인되는 것을 특징으로 한다.
- <92> - 4개의 상기 구조들 중 하나는, 전기적 절연 재료층을 아래층으로 하는 반도체의 두께 구조를 구비하여, 상기 구조가 절연체-상-반도체 구조인 것을 특징으로 한다.
- <93> - 상기 다섯가지 구조들 중 하나에 따른 구조에 있어서, 상기 막은 실리콘인 것을 특징으로 한다.
- <94> - 상기 구조에 따른 구조에 있어서, 상기 막에 인접한 SiGe 층을 구비하는 것을 특징으로 한다.
- <95> - 본 발명의 다른 태양들, 목적들 및 이점들은 바람직한 프로세스의 실행의 다음의 상세한 설명에서 보다 명확

하게 명백할 것이며, 이들은 첨부된 도면을 참조하고, 비제한적인 예들에 의하여 제공된다.

실시예

- <100> 본 발명의 주 목적은, 전달하는 동안 막 내의 스트레인을 릴렉스시키지 않고 도너 웨이퍼에서 수취 기관으로 스트레인된 재료의 막을 전달하여, 소망의 전자 구조를 형성하는 어셈블리를 제공하는 신뢰성있는 프로세스를 제공하는 것이다.
- <101> 본 발명에 따른 프로세스의 예를 이하에 설명하며, 도 1a, 도 2a, 도 3a, 및 도 4a를 참조하여, 우선 단-결정 실리콘 지지 기관(1)과 SiGe 격자 파라미터 매칭층(2)으로 구성된 도너 웨이퍼(10)로부터 시작한다.
- <102> "격자 파라미터 매칭층"이라는 표현은, 버퍼층으로서 작용하고, 표면 상에, 전위(dislocation)와 같은 상당수의 구조적 결함이 없는 실질적으로 릴렉스된 재료층을 가지는 임의 구조를 나타낸다.
- <103> 따라서, 예에서, SiGe 버퍼층과 표면층의 릴렉스된 SiGe 층으로 연속하여 구성된 SiGe 매칭층(2)을 선택하는 것이 유리할 것이다.
- <104> 버퍼층은 바람직하게는 상술된 이유로, 지지 기관(1)과의 계면으로부터 균일하게 성장하는 게르마늄 농도를 가진다. 그 두께는 표면 상에 양호한 구조적 릴렉세이션(relaxation)을 획득하기 위하여 통상적으로 1 마이크로미터 내지 3 마이크로미터이다.
- <105> 릴렉스된 SiGe 층은 버퍼층의 표면 상에 에피택시에 의하여 유리하게 형성되었으며, 그 두께는 0.5 미크론 내지 1 미크론의 통상적인 두께를 가지고, 경우에 따라서 광범위하게 변할 수도 있다.
- <106> 릴렉스된 SiGe 층 내의 실리콘에서의 게르마늄 농도는 통상적으로 15% 내지 30%로서, 다음 단계에서(도 1b, 도 2b, 도 3b 또는 도 4b에 도시된 바와 같이), 상당한 전기적 특성을 가지기 위하여 충분히 스트레인되며, 내부의 구조적 결함들의 발생을 방지하기 위해 너무 스트레인되지 않는 에피택셜 성장된 Si 막(3)을 획득한다.
- <107> 이 30% 제한은 현재 기술에서의 통상적인 제한을 나타내나, 앞으로 변할 수도 있다.
- <108> 도 1b, 도 2b, 도 3b, 및 도 4b를 참조하여, Si 막(3)이 SiGe 매칭층(2) 상에 성장된다.
- <109> Si 막(3)은 CVD(화학적 기상 증착) 및 MBE(분자 빔 에피택시) 기술과 같은 공지된 기술을 사용하여 에피택시에 의하여 유리하게 형성된다.
- <110> 다음, 실리콘 막(3)은 매칭층(2)에 의하여 그 공칭 격자 파라미터가 증가되게 되어, 그 성장 기관의 격자 파라미터와 실질적으로 동일하게 되고, 따라서 내부 신장 스트레인을 도입한다.
- <111> 실리콘 막의 내부 결정학적 구조의 이들 변형은 실리콘 결정의 에너지 밴드 구조를 변형함으로써 전하 캐리어들(홀들과 전자들과 같은)의 이동성을 증가시킬 것이다.
- <112> 따라서, 본 발명에서 소망되는 전기적 특성이 획득된다.
- <113> 그러나, 상당히 얇은 Si 막(3)을 형성하는 것이 필수적이다. 너무 큰 막 두께는 사실상, 실리콘의 공칭 격자 파라미터에 대하여 막 두께의 스트레인에서의 상대적 릴렉세이션을 적어도 유발할 것이다.
- <114> 따라서, 막(3)의 두께는 통상적으로 20 나노미터 미만, 바람직하게는 10 나노미터 내지 20 나노미터이며, 20 나노미터 초과시, 본 발명에서 소망되는 스트레인의 실질적인 릴렉세이션의 위험성이 존재하고, 10 나노미터 미만시, 특정 전자 구성요소의 제조시에 막 두께가 문제점을 유발할 위험성이 존재한다.
- <115> 스트레인된 Si 막(3)을 포함하는 이 도너 웨이퍼(10)가 제조되었으면, 도너 웨이퍼(10)에서 수취 기관(4) 상으로 스트레인된 막(3)을 전달하여, 전달시 막(3) 내에 스트레인의 어떠한 릴렉세이션없이 전체 어셈블리가 소망의 전자 구조(20)를 형성하기 위한 신뢰성있는 프로세스를 실행하는 데 하나의 어려움이 존재한다.
- <116> 이 특정 어려움을 해결하기 위하여, 몇몇 실행 방법이 제안될 수도 있다.
- <117> 도 1c 및 도 2c를 참조하여, 본 발명에 따른 프로세스를 실행하는 제1 방법에 따르면, 수취 기관(4)은 스트레인된 막(3)의 표면에 부착된다.
- <118> 이 수취 기관(4)은, 예컨대 실리콘으로 형성될 수도 있고, 다른 형태의 재료로 구성될 수도 있다.
- <119> 수취 기관(4)은, 스트레인된 Si 막(3)과 밀착 접촉시켜, 기관(4)과 막(3) 사이의 분자 부착이 유리하게 달성되

는 접합을 실행함으로써 부착된다.

- <120> 이 접합 기술은, 변형은 물론, 특히, 큐. 와이. 통(Q.Y.Tong), 유.고젤(U. Gosele) 및 윌리(Wiley)에 의한 "Semiconductor Wafer Bonding"(Science and Technology, Interscience Technology) 문서에 기술되어 있다.
- <121> 필요하다면, 접합은 접합되는 각 표면의 적절한 우선 처리에 의하여 및/또는 열 에너지의 공급 및/또는 부가적인 접합층의 공급을 수반하여 행해진다.
- <122> 따라서, 예컨대 접합시에 실행된 열 처리는 접합이 강화되도록 한다.
- <123> 접합은 또한 막(3)과 수취 기관(4) 사이에 삽입된 접합층에 의하여 강화될 수도 있어서, 이 경우, 막(3)과 수취 기관(4) 간에 존재하는 접합보다 강한, 막(3)과 수취 기관(4)의 접합면을 구성하는 재료 양쪽과의 분자 접합을 형성할 수 있다.
- <124> 따라서, 산화실리콘(실리카 또는 SiO₂로도 칭함)은, 실리콘 막(3)과의 양호한 부착성을 나타내므로, 이러한 접합층을 형성하기 위하여 선택될 수도 있는 재료이다. 실리카는 SiO₂ 피착(deposition)에 의하여 또는 각 접합면들 상의 열 산화에 의하여 막(3) 상 및/또는 수취 기관(4) 상에 형성될 수도 있다.
- <125> 유리하게는, 수취 기관(4)의 접합면을 구성하는 재료 및/또는 선택적으로 형성된 접합면의 재료는 전기적으로 절연성이어서, 스트레인된 Si 막(3)에 바로 인접한 절연층이 존재한다(막(3)에 바로 인접한 도전성 또는 반도체성 재료는 2가지 재료의 조합으로 구성된 구조에서 여기서 소망되는 전기적 효과를 사실상 손상시킬 수 있다).
- <126> 막(3)에 인접한 절연 재료의 유리한 선택은, 최종으로 제조되는 것으로 소망되는 구조(20)가 SeOI 구조일 때, 특히 필수적이 되며, 이 때 SeOI 구조의 반도체층은 스트레인된 Si의 전달된 막(3)이다.
- <127> 또한, 스트레인된 Si 막(3)에 접합된 수취 기관(4)은 막(3)의 스트레인된 Si의 스트레인된 구조적 상태를 실질적으로 유지시킬 수 있으며, 이는, 스트레인된 Si 막(3)이 에피택셜 성장되었던 도너 웨이퍼(10)가 제거되어도 그러하며, 막(3) 내의 스트레인은 막(3)과 수취 기관(4) 간에 존재하는 접합력에 의하여 전달후에 주로 보장된다.
- <128> 따라서, 막(3) 내에서 스트레인을 릴렉스시키지 않고 도너 웨이퍼(10)에서 수취 기관(4)으로 스트레인된 막(3)을 전달하는 것이 가능하게 되어, 상술된 문제점을 해결한다.
- <129> 또한, 수취 기관(4)은 스트레인된 Si 막(3)을 지탱하는 데 충분히 단단한 기계적 지지부를 구성하여, 상기 막(3)을 외부로부터의 임의의 기계적 응력으로부터 보호한다.
- <130> 수취 기관(4)이 접합되었지만 하면, 도너 웨이퍼(10)의 일부는 후술되는 바람직한 기술들 중 하나 이상의 기술을 사용하여 제거되어, 스트레인된 Si 막(3)을 수취 기관으로 전달하여 소망의 구조(20)를 제조한다.
- <131> 제1 경우에서, 도 1d를 참조하면, 스트레인된 막(3)에 관련된 매칭층(2) 측 상의, 도너 웨이퍼(10)의 실질적인 모든 부분이 제거된다.
- <132> 따라서, 스트레인된 Si 막(3)의 아래에 있는 재료가 전기적 절연체라면, 최종 기관-상-스트레인된 Si 구조, 특히 절연체-상-스트레인된 Si 구조(여기서, SOI 구조라고도 칭함)가 획득된다.
- <133> 제2 경우에서, 도 2d를 참조하면, 지지 기관(1)과 매칭층(2)의 일부가 제거된다.
- <134> 따라서, 스트레인된 Si 막(3)의 아래에 있는 재료가 전기적 절연체라면, 최종 기관-상-스트레인된 Si-상-SiGe, 특히 절연체-상-스트레인된 Si-상-SiGe 구조(여기서, SiGe/SOI 구조라고도 칭함)가 획득된다.
- <135> 매칭층(2)의 일부의 제거가 유리하게 실행되어, 구조(20) 상의 매칭층(2) 중에서, 매칭층(2)에 포함된 릴렉스된 SiGe 층의 적어도 일부(상술된 매칭층(2)을 제조하는 하나의 특정 방법에 따라 버퍼층 상에 에피택셜 성장되었던)만을 유지한다.
- <136> 도 3c 및 도 4c를 참조하여, 본 발명에 따른 프로세스를 실행하는 제2 방법에 따르면, 릴렉스된 SiGe 층(6)이 유리하게는 어떠한 접합 동작 전에 에피택시에 의하여(예컨대 CVD 또는 MBE에 의하여) 스트레인된 Si 막(3) 상에 성장된다.
- <137> 이 층(6)의 Ge 농도는 유리하게는 실질적으로 매칭층(2)의 접합면 근처에 존재하는 SiGe의 농도와 동일하여, 이 층(6)이 막(3)의 스트레인에 부가적인 영향을 미치는 것을 방지한다.

- <138> 하나의 특정 실행 방법에서, 각각 교대로, 스트레인된 Si 또는 SiC 층들 및 SiGe 또는 SiGeC 층들과 같이, SiGe 층 상에 또다른 층들이 에피택셜 성장될 수도 있어서, 다중층 구조를 형성한다.
- <139> 도 3d 및 도 4d를 참조하면, 수취 기관(4)은, 제1 실행 방법에서 상술한 스트레인 막(3)에 접합되는 수취 기관(4)에 관한 방법과 실질적으로 동일한 방식으로 릴렉스된 SiGe 층(6)에 접합된다.
- <140> 다음, 도너 웨이퍼(10)의 접합면은 릴렉스된 SiGe 층(6)의 자유면이다.
- <141> 제1 실행 방법과는 달리, 접합이 막(3)의 스트레인을 유지하는 유일한 수단을 반드시 이루지 않음을 지목해야 하며, 이것은, 릴렉스된 SiGe 층(6)이 충분히 두껍다면, 이 층(6)은 이들 막(3)과 층(6)이 전달된 후에 막(3)의 스트레인을 유지하는 데 참여할 수도 있거나, 보장까지 할 수도 있기 때문이다.
- <142> 따라서, 이러한 점에서, SiGe 에피층(epilayer)(6)의 두께는, Si 층의 다소간의 스트레인량을 유지하도록 유리하게 선택될 수 있다.
- <143> 제1 실행 방법에서와 같이, 수취 기관(4)이 접합되었지만 하면, 도너 웨이퍼(10)의 일부가 후술되는 바람직한 기술들 중 하나 이상의 기술을 사용하여 제거되어, 스트레인된 Si 막(3)을 수취 기관(4)에 전달하여, 소망의 구조(20)를 제조한다.
- <144> 제1 경우에서, 도 3e를 참조하면, 층(6)에 관련된 매칭층(2) 측 상의, 도너 웨이퍼(10)의 모든 부분이 제거된다.
- <145> 따라서, 릴렉스된 SiGe 층(6)의 아래에 있는 재료가 전기적 절연체라면, 최종 기관-상-릴렉스된 SiGe-상-스트레인된 Si 구조, 특히 절연체-상-릴렉스된 SiGe-상-스트레인된 Si 구조(또한, Si/SGOI 구조라고도 칭함)가 획득된다.
- <146> 제2 경우에서, 도 4e를 참조하면, Si 지지 기관(1)과 매칭층(2)의 일부가 제거된다.
- <147> 따라서, 릴렉스된 SiGe 층(6)의 아래에 있는 재료가 전기적 절연체라면, 최종 기관-상-릴렉스된 SiGe-상-스트레인된 Si-상-SiGe 구조, 특히 절연체-상-릴렉스된 SiGe-상-스트레인된 Si-상-SiGe 구조(또한, SiGe/Si/SGOI 구조라고도 칭함)가 획득된다.
- <148> 매칭층(2)의 일부가 유리하게 제거되어, 구조(20) 상의 매칭층(2) 중에서, 매칭층(2)에 존재하는 릴렉스된 SiGe 층의 적어도 일부(상술된 매칭층(2)을 제조하는 하나의 특정 방법을 사용하여, 버퍼층 상에 에피택셜 성장되었던)만을 유지한다.
- <149> 따라서, 본 발명에 따른 프로세스에 의하여, 스트레인된 재료층을 구비하는 몇몇 구조들(예컨대, 도 1d, 도 2d, 도 3e, 및 도 4e에 도시된)이 생성될 수 있고, 각각은 상당히 특정된 전기적 특성을 가진다.
- <150> 도 1d, 도 2d, 도 3e 및 도 4e를 참조하면, 재료를 제거하는 단계는 이러한 구조들을 제조하는 최종 단계를 구성한다.
- <151> 제1 재료 제거 동작은, 이미 그 내에서 약화되어 있는 매칭층(2)의 영역에서 도너 웨이퍼를 분리시키는 단계로 구성된다.
- <152> 따라서, 공지되어 있는 비제한적인 2가지 기술들이 이러한 동작을 수행할 수도 있다.
- <153> 당업자에게 공지된 Smart-Detachment[®] 기술로 불리는 제1 기술(그 설명은 웨이퍼 리덕션(reduction) 기술을 다루는 다수의 연구에서 찾아볼 수도 있다)은, 원자 종(수소 이온과 같은)을 주입하는 단계와, 취성 영역을 형성하게 되는 주입된 영역에, 열 처리 및/또는 기계적 처리 또는 다른 에너지 공급을 행하여, 취성 영역에서 분리를 행하는 단계로 구성된다.
- <154> 매칭층(2)에 이렇게 형성된 취성 영역으로부터의 분리는 웨이퍼(10)의 대부분을 제거하는 것을 가능하게 하여, 매칭층(2)의 잔존부, 스트레인된 Si 막(3), 층(6)과 같이 선택적으로 에피택셜 성장된 오버층들, 선택적인 접합층, 및 수취 기관(4)을 구비하는 구조를 획득한다.
- <155> 제2 기술은, 예컨대 문서 EP-A-0 849 788에 설명된 바와 같이, 적어도 하나의 다공성 층을 형성함으로써 약한 계면을 획득하는 단계, 및 그 후 상기 약한 층에 기계적 처리 또는 다른 에너지 공급을 행하여, 약화된 층에서 분리를 행하는 단계로 구성된다.
- <156> 다공성 실리콘으로 형성된 약화된 층은 지지 기관(1) 내에, 지지 기관(1)과 매칭층(2) 사이에, 매칭층(2)내에

(예컨대, 버퍼층과 릴렉스된 층 사이에), 또는 매칭층(2) 상에(즉, 매칭층(2)과 스트레인된 Si 막(3) 또는 선택적인 릴렉스된 SiGe 층(6) 사이에) 형성된다.

- <157> 지지 기판(1) 내에 약화된 층을 형성하기 위해서, 다공성 층이 단-결정 Si 지지 기판 상에 유리하게 성장된 후, 상기 다공성 층 상에 제2 성장이 실행되어, 지지 기판의 Si와 실질적으로 동일한 격자 파라미터를 가지는 비다공성 Si 층을 성장시킨다. 그러면, 지지 기판(1)은 지지 기판, 다공성 층 및 비다공성 Si 층으로 구성된다.
- <158> 약화된 층의 분리는 웨이퍼(10)의 적어도 일부를 제거하는 것을 가능하게 하여, 웨이퍼(10)의 선택적 잔존부, 스트레인된 Si 막(3), 층(6)과 같은 선택적으로 에피택셜 성장된 오버층들, 선택적인 삽입된 접합층 및 수취 기판(4)을 구비하는 구조를 획득한다.
- <159> 분리후 남아있는 다공성 실리콘을 제거하기 위하여, 에칭 동작 또는 열 처리와 같은 웨이퍼(10)의 처리는 유리하게 실행된다.
- <160> 다공성 층이 지지 기판(1) 내에 있으면, 래핑, 화학-기계적 연마 및/또는 선택적 화학적 에칭 동작들이 유리하게 수행되어, 지지 기판(1)의 잔존부를 제거한다.
- <161> 이들 2가지 비제한적 기술들은 웨이퍼(10)의 실질적인 부분을 일괄하여 신속하게 제거할 수 있도록 한다.
- <162> 이들 기술들은 또한, 예컨대 본 발명에 따른 프로세스와 같은 다른 프로세스에서 웨이퍼(10)의 잔존부를 재사용하는 가능성을 가진다.
- <163> 따라서, 제거된 부분이 지지 기판(1)이면, 지지 기판(1)의 표면이 연마된 후, 매칭층(2), 막(3) 및 선택적 SiGe 층(6) 및/또는 다른 층들을 재형성하는 동작이 상술된 바와 같이 수행될 수도 있다.
- <164> 제거된 부분이 지지 기판(1)과 매칭층(2)의 적어도 일부라면, 매칭층(2)의 잔존부의 표면이 연마된 후, 매칭층(2)의 또다른 부분, 막(3), 및 SiGe 층(6), 및/또는 다른 층들의 가능한 재형성이 수행될 수도 있다.
- <165> 예컨대, 상기 2가지 기술들 중 하나에 따른 웨이퍼(10)의 분리후의 제2 재료 제거 동작은 표면 결함을 보정하는 단계 또는 필요시 매칭층(2)의 잔존부를 제거하는 단계로 구성된다.
- <166> 매칭층(2)의 모든 잔존부가 제거되기를 원하면(도 1d 및 도 3e 참조), 이 동작은 스트레인된 Si 막(3)에 에칭이 거의 행해지지 않거나 전혀 행해지지 않아서, 에칭 정지층이 형성되도록, 선택적 화학적 에칭에 의하여 수행될 수 있다.
- <167> 매칭층(2)의 잔존부는 이 경우, HF/H₂O₂/CH₃COOH(약 1/1000 선택도)을 함유하는 용액 또는 HNA(hydrofluoric-nitric-acetic 액)과 같은, 스트레인된 Si 막(3)에 관하여 실질적인 선택도를 가지는 에칭액을 사용하여 습식 에칭에 의하여 에칭된다.
- <168> 플라즈마 에칭과 같은 건식 에칭 또는 스퍼터링이 또한, 재료를 제거하기 위해 수행될 수도 있다.
- <169> 이 화학적 방법은 얇은 층들이 상당히 신속하게 제거되고, 웨이퍼 분리후 일반적으로 채용되는 화학적-기계적 연마 마감 동작을 사용하지 않는다는 주요한 이점을 가진다.
- <170> 따라서, 에피택시시 획득되는 스트레인된 Si 막(3)의 양호한 표면 품질 및 양호한 두께 균일성을 유지할 수 있도록 하여, 재료 제거가 단일의 화학적 동작에 의하여 완료되는 경우에 기계적 마감 단계를 수행할 필요가 없어, 이러한 기계적 마감 단계가 발생시킬 수 있는 스트레인-경화된(strain-hardened) 영역과 같은 결함들의 발생을 방지한다.
- <171> 그러나, 특정 경우들에서, 소프트 연마가 사용되어 임의의 작은 표면 조도를 보상한다.
- <172> 그러나, 화학적 에칭 동작에 앞서, 특히, 더 두꺼운 층이 제거되어야 하는 경우에, 매칭층(2)의 잔존부의 래핑 및/또는 화학적-기계적 연마(CMP)에 의한 기계적 또는 화학적-기계적 연마가 유리하게 먼저 진행될 수도 있다.
- <173> 매칭층의 일부(5)를 유지하기를 원한다면(도 2d 및 도 4e 참조), 웨이퍼(10)의 분리시 발생할 수 있는 임의의 조도 및 두께 균질성을 제거하기 위하여, 열 처리 또는 연마, 바람직하게는 화학적-기계적 연마(CMP)를 선택하는 것이 유리할 것이다.
- <174> 그러나, 매칭층(2)에 존재하는 (매칭층(2)의 두께를 따라 증가하는)Ge 농도에 관한 에칭 선택도가 또한 채용될 수도 있어, 에칭은 매칭층(2) 내에 있는 릴렉스된 층 상에서 느려지거나 정지한다.
- <175> TMAH를 함유하는 용액에 의한 습식 에칭은, 예컨대 이러한 선택적 에칭을 수행하는 데 상당히 적합할 수도

있고, 매칭층(2)의 릴렉스된 층은 이 경우 20% 내지 30%의 게르마늄 농도를 가진다.

- <176> 이들 기술들은 본 문서에서 예로써 제안되었으나, 어떠한 방식으로든 제한하지 않고, 본 발명은 본 발명에 따른 프로세스에 따라 도너 웨이퍼(10)로부터 재료를 제거하는 데 적합한 모든 형태의 기술들을 망라한다.
- <177> 구조(20)의 일 특정 실시예에서, SiGe 또는 SiGeC 층의 에피택셜 피착, 또는 스트레인된 Si 또는 SiC 층의 에피택셜 피착, 또는 SiGe 또는 SiGeC 층들의 연속적인 에피택셜 피착이 교대로 이루어지는 것과 같이, 하나 이상의 에피택셜 피착이 도너 웨이퍼(10) 상에 수행될 수도 있어서, 다중층 구조를 형성한다.
- <178> 선택적으로, Si의 성장은 막(3) 상에서 행해져서, 이를 두껍게 한다.
- <179> 이러한 Si의 성장의 제1 중요성은, 초기의 두꺼워진 막(3)을 다시 찾는 것으로, 그럼에도 이 초기 두께는 소프트 연마 에칭 또는 이벤트 세정 동작에 의하여 얇아질 수도 있다.
- <180> 제2 중요성은, 예컨대 SiO₂ 또는 Si₃N₄로서, 점성 재료인 절연층 상 막(3)의 경우에 관한 것으로, 막(3)이 두꺼워질 수 있어서, 그 탄성 응력을 잃지 않고, 그 두께가 "표준 Si 임계 두께"보다 더 크게 된다.
- <181> "표준 Si 임계 두께"는, 막(3)의 응력비 값으로부터, 그리고 이 응력비가 그 위에 막(3)이 성장되었거나 성장되었을 것인 Si_{1-x}Ge_x 기판의 Ge 농도(즉 x 값)와 직접 연관될 수 있다는 사실로부터 알 수 있다. 막(3)의 응력비가 막(3)의 성장이라 계속 변하지 않았다면, 연관된 Ge 농도는 전달 전에 막(3)이 성장되었던 Si_{1-x}Ge_x 기판에서의 농도이다.
- <182> 따라서, 막(3)의 "표준 임계 두께" 값은 막(3)이 성장되었거나 성장되었을 것인 Si_{1-x}Ge_x 기판의 Ge 농도와 직접 연관될 수 있다. 그리고, "표준 임계 두께"의 일부 예들은 프리드리히 샤프러(Friedrich Schaffler)의 "High-Mobility Si and Ge structures"("Semiconductor Science Technology" 12(1997)1515-1549)에서 찾아 볼 수 있다.
- <183> 따라서, 본 출원인은, 점성 재료층 및 이 점성 재료층 상에 스트레인된 Si 막(3)을 포함하는 구조에서, 막(3)의 임계 두께(이 두께를 넘어서는 막(3)이 주로 탄성적으로 스트레인되지 않는)는 그 표준 임계 두께보다 통상적으로 더 크다는 것을 알았다.
- <184> 이 특성은 Si 내부 응력을 수용해야 하는 절연체층의 점성으로부터 기인될 수도 있다.
- <185> 따라서, 경험으로부터, 응력의 실질적인 손실없이, 막(3)의 두께를 약 60 나노미터 증가시킬 수 있다는 것을 알 수 있다.
- <186> 다음, 두꺼운 스트레인된 Si 층은 활성층으로서 사용될 수 있다(따라서, 이러한 재료가 나타내는 전자 고 이동성의 이점을 취한다).
- <187> 최종 구조를 완성하여, 예컨대 어닐링 동작 등의 마감 처리와 같은 마감 단계가 선택적으로 수행될 수도 있어서, 도너 웨이퍼(10)와 수취 기판(4) 간의 접합 계면을 더 강화시킨다.
- <188> 본 발명은 SiGe 격자 파라미터 매칭층(2)에 한정되지 않고, III-V 형 재료의 다른 형태들 또는 에피택셜 과성장된 막(3)의 재료나 다른 반도체 재료를 스트레인시킬 수 있는 다른 재료들로부터의 매칭층(2)의 구성으로 연장된다.
- <189> 마지막으로, 본 발명은 스트레인된 실리콘막(3)을 전달하는 것에만 관한 것이 아니라, 일반적으로 본 발명의 프로세스에 따라 스트레인되고 전달될 수 있는 임의 형태의 반도체의 막을 전달하는 것에 관한 것이다.
- <190> 반도체층에서, 다른 성분이 여기에 부가될 수도 있으며, 예컨대 이 층에 실질적으로 50% 이하, 보다 바람직하게는 5% 이하의 농도를 가지는 탄소 농도의 탄소가 부가될 수도 있다.

도면의 간단한 설명

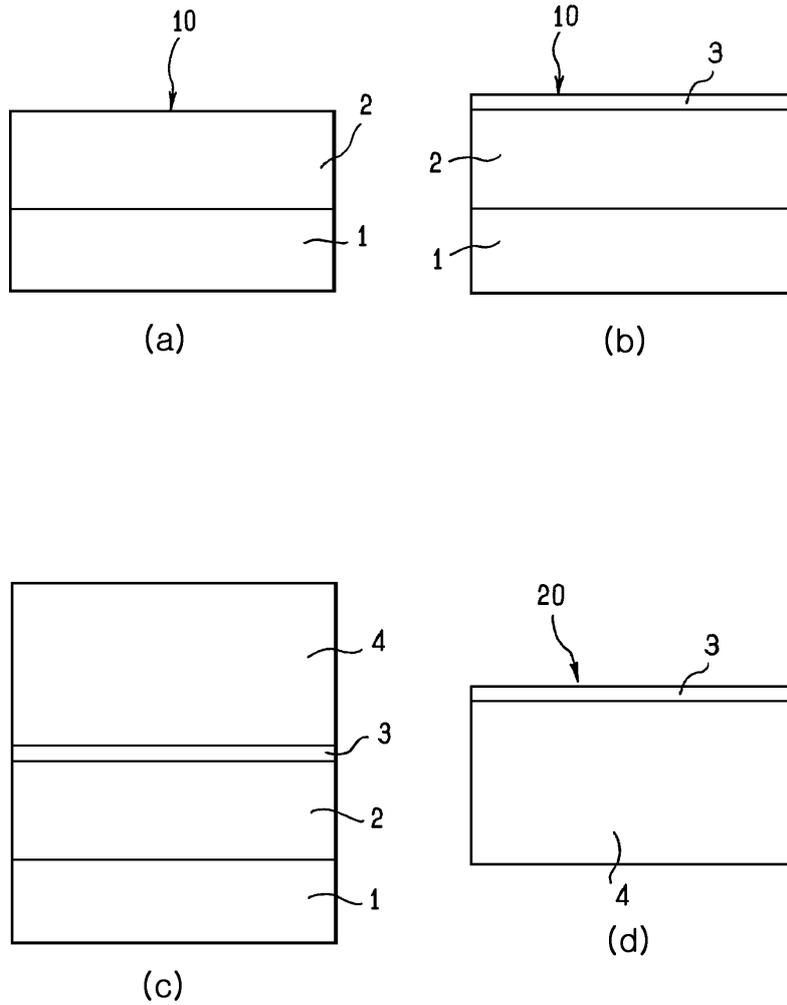
- <96> 도 1은 본 발명에 따라 스트레인된 실리콘의 얇은 층을 구비하는 전자 구조를 생성하는 제1 프로세스의 다양한 단계들을 도시한다.
- <97> 도 2는 본 발명에 따라 스트레인된 실리콘의 얇은 층을 구비하는 전자 구조를 생성하는 제2 프로세스의 다양한 단계들을 도시한다.

<98> 도 3은 본 발명에 따라 스트레인된 실리콘으로 형성된 얇은 층을 구비하는 전자 구조를 생성하는 제3 프로세스의 다양한 단계들을 도시한다.

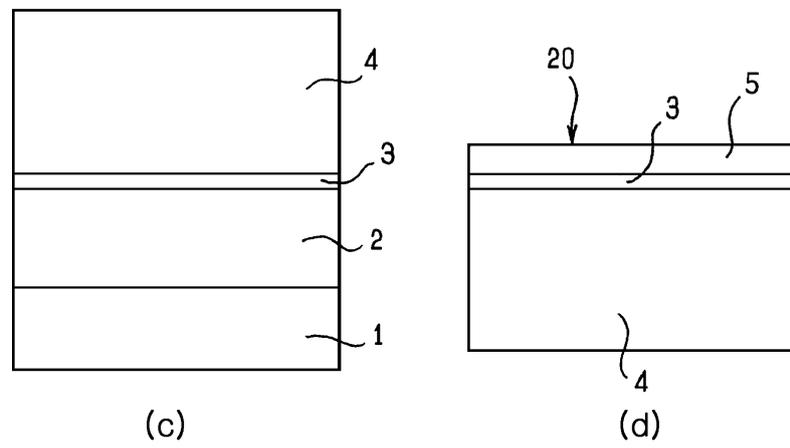
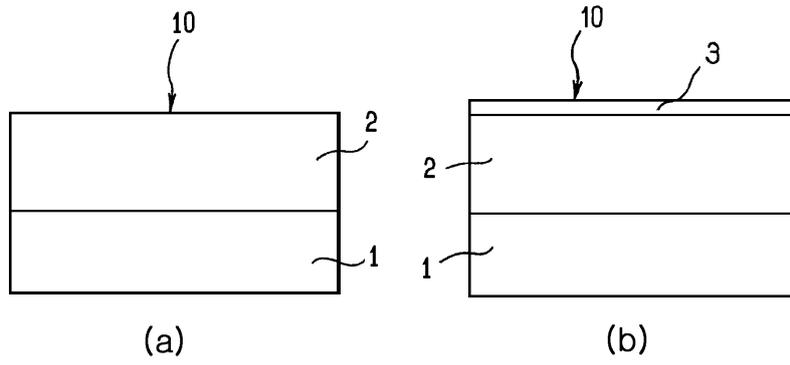
<99> 도 4는 본 발명에 따라 스트레인된 실리콘의 얇은 층을 구비하는 전자 구조를 생성하는 제4 프로세스의 다양한 단계들을 도시한다.

도면

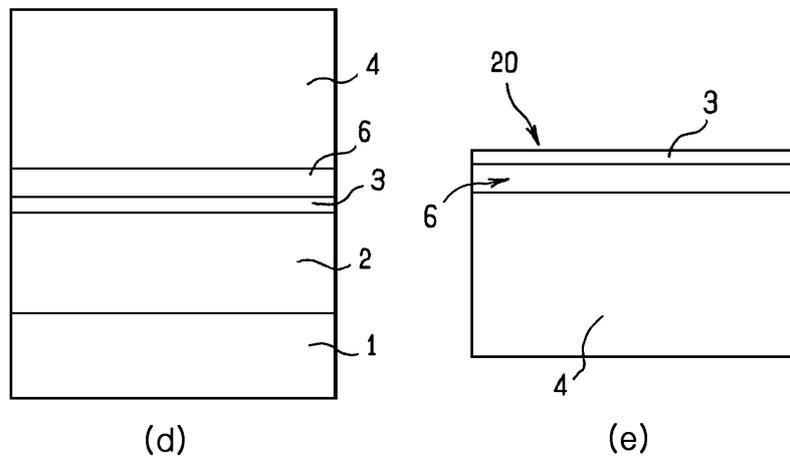
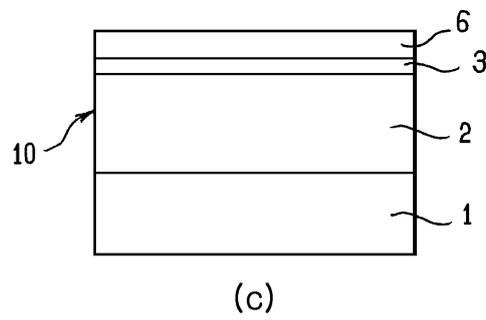
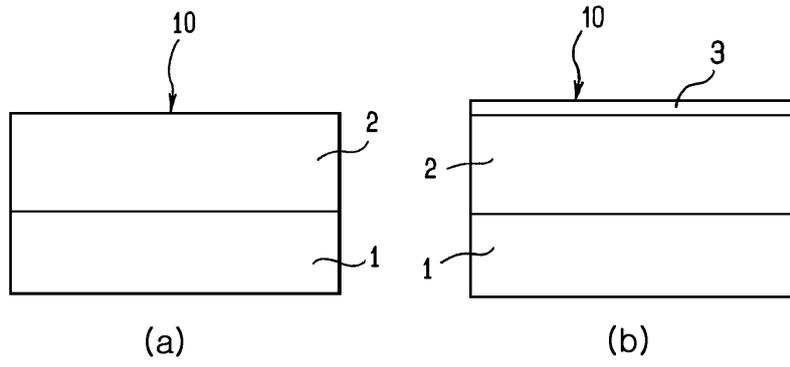
도면1



도면2



도면3



도면4

