

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/768 (2006.01)

H01L 23/522 (2006.01)



# [12] 发明专利申请公开说明书

[21] 申请号 200610007141.1

[43] 公开日 2006年9月20日

[11] 公开号 CN 1835206A

[22] 申请日 2006.2.5

[21] 申请号 200610007141.1

[30] 优先权

[32] 2005.2.5 [33] KR [31] 10981/05

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 金在鹤 李宣姪 李承珍

[74] 专利代理机构 北京市柳沈律师事务所

代理人 陶凤波 侯宇

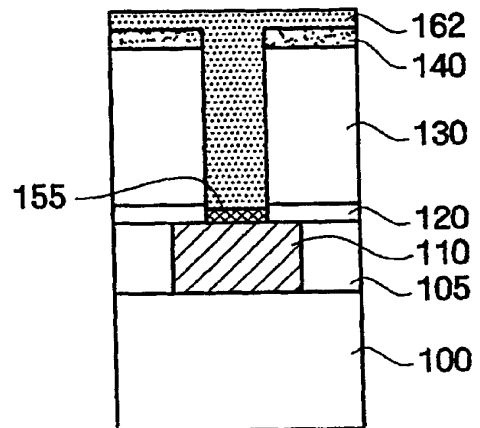
权利要求书 6 页 说明书 11 页 附图 10 页

## [54] 发明名称

利用保护性通路盖层形成半导体器件的双镶嵌布线的方法

## [57] 摘要

本发明的示例性实施例总体上包括利用双镶嵌方法形成多层金属互连结构的方法，该双镶嵌方法包含了通路覆盖工艺从而保护下部互连线免受由于下部互连线无意中暴露于蚀刻气氛所造成的例如蚀刻损坏或氧化的影响。



1. 一种形成互连结构的方法，包括以下步骤：

在其上形成有下部导电层的半导体衬底上形成蚀刻停止层；  
在所述蚀刻停止层上形成层间电介质层；  
通过所述层间电介质层形成通孔，以暴露所述蚀刻停止层的一部分，  
所述通孔与所述下部导电层的一部分对准；  
去除所述蚀刻停止层的暴露部分从而暴露所述下部导电层的一部分；  
在所述下部导电层的暴露部分上形成通路盖层；  
沉积牺牲材料层从而用牺牲材料填充所述通孔；  
通过蚀刻所述牺牲材料层和所述层间电介质层形成与所述通孔对准的  
沟槽；  
去除在所述通孔中剩余的牺牲材料从而暴露所述通路盖层；以及  
通过用导电材料填充所述沟槽和通孔而形成互连。
2. 根据权利要求1所述的方法，还包括在所述层间电介质层上形成盖层。
3. 根据权利要求1所述的方法，其中形成所述互连包括：

在所述沟槽和通孔侧壁上以及所述通路盖层上形成共形阻挡层；  
在所述共形阻挡层上方沉积一层导电材料从而用该导电材料填充所述  
通孔和沟槽；以及  
平坦化所述导电材料层。
4. 根据权利要求1所述的方法，其中形成所述互连包括：

在所述沟槽和通孔侧壁上以及所述通路盖层上形成第一共形阻挡层；  
去除所述通路盖层和部分所述第一共形阻挡层以暴露所述下部导电层  
的所述部分；  
在所述第一共形阻挡层和所述下部导电层的暴露部分上形成第二共形  
阻挡层；  
在所述第二共形阻挡层上方沉积一层导电材料从而用该导电材料填充  
所述通孔和沟槽；以及  
平坦化所述导电材料层。
5. 根据权利要求4所述的方法，其中利用溅射工艺来执行所述通路盖

层和部分所述第一共形阻挡层的去除。

6. 根据权利要求5所述的方法，其中所述溅射工艺包括 Ar 溅射。

7. 根据权利要求1所述的方法，其中形成所述通孔包括：

形成抗反射层；

在所述抗反射层上形成光致抗蚀剂图案；以及

通过利用所述光致抗蚀剂图案作为蚀刻掩模蚀刻所述抗反射层和所述层间电介质层来形成所述通孔。

8. 根据权利要求7所述的方法，还包括：在去除所述蚀刻停止层的暴露部分之前去除所述光致抗蚀剂图案和所述抗反射层，以及形成所述通路盖层。

9. 根据权利要求8所述的方法，其中利用 O<sub>2</sub> 或 H<sub>2</sub> 等离子体灰化工艺来去除所述光致抗蚀剂图案。

10. 根据权利要求1所述的方法，其中形成所述沟槽包括：

在所述牺牲材料层上形成抗反射层；

在所述抗反射层上形成光致抗蚀剂图案；以及

通过利用所述光致抗蚀剂图案作为蚀刻掩模蚀刻所述抗反射层、所述牺牲材料层和所述层间电介质层来形成所述沟槽。

11. 根据权利要求1所述的方法，其中形成所述沟槽包括：

在所述牺牲材料层上形成硬掩模图案；

去除通过所述硬掩模图案暴露的牺牲材料，下至所述层间电介质层表面之下的大约至少预定的沟槽水平面；

通过利用所述硬掩模图案作为蚀刻掩模，蚀刻所述层间电介质层下至所述预定的沟槽水平面来形成所述沟槽；以及

去除所述硬掩模图案。

12. 根据权利要求11所述的方法，其中形成所述硬掩模图案包括：

形成硬掩模层；

在所述硬掩模层上形成抗反射层；

在所述抗反射层上形成光致抗蚀剂图案；以及

通过利用所述光致抗蚀剂图案作为掩模蚀刻所述抗反射层和所述硬掩模层来形成所述硬掩模图案。

13. 根据权利要求12所述的方法，还包括去除所述光致抗蚀剂图案和

所述抗反射层同时去除通过所述硬掩模图案暴露的所述牺牲材料。

14. 根据权利要求 12 所述的方法, 其中所述硬掩模层包括氧化硅层、氮化硅层、碳化硅层、SiON、SiCN、SiOCN、Ta、Ta<sub>N</sub>、Ti、TiN、Al<sub>2</sub>O<sub>3</sub>、BQ、HSQ 中的一种, 或者相对于所述牺牲材料具有高蚀刻选择性的材料。

15. 根据权利要求 1 所述的方法, 其中形成所述通路盖层包括在所述导电层的暴露部分上选择性地形成所述通路盖层。

16. 根据权利要求 15 所述的方法, 其中利用无电沉积来进行选择性地形成所述通路盖层。

17. 根据权利要求 16 所述的方法, 其中所述通路盖层由包括 CoWP、CoSnP、CoP、CoB、CoSNB、Pd、IN 或 NiB 的材料形成。

18. 根据权利要求 15 所述的方法, 其中利用化学气相沉积工艺来进行选择性地形成所述通路盖层。

19. 根据权利要求 18 所述的方法, 其中所述通路盖层由包括 W、W<sub>N<sub>x</sub></sub>、Ta、Ta<sub>N<sub>x</sub></sub>、Ti 或 Ti<sub>N<sub>x</sub></sub> 的材料形成。

20. 根据权利要求 15 所述的方法, 其中利用原子层沉积工艺来进行选择性地形成所述通路盖层。

21. 根据权利要求 20 所述的方法, 其中所述通路盖层由包括 W、W<sub>N<sub>x</sub></sub>、Ta、Ta<sub>N<sub>x</sub></sub>、Ti 或 Ti<sub>N<sub>x</sub></sub> 的材料形成。

22. 根据权利要求 1 所述的方法, 其中所述蚀刻停止层由氮化硅、碳化硅、SiCN 或其组合形成, 并且相对于所述层间电介质层具有蚀刻选择性。

23. 根据权利要求 1 所述的方法, 其中所述层间电介质层包括低 k 介电材料, 其中 k 小于约 4.2。

24. 根据权利要求 23 所述的方法, 其中所述层间电介质层由有机材料形成。

25. 根据权利要求 23 所述的方法, 其中所述层间电介质层由无机材料形成。

26. 根据权利要求 1 所述的方法, 其中所述牺牲材料由旋涂聚合物材料形成。

27. 根据权利要求 1 所述的方法, 其中所述牺牲材料由旋涂玻璃材料形成。

28. 根据权利要求 1 所述的方法, 其中所述通路盖层形成为具有约 50

埃至约 500 埃的厚度。

29. 根据权利要求 1 所述的方法, 其中所述通路盖层由具有铜扩散阻挡特性的材料形成。

30. 根据权利要求 1 所述的方法, 其中所述通路盖层由对于腐蚀或氧化具有抵抗性的材料形成。

31. 一种形成半导体器件的方法, 包括:

在半导体衬底上形成下部导电层; 以及

形成电耦合至所述下部导电层的接触部分的双镶嵌互连结构;

其中形成所述双镶嵌互连结构包括通过在经由通孔暴露的所述下部导电层的接触部分上形成盖层来保护所述下部导电层的接触部分免受所述双镶嵌互连结构形成期间的蚀刻或腐蚀的影响。

32. 根据权利要求 31 所述的方法, 其中利用通路第一双镶嵌工艺来进行所述双镶嵌互连结构的形成。

33. 根据权利要求 31 所述的方法, 其中利用无电沉积来进行选择性地形成所述盖层。

34. 根据权利要求 33 所述的方法, 其中所述盖层由包括 CoWP、CoSnP、CoP、CoB、CoSNB、Pd、IN 或 NiB 的材料形成。

35. 根据权利要求 31 所述的方法, 其中利用化学气相沉积工艺来进行选择性地形成所述盖层。

36. 根据权利要求 35 所述的方法, 其中所述盖层由包括 W、 $WN_x$ 、Ta、 $TaN_x$ 、Ti 或  $TiN_x$  的材料形成。

37. 根据权利要求 31 所述的方法, 其中利用原子层沉积工艺来进行选择性地形成所述盖层。

38. 根据权利要求 37 所述的方法, 其中所述盖层由包括 W、 $WN_x$ 、Ta、 $TaN_x$ 、Ti 或  $TiN_x$  的材料形成。

39. 根据权利要求 31 所述的方法, 其中所述盖层形成为具有约 50 埃至约 500 埃的厚度。

40. 根据权利要求 31 所述的方法, 其中所述盖层由具有铜扩散阻挡特性的材料形成。

41. 根据权利要求 31 所述的方法, 其中所述盖层由对于腐蚀或氧化具有抵抗性的材料形成。

42. 根据权利要求 31 所述的方法，其中形成所述互连包括：  
在所述盖层上方沉积导电材料使得所述互连结构通过所述盖层电连接到所述下部导电层的接触部分。
43. 根据权利要求 42 所述的方法，还包括在沉积所述导电材料之前形成阻挡衬层。
44. 根据权利要求 31 所述的方法，其中形成所述互连包括：  
去除所述盖层以暴露所述下部导电层的接触部分；以及  
在所述下部导电层的接触部分上沉积导电材料。
45. 根据权利要求 44 所述的方法，其中利用溅射工艺来进行所述盖层的去除。
46. 根据权利要求 45 所述的方法，其中所述溅射工艺包括 Ar 溅射。
47. 一种半导体器件，包括：  
其中形成有下部导电层的半导体衬底；  
形成在所述半导体衬底上的层间电介质层；  
形成在所述层间电介质层中并耦合至部分所述下部导电层的双镶嵌互连；  
形成在所述双镶嵌互连与所述下部导电层的所述部分之间的通路盖层。
48. 根据权利要求 47 所述的半导体器件，其中所述双镶嵌互连包括：  
在形成于所述层间电介质层中的通孔和沟槽结构中所形成的导电材料，以及在所述导电材料与所述层间电介质层之间和所述导电材料与所述通路盖层之间所形成的阻挡衬层。
49. 根据权利要求 47 所述的半导体器件，其中所述通路盖层是利用无电沉积、由包括 CoWP、CoSnP、CoP、CoB、CoSNB、Pd、IN 或 NiB 的材料而形成。
50. 根据权利要求 47 所述的半导体器件，其中所述通路盖层是利用化学气相沉积工艺、由包括 W、 $WN_x$ 、Ta、 $TaN_x$ 、Ti 或  $TiN_x$  的材料形成。
51. 根据权利要求 47 所述的半导体器件，其中所述通路盖层是利用原子层沉积工艺、由包括 W、 $WN_x$ 、Ta、 $TaN_x$ 、Ti 或  $TiN_x$  的材料形成。
52. 根据权利要求 47 所述的半导体器件，其中所述通路盖层形成为具有约 50 埃至约 500 埃的厚度。

53. 根据权利要求 47 所述的半导体器件, 其中所述通路盖层由具有铜扩散阻挡特性的材料形成。

54. 根据权利要求 47 所述的半导体器件, 其中所述通路盖层由对于腐蚀或氧化具有抵抗性的材料形成。

55. 根据权利要求 47 所述的半导体器件, 其中所述层间电介质层包括低 k 介电材料, 其中 k 小于约 4.2。

56. 根据权利要求 55 所述的半导体器件, 其中所述层间电介质层由有机材料形成。

57. 根据权利要求 55 所述的半导体器件, 其中所述层间电介质层由无机材料形成。

## 利用保护性通路盖层形成半导体器件的双镶嵌布线的方法

### 技术领域

本发明总体上涉及半导体器件的金属布线层的制造方法，更具体而言，涉及利用双镶嵌方法形成互连结构的方法，该双镶嵌方法包含了通路覆盖工艺 (via capping process) 从而保护下部互连线免受后续蚀刻工艺所造成的会导致下部与上部互连线之间接触不良的损坏或氧化的影响。

### 背景技术

由于允许根据更小的设计规则 (DR) 来设计集成电路的半导体制造领域的不断的技术创新，半导体器件变得更为高度集成。通常，利用多层金属互连结构来设计高度集成的电路，在所述多层金属互连结构中，布线/互连由集成电路的不同金属层形成。通常，多层金属互连线由具有低电阻率和高可靠性以产生改善的性能的金属材料形成，比如铜 (Cu)。然而，难以利用常规的光刻/蚀刻技术来构图铜，尤其在根据相对小的设计规则来形成铜布线时。因此，已经开发了双镶嵌方法从而使高度集成的铜金属互连结构的形成成为可能。

通常，双镶嵌方法用于形成与下部金属线电连接的上部金属线。更具体而言，双镶嵌方法通常包括以下工艺步骤，该工艺步骤包括在形成于下部金属线之上的层间电介质 (ILD) 层中形成通孔和沟槽区域。所述通孔形成在 ILD 层中而与所述下部金属线的预定区域对准，并且所述沟槽区域成为具有跨过所述通孔的线形槽。通常，在衬底的下部金属线层与 ILD 层之间形成薄的蚀刻停止层，以作为保护下部金属线的装置。通过用导电材料 (比如铜) 填充 ILD 层中的通孔和沟槽区域来形成上部金属线和接触。通孔中的导电材料在下部金属线和通过填充沟槽区域的导电材料所形成的上部金属线之间形成了通路接触 (via contact)。

尽管双镶嵌方法允许性能改善的金属互连结构的形成，但随着设计规则的减小，这样的方法变得更有问题。例如，随着设计规则的减小，在横向方向或竖直方向上相邻金属布线层之间存在的寄生电阻和电容会影响半



导体器件的性能。金属布线层中的这种寄生电阻和电容分量通常造成操作速度的下降，由此劣化器件的电特性。此外，寄生电阻和电容分量增大了半导体器件中芯片的总功耗，以及信号泄漏量。

致力于这些问题，已经使用具有低介电常数的层间电介质材料来减小寄生电容。此外，为了减小电容，将下部金属线与ILD层之间的ESL（蚀刻停止层）形成得尽可能的薄。然而，即使当选取ILD层使其对蚀刻停止层具有蚀刻选择性时，在于ILD层中形成通孔时，会蚀刻通过通孔暴露的蚀刻停止层部分，使得下部金属线暴露于蚀刻气氛。下部金属线暴露于蚀刻气氛会导致某些缺陷，比如黑通路（形成在下部金属线的暴露表面中的凹口）或铜抬升（copper lifting）的形成。此外，在后续移除光致抗蚀剂图案的灰化工艺期间，下部金属线的暴露表面会与氧发生反应并形成金属氧化物层。这种氧化增大了金属互连结构的电阻并且会由于抬升现象而导致通路与下部金属线之间的缺陷性接触。

## 发明内容

本发明的示例性实施例总体上包括利用双镶嵌方法形成多层金属互连结构的方法，该双镶嵌方法包含了通路覆盖工艺从而保护下部互连线免受由于下部互连线无意中暴露于蚀刻气氛所造成的例如蚀刻损坏或氧化的影响。

在一个示例性实施例中，提供了一种形成互连线结构的方法。在其上形成有下部导电层的半导体衬底上形成蚀刻停止层，在所述蚀刻停止层上形成ILD（层间电介质）层。通过所述ILD层形成通孔，以暴露所述蚀刻停止层的一部分，其中所述通孔与所述下部导电层的一部分对准。去除所述蚀刻停止层的暴露部分从而暴露所述下部导电层的一部分。在所述下部导电层的暴露部分上形成通路盖层。沉积牺牲材料层从而用牺牲材料填充所述通孔。然后通过蚀刻所述牺牲材料层和所述ILD层形成与所述通孔对准的沟槽。然后去除在所述通孔中剩余的牺牲材料从而暴露所述通路盖层。通过用导电材料填充所述沟槽和通孔而形成上部互连。

在一个示例性实施例中，通过在所述导电层的暴露部分上选择性地形成所述通路盖层来形成所述通路盖层。所述通路盖层可以形成为具有在约50埃至约500埃范围内的厚度。所述通路盖层可以由具有铜扩散阻挡特性

的材料和/或对于腐蚀或氧化具有抵抗性的材料形成。

在本发明的一个示例性实施例中，可以利用无电沉积工艺来选择性地形成所述通路盖层，其中所述通路盖层由包括 CoWP、CoSnP、CoP、CoB、CoSNB、Pd、IN 或 NiB 的材料形成。在另一示例性实施例中，利用化学气相沉积工艺选择性地形成所述通路盖层，其中所述通路盖层由包括 W、 $WN_x$ 、Ta、 $TaN_x$ 、Ti 或  $TiN_x$  的材料形成。在又一示例性实施例中，利用原子层沉积工艺选择性地形成所述通路盖层，其中所述通路盖层由包括 W、 $WN_x$ 、Ta、 $TaN_x$ 、Ti 或  $TiN_x$  的材料形成。

在本发明的一个示例性实施例中，所述通路盖层可以是所得互连结构的一部分。更具体而言，在一个示例性实施例中，通过以下步骤来形成所述互连，即，在所述沟槽和通孔侧壁上以及所述通路盖层上形成共形阻挡层，在所述共形阻挡层上方沉积一层导电材料从而用该导电材料填充所述通孔和沟槽，以及，平坦化所述导电材料层。

在另一示例性实施例中，在形成所述互连结构之前去除所述通路盖层。更具体而言，在一个示例性实施例中，通过以下步骤来形成所述互连，即，在所述沟槽和通孔侧壁上以及所述通路盖层上形成第一共形阻挡层，去除所述通路盖层和部分所述第一共形阻挡层以暴露部分所述下部导电层，在所述第一共形阻挡层和所述下部导电层的暴露部分上形成第二共形阻挡层，在所述第二共形阻挡层上方沉积一层导电材料从而用该导电材料填充所述通孔和沟槽，以及，平坦化所述导电材料层。在一个示例性实施例中，利用比如 Ar 溅射的溅射工艺来去除所述通路盖层和部分所述第一共形阻挡层。

通过结合附图对示例性实施例的以下详细描述，本发明的这些和其他示例性实施例、方面、目的、特征及优点将变得明了。

## 附图说明

图 1 至 10A - 10B 是剖面图，示出了根据本发明示例性实施例的用于形成半导体器件的金属布线层的方法；

图 11 至 18A - 18B 是剖面图，示出了根据本发明其他示例性实施例的用于形成半导体器件的金属布线层的方法。

## 具体实施方式

现将参照附图更充分的描述本发明的示例性实施例，应理解的是，附图中为清楚起见夸大了层和区域的厚度和尺寸。应进一步理解的是，当一层被描述为在另一层或衬底“上”或“上方”时，该层可以直接在另一层或衬底上，或者，也可以存在插入层。此外，附图通篇所使用的相似的附图标记表示具有相同或相似功能的元件。

图 1 至 10A - 10B 是示意性剖面图，示出了根据本发明示例性实施例的用于形成半导体器件的金属布线层的方法。更具体而言，图 1 至 10A - 10B 示出了利用双镶嵌方法形成多层金属互连结构的方法，该双镶嵌方法包含了通路覆盖工艺，以保护下部互连线免受由下部互连线无意地暴露于蚀刻气氛而引起的例如蚀刻损坏或氧化的影响。图 1 至 9 以及图 10A 示出了其中通路盖层形成为双镶嵌互连结构的一部分的方法，而图 1 - 9 以及图 10B 示出了其中在形成上部金属线和到下部金属线的接触之前去除通路盖层的方法。

参照图 1，所示出的半导体衬底 (100) 具有第一 ILD (层间电介质) 层 (105) (或绝缘层) 以及形成在其上的下部互连线 (110)。所述衬底 (100) 可以是任何半导体器件，比如其中形成有集成电路器件的硅衬底。在一个示例性实施例中，第一 ILD 层 (105) 形成在半导体衬底 (100) 上并且利用镶嵌技术将下部互连线 (110) 形成在 ILD 层 (105) 中。所述下部互连线 (110) 可以由通常用于形成集成电路导电层的任何适合的材料形成。例如，下部互连线可以包括金属材料，比如铜、铜合金、铝、铝合金、钨或其他适合的金属或导电材料。

参照图 2，在图 1 的结构上顺序形成蚀刻停止层 (120) (或阻挡层)、第二 ILD 层 (130) 和盖层 (140) (或硬掩模层)。蚀刻停止层 (120) 用作后续通路蚀刻工艺 (以下描述) 的蚀刻停止层，以防止下部互连线 (110) 的暴露。蚀刻停止层 (120) 还用作扩散阻挡层，以防止/减少金属材料向 ILD 层 (130) 中的扩散。蚀刻停止层 (120) 被制造得尽可能的薄，从而保持绝缘叠层 (120 和 130) 的总体低介电特性，同时提供足够的扩散阻挡。在一个示例性实施例中，蚀刻停止层 (120) 由绝缘材料形成，该绝缘材料具有约 300 埃至约 500 埃的厚度并具有相对于 ILD 层 (130) 的高蚀刻选择性。例如，蚀刻停止层 (120) 可以由 SiC、SiN、SiCN、SiCO 或 SiCON 形成，

并利用已知技术来形成。

在一个示例性实施例中，ILD层(130)优选由k值小于约4.2的低k介电材料形成。ILD层(130)可以由有机聚合物材料或无机材料形成。更具体而言，ILD层(130)可以由掺杂例如碳、氟或氢原子的氧化硅层形成，例如碳氧化硅(SiOC)层、SiOCH层、氟化硅倍半氧化物(fluoro-silses-quioxane, FSQ)层、氢化硅倍半氧化物(hydro-silses-quioxane, HSQ)层、甲基硅倍半氧化物(methyl-silses-quioxane, MSQ)层。无论蚀刻停止层(120)和ILD层(130)使用什么样的材料，ILD层(130)优选由相对于停止层(120)具有高蚀刻选择性并具有低介电常数的材料形成。

可以形成盖层(140)(或硬掩模层)来保护ILD层(130)在等离子体工艺期间不被损坏并作用对于后续CMP工艺的缓冲层。利用相对于ILD层(130)具有高蚀刻选择性的材料来形成盖层(140)。例如，硬掩模层(140)可以由以下材料形成：(i)绝缘氮化物层，比如氮化硅(SiN)层、碳氮化硅(SiCN)层或氮化硼(BN)层；(ii)绝缘碳化物层，比如碳化硅(SiC)层；(iii)金属氮化物层，比如氮化钽(TaN)层、氮化钛(TiN)层、氮化钨(WN)层或氮化铝(AlN)层；(iv)金属氧化物层，比如氧化铝( $Al_2O_3$ )层、氧化钽(TaO)层或氧化钛(TiO)层；或者(v)比如SiO<sub>2</sub>的硅层，或者比如SiOF和SiON的其他材料。

在所述示例性工艺中的下一步骤包括在ILD层(130)中形成通孔。例如，如在图2中所进一步描述的，在盖层(140)上形成ARL(抗反射层)(144)，并且形成具有开口(145a)的光致抗蚀剂图案145，通过该开口暴露ARL(144)的一部分表面。开口(145a)与下部互连线(110)对准并且限定了用于形成如图3中所示的通孔(150)的图案。

更具体而言，参照图3，利用光致抗蚀剂图案(145)作为蚀刻掩模，对图2的结构进行一个或多个独立的蚀刻工艺(147)，由此依次蚀刻ARL(144)、盖层(140)和ILD层(130)，从而形成下至蚀刻停止层(120)的通孔(150)。可以利用任何常规的蚀刻工艺来蚀刻ILD层(130)，比如适于蚀刻ILD层(130)的材料的各向异性干法氧化物蚀刻工艺。

在形成通孔(150)之后，利用例如灰化工艺(O<sub>2</sub>或H<sub>2</sub>等离子体)和有机剥离剂来去除光致抗蚀剂图案(145)和ARL(144)。之后，蚀刻通过通孔(150)暴露的蚀刻停止层(120)部分从而暴露一部分下部互连线(110)

的表面。图 4 示出了在去除光致抗蚀剂图案 (145) 和 ARL (144) 并且蚀刻部分蚀刻停止层 (120) 以通过通孔 (150) 露出一部分下部互连线 (110) 之后的示例性结构。

现参照图 5, 在下部互连线 (110) 的暴露部分上形成通路盖层 (155)。形成该通路盖层 (155) 以保护下部互连线 (110) 在后续工艺期间不受等离子体/蚀刻损坏和/或铜氧化的影响。在一个示例性实施例中, 该通路盖层 (155) 形成为具有约 50 埃至约 500 埃的厚度。通路盖层 (155) 优选由具有铜扩散阻挡特性 (例如, 铜扩散抑制) 的材料和/或对于腐蚀或氧化具有抵抗性的材料形成。

根据本发明, 可以利用各种方法之一在下部互连线 (110) 的暴露部分上选择性地形成通路盖层 (155)。例如, 在一个示例性实施例中, 可以利用已知的无电沉积方法 (例如在美国专利公开 No.2002-123220 中所公开的方法) 来选择性地形成通路盖层 (155)。利用无电沉积, 通路盖层 (155) 可以由例如包括 CoWP、CoSnP、CoP、CoB、CoSNB、Pd、IN 或 NiB 的材料形成。在另一示例性实施中, 可以利用化学气相沉积 (CVD) 工艺来选择性地形成通路盖层 (155)。利用 CVD, 通路盖层可以由例如包括 W、WN<sub>x</sub>、Ta、TaN<sub>x</sub>、Ti 或 TiN<sub>x</sub> 的材料形成。在本发明的又一示例性实施例中, 利用原子层沉积 (ALD) 工艺选择性地形成通路盖层 (155)。利用 ALD, 通路盖层 (155) 可以由例如包括 W、WN<sub>x</sub>、Ta、TaN<sub>x</sub>、Ti 或 TiN<sub>x</sub> 的材料形成。

参照图 6, 在形成通路盖层 (155) 之后, 通过沉积一层牺牲材料 (162) 而用牺牲材料填充通孔 (150)。优选地, 牺牲材料 (162) 由具有均匀间隙填充特性的材料形成从而使牺牲材料 (162) 中空洞的形成最小化。在一个示例性实施例中, 牺牲材料 (162) 由有机旋涂聚合物 (SOP) 材料形成, 比如聚亚芳基醚 (polyaryleneether) 基材料、聚甲基丙烯酸甲酯 (polymetamethylacrylat) 基材料或乙烯基醚甲基丙烯酸酯 (vinylether metacrylate) 基材料。在本发明的另一示例性实施例中, 牺牲材料 (162) 由无机旋涂玻璃 (SOG) 材料形成, 比如 HSQ(氢化硅倍半氧化物 HydrogenSilsesQuioxane) 基材料、MSQ(甲基硅倍半氧化物 MethylSilsesQuioxane)基材料。

优选选取牺牲材料 (162) 使其具有与形成 ILD 层 (130) 的介电材料的干法蚀刻特性相似的干法蚀刻特性。例如, 对于给定的干法蚀刻化学品,

牺牲材料(162)优选具有比ILD层(130)的干法蚀刻速率略快的干法蚀刻速率。正如以下所说明的,这确保了在形成沟槽区域之后在通孔(150)中留下足够量的牺牲材料。此外,选择牺牲材料(162)使其具有比ILD层(130)的湿法蚀刻速率明显快的湿法蚀刻速率。正如以下所说明的,这能够在形成沟槽区域之后去除通孔(150)中的剩余牺牲材料。使用SOP还是SOG材料取决于形成ILD层(130)的材料,以及对于给定的蚀刻化学品,ILD层(130)与牺牲材料(162)之间的所需的蚀刻选择性。

在所述示例性工艺中的下一步骤是在ILD层(130)中形成沟槽区域。参照图7,所述示例性工艺从在牺牲材料层(162)上形成第二ARL(抗反射层)(184)开始,并形成具有开口(185a)的第二光致抗蚀剂图案(185),通过该开口(185a)暴露第二ARL(184)的一部分表面。开口(185a)形成为与通孔(150)对准,并且开口(185a)限定了用于在ILD层(130)中形成沟槽的蚀刻图案,如以下所说明的。

参照图8,执行蚀刻工艺(227),从而通过利用光致抗蚀剂图案(185)作为蚀刻掩模依次蚀刻ARL(184)、牺牲材料(162)和ILD层(130)而形成沟槽(190)。在一种示例性方法中,利用干法蚀刻工艺来进行蚀刻(227),该干法蚀刻工艺具有适于蚀刻形成不同层的材料类型的蚀刻化学品。如以上所提到的,选择用于蚀刻沟槽(190)的干法蚀刻化学品使得牺牲材料(162)以比ILD层(130)更快的速率被蚀刻,从而避免缺陷的形成。更具体而言,执行蚀刻使得牺牲材料(162)与ILD(130)之间的蚀刻速率基本相同或者小于10:1。进行足够时间的蚀刻工艺从而形成在ILD层(130)的顶表面之下具有所需沟槽深度的沟槽(190)。在干法蚀刻工艺期间,通孔(150)中剩余的牺牲材料(162a)凹进到沟槽(190)的底部之下,从而形成包括沟槽(190)和部分通孔(150)的非填充区域(195)。

图9是在剩余牺牲材料(162、162a)以及光致抗蚀剂(185)和ARL(184)被去除之后图8的结构的示意性侧视图。在一个示例性实施例中,利用例如灰化工艺来去除第二光致抗蚀剂图案(185)和ARL(184),之后去除牺牲材料(162)。如果牺牲材料(162)包括有机材料,则将牺牲材料(162)与第二光致抗蚀剂图案(185)一起去除。当牺牲材料(162)是无机SOG材料时,在去除光致抗蚀剂图案(185)和ARL(184)之后,利用湿法蚀刻工艺来去除形成在硬掩模层(140)上的牺牲材料以及剩余在通孔

(150) 中的牺牲材料 (162a)。如上所述, 选择湿法蚀刻化学品 (例如 HF 溶液), 使得牺牲材料以比 ILD 层 (130) 明显快的速率被选择性地蚀刻。例如, 如果牺牲材料 (162) 由 SOG 层 (比如 HSQ 层) 形成并且 ILD 层 (130) 由 SiOC 形成, 则在 HF 溶液中, 牺牲材料 (162) 被蚀刻得明显快于 ILD 层 (130)。简言之, 选择湿法化学品从而在牺牲材料 (162) 与 ILD 层 (130) 的材料之间提供高的选择性。

所述示例性方法的下一步骤包括通过用比如铜的导电材料填充沟槽 (190) 和通孔 (150) 而形成上部金属互连 (双镶嵌互连)。图 10A 和 10B 描绘了用于该工艺的各种示例性实施例, 其中在通路盖层 (155) 上方形成互连结构 (230) (图 10A), 并且其中在去除通路盖层 (155) 之后形成互连结构 (230)。

更具体而言, 在一个实施例中, 参照图 10A, 形成上部互连结构 (230) 的方法包括在沟槽 (190) 和通孔 (150) 的侧壁上以及通路盖层 (155) 的表面上形成共形的阻挡层 (200)。在一个示例性实施例中, 可以利用溅射沉积工艺形成阻挡层 (200), 从而利用比如 TiN 或 TaN 的材料形成厚度为约 50 埃至约 500 埃的阻挡层。之后, 在共形阻挡层 (200) 的上方沉积一层导电材料, 从而利用该导电材料填充通孔 (150) 和沟槽 (190)。例如, 所述导电材料可以是利用常规的电镀工艺沉积的铜。然后执行平坦化工艺 (例如 CMP) 从而使所述结构的顶表面下至硬掩模层 (140) 平坦化, 由此完成具有双镶嵌结构的金属布线层 (230) 的形成。

在本发明的另一示例性实施例中, 参照图 10B, 形成上部互连结构 (230) 的工艺包括在沟槽 (190) 和通孔 (150) 的侧壁上以及通路盖层 (155) 的表面上形成第一共形的阻挡层 (200), 然后蚀刻通孔 (150) 的底层从而去除通路盖层 (155) 和通路盖层 (155) 表面上的部分第一共形阻挡层, 由此暴露一部分下部互连线 (110)。在一个示例性实施例中, 可以利用比如 Ar 溅射的溅射工艺来去除通路盖层 (155) 及其表面上的第一共形阻挡层 (200)。此外, 可以执行 Ar 溅射从而去除下部互连线 (110) 上表面的薄层, 以去除可能存在的损坏区域。

然后, 在第一共形阻挡层 (200) 和下部互连线 (110) 的暴露部分上形成第二共形阻挡层 (201), 之后在第二共形阻挡层 (201) 上方沉积一层导电材料, 从而利用该导电材料填充通孔 (150) 和沟槽 (190)。之后, 平

坦化所得结构（例如通过 CMP），从而去除下至硬掩模层（140）表面的导电材料和阻挡材料，由此完成双镶嵌结构（230）的形成。

以上参照图 1 至图 10A/10B 描述的示例性方法是通路第一双镶嵌方法（via first dual damascene, VFDD），该方法利用单层抗蚀剂（SLR）工艺来执行。利用示例性的 VFDD SLR 方法，牺牲材料可以是无机或有机材料。在本发明的其他示例性实施例中，提供了 VFDD 多层抗蚀剂（MLR）方法，这将参照图 11 至 18A/18B 的示例图来描述。利用这些示例性方法，牺牲材料由有机材料形成从而在蚀刻工艺期间用作光致抗蚀剂。首先参照图 11 描述图 11 至 18A/18B 的示例性方法，但应理解的是，以上参照图 1 至 5 描述的示例性方法是可以图 11 的处理步骤之前的处理步骤。

参照图 11，在形成通路盖层（155）之后（例如图 5），通过沉积牺牲材料（262）层用牺牲材料填充通孔（150），从而填充通孔（150）。优选地，牺牲材料（262）由具有均匀间隙填充特性的材料形成从而使牺牲材料（262）中空洞的形成最小化。在一个示例性实施例中，牺牲材料（262）由有机旋涂聚合物（SOP）材料形成，比如聚亚芳基醚基材料、聚甲基丙烯酸甲酯基材料或乙烯基醚甲基丙烯酸酯基材料。正如以上描述的示例性实施例，优选选取牺牲材料（262）使其相对于形成 ILD 层（130）的介电材料具有给定的干法和湿法蚀刻特性，从而在以下描述的后续处理步骤中，对于蚀刻沟槽区域和去除剩余的牺牲材料实现所需的蚀刻选择性。

比较图 11 和图 6 的示例图，可注意到图 11 中的牺牲材料（262）层形成得比图 6 所示的牺牲材料（162）层更厚。在本示例性实施例中将牺牲材料（262）形成得足够厚，因为正如以下将说明的（图 16），在后续蚀刻工艺期间，将牺牲材料（262）层用作蚀刻掩模。

参照图 12，在牺牲材料（262）层上形成硬掩模层（282）。硬掩模层（282）可以是氧化硅层、氮化硅层、碳化硅层、SiON、SiCN、SiOCN、Ta、Ta<sub>2</sub>N<sub>5</sub>、Ti、TiN、Al<sub>2</sub>O<sub>3</sub>、BQ、HSQ。选择形成硬掩模层（282）的材料使其相对于牺牲材料（262）具有高的蚀刻选择性。

参照图 13，在硬掩模层（282）上形成 ARL（抗反射层）（284），并形成具有开口（285a）的光致抗蚀剂图案（285），通过该开口（285a）暴露 ARL（284）的一部分表面。开口（285a）形成为与通孔（150）对准，并且开口（285a）限定了用于在 ILD 层（130）中形成沟槽区域的蚀刻图案。



参照图 14, 利用光致抗蚀剂图案 (285) 作为蚀刻掩模执行一个或多个蚀刻工艺 (307), 从而依次蚀刻通过开口 (285a) 暴露的部分 ARL (284) 和硬掩模层 (282)。在一个示例性实施例中, 利用光致抗蚀剂图案 (285) 作为蚀刻掩模来执行蚀刻工艺 (307), 由此依次蚀刻 ARL (284) 和硬掩模层 (282)。优选地, 利用单一干法蚀刻工艺来执行蚀刻工艺 (307), 该干法蚀刻工艺利用了适于蚀刻形成不同层 (284) 和 (282) 的材料类型的蚀刻化学品。

参照图 15, 执行给定时间的第二蚀刻工艺 (317), 从而蚀刻通过开口 (285a) 暴露的牺牲材料 (262)。利用造成光致抗蚀剂图案 (285) 和 ARL (284) 被去除同时蚀刻牺牲材料 (262) 的蚀刻化学品来执行第二蚀刻工艺 (317)。在一个示例性实施例中, 利用干法蚀刻工艺来执行第二蚀刻工艺 (317), 该干法蚀刻工艺利用了适于蚀刻形成不同层的材料类型的蚀刻化学品。优选选择所述干法蚀刻化学品使得牺牲材料 (262) 以比 ILD 层 (130) 更快的速率被蚀刻, 以避免缺陷的形成。更具体而言, 执行蚀刻使得牺牲材料 (262) 与 ILD (130) 之间的蚀刻速率基本相同或者小于 10:1。如图 15 所描绘的, 执行第二蚀刻工艺 (317) 从而蚀刻牺牲材料 (262a) 下至通孔 (150) 中的水平面, 该水平面与预期沟槽的水平面相同或者低于预期沟槽的水平面。利用示例性蚀刻工艺 (317), 暴露了图案化的硬掩模层 (282)。

参照图 16, 利用图案化的硬掩模层 (282) 和牺牲材料层 (262) 作为蚀刻掩模, 执行第三蚀刻工艺 (327), 以蚀刻盖层 (140) 和 ILD 层 (130) 的暴露部分从而形成沟槽 (290)。在该示例性实施例中, 蚀刻盖层 (140) 和 ILD 层 (130) 的暴露部分, 从而将沟槽 (290) 形成至 ILD 层 (130) 顶表面之下的预期水平面。

在一种示例性方法中, 利用相对于牺牲材料 (262) 对硬掩模层 (282)、盖层 (140) 和 ILD 层 (130) 具有高度选择性的蚀刻化学品来执行蚀刻 (327)。以这样的方式, 以比牺牲材料 (262) 明显大的速率来蚀刻盖层 (140) 和 ILD 层 (130), 使得在蚀刻掉硬掩模层 (282) 之后, 使盖层 (140) 之上的牺牲材料 (262) 用作蚀刻掩模, 并使得通孔 (150) 底部中的牺牲材料 (262a) 不被过蚀刻, 由此保护通路盖层 (155) 和下部互连线 (110), 使其不暴露于蚀刻气氛。例如, 如图 16 中所描绘的, 在该蚀刻工艺 (327) 期间, 蚀刻掉相对少量的牺牲材料 (262b)。

在一个示例性实施例中，利用干法蚀刻工艺来执行蚀刻工艺（327），该干法蚀刻工艺具有被选取的蚀刻化学品使得牺牲材料（262a、262）以比ILD层（130）更低的速率被蚀刻，从而避免缺陷的形成。更具体而言，执行蚀刻使得牺牲材料（262a、262）与ILD层（130）之间的蚀刻速率基本快于1:10。

接下来，去除剩余的牺牲材料（262a、262）（图16中所描绘的）以暴露盖层（140）和通路盖层（155）。图17是在去除剩余的牺牲材料（262、262a）之后图16的结构示意性侧视图。可以利用例如灰化工艺或者其他蚀刻方法来去除牺牲材料（262、262a），所述其他蚀刻方法具有这样的蚀刻化学品，该蚀刻化学品能够使形成牺牲材料（262）的有机材料以相对大于形成ILD层（130）的材料的蚀刻速率的速率被蚀刻。

所述示例性方法的下一步骤包括通过用比如铜的导电材料填充沟槽（290）和通孔（150）来形成上部金属互连（双镶嵌互连）。从图17中描绘的示例性结构开始，以上参照图10A和10B描述的相同的制造方法可以用于形成图18A和18B中所描绘的结构。

尽管此处已经参照附图描述了示例性实施例，但应理解的是，本发明不限于此处描述的示例性实施例，在不偏离本发明的范围或主旨的前提下，本领域普通技术人员可以容易地构想各种其他变化和修改。所有这些变化和修改意于包括在所附权利要求所界定的本发明的范围内。

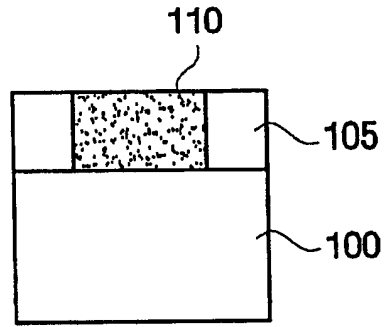


图 1

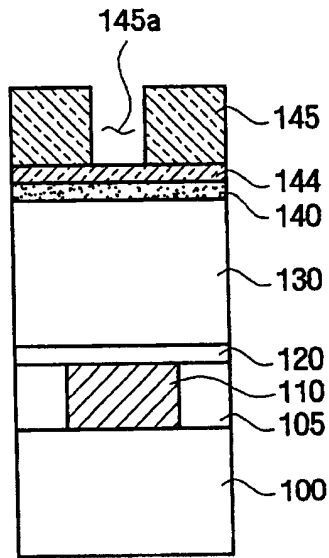


图 2

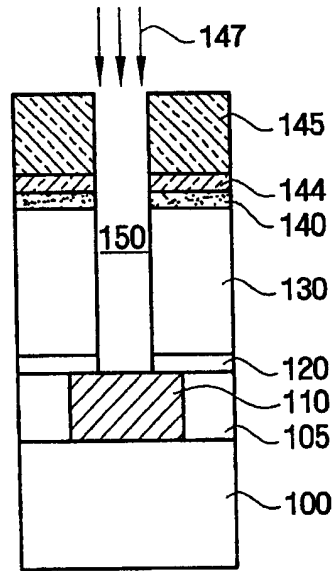


图 3

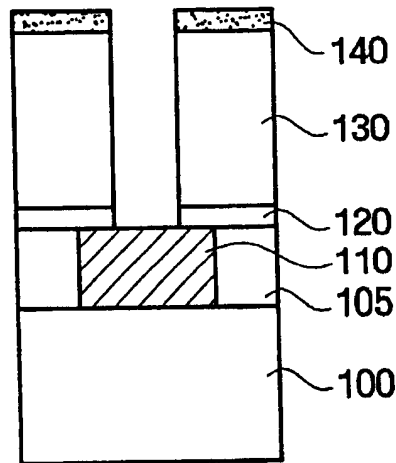


图 4

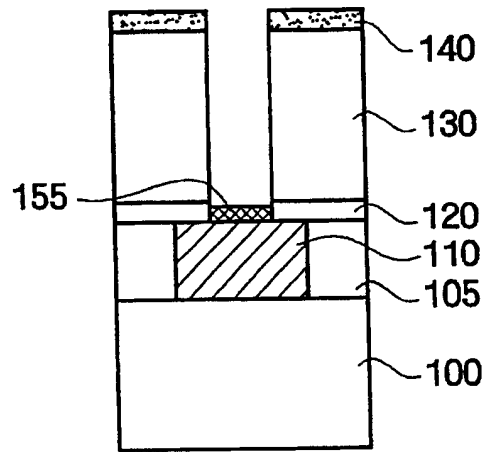


图 5

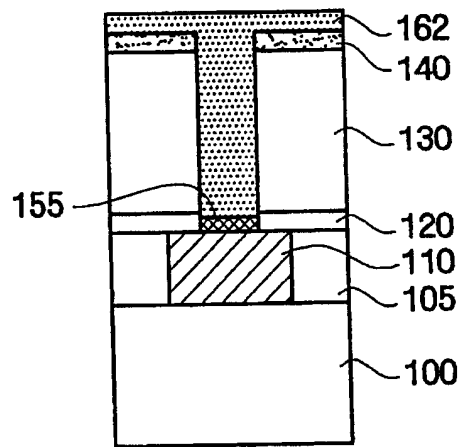


图 6

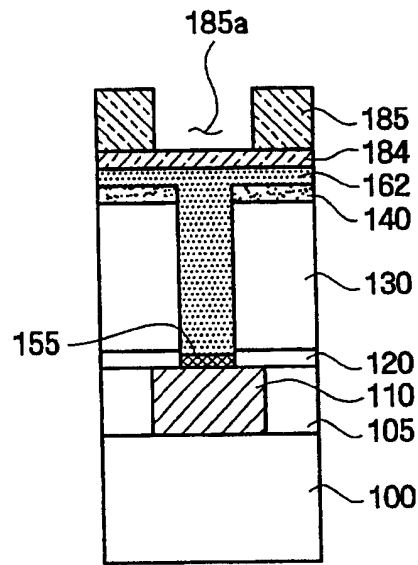


图 7

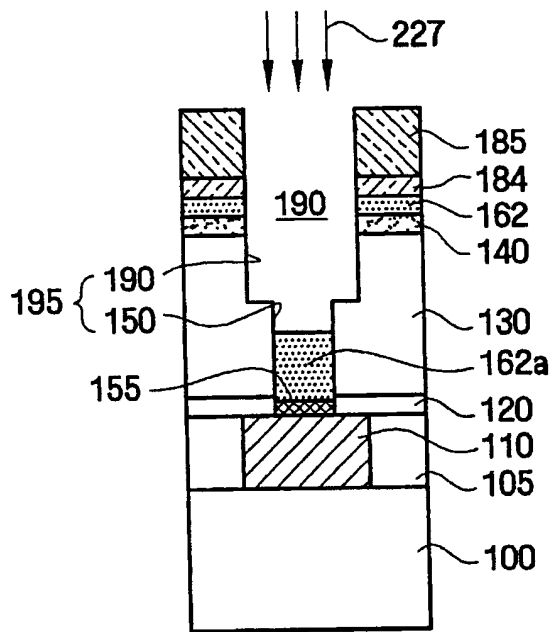


图 8

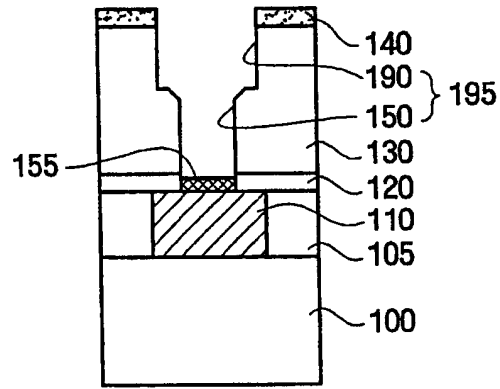


图 9

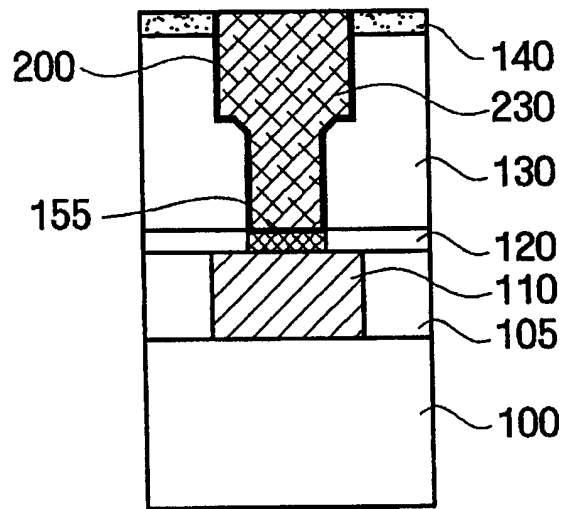


图 10A

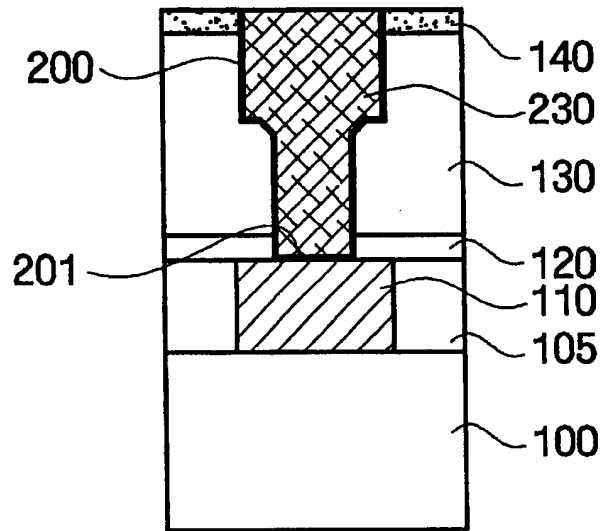


图 10B

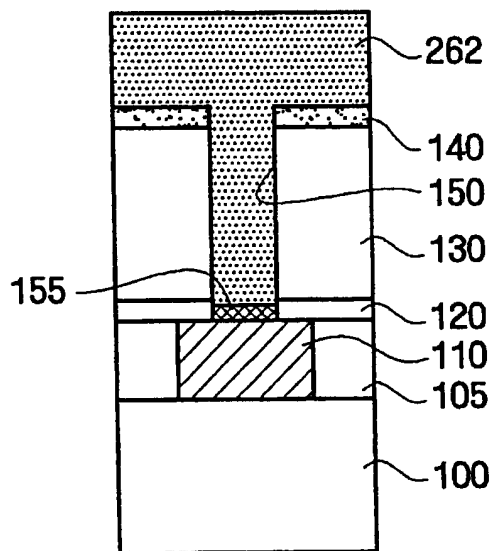


图 11



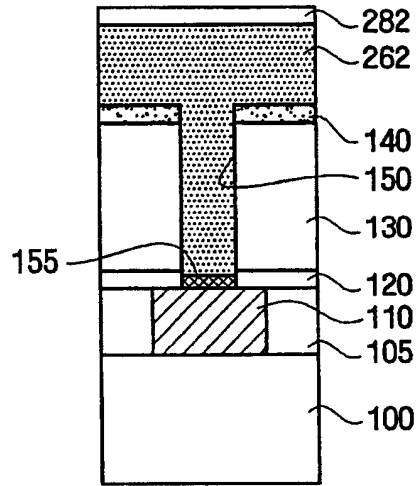


图 12

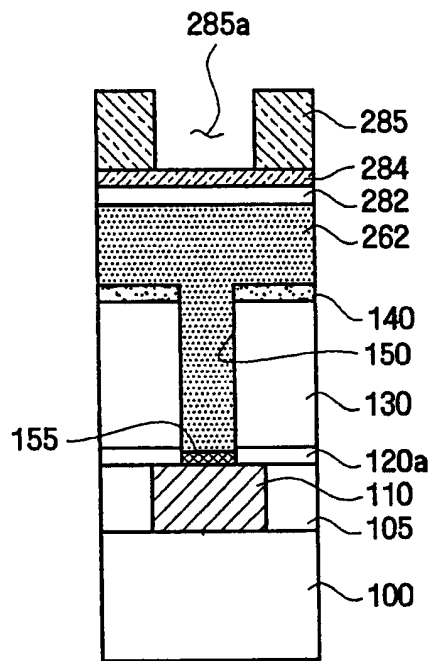


图 13

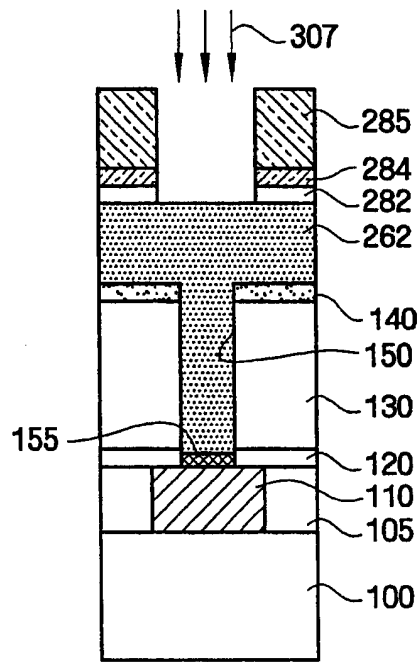


图 14

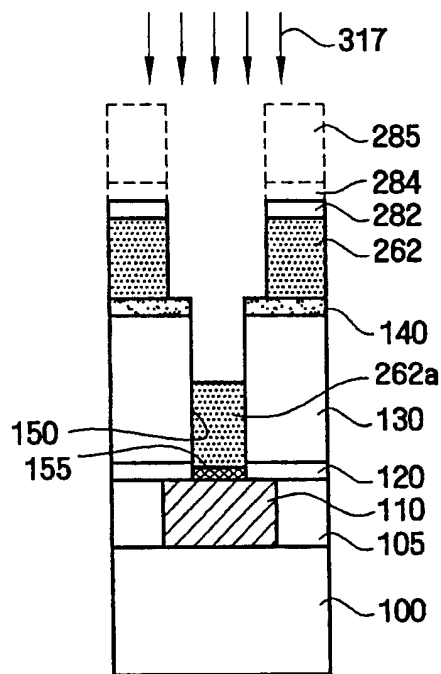


图 15

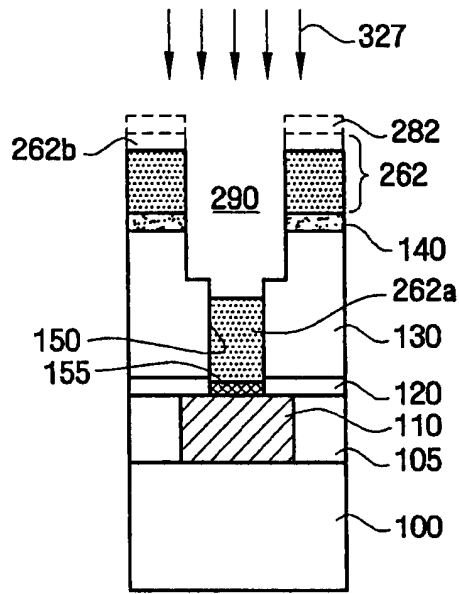


图 16

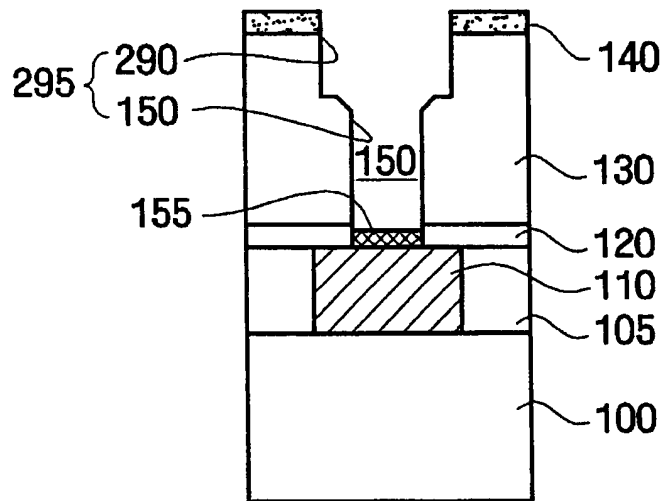


图 17

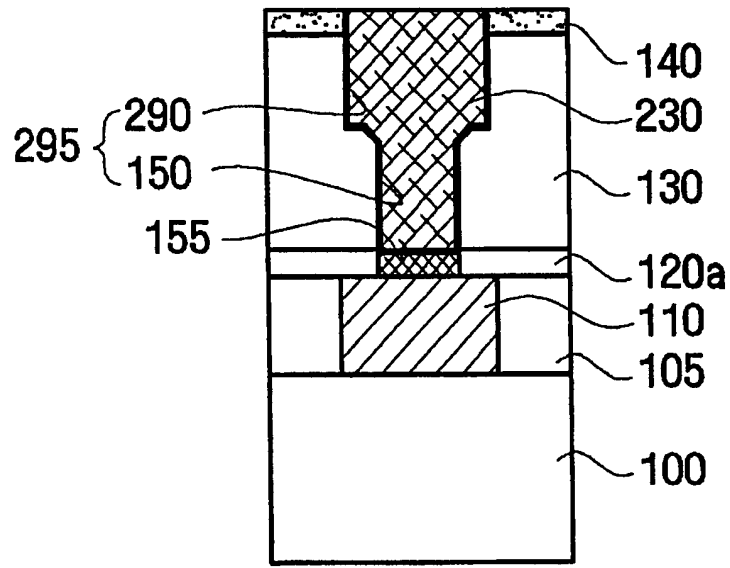


图 18A

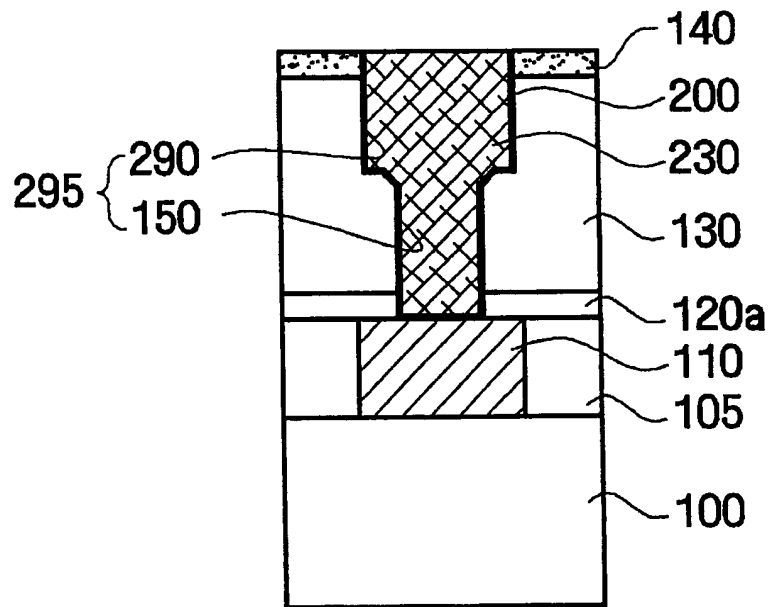


图 18B