



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I835598 B

(45) 公告日：中華民國 113 (2024) 年 03 月 11 日

(21) 申請案號：112110060

(22) 申請日：中華民國 107 (2018) 年 12 月 13 日

(51) Int. Cl. : H01L23/043 (2006.01)

H01L23/28 (2006.01)

H01L23/538 (2006.01)

(30) 優先權：2017/12/22 美國

62/609,682

2018/12/06 美國

16/212,471

(71) 申請人：美商艾德亞半導體接合科技有限公司 (美國) ADEIA SEMICONDUCTOR BONDING TECHNOLOGIES INC. (US)

美國

(72) 發明人：黃少武 HUANG, SHAO WU (US)；狄拉克魯茲 賈維爾 A DELACRUZ, JAVIER A. (US)；王亮 WANG, LIANG (US)；卡特卡 拉杰詡 KATKAR, RAJESH (IN)；哈巴 貝高森 HABA, BELGACEM (US)

(74) 代理人：閻啓泰；林景郁

(56) 參考文獻：

TW 201501259A

TW 201519379A

US 9620464B2

US 2016/0240495A1

審查人員：徐孝倫

申請專利範圍項數：23 項 圖式數：8 共 39 頁

(54) 名稱

腔體封裝

(57) 摘要

本發明揭示一種整合式裝置封裝。該整合式裝置封裝可包括整合式裝置晶粒、元件、腔體及電互連。該元件可具有一天線結構。該元件可附接至該整合式裝置之表面。該腔體可安置在該整合式裝置晶粒與該天線結構之間。該電互連可連接該整合式裝置晶粒與該天線結構。

An integrated device package is disclosed. The integrated device package can include an integrated device die, an element, a cavity, and an electrical interconnect. The element can have an antenna structure. The element can be attached to a surface of the integrated device. The cavity can be disposed between the integrated device die and the antenna structure. The electrical interconnect can connect the integrated device die and the antenna structure.

指定代表圖：

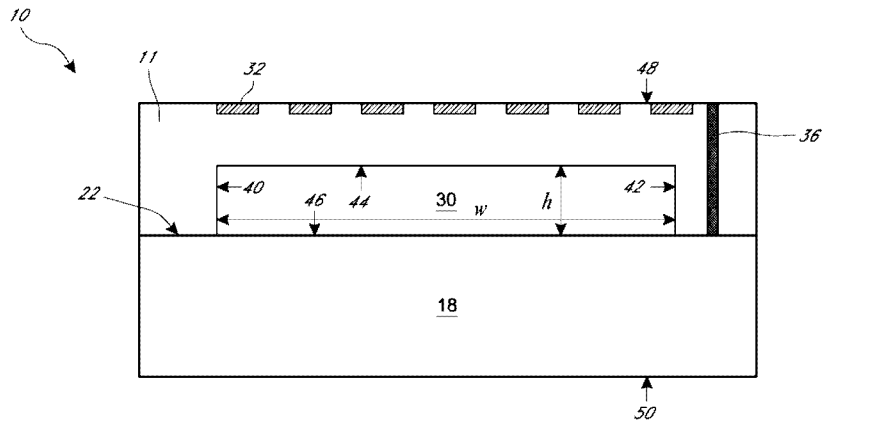


圖1A

符號簡單說明：

1:整合式裝置封裝

10:元件

11:框架

18:裝置晶粒

22:接合表面

30:腔體

32:天線結構

36:互連

40:第一壁

42:第一壁

44:上表面

46:下表面

48:頂部表面

50:底表面

h:高度

w:寬度



I835598

【發明摘要】

【中文發明名稱】 腔體封裝

【英文發明名稱】 CAVITY PACKAGES

【中文】

本發明揭示一種整合式裝置封裝。該整合式裝置封裝可包括整合式裝置晶粒、元件、腔體及電互連。該元件可具有一天線結構。該元件可附接至該整合式裝置之表面。該腔體可安置在該整合式裝置晶粒與該天線結構之間。該電互連可連接該整合式裝置晶粒與該天線結構。

【英文】

An integrated device package is disclosed. The integrated device package can include an integrated device die, an element, a cavity, and an electrical interconnect. The element can have an antenna structure. The element can be attached to a surface of the integrated device. The cavity can be disposed between the integrated device die and the antenna structure. The electrical interconnect can connect the integrated device die and the antenna structure.

【指定代表圖】 圖1A

【代表圖之符號簡單說明】

1:整合式裝置封裝

10:元件

11:框架

18:裝置晶粒

22:接合表面

30:腔體

32:天線結構

36:互連

40:第一壁

42:第一壁

44:上表面

46:下表面

48:頂部表面

50:底表面

h:高度

w:寬度

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 腔體封裝

【英文發明名稱】 CAVITY PACKAGES

【技術領域】

【0001】 該領域通常係關於具有腔體之整合式裝置封裝，且特定而言係關於具有空氣腔體的射頻(RF)封裝。

相關申請案交叉參考

【0002】 本申請案主張在2018年12月6日提出申請的美國非臨時專利申請案第16/212,471號及在2017年12月12日提出申請的美國臨時專利申請案第62/609,682號之名稱為「腔體封裝」的優先權，該些申請案的全部內容以引用的方式併入本文中。

【先前技術】

【0003】 如今，高效能射頻(RF)裝置為高需求。RF裝置的效能可係指其增益、頻寬、方向性等。然而，由於與在裝置中併入腔體並為腔體提供精確尺寸相關的挑戰，可能難以製造高效能RF裝置。因此，仍然需要經改良的RF裝置。

【發明內容】

【0004】 本發明的一態樣為一種整合式裝置封裝，其包含：整合式裝置晶粒；元件，其包含天線結構，該元件附接至該整合式裝置晶粒之表面；腔體，安置在該整合式裝置晶粒與該天線結構之至少一部分之間；及電互連，其連接該整合式裝置晶粒及該天線結構。

【0005】 在所述態樣之整合式裝置封裝中，所述元件直接接合到所述整合式裝置晶粒而沒有中介黏合劑。

【0006】 在所述態樣之整合式裝置封裝中，該元件包含矽或玻璃。

【0007】 在所述態樣之整合式裝置封裝中，該電互連包含矽通孔或穿玻璃通孔。

【0008】 在所述態樣之整合式裝置封裝中，該整合式裝置晶粒包含射頻(RF)電路。

【0009】 在所述態樣之整合式裝置封裝中，該腔體由該元件及該整合式裝置晶粒界定。

【0010】 在所述態樣之整合式裝置封裝中，該腔體由該整合式裝置晶粒之平面上表面及該元件中之凹部界定。

【0011】 在所述態樣之整合式裝置封裝中，該凹部藉由蝕刻該元件之一部分而形成。

【0012】 在所述態樣之整合式裝置封裝中，該腔體由該元件之平面表面及該整合式裝置晶粒中之凹部界定。

【0013】 在所述態樣之整合式裝置封裝中，所述整合式裝置封裝進一步包含封裝基板，該整合式裝置晶粒安裝至該封裝基板。

【0014】 在所述態樣之整合式裝置封裝中，所述整合式裝置封裝進一步包含安置在該腔體中之金屬層。

【0015】 在所述態樣之整合式裝置封裝中，該元件包含接合在一起之複數個框架部分。

【0016】 在所述態樣之整合式裝置封裝中，該電互連直接且電連接至該裝置晶粒。

【0017】 在所述態樣之整合式裝置封裝中，該腔體以空氣填充。

【0018】 在所述態樣之整合式裝置封裝中，所述整合式裝置封裝進一步包含至少部分地安置在該腔體中之諧振器。

【0019】 在所述態樣之整合式裝置封裝中，該腔體包含第一壁，該第一壁具有指示蝕刻過程之壁表面。

【0020】 在所述態樣之整合式裝置封裝中，該腔體包含第一壁及第二壁，該第一壁及該第二壁包含該腔體之兩個相對側，該腔體具有自該第一壁至該第二壁之寬度，該寬度經尺寸設定從而以在24 GHz至128 GHz的範圍內之頻率接收或傳輸電磁輻射。

【0021】 在所述態樣之整合式裝置封裝中，該寬度在0.5 mm至12 mm的範圍內。

【0022】 在所述態樣之整合式裝置封裝中，該腔體之壁經構造使得該壁之表面粗糙度具有在0.1 μm 至2 μm 的範圍內之最大粗糙度。

【0023】 在所述態樣之整合式裝置封裝中，該壁經構造使得該壁之該表面粗糙度具有在0.1 μm 至1 μm 的範圍內之最大粗糙度。

【0024】 在所述態樣之整合式裝置封裝中，該天線結構安置在該腔體之上表面上或附近，或安置在該元件遠離該腔體之頂表面上或附近。

【0025】 在所述態樣之整合式裝置封裝中，該天線結構包含寄生貼片及饋電貼片。

【0026】 在所述態樣之整合式裝置封裝中，該天線結構之該部分包含該寄生貼片，該腔體安置在該寄生貼片與該饋電貼片之間，且該寄生貼片及該饋電貼片電連通。

【0027】 本發明的另一態樣為一種整合式裝置封裝，其包含：封裝殼體，其包含半導體材料，該封裝殼體包含：整合式裝置；天線結構；及腔體，其安置在該整合式裝置及該天線結構之至少一部分之間；以及電互連，其連接

該整合式裝置及該天線結構。

【0028】 在所述另一態樣之整合式裝置封裝中，該半導體材料包含矽。

【0029】 在所述另一態樣之整合式裝置封裝中，藉由蝕刻該半導體材料來形成該腔體。

【0030】 在所述另一態樣之整合式裝置封裝中，該天線結構包含複數個天線。

【0031】 在所述另一態樣之整合式裝置封裝中，該封裝殼體包含接合在一起之複數個殼體部分。

【0032】 本發明的又一態樣為一種製造半導體裝置封裝的方法，該方法包含：在包含天線結構之半導體元件中形成凹部；及將該半導體元件與整合式裝置晶粒接合，其中該凹部安置在該天線結構與該整合式裝置晶粒之間。

【0033】 在所述又一態樣之方法中，形成該凹部包含蝕刻該半導體元件之一部分。

【0034】 在所述又一態樣之方法中，形成該凹部包含用金屬塗覆該凹部之部分。

【0035】 在所述又一態樣之方法中，蝕刻該部分包含蝕刻該半導體元件之框架部分。

【0036】 在所述又一態樣之方法中，將該半導體元件與該整合式裝置晶粒接合包含將該半導體元件直接接合至該整合式裝置晶粒而無需中介黏合劑。

【0037】 在所述又一態樣之方法中，所述方法進一步包含在該半導體元件及該整合式裝置晶粒中之互連之間進行電連接。

【0038】 在所述又一態樣之方法中，所述方法進一步包含用空氣填充該凹部。

【圖式簡單說明】

【0039】 [圖1A]為整合式裝置封裝的示意性剖面圖，該整合式裝置封裝包括元件，該元件包含框架及安置在元件頂表面上或附近的天線結構，以及經由互連與天線結構電連接的裝置晶粒。

【0040】 [圖1B]為整合式裝置封裝的示意性剖面圖，其中天線結構安置在天線結構與裝置晶粒之間形成的腔體之上表面上或附近。

【0041】 [圖2]為整合式裝置封裝的示意性剖面圖，其展示包含接合在一起的複數個框架部分的元件。

【0042】 [圖3A]為整合式裝置封裝的示意性剖面圖，該整合式裝置封裝包含通過腔體從晶粒延伸到天線結構的第一互連。

【0043】 [圖3B]為整合式裝置封裝的示意性剖面圖，該整合式裝置封裝包含從晶粒延伸到天線結構的第二互連。

【0044】 [圖4A]為整合式裝置封裝的示意性剖面圖，該整合式裝置封裝具有在裝置晶粒的底表面及元件中的腔體附近的主動電路。

【0045】 [圖4B]為整合式裝置封裝的示意性剖面圖，該整合式裝置封裝具有在裝置晶粒的底表面及裝置晶粒中的腔體附近的主動電路。

【0046】 [圖5]為圍繞腔體之整合式裝置封裝的示意性剖面放大視圖，展示壁的不平坦及/扇形表面的放大視圖。

【0047】 [圖6A]為在製造用於形成腔體的凹部之前的元件的剖面圖。

【0048】 [圖6B]為在製造用於形成腔體的凹部之後的元件的剖面圖。

【0049】 [圖6C]為在將圖6B的元件接合至裝置晶粒之後的整合式裝置封裝的剖面圖。

【0050】 [圖7A]為整合式裝置封裝的示意性剖面圖，該整合式裝置封裝在元件的頂表面上或附近具有第一天線結構，且在腔體的下表面上或附近具有

第二天線結構。

【0051】 [圖7B]為整合式裝置封裝1的示意性剖面圖，該整合式裝置封裝在元件的頂表面上或附近具有第一天線結構，且在腔體的下表面下方具有第二天線結構。

【0052】 [圖8]為根據各種實施例的併入有一或多個接合結構的電子系統的示意圖。

【實施方式】

【0053】 在諸如無線通信技術的各種技術中，通信頻率一直在增加且可能將繼續增加。例如，在典型的蜂巢網路中，頻率可為大約至少幾GHz。採用新標準(例如，5G標準)，頻率可基本上較高，例如，至少25 GHz、至少50 GHz、至少75 GHz等。不同的天線結構可為更適合具有較高頻率的這些新技術。設計新天線結構之重要目的為創建消耗更少能量的更有效的結構，例如，需要具有更高增益的天線結構。此外，現代天線設計中之另一重要目的為創造可在更寬的頻率範圍內操作的更高效的平面天線結構，因為與其他類型的天線相比，諸如貼片天線的平面天線具有固有的更小頻寬。在提供更高增益及/或更寬頻寬的天線時，提供諧振結構的腔體的天線結構可能為有用的。然而，隨著頻率的增加，腔體通常更小且可利用更準確及/或精確的尺寸。因此，需要天線封裝之經改良結構。

【0054】 本文中揭示之各種實施例係關於整合式裝置封裝，例如包括腔體的射頻(RF)封裝。在一些實施例中，整合式裝置封裝可包含經堆疊以界定腔體之裝置晶粒。例如，在一些實施例中，RF封裝可包含耦合至元件(例如，半導體元件)或與元件(例如，半導體元件)形成之天線結構、裝置晶粒以及天線結構與裝置晶粒之間的腔體。例如，在一些實施例中，半導體元件可包含腔體，

且裝置晶粒可包含主動晶粒，該主動晶粒例如經由垂直互連與天線結構電連接。

【0055】 在一些實施例中，可藉由在RF裝置的天線封裝中包括腔體來改良RF效能。特定而言，天線封裝中之相對小的、精確尺寸的腔體可用於改良例如其具有高頻天線之此裝置的頻寬。此外，減小天線封裝之水平尺寸可允許RF裝置適應更高頻率的應用。進一步精確的水平及/或垂直尺寸對於改良RF裝置的效能可能為重要的，例如，通過允許具有更高增益之更多窄帶應用，或啟用具有可接受增益的更寬頻寬應用。緊湊的垂直互連，用於連接天線結構及主動晶粒。元件與天線結構可堆疊在裝置晶粒上以減小天線封裝的水平尺寸。然而，製造精確尺寸的腔體，且將元件與天線及主動晶粒堆疊可能為具有挑戰性。

【0056】 圖1A為整合式裝置封裝1的示意性剖面圖，其包括元件10，元件10包含框架11、天線結構32及經由互連36與天線結構32電連接的裝置晶粒18。例如，在一些實施例中，天線結構32可藉由安置在元件10中或其上的導電跡線(未示出)電連接至互連36。裝置封裝1包含在元件10與裝置晶粒18之間的腔體。

【0057】 在一些實施例中，元件10之框架11可包含半導體材料或其他介電材料(例如，矽、GaAs、玻璃等)。在一些實施例中，互連36(例如，穿矽通孔(TSV)，或穿玻璃通孔(TGV)等)可藉由在框架11中形成孔洞並且將導電材料(例如，銅、金等)安置在孔洞中。在一些實施例中，在框架11中具有互連36可能為有益的，以便減小整合式裝置封裝1的整體大小，而非具有與框架11及/或覆晶或導線接合互連分離的電連接。此外，此些實施例可允許裝置晶粒18與天線結構32之間的距離比外部電連接更短，這可增加信號傳送準確度，及/或減少將信號自裝置晶粒18傳送至天線結構32之電負載，且反之亦然。在一些實施例

中，框架可包含多於一個互連36。圖1A中所說明之互連36說明為設置在框架11內。然而，互連36可形成在元件10之任何位置處，包括元件10之邊緣及/或側壁。

【0058】 在一些實施例中，可能期望用腔體填料填充腔體30。腔體填料可包含低損耗介電常數或低損耗正切填料，例如具有低於約0.0001之損耗角正切的填料。在一些實施例中，腔體填料可包含氣體，諸如惰性氣體、空氣、氮氣等。在一些實施例中，可能期望使用乾燥氣體(例如，惰性乾燥氣體)，因為濕度可能改變某些氣體之損耗正切。在一些其他實施例中，腔體填料可包含介電材料。在一些實施例中，腔體填料可包含此填充材料或氣體的任何組合。腔體填料(例如，填充材料或氣體)可以任何合適的方式安置在腔體30中。應理解，用於特定應用之腔體30的尺寸可至少部分地由腔體填料的性質判定。在腔體30中具有已知損耗角正切的腔體填料以用於精確量測亦可能為有益的。

【0059】 在一些實施例中，腔體30可在其內周邊上或內周邊處包含塗層(未示出)。例如，第一壁40、第二壁42、上表面44及/或下表面46可塗覆有金屬及/或另外介電層。在一些實施例中，重要的是提供氣密密封的腔體30以將腔體30與外部環境隔離以在腔體30中具有已知氣體或材料。在一些實施例中，腔體亦可為天線結構32、34提供機械支撐。

【0060】 在一些實施例中，腔體可通藉由例如蝕刻元件10的框架11來界定(參見圖5)。在一些實施例中，腔體30可包含第一壁40及第二壁42。在此些實施例中，第一壁40及第二壁42可包含腔體30之兩個相對側。腔體30亦可包含上表面44及下表面46。在圖1之所說明實施例中，元件10之部分可包含上表面44，且裝置晶粒18之部分可包含下表面46。儘管圖1A中所說明的腔體30具有如剖面圖中所見至矩形形狀，但腔體30可形成任何其他合適的形狀。

【0061】 如在圖1A中所說明，天線結構32可安置在或接近元件10的頂部

表面48上或附近。例如，天線結構32可至少部分地嵌入在框架11中。在一些實施例中，天線結構32可安置在框架11的頂部上，例如，安置在框架11之外表面上。然而，應理解，天線結構32可安置在整合式封裝1之不同位置處(例如，參見圖1B)。例如，天線結構32可安置在腔體30之上表面附近，腔體30之上表面與元件10之頂表面之間，在腔體30之下表面46附近等。如圖1A中所示出，天線結構32可包含複數個橫向隔開之天線結構元件。在一些實施例中，天線結構32可包含相控陣列天線，該天線可包括天線陣列。可獨立地控制相控陣列天線之天線中之每一者。相移之信號可應用於相控陣列天線之天線中之每一者，且可提供建設性干涉或破壞性干涉。天線中之每一者可對應於橫向間隔開之天線結構元件。可優化天線結構元件之間間隔以提供所要的干擾耦合。在一些實施例中，天線結構32可包含貼片天線。貼片天線可經組態以發送及/或接收可單獨路由之不同頻率的信號。在一些實施例中，裝置晶粒18可包含分離器，該分離器可篩選每一分離的感興趣頻寬。儘管圖1A中僅說明一個天線結構32，但在一些實施例中，元件10可包含多個天線結構。在一些實施例中，多個天線結構可安置在元件10之不同部分處。

【0062】 元件10及裝置晶粒18可在接合表面22處直接接合在一起而無中介黏合劑。在一些實施例中，直接接合元件10及裝置晶粒18可能為有益的。例如，在一些實施例中，與使用其他接合方法諸如使用黏合劑進行接合)進行接合相比，直接接合元件10及裝置晶粒18可提供更好的密封而不增加封裝1之佔用面積或厚度。例如，因為直接接合不包括元件10與裝置晶粒18之間的底部填料，所以避免底部填料之洩漏。然而，在其他實施例中，元件10及裝置晶粒18可用黏合劑接合。

【0063】 直接接合表面之製備可包括提供非導電層，諸如氧化矽。可將元件10及裝置晶粒18之接合表面拋光至非常高的光滑度(例如，小於20 nm之表

面粗糙度，或更特定而言，小於1 nm之表面粗糙度)，例如藉由化學機械拋光(CMP)。在一些實施方案中，待接合之表面可用合適的物質封端並在接合之前活化。例如，在一些實施例中，待接合之接合層之接合表面，例如氧化矽材料，可經非常輕微地蝕刻以用於活化並暴露於含氮溶液並用含氮物質封端。作為一個實例，待接合之表面可在非常輕微地蝕刻之後暴露於氮浸漬及/或含氮電漿(具有或不具有單獨蝕刻)。一旦製備了個別表面，即可使元件10及裝置晶粒18之接合表面(諸如氧化矽)接觸。活化表面之交互作用可使第一元件10之接合表面在室溫下無需中介黏合劑、無需施加額外壓力、無需施加電壓而與裝置晶粒18之接合表面直接接合。在各種實施例中，非導電區域之接合力可包括大於凡得瓦鍵之共價鍵並在導電特徵之間施加顯著的力。在任何熱處理之前，在電介質-電介質表面之接合能量可在150至300 mJ/m²範圍內，其可在熱處理週期之後增加至1500至4000 mJ/m²。結合所揭示實施例中之每一者使用之直接接合過程的額外細節可每個公開的實施方案使用的直接接合方法的其他細節可貫穿美國專利第7,126,212；8,153,505；7,622,324；7,602,070；8,163,373；8,389,378；及8,735,219號，及貫穿美國專利申請公開案第2017/0062366；2016/0314346；2017/0200711中找到，其中每一者之內容特此藉由全文引用的方式併入本文中並用於所有目的。

【0064】 腔體30可具有自第一壁40至第二壁42的寬度w。寬度w之尺寸可取決於在整合了整合式封裝1之系統中所使用之電磁信號之頻率。例如，在一些實施例中，對於頻率為24 GHz，寬度w可為約6 mm，且對於128 GHz之頻率，寬度w可為約1 mm。在一些實施例中，電磁信號之頻率可在24 GHz至128 GHz的範圍內。例如，在一些實施例中，頻率可在24 GHz至75 GHz的範圍內，在50 GHz至128 GHz的範圍內，在50 GHz至75 GHz的範圍內等。寬度w可在0.5 mm至14 mm的範圍內。例如，寬度w可在0.5 mm至5 mm的範圍內、在4 mm至

14 mm的範圍內，在4 mm至5 mm的範圍內等。寬度 w 可具有公差，此歸因於例如，在一些實施例中，第一壁40與第二壁42之不平坦表面可具有1 μm 至2 μm 的粗糙度 r (參見圖5)。在一些實施例中，粗糙度 r 可例如在0.1 μm 至2 μm 的範圍中。在一些實施例，粗糙度 r 可小於寬度 w 之0.1%。腔體30可具有從下表面46至上表面44的高度 h 。在一些實施例中，高度 h 之尺寸可取決於操作頻率(波長)及/或信號強度。高度 h 可為操作頻率之波長的一半。較小的高度往往具有較低信號輻射強度。因此，在一些實施例中，可考慮高度設計極限及信號強度要求來判定高度 h ，例如，待傳遞之信號的所要量值。在一些實施例中，高度 h 可在5 μm 至500 μm 的範圍內。例如，高度 h 可在5 μm 至250 μm 的範圍內，在50 μm 至250 μm 的範圍內，在150 μm 至500 μm 的範圍內，在150 μm 至250 μm 的範圍內等。在一些實施例中，高度 h 可具有小於0.5 μm 的粗糙度。例如，粗糙度可小於0.05 μm 。在一些實施例中，粗糙度可小於高度 h 之約0.2%，例如，小於高度 h 之0.1%至0.5%。應理解，對於框架使用半導體或介電材料(例如，矽、玻璃等)可在製造具有如此小尺寸之凹部時提供高準確度。有利地，本文中所揭示之實施例可為高頻RF應用提供準確尺寸的腔體。

【0065】 圖1B為整合式裝置封裝1的示意性剖面圖，其包括元件10及裝置晶粒18，元件10包含框架11和及天線結構34，裝置晶粒18經由互連38與天線結構34電連接。除非另有說明，否則圖1B之組件可與圖1A之相同編號之組件相同或大致相似。

【0066】 與圖1A之實施例不同，在圖1B中，天線結構34可安置在腔體30之上表面44上或附近。與圖1A中所說明之天線結構32一樣，天線結構可嵌入在框架11中，及/或安置在框架11之頂部上。此外，與圖1A之實施例不同，其中互連36自裝置晶粒18延伸到元件10之頂表面48上或附近的天線結構32，圖1B之互連38自裝置晶粒18延伸至天線結構34在腔體30之上表面44上或附近。此外，

圖1B中所說明之互連38沿著腔體30之第二表面42安置。將天線結構32置於元件10之頂表面48上或附近(如圖1A中所展示)或者將天線結構34置於腔體30之上表面44上或附近(如圖1B中所展示)可存在各種益處。例如，在頂表面48 (圖1A)上形成天線結構32可比在腔體30之上表面44上形成天線結構34更容易且更便宜。然而，在腔體30之上表面44上提供天線結構34可將天線結構34放置得更靠近腔體30及/或裝置晶粒18，從而提供經改良效能。儘管天線結構34經展示為嵌入在框架11的材料內在腔體30的上表面44附近，天線結構34亦可安置在框架11的材料頂部上在腔體30之上表面44附近。

【0067】 儘管在圖1A及圖1B中僅示出一個天線及位置，但應理解，元件10可在頂表面48上或附近具有一或多個天線結構32，或在腔體30之上表面44上具有一或多個天線結構34，或在兩個位置處同時存在一或多個天線結構32及34。

【0068】 熟習此項技術者將理解，一個元件可包括圖1A中所說明之天線結構32及圖1B中所說明之天線結構34兩者。在此等實施例中，元件亦可包括互連36及38。在一些其他實施例中，元件可在元件的各個部分處包括更多天線結構。

【0069】 圖2為整合式裝置封裝1的示意性剖面圖，其展示元件10，元件10包含在第二接合表面24及第三接合表面26處接合在一起之複數個框架部分12、14、16。圖2之整合式裝置封裝包括安置在頂表面48上或附近之天線結構32。然而，應理解，圖2之整合式裝置封裝1可包括在腔體30之上表面44上或附近的天線結構，如圖1B中或在任何其他合適位置處所說明。除非另有說明，否則圖2之組件可與圖1A及圖1B之相同編號組件相同或大致相似。

【0070】 在一些實施例中，元件10可包括框架11，框架11具有接合在一起(例如，在沒有中介黏合劑的情況下直接接合)之複數個框架部分。框架11可

包含例如第一框架部分12、第二框架部分14及第三框架部分16。如圖2中所示出，第一部分12及第二框架部分14可直接接合在第二接合表面24上，且第二框架部分14及第三框架部分16可直接接合在第三接合表面26上，以形成元件10之框架11。因此，在此些實施例中，第一框架部分12之部分可包含腔體30之上表面44及元件10之頂表面48，第二框架部分14之區段可包括第一壁40及第二壁42，且第三框架部分16之區段可包含腔體30之下表面46。然而，在一些實施例，第三部分16可省略，且晶粒18之平面部分可包含腔體30之下表面46。

【0071】 在一些實施例中，當第一框架部分12、第二框架部分14及第三框架部分16單獨接合時，通孔36可並非單個同質通孔。例如，通孔可包含在界面處接合之單獨部分，諸如第二接合表面24及第三接合表面26。在一些實施例中，相應框架部分12、14、16中之通孔36之部分可偏離彼此。例如，通孔36之偏移部分可藉助於重新分佈層電連接。

【0072】 在一些實施例中，第一框架部分12及第二框架部分14可包含消除第二接合界面24之整體結構。例如，第二框架部分14可自第一框架部分12延伸。在一些實施例中，整體結構可接合至第三框架部分16在第三接合表面26處。在一些其他實施例中，整體結構可接合至裝置晶粒18而無需第三框架部分16。

【0073】 在一些實施例中，第二框架部分14及第三框架部分16可包含消除第三接合界面26之整體結構。例如，第二框架部分14可自第三框架部分16延伸。在一些實施例中，整體結構可與第一框架部分12在第二接合表面24處接合在一起。應理解，在一些其他實施例中，說明為框架11之部分的第三框架部分16可為與第一晶粒部分20分離之整合式裝置晶粒18之部分。類似地，說明為框架11之部分的第二框架部分14可為整合式裝置晶粒18之部分。

【0074】 圖3A為整合式裝置封裝1的示意性剖面圖，該整合式裝置封裝1

包括經由腔體30自晶粒18延伸至天線結構32之第一互連60。圖3B為整合式裝置封裝1的示意性剖面圖，該整合式裝置封裝1包括自晶粒18延伸至天線結構34之第二互連62。除非另有說明，否則圖3A及圖3B之組件可與圖1A、圖1B及圖2之相同編號組件相同或大致相似。在一些實施例中，第一互連60及第二互連62可分別連接至天線結構32、34，以將晶粒18之電路電連接至天線結構32、34。在此等實施例中，可省略圖1A及圖1B之互連36、38。在圖3A的實施例中，互連60可自腔體30之下表面46 (例如，晶粒18之上表面)延伸穿過腔體30，且穿過框架部分12之厚度以連接至天線結構32。在圖3B之實施例中，互連62可從腔體30之下表面(例如，晶粒18之上表面)延伸，且穿過腔體30以連接至腔體30之上表面44處的天線元件32。

【0075】 在一些實施例中，使用互連60、62作為電互連而不是互連36、38可能為有益的。例如，使用互連60、62可避免蝕刻穿過框架以形成導電材料欲安置在其中的孔洞的步驟。因此，形成互連62可比形成互連38更容易及/或更快。另外，在腔體30內橫向地具有互連60、62可減小整合式裝置封裝1之整體橫向尺寸。在一些實施例中，互連62可用作諧振器而不連接至上表面44。在一些實施例中，互連60、62可包含從腔體30之下表面46向上延伸的柱。在此類實施例中，互連60、62可藉由各種過程形成。在一些實施例中，互連60、62可形成為與腔體30相同的整體結構的部分。例如，互連60、62可在框架部分12、14的連接期間形成。例如，在單獨或整體結構中，互連60、62可藉由在框架之預腔體整體件中形成孔(例如，藉由蝕刻、鑽孔等)並用導電材料填充孔來形成。可藉由例如電鍍或以任何合適的方式用導電材料填充孔洞。在形成過程之後可在互連60、62周圍蝕刻腔體30。在一些其他實施例中，在框架之預腔體整體件中蝕刻腔體，後續接著天線34在腔體30之上表面44上或附近之沈積，用抗蝕劑填充腔體30，在抗蝕劑中形成孔洞並用導電材料填充孔洞。可藉由例如電鍍或

任何其他合適的方式將導電材料填充在孔洞中以形成互連62並移除抗蝕劑。本領域技術人員將理解，互連60和62可以具有用於薄腔體結構的短長度。在一些實施例中，薄腔體結構可具有在例如5 μm 至10 μm 的範圍內之高度h。例如，在此薄腔體結構中，互連62可包含形成在裝置晶粒18上之銅柱。

【0076】 圖4A及圖4B為在整合式裝置封裝1之不同部分中具有腔體30之整合式裝置封裝1的示意性剖面圖。儘管圖4A及圖4B之天線結構32經示出在頂表面48上或附近，在其他實施例中，天線結構34可設置在上表面44上或附近，如在其他實施例中所揭示，例如在圖1B中。除非另有說明，否則圖4A及圖4B之組件可與圖1A至圖3B之相同編號之組件相同或大致相似。

【0077】 在圖1A至圖4A之所說明實施例中，腔體30由形成在元件10中的凹部及下表面46界定，下表面46可藉由例如蝕刻元件10之框架11並將裝置晶粒18接合至元件10來界定。然而，如圖4B中所說明，在其他實施例中，腔體30可由整合式裝置封裝1之其他部分階度，例如，藉由在裝置晶粒18中形成的凹部及元件10之平面部分45之部分，此界定腔體30之上表面44。在一些其他實施例中，腔體30可由元件10及裝置晶粒18兩者中之凹部界定。

【0078】 在一些實施例中，主動電路19可安置在裝置晶粒18之底表面50處或附近，如圖4A及圖4B中所說明。在一些實施例中，主動電路19可經由互連36電連接至天線結構32。然而，應理解，主動電路19可安置在裝置晶粒18中之任何位置(例如，在接合表面附近22，或嵌入在晶粒18內)。有利地，在圖4B中，可更容易地在腔體的上表面44處或附近形成天線結構而非在其他佈置中，因為上表面44未自元件10之平面部分45凹進。

【0079】 圖5為圍繞腔體30之整合式裝置封裝1的示意性剖面放大示圖，示出壁40、42的不平坦及/或扇形表面54、56的放大視圖。除非另有說明，否則圖5之組件可與圖1A至圖4B之相同編號的組件相同或大致相似。如此處可看到

的，在一些實施例中，扇形表面54、56可包含指示蝕刻過程之標記，例如深反應離子蝕刻(DRIE)。可能希望使扇形表面54、56之粗糙度 r 低於一定位準，以便為天線結構提供較佳效能。理論上，具有用於腔體之內周邊之完全平坦的表面可實現形成駐波。然而，實際上，提供完全平坦之表面可能為具有挑戰性的。在一些實施例中，例如，蝕刻過程可自腔體30之下表面46蝕刻。在每一蝕刻步驟處，形成彎曲表面55 (其可為小的)。在從下表面46至上表面44蝕刻 n 次之後，在扇形表面54、56上可存在 n 個曲面。應理解，每一曲線可為唯一的且可具有與另一曲線表面不同之粗糙度 r 。如上文所揭示，在一些實施例中，粗糙度 r 可在寬度 w 的 $0.1\mu\text{m}$ 至 $2\mu\text{m}$ 及/或小於 0.1% 的範圍內。在一些實施例中，為了改良(例如，平滑)粗糙度，可在藉由實例DRIE過程形成具有扇形表面54、56之腔體30之後生長氧化物層(例如，比粗糙度 r 或扇形表面更厚的薄熱氧化物層)。與不使用熱氧化物層相比，可蝕刻掉此氧化物層以形成明顯更平滑的腔體側壁。

【0080】 圖6A至圖6C示出在整合式裝置晶粒1中製造腔體30的步驟。除非另有說明，否則圖6A至圖6C之組件可與圖1A至圖5中之相同編號的組件相同或大致相似。在所說明實施例中，天線結構32在接合及形成腔體30之前形成。然而，應理解，在形成腔體30之後可形成天線結構32。在一些實施例中，可提供包含框架11及天線結構32之元件10，如圖6A中所示出。框架11可具有與頂表面48相對之蝕刻表面47。可自蝕刻表面47蝕刻框架以形成具有上表面44之凹部31 (參見圖6B)。在此步驟處，在一些實施例中，亦可藉由例如蝕刻或鑽孔形成孔並在孔洞中安置導電材料(例如，銅、金等)來形成互連36。然而，互連36可例如在形成腔體31之前形成。在一些實施例中，互連36可例如在將元件10與裝置晶粒18接合之後形成。如在圖6C中所示出，元件10可倒置並鍵結(例如，在一些實施例中直接鍵結而沒有中介黏合劑)至裝置晶粒18在鍵結表面26處，從而界定具有凹部31之腔體30及腔體30之下表面46。應理解，框架可包含複數個框

架部分，如上面關於圖2所論述。互連36可電連接至裝置晶粒18之一或多個金屬墊。在一些實施例中，互連36與裝置晶粒18之一或多個金屬墊之間的電連接可在互連36在接合之前形成時藉由例如混合接合及/或直接接合形成。在一些其他實施例中，框架11中之孔洞可打開以可接近裝置18之頂表面46上之一或多個電墊，且可藉由例如電鍍等用導電材料填充孔洞以在將框架11鍵結至裝置晶粒18之後在形成互連36時在後通孔(via-last)方法中形成互連36。

【0081】 圖7A為整合式裝置封裝1的示意性剖面圖，該整合式裝置封裝1具有在元件10之頂表面48處或其附近的第二天線結構32a及在腔體30之下表面46處或其附近之第二天線結構32b。除非另有說明，否則圖7A之組件可與圖1A至圖6C之相同編號的組件相同或大致相似。在一些實施例中，第一天線結構32a及第二天線結構32b可電連接以界定一個天線結構。例如，互連36可藉由形成在元件10及/或晶粒18中之相應導電跡線連接至天線結構32a、32b。在一些實施例中，第一天線結構32a可包含寄生貼片，且第二天線結構32b可包含饋電貼片。第二天線結構32b可藉助激勵信號連接至饋電通孔或跡線。在一些實施例中，第一天線結構32a可由來自第二天線結構32b之諧振輻射信號驅動。在一些實施例中，第一天線結構32a及第二天線結構32b之間的腔體30之配置可增強信號諧振輻射，使得可改良增益及/或頻寬。

【0082】 圖7B為具有第一天線結構32a及第二天線結構32b之整合式裝置封裝1的示意性剖面圖。除非另有說明，否則圖7B之組件可與圖1A至圖7A之相同編號的組件相同或大致相似。與圖7A中所說明之實施例不同，圖7B之整合式裝置封裝1之第二天線結構32b安置在腔體30之下表面46下方，使得第二天線結構32b嵌入在晶粒18中。例如，元件10可包含具有複數個接合在一起的框架部分的框架(如圖2中所示出)，且第二天線結構32b可安置在第三部分16 (例如，參見圖2)與晶粒18之間。在一些實施例中，第一天線結構32a可安置在腔體之上表

面44附近或在元件11之頂表面48與腔體33之上表面44之間的任何位置。

【0083】 圖8為根據各種實施例的併入有一或多個整合式裝置封裝1之電子系統80的示意圖。系統80可包含任何合適類型之電子裝置，諸如移動電子裝置(例如，智慧型手機、平板計算裝置、膝上型電腦等)、桌上型電腦、汽車或其組件、立體聲系統、醫療裝置、相機或任何其他合適類型的系統。在一些實施例中，電子系統80可包含微處理器、圖形處理器、電子記錄裝置或數位記憶體。系統80可包括一或多個裝置封裝82，其機械地且電氣地連接至系統80，例如，藉助於一或多個主板。每一封裝82可包含一或多個整合式裝置封裝1。圖8中所展示之系統80可包含本文所示出且所描述之任何整合式裝置封裝1及相關聯密封件。

【0084】 在一個態樣中，揭示整合式裝置封裝。整合式裝置封裝包括整合式裝置晶粒及元件。該元件包含天線結構。元件附接至整合式裝置晶粒之表面。整合式裝置封裝亦包括腔體，該腔體安置在整合式裝置晶粒與天線結構之至少一部分之間。整合式裝置封裝進一步包括連接整合式裝置晶粒及天線結構的電互連。

【0085】 在一個實施例中，元件包括框架，該框架直接接合至整合式裝置晶粒而無需中介黏合劑。框架可包括矽。整合式裝置晶粒可包括射頻(RF)電路。腔體可由元件及整合式裝置晶粒界定。腔體可由平面裝置晶粒表面及元件中之凹部界定。可藉由蝕刻元件之部分來形成凹部。腔體可藉由平面元件表面及元件中之凹部界定。整合式裝置晶粒可安裝在封裝基板上。整合式裝置封裝可進一步包括安置在腔體中之金屬層。框架可包括接合在一起之複數個框架部分。

【0086】 在一個實施例中，腔體以空氣填充。

【0087】 在一個實施例中，整合式裝置封裝進一步包括至少部分地安置

在腔體中之諧振器。

【0088】 在一個實施例中，腔體包括指示蝕刻過程之第一壁表面。腔體可包括第二壁。第一壁及第二壁可包含腔體之兩個相對側。腔體可具有自第一壁至第二壁之寬度。寬度可經定尺寸以接收或發送頻率範圍為24 GHz至128 GHz之電磁輻射。寬度可在0.5 mm至12 mm的範圍內。第一壁及第二壁可經構造使得尺寸具有範圍為1 μm 至2 μm 之最大粗糙度。第一及第二壁可經構造使得尺寸具有在0.1 μm 至1 μm 範圍內之最大粗糙度。

【0089】 在一個實施例中，天線結構安置在腔體之上表面上或附近，或遠離腔體之元件之頂表面。

【0090】 在一個實施例中，天線結構包含寄生貼片及饋電貼片。天線結構之該部分可包含寄生貼片，且腔體可設置在寄生貼片與饋電貼片之間。寄生貼片及饋電貼片可電連接。

【0091】 在一個態樣中，揭示整合式裝置封裝。整合式裝置封裝包括封裝殼體，封裝殼體包含半導體材料。封裝殼體包括整合式裝置，天線結構及安置在整合式裝置與天線結構之至少一部分之間的腔體。整合式裝置封裝亦包括連接整合式裝置及天線結構的電互連。

【0092】 在一個實施例中，半導體材料包含矽。

【0093】 在一個實施例中，藉由蝕刻半導體材料來形成腔體。

【0094】 在一個實施例中，天線結構包括複數個天線。

【0095】 在一個實施例中，封裝殼體包括鍵結在一起之複數個殼體部分。

【0096】 在一個態樣中，揭示一種製造整合式裝置封裝的方法。該方法包括在包含天線結構之半導體元件中形成凹部，以及將半導體元件與整合式裝置晶粒接合，使得凹部安置在天線結構與整合式裝置晶粒之間。

【0097】 在一個實施例中，形成凹部包括蝕刻半導體元件之部分。

【0098】 在一個實施例中，形成凹部包括用金屬塗覆凹部之部分。蝕刻該部分可包括蝕刻包含半導體元件之矽的框架部分。

【0099】 在一個實施例中，將半導體元件與整合式裝置晶粒接合包括將半導體元件直接接合至整合式裝置晶粒而無需中介黏合劑。

【0100】 在一個實施例中，將半導體元件與整合式裝置晶粒接合包括在包括在半導體元件中之互連與整合式裝置晶粒之間形成電連接。

【0101】 在一個實施例中，形成凹部亦包括用空氣填充凹部。

【0102】 出於總結所揭示實施例及優於現有技術所實現之優點，本文中已描述某些目的及優點。當然，應理解，根據任何特定實施例未必可實現所有此等目的或優點。因此，例如，熟習此項技術者將認識到，所揭示實施可以實現或優化如本文中所教示或建議之一個優點或一組優點的方式來體現或實施，而不必實現本文中可能教示或建議之其他目的或優點。

【0103】 所有此等實施例皆意欲在本發明之範圍內。藉由參考附圖對實施例之以下詳細描述，此等及其他實施例對熟習此項技術者將容易顯而易見，請求項不限於所揭示之任何特定實施例。儘管本文中已揭示此特定實施例及實例，但熟習此項技術者將理解，所揭示實施超出具體揭示實施例，擴展至其他替換實施例及/或用途以及其明顯的各種修改及等效物。另外，儘管已展示並詳細描述了若干變型，但基於本發明，其他修改將對熟習此項技術者容易顯而易見。亦預期，可進行實施例之具體特徵及態樣之各種組合或子組合且仍然在該範圍內。應理解，所揭示實施例之各種特徵及態樣可彼此組合或替代，以便形成所揭示實施之各種模式。因此，意圖為本文中揭示之標的物之範圍不應受上文所描述特定所揭示的實施例的限制，而應僅藉由公平閱讀所附請求項來判定。

【符號說明】

【0104】

1:整合式裝置封裝

10:元件

11:框架

12:框架部分

14:框架部分

16:框架部分

18:裝置晶粒

19:主動電路

20:第一晶粒部分

22:接合表面

24:第二接合表面

26:第三接合表面

30:腔體

31:凹部

32:天線結構

32a:第一天線結構

32b:第二天線結構

34:天線結構

36:互連

38:互連

40:第一壁

42:第一壁

44:上表面

45:平面部分

46:下表面

47:蝕刻表面

48:頂部表面

50:底表面

54:扇形表面

55:彎曲表面

56:扇形表面

60:第一互連

62:第二互連

80:系統

82:裝置封裝

h:高度

r:粗糙度

w:寬度

【發明申請專利範圍】

【請求項1】一種製造整合式裝置封裝的方法，所述方法包含：

在包含天線結構的半導體元件中形成凹部；以及

將所述半導體元件與整合式裝置晶粒直接接合而沒有中介黏合劑，其中所述凹部設置在所述天線結構和所述整合式裝置之間。

【請求項2】如請求項1所述的方法，其中，形成所述凹部包括蝕刻所述半導體元件的一部分。

【請求項3】如請求項1所述的方法，其中，形成所述凹部包括用金屬塗覆所述凹部的部分。

【請求項4】如請求項2所述的方法，其中，蝕刻所述部分包括蝕刻所述半導體元件的框架部分。

【請求項5】如請求項1所述的方法，其進一步包括拋光所述半導體元件的表面。

【請求項6】如請求項5所述的方法，其進一步包括在將所述半導體元件與所述整合式裝置晶粒直接接合之前拋光所述整合式裝置晶粒的表面。

【請求項7】如請求項1所述的方法，其進一步包括在所述半導體元件中的第一互連和所述整合式裝置晶粒中的第二互連之間建立電連接。

【請求項8】如請求項7所述的方法，其中，將所述半導體元件與所述整合式裝置晶粒直接接合包括將所述半導體元件的非導電區域與所述整合式裝置晶粒的非導電區域直接接合而沒有中介黏合劑，進行電連接包括直接接合所述半導體元件中的所述第一互連以及所述整合式裝置晶粒中的所述第二互連而沒有中介黏合劑。

【請求項9】如請求項1所述的方法，其進一步包括用空氣填充所述凹部。

【請求項10】如請求項1所述的方法，其進一步包括形成所述天線結構。

【請求項11】如請求項10所述的方法，其中，形成所述天線結構包括在形成所述凹部之前在所述半導體元件的表面上形成所述天線結構。

【請求項12】如請求項10所述的方法，其中，形成所述天線結構包括在暴露於所述凹部的所述半導體元件的表面上形成所述天線結構。

【請求項13】如請求項1所述的方法，其進一步包括在面向所述半導體元件的所述整合式裝置晶粒的表面處或附近形成第二天線結構。

【請求項14】如請求項1所述的方法，其進一步包括形成至少部分延伸穿過所述半導體元件的非導電框架部分的厚度之互連。

【請求項15】如請求項14所述的方法，其中，形成所述互連包括透過蝕刻或鑽孔所述半導體元件的所述非導電框架部分來製作孔洞並且用導電材料填充所述孔洞。

【請求項16】一種製造整合式裝置封裝的方法，所述方法包括：

在包括天線結構的半導體元件中形成凹部，形成所述凹部包括蝕刻所述半導體元件的一部分；以及

將所述半導體元件與整合式裝置晶粒直接接合而沒有中介黏合劑，其中所述凹部設置在所述天線結構和所述整合式裝置晶粒之間。

【請求項17】如請求項16所述的方法，其中，將所述半導體元件與所述整合式裝置晶粒接合包括將所述半導體元件直接接合到所述整合式裝置晶粒而沒有中介黏合劑。

【請求項18】如請求項17所述的方法，其進一步包括在所述半導體元件中的第一互連和所述整合式裝置晶粒中的第二互連之間建立電連接。

【請求項19】如請求項18所述的方法，其中，進行電連接包括直接接合所述半導體元件中的所述第一互連和所述整合式裝置晶粒中的所述第二互連而沒有中介黏合劑。

【請求項20】一種製造整合式裝置封裝的方法，所述方法包括：
提供包括天線結構的半導體元件；以及
將所述半導體元件與整合式裝置晶粒直接接合而沒有中介黏合劑。

【請求項21】如請求項20所述的方法，其進一步包括在所述天線結構和所述整合式裝置晶粒之間形成凹部。

【請求項22】如請求項21所述的方法，其進一步包括在所述半導體元件中形成所述凹部。

【請求項23】如請求項20所述的方法，其中將所述半導體元件與所述整合式裝置晶粒直接接合包括在將所述半導體元件的非導電區域與所述整合式裝置晶粒的非導電區域直接結合而沒有中介黏合劑，以及直接結合所述半導體元件中的第一互連和在所述整合式裝置晶粒中具有第二互連而沒有中介黏合劑。

【發明圖式】

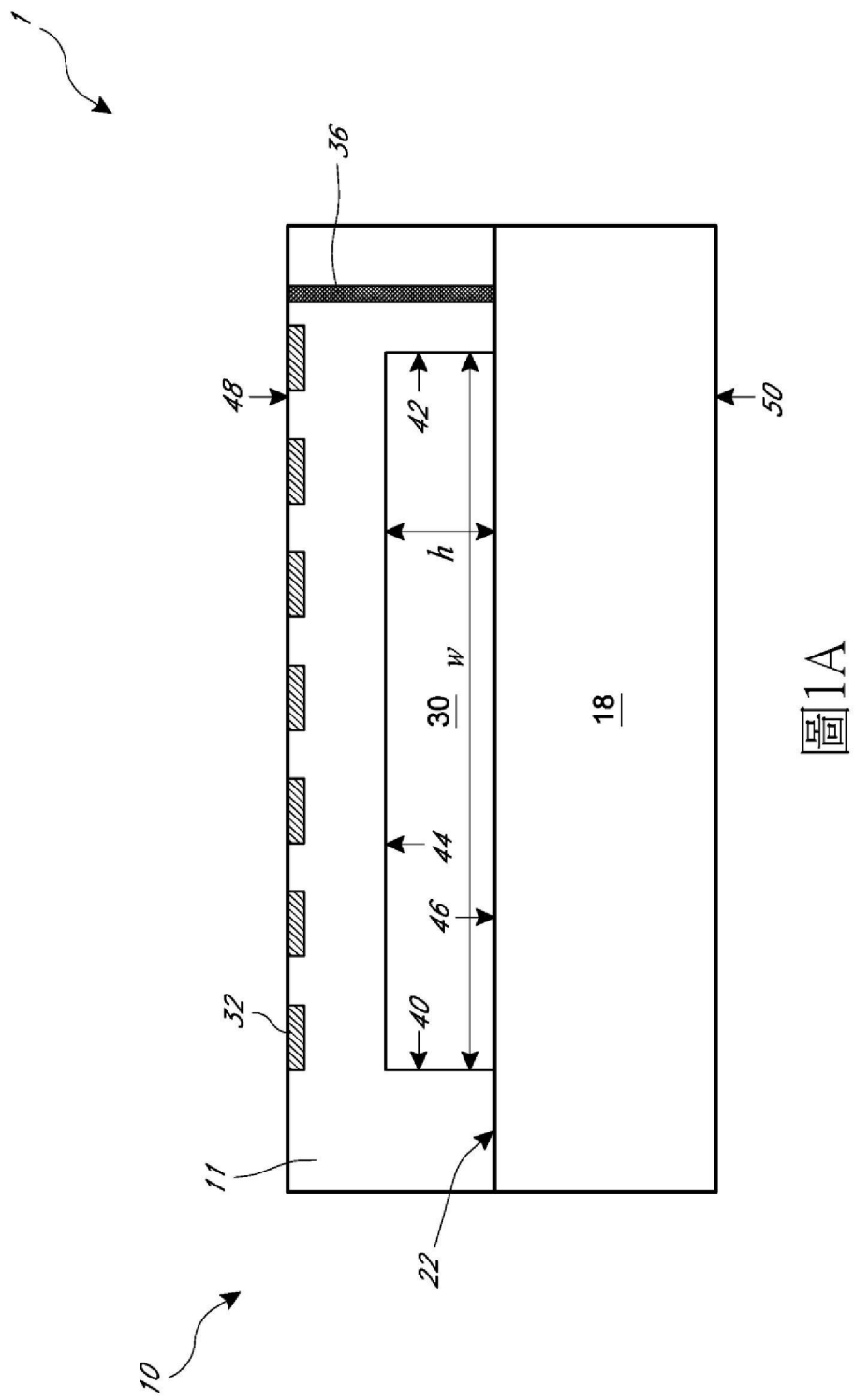


圖1A

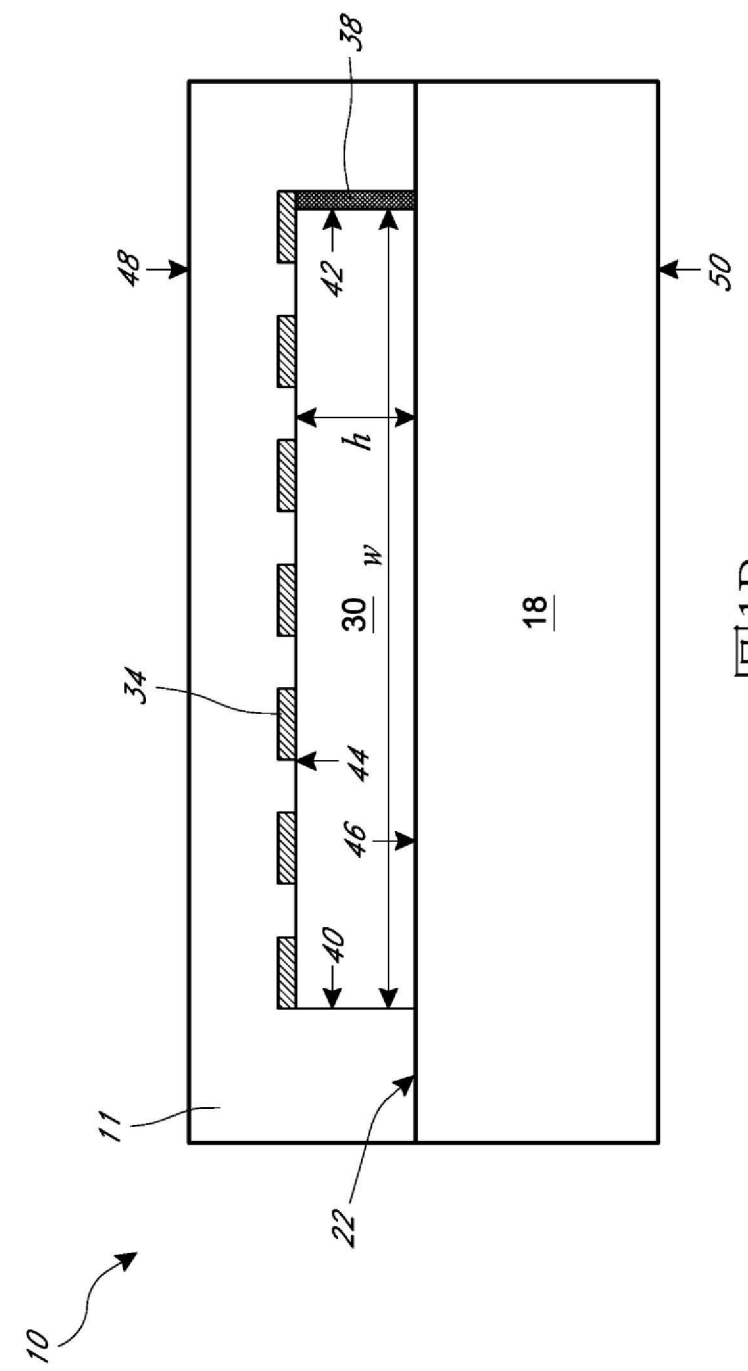
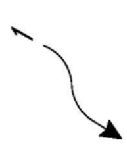


圖1B

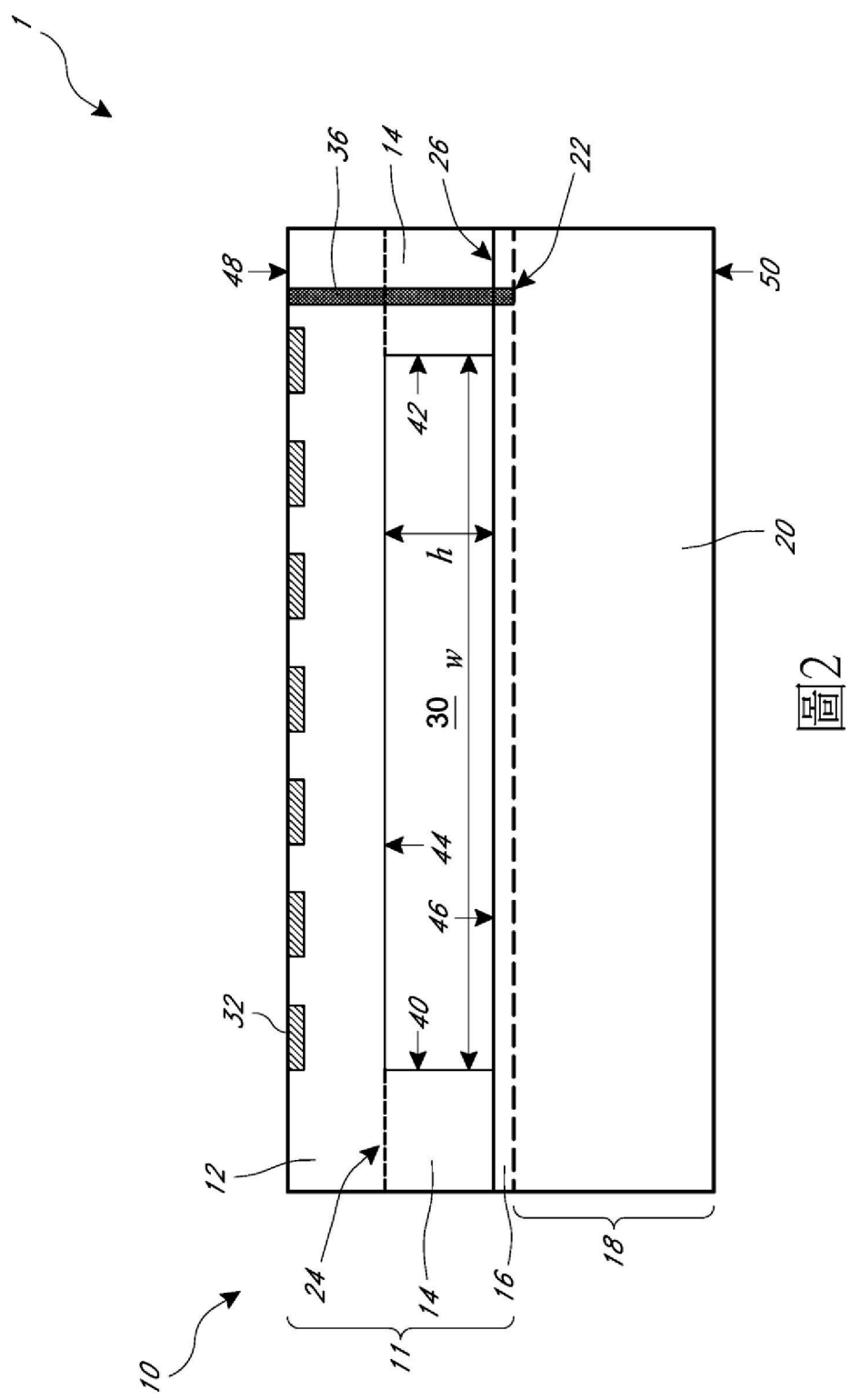
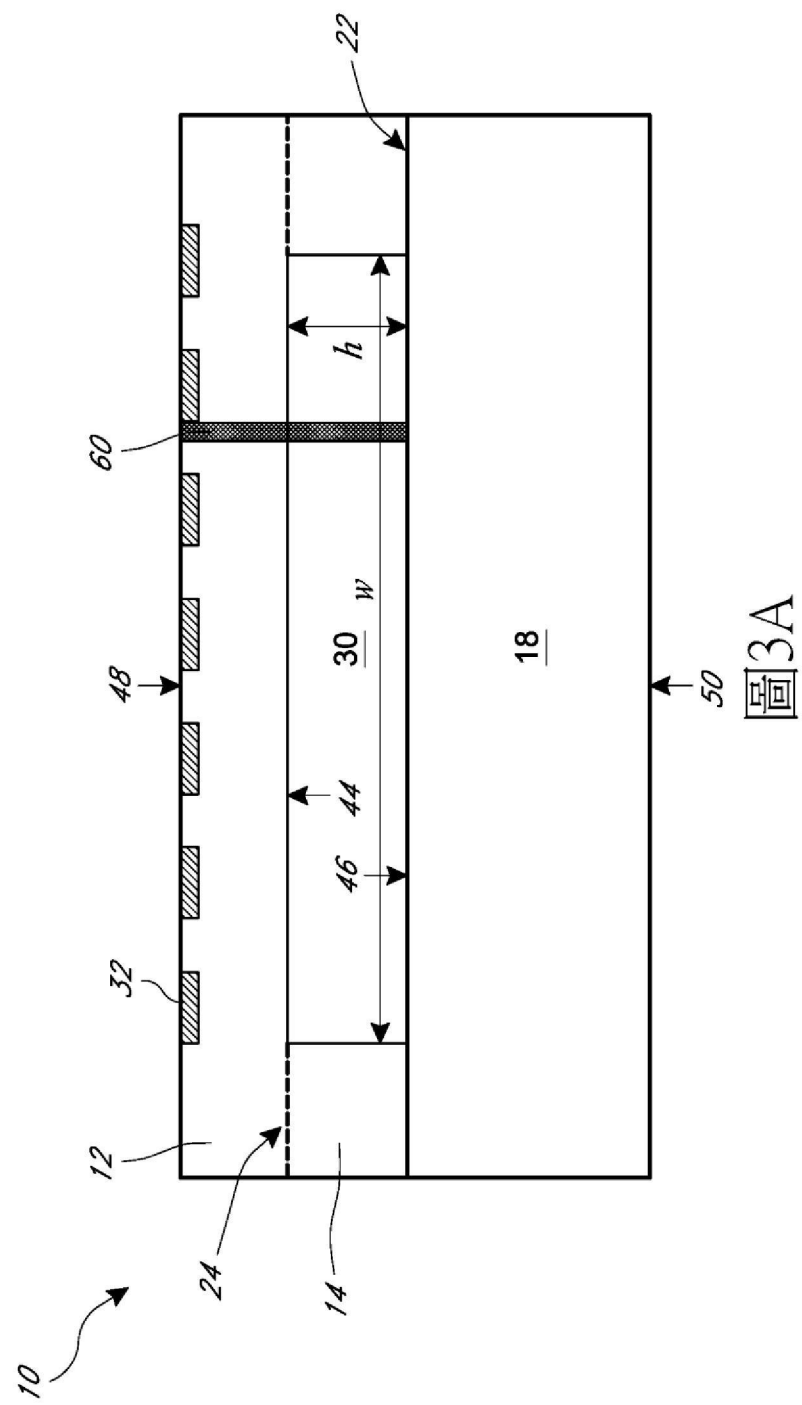
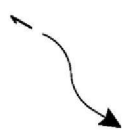


圖2



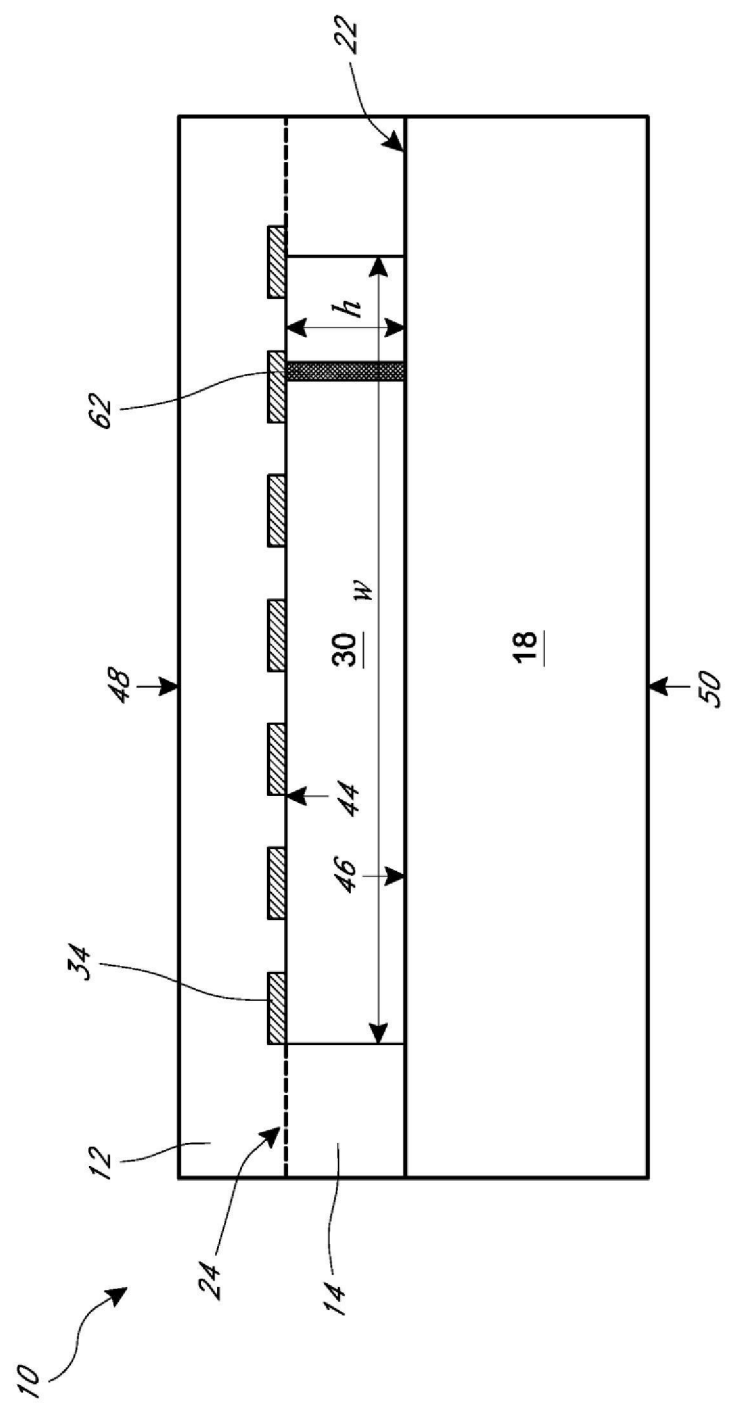
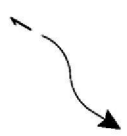


圖3B

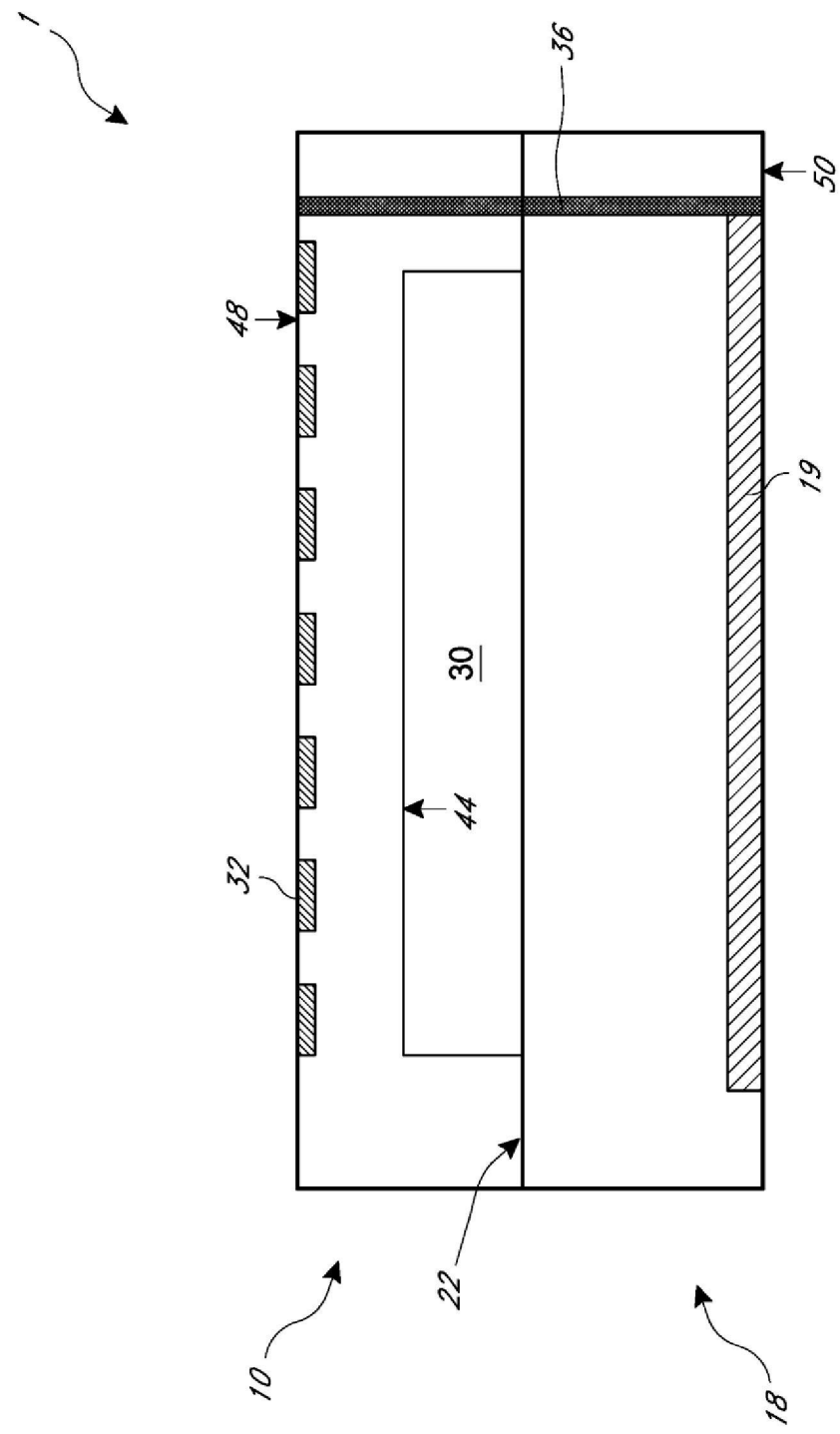


圖4A

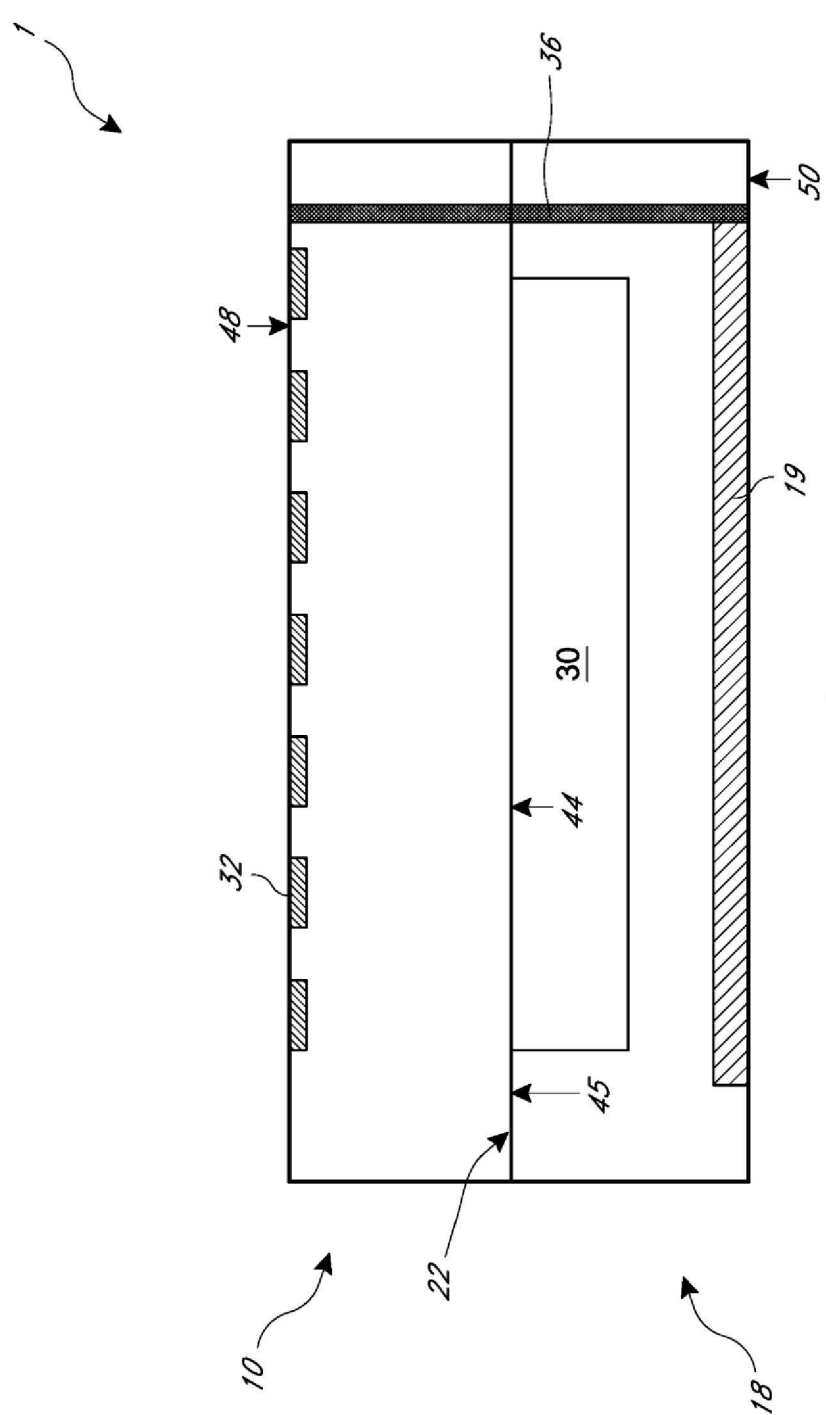


圖4B

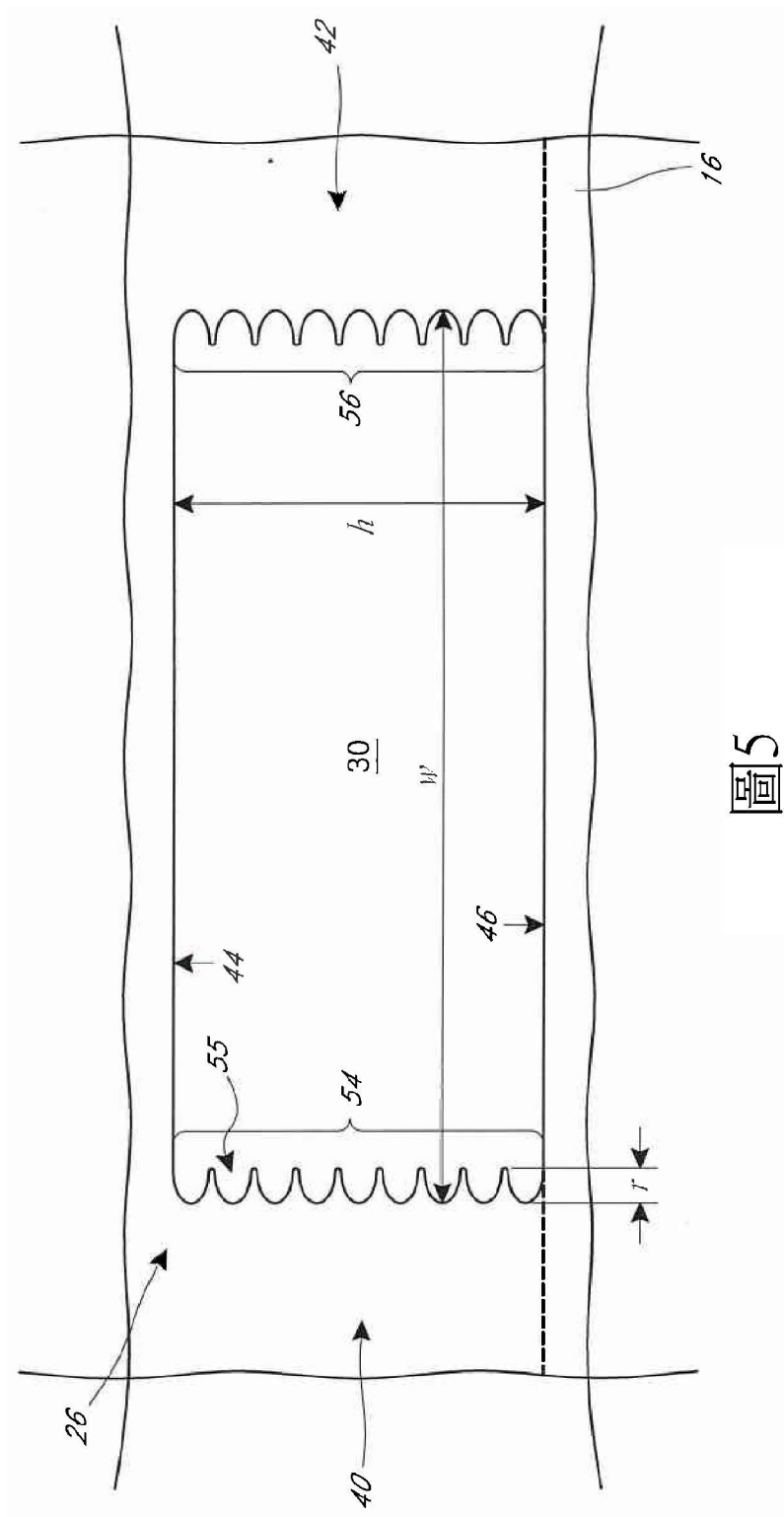


圖5

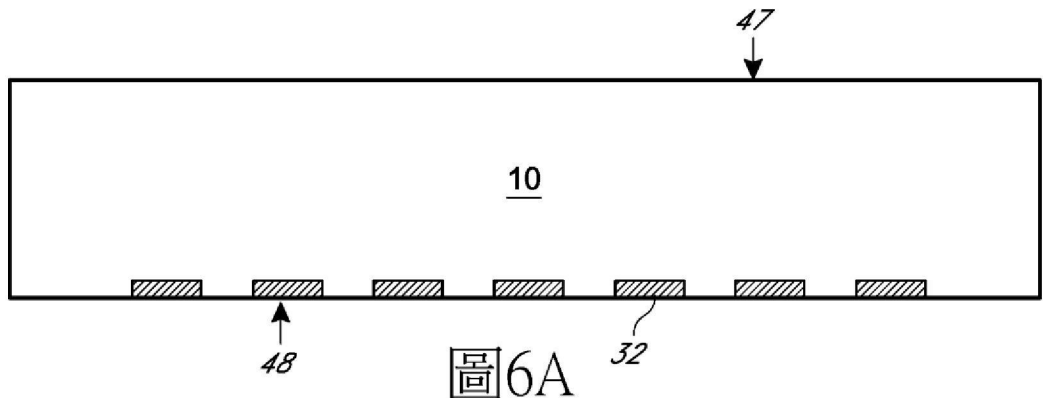


圖6A

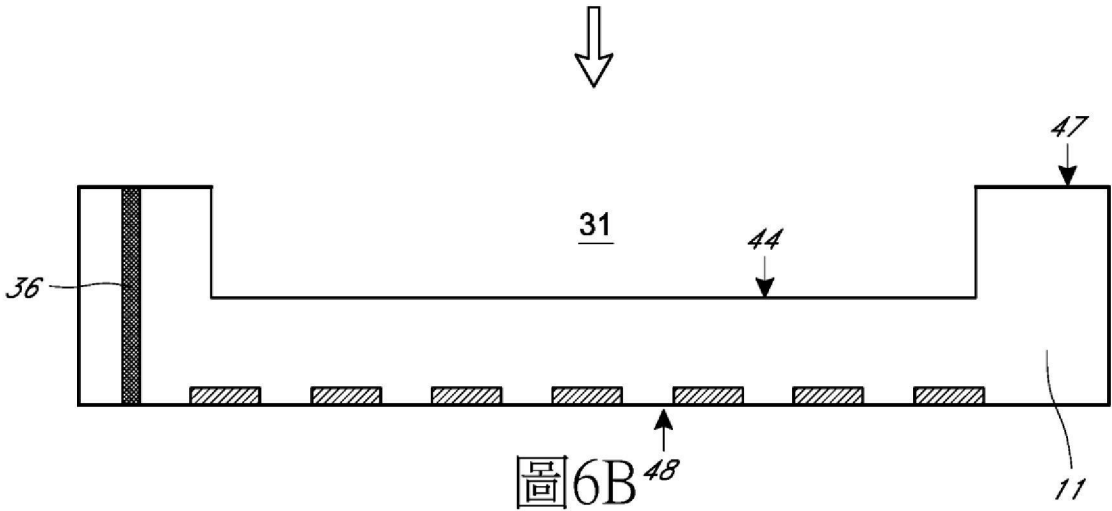


圖6B

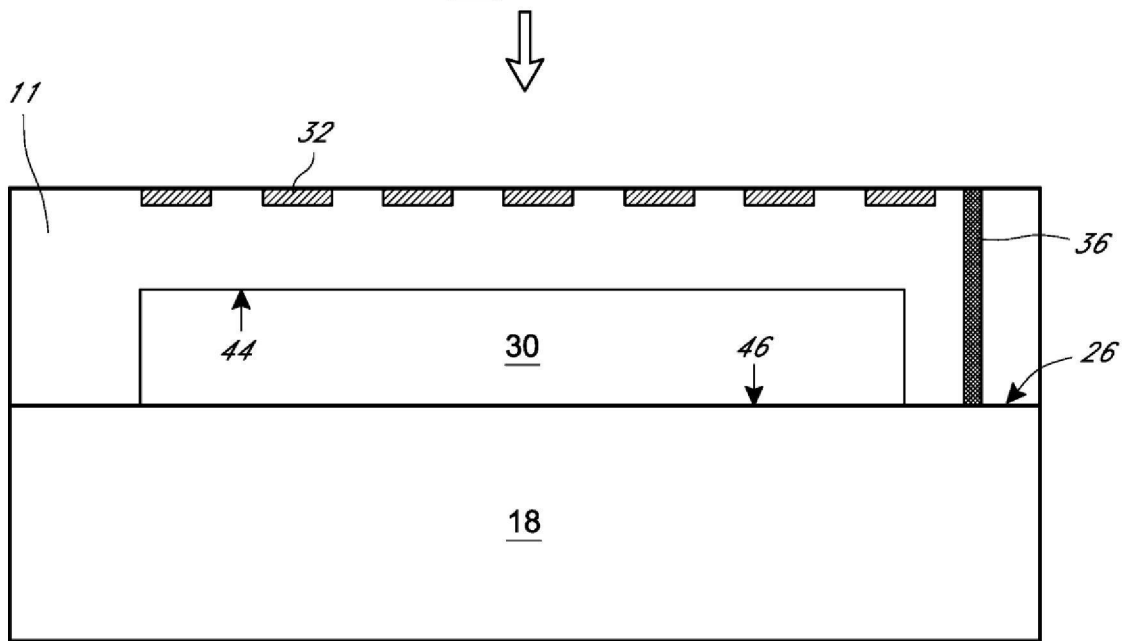


圖6C

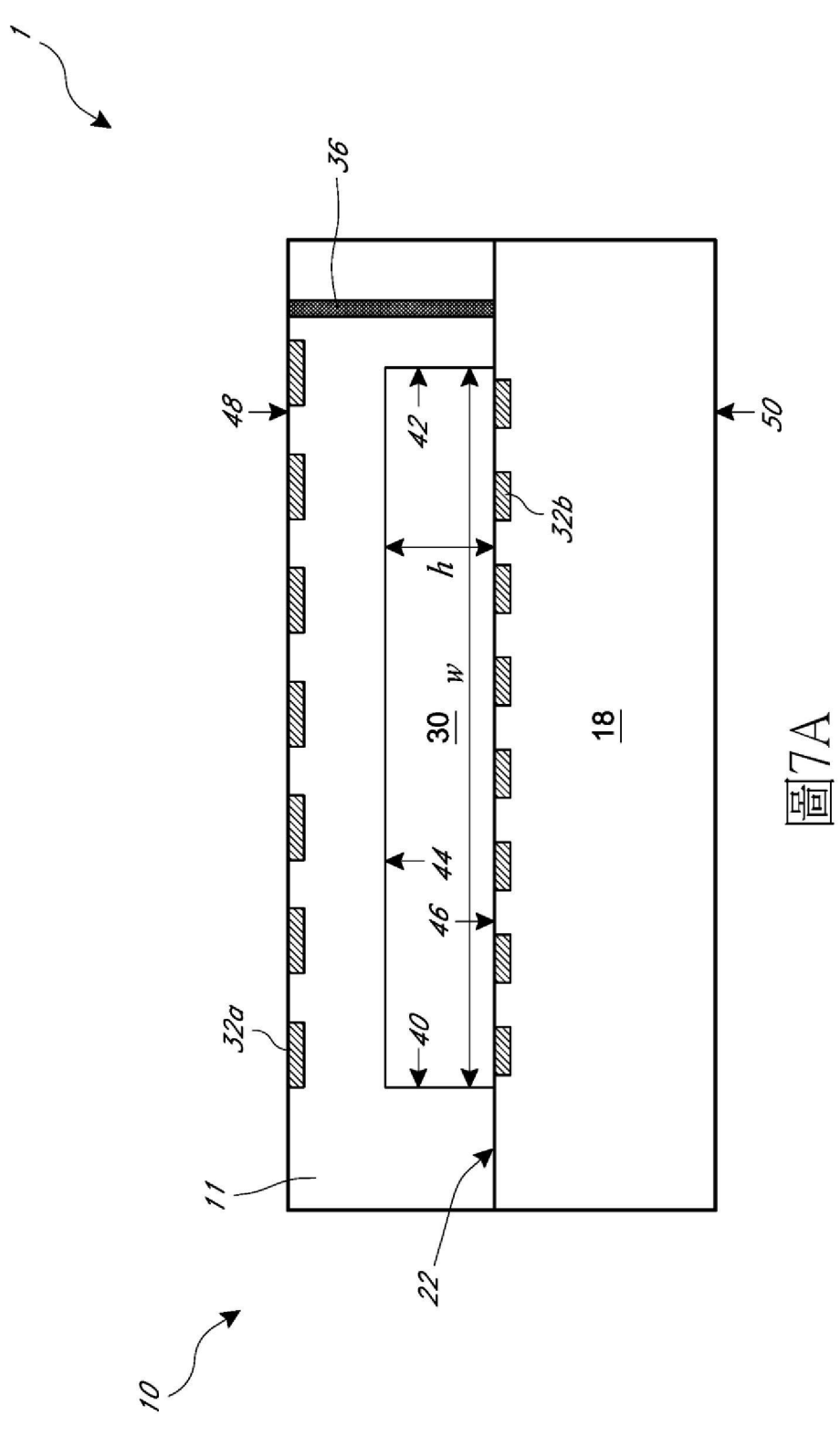


圖7A

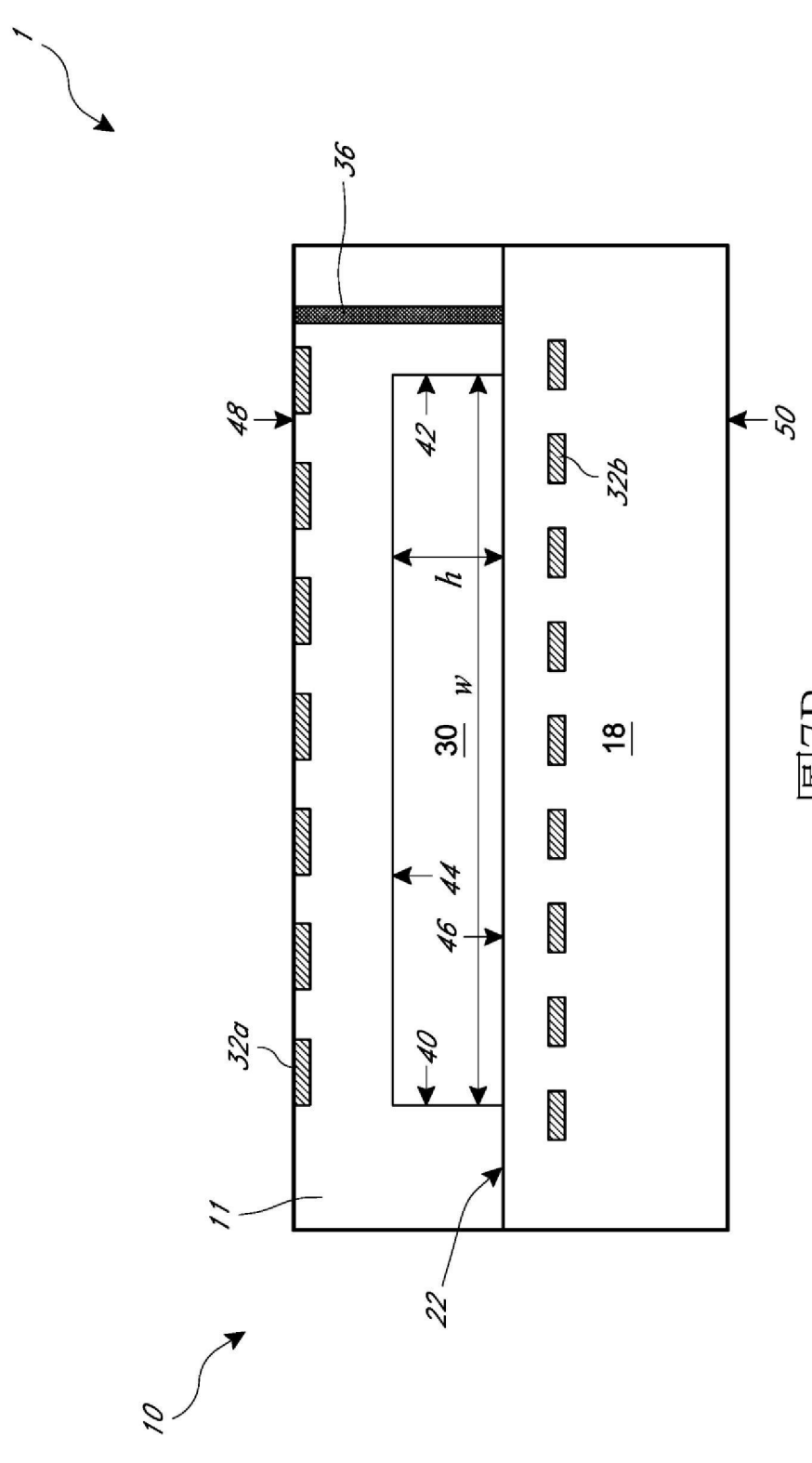


圖7B

