

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7547452号
(P7547452)

(45)発行日 令和6年9月9日(2024.9.9)

(24)登録日 令和6年8月30日(2024.8.30)

(51)国際特許分類	F I
H 0 1 L 23/12 (2006.01)	H 0 1 L 23/12 F
H 0 1 L 23/15 (2006.01)	H 0 1 L 23/14 C
H 0 5 K 3/46 (2006.01)	H 0 5 K 3/46 Q
	H 0 5 K 3/46 U

請求項の数 8 (全32頁)

(21)出願番号	特願2022-210549(P2022-210549)	(73)特許権者	521560126
(22)出願日	令和4年12月27日(2022.12.27)		アブソリックス インコーポレイテッド
(62)分割の表示	特願2021-536269(P2021-536269)		Absolics Inc.
原出願日	令和2年3月12日(2020.3.12)		アメリカ合衆国、30014 ジョージ
(65)公開番号	特開2023-52130(P2023-52130A)		ア州、コヴィントン、3000 エスケ
(43)公開日	令和5年4月11日(2023.4.11)		イシー ドライブ
審査請求日	令和5年3月6日(2023.3.6)		3000 SKC Drive, Covington, GA 30014, USA
(31)優先権主張番号	62/816,984	(74)代理人	110001139
(32)優先日	平成31年3月12日(2019.3.12)		SK弁理士法人
(33)優先権主張国・地域又は機関	米国(US)	(74)代理人	100130328
			弁理士 奥野 彰彦
(31)優先権主張番号	62/817,003	(74)代理人	100130672
(32)優先日	平成31年3月12日(2019.3.12)		弁理士 伊藤 寛之
(33)優先権主張国・地域又は機関		(72)発明者	キム、ソンジ
	最終頁に続く		最終頁に続く

(54)【発明の名称】 パッケージング基板及びこれを含む半導体装置

(57)【特許請求の範囲】

【請求項1】

コア層、及び前記コア層上に位置する上部層を含み、
 前記コア層は、ガラス基板及びコアビアを含み、
 前記ガラス基板は、互いに向かい合う第1面及び第2面を有し、
 前記ガラス基板は、第1厚さを有する第1区域と、前記第1区域と隣り合い、前記第1厚さより薄い厚さである第2厚さを有する第2区域と、を含み、
 前記コアビアは、前記ガラス基板を厚さ方向に貫通するものであって、多数個配置され、
 前記コア層は、前記ガラス基板又はコアビアの表面上に位置するコア分配層を含み、
 前記コア分配層は、少なくともその一部が前記コアビアを介して前記第1面上の電気伝導性層と前記第2面上の電気伝導性層とを電氣的に連結し、
 前記上部層は、前記第1面上に位置し、前記コア分配層と外部の半導体素子部とを電氣的に連結する電気伝導性層を含み、
 前記第2区域の上側又は下側に位置するキャビティ部を含み、
 前記キャビティ部は内部空間を含み、
 前記内部空間には、前記コア分配層と電氣的に連結されるキャビティ分配層及びキャビティ素子が位置し、
 前記前記キャビティ部の少なくとも一面には、前記内部空間に突出した支持部をさらに含み、
 前記支持部は、前記ガラス基板と同一の材料を含み、

10

20

前記支持部は、挿入されるキャビティ素子と接して前記キャビティ素子を固定する、パッケージング基板。

【請求項 2】

前記支持部は、前記キャビティ部の横面の一端と他端とを連結する弧 (arc) 形態を有する、請求項 1 に記載のパッケージング基板。

【請求項 3】

前記支持部は、その少なくとも一部が第 1 区域の厚さ方向の一面と連結され、その他の一部が前記内部空間に突出し、挿入されるキャビティ素子の位置を固定する、請求項 1 に記載のパッケージング基板。

【請求項 4】

前記キャビティ部の一横面はキャビティの第 1 横面で、
前記キャビティの第 1 横面と異なる横面はキャビティの第 2 横面で、
前記キャビティの第 1 横面及び前記キャビティの第 2 横面にはそれぞれ支持部が配置される、請求項 1 に記載のパッケージング基板。

【請求項 5】

前記キャビティ分配層は、前記内部空間内にその少なくとも一部が位置するキャビティ素子及び前記コア分配層と電気的に連結される電気伝導性層であるキャビティ分配パターン；及び前記キャビティ分配パターンを覆う絶縁層であるキャビティ絶縁層；を含む、請求項 1 に記載のパッケージング基板。

【請求項 6】

前記コア層と前記キャビティ部との間に位置する放熱部を含み、
前記放熱部は、前記ガラス基板の第 1 区域と前記キャビティ部の内部空間とが接する面に位置する、請求項 1 に記載のパッケージング基板。

【請求項 7】

前記放熱部は、少なくともその一部が前記コア分配層と連結される、請求項 6 に記載のパッケージング基板。

【請求項 8】

1 以上の半導体素子が位置する半導体素子部；前記半導体素子部と電気的に連結されるパッケージング基板；及び前記パッケージング基板と電気的に連結され、前記半導体素子に外部の電気的信号を伝達し、前記半導体素子を互いに連結するマザーボード；を含み、

前記パッケージング基板は、請求項 1 によるパッケージング基板である、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

具現例は、キャビティ構造を有するパッケージング基板及びこれを含む半導体装置に関する。

【0002】

【0003】

[関連した出願との相互参照]

【0004】

本出願は、2019年3月12日に提出された米国仮出願特許出願番号 62 / 816 , 984、2019年3月12日に提出された米国仮出願特許出願番号 62 / 817 , 003、2019年3月12日に提出された米国仮出願特許出願番号 62 / 817 , 027、2019年3月28日に提出された米国仮出願特許出願番号 62 / 825 , 216、2019年3月29日に提出された米国仮出願特許出願番号 62 / 826 , 122、及び2019年3月29日に提出された米国仮出願特許出願番号 62 / 826 , 144 による優先権の利益を有し、前記優先権の基礎出願の内容はいずれも本出願の内容に含まれる。

【0005】

【背景技術】

【0006】

10

20

30

40

50

電子部品を製作するにおいて、半導体ウエハに回路を具現することを前工程（FE：Front-End）と言い、ウエハを実際の製品で使用可能な状態に組み立てることを後工程（BE：Back-End）と言い、この後工程にパッケージング工程が含まれる。

【0007】

最近の電子製品の急速な発展を可能にした半導体産業の4つの核心技術としては、半導体技術、半導体パッケージング技術、製造工程技術、ソフトウェア技術がある。半導体技術は、マイクロ以下のナノ単位の線幅、千万個以上のセル、高速動作、多くの熱放出などの多様な形態に発展しているが、相対的にこれを完璧にパッケージングする技術がサポートされていない。そこで、半導体の電氣的性能は、半導体技術自体の性能よりは、パッケージング技術及びこれによる電氣的接続によって決定されることもある。

10

【0008】

パッケージング基板の材料としては、セラミック又は樹脂が適用される。セラミック基板の場合は、抵抗値が高いか誘電率が高いので、高性能高周波の半導体素子を搭載することが容易でない。樹脂基板の場合は、相対的に高性能高周波の半導体素子を搭載することはできるが、配線のピッチ縮小に限界がある。

【0009】

近年、ハイエンド用パッケージング基板にシリコンやガラスを適用した研究が進行中である。シリコンやガラス基板に貫通穴を形成し、導電性物質をこの貫通穴に適用することによって、素子とマザーボードとの間の配線の長さが短くなり、優れた電氣的特徴を有することができる。

20

【0010】

また、半導体パッケージには、動作時に熱が発生する場合があります、このような熱を放出するための放熱手段がさらに含まれることもある。

【0011】

関連した先行文献として、

【0012】

韓国公開特許公報第10-2019-0008103号、

【0013】

韓国公開特許公報第10-2016-0114710号、

【0014】

韓国登録特許公報第10-1468680号などがある。

30

【0015】

【発明の概要】

【発明が解決しようとする課題】

【0016】

具現例の目的は、ガラス基板を適用することによってキャビティ構造を有するパッケージング基板を製造し、より集積化された半導体装置を提供することにある。

【0017】

【課題を解決するための手段】

【0018】

前記目的を達成するために、一具現例に係るパッケージング基板は、

【0019】

コア層、及び前記コア層上に位置する上部層を含み、

【0020】

前記コア層は、ガラス基板及びコアピアを含み、

【0021】

前記ガラス基板は、互いに向かい合う第1面及び第2面を有し、

【0022】

前記ガラス基板は、第1厚さを有する第1区域と、前記第1区域と隣り合い、前記第1厚さより薄い厚さである第2厚さを有する第2区域とを含み、

40

50

【 0 0 2 3 】

前記コアビアは、前記ガラス基板を厚さ方向に貫通するものであって、多数個配置され、

【 0 0 2 4 】

前記コア層は、前記ガラス基板又はコアビアの表面上に位置するコア分配層を含み、

【 0 0 2 5 】

前記コア分配層は、少なくともその一部が前記コアビアを介して前記第 1 面上の電気伝導性層と前記第 2 面上の電気伝導性層とを電氣的に連結し、

【 0 0 2 6 】

前記上部層は、前記第 1 面上に位置し、前記コア分配層と外部の半導体素子部とを電氣的に連結する電気伝導性層を含み、

【 0 0 2 7 】

前記第 2 区域の上側又は下側に位置するキャビティ部を含み、

【 0 0 2 8 】

前記キャビティ部は内部空間を含み、

【 0 0 2 9 】

前記内部空間には、前記コア分配層と電氣的に連結されるキャビティ分配層及びキャビティ素子が位置し得る。

【 0 0 3 0 】

一具現例において、前記キャビティ部の少なくとも一面には、前記内部空間に突出した支持部をさらに含むことができる。

【 0 0 3 1 】

前記支持部は、挿入されるキャビティ素子と接して前記キャビティ素子を固定する。

【 0 0 3 2 】

一具現例において、前記支持部は、前記キャビティ部の横面の一端と他端とを連結する弧 (arc) 形態を有することができる。

【 0 0 3 3 】

一具現例において、前記支持部は、その少なくとも一部が第 1 区域の厚さ方向の一面と連結され、その他の一部が前記内部空間に突出し、挿入されるキャビティ素子の位置を固定することができる。

【 0 0 3 4 】

一具現例において、前記支持部は、その少なくとも一部が第 1 区域の厚さ方向の一面と連結され、その他の一部が前記内部空間に突出し、挿入されるキャビティ素子の位置を固定することができる。

【 0 0 3 5 】

一具現例において、前記支持部は、前記ガラス基板と同一の材料を含むことができる。

【 0 0 3 6 】

一具現例において、前記キャビティ部の一横面はキャビティの第 1 横面で、

【 0 0 3 7 】

前記キャビティの第 1 横面と異なる横面はキャビティの第 2 横面で、

【 0 0 3 8 】

前記キャビティの第 1 横面及び前記キャビティの第 2 横面にはそれぞれ支持部が配置され得る。

【 0 0 3 9 】

一具現例において、前記キャビティ分配層は、前記内部空間内にその少なくとも一部が位置するキャビティ素子及び前記コア分配層と電氣的に連結される電気伝導性層であるキャビティ分配パターン；及び前記キャビティ分配パターンを覆う絶縁層であるキャビティ絶縁層；を含むことができる。

【 0 0 4 0 】

一具現例において、前記コア層と前記キャビティ部との間に位置する放熱部を含み、

【 0 0 4 1 】

10

20

30

40

50

前記放熱部は、前記ガラス基板の第1区域と前記キャビティ部の内部空間とが接する面に位置し得る。

【0042】

一具現例において、前記放熱部は、少なくともその一部が前記コア分配層と連結され得る。

【0043】

【0044】

前記目的を達成するために、一具現例に係る半導体装置は、

【0045】

1以上の半導体素子が位置する半導体素子部；前記半導体素子部と電氣的に連結されるパッケージング基板；及び前記パッケージング基板と電氣的に連結され、前記半導体素子に外部の電氣的信号を伝達し、前記半導体素子を互いに連結するマザーボード；を含むことができる。

10

【0046】

【発明の効果】

【0047】

具現例のパッケージング基板及びこれを含む半導体装置は、半導体素子とマザーボードとの間をより近く連結し、電氣的信号が最大限短い距離で伝達されるようにし、信号伝達速度などの電氣的特性を大きく向上させることができる。

【0048】

また、基板のコアとして適用するガラス基板は、それ自体が絶縁体であるので、既存のシリコンコアに比べて寄生素子が発生するおそれがほとんどなく、絶縁膜処理工程をより単純化させることができ、高速回路にも適用が可能である。

20

【0049】

併せて、シリコンが丸いウエハの形態で製造される場合と異なり、ガラス基板が大型パネルの形態で製造されるので、大量製造が比較的容易になり、経済性をより向上させることができる。

【0050】

さらに、パッケージング基板内にトランジスタなどの素子を位置させ、伝達される電氣的な信号がより短い距離で伝達され得るようにし、より薄膜化された基板として優れた性能を有することができる。

30

【0051】

さらに、キャビティ部内の支持部によってキャビティ素子をより正確な位置に固定させ、作業性をより向上させることができる。

【0052】

【図面の簡単な説明】

【0053】

【図1】一具現例に係る半導体装置の断面構造を説明する概念図である。

【0054】

【図2】他の一具現例に係るパッケージング基板の断面構造を説明する概念図である。

【0055】

【図3】(a)及び(b)は、それぞれ具現例に係るパッケージング基板の一部を断面で説明する概念図である。

40

【0056】

【図4】(a)及び(b)は、それぞれ具現例に係るパッケージング基板の一部を断面で説明する概念図である。

【0057】

【図5】具現例に係るパッケージング基板の断面の一部を説明する詳細概念図である(丸は、上面又は底面で観察した状態を示す)。

【0058】

【図6】具現例に係るパッケージング基板の断面の一部を説明する詳細概念図である(丸

50

は、上面又は底面で観察した状態を示す)。

【0059】

【図7】具現例に係るガラス基板に形成されたコアピアの形態を断面で説明する概念図である。

【0060】

【図8】他の具現例に係るパッケージング基板の構造を断面で説明する概念図である。

【0061】

【図9】(a)及び(b)は、それぞれ他の具現例に係るパッケージング基板の一部を断面で説明する概念図である。

【0062】

【図10】(a)及び(b)は、それぞれ他の具現例に係るパッケージング基板の一部を断面で説明する概念図である。

【0063】

【図11】具現例によって支持部を適用したキャビティ部を有するガラス基板にキャビティ素子が固定される状態を説明する概念図である。

【0064】

【図12】具現例によって支持部を適用したキャビティ部を有するガラス基板を上から見た状態で説明する概念図である。

【0065】

【図13】具現例によって支持部を適用したキャビティガラス基板及びコア分配パターンを断面で説明する概念図であって、(a)は、図11のa-a'で見た断面で、(b)は、(a)にコア分配パターンが形成された状態の断面である。

【0066】

【図14】具現例によって支持部を適用したパッケージング基板のうちコア部及びキャビティ部を断面で説明する概念図である。

【0067】

【図15】具現例によって支持部を適用したパッケージング基板の断面を説明する概念図である。

【0068】

【発明を実施するための形態】

【0069】

以下、具現例の属する技術分野における通常の知識を有する者が容易に実施できるように、実施例について添付の図面を参考にして詳細に説明する。しかし、具現例は、様々な異なる形態で具現可能であり、ここで説明する実施例に限定されない。明細書全体にわたって類似する部分に対しては同一の図面符号を付した。

【0070】

本明細書全体において、マーカッシュ形式の表現に含まれた「これらの組み合わせ」という用語は、マーカッシュ形式の表現に記載された各構成要素からなる群から選ばれる1つ以上の混合又は組み合わせを意味するものであって、前記各構成要素からなる群から選ばれる1つ以上を含むことを意味する。

【0071】

本明細書全体において、「第1」、「第2」又は「A」、「B」などの用語は、同一の用語を互いに区別するために使用される。また、単数の表現は、文脈上、明らかに異なる意味を有さない限り、複数の表現を含む。

【0072】

本明細書において、「～系」は、化合物内に「～に該当する化合物」又は「～の誘導体」を含むものを意味し得る。

【0073】

本明細書において、A上にBが位置するということは、A上に直接当接してBが位置したり、又はそれらの間に別の層が位置しながらA上にBが位置することを意味し、Aの表面

10

20

30

40

50

に当接してBが位置することに限定して解釈されない。

【0074】

本明細書において、A上にBが連結されるということは、AとBが直接連結されたり、又はAとBがその間の他の構成要素を介して連結されることを意味し、特別な言及がない限り、AとBが直接連結されることに限定して解釈されない。

【0075】

本明細書において、単数の表現は、特に説明がなければ、文脈上解釈される単数又は複数を含む意味に解釈される。

【0076】

【0077】

発明者らは、より集積化され、薄い厚さで高性能を発揮できる半導体装置を開発する過程で、素子自体のみならず、パッケージングに対する部分が性能向上において重要な要素であることを認識し、これに対して研究する中で、既存のインターポーザと有機基板のように2層以上のコアをパッケージング基板としてマザーボード上に適用していた場合と異なり、ガラスコアを単一層で適用し、キャビティ構造を適用する方法などでパッケージング基板をより薄くし、半導体装置の電気的特性を向上できることを確認し、本発明を完成した。

【0078】

また、内部素子によって発生する熱を外部に伝達できる放熱部を適用する方法などでパッケージング基板をより薄くし、半導体装置の電気的特性を向上できることを確認し、発明を完成した。

【0079】

さらに、このようなキャビティ構造に素子を位置させるとき、予め設定された正確な位置に前記素子が位置し、その位置が維持されたときに半導体装置の性能がより向上し得るので、キャビティ空間内に素子の位置をガイドして支持する支持部をさらに適用することによって、基板製造の作業性及びパッケージング基板の性能をより向上できることを確認し、発明を完成した。

【0080】

【0081】

図1は、具現例に係るパッケージング基板の断面構造を説明する概念図で、図2は、他の具現例に係るパッケージング基板の構造を断面で説明する概念図で、図3の(a)及び(b)は、それぞれ具現例に係るパッケージング基板の一部を断面で説明する概念図である。図4の(a)及び(b)は、それぞれ具現例に係るパッケージング基板の一部を断面で説明する概念図で、図5は、具現例に係るパッケージング基板の断面の一部を説明する詳細概念図で(丸は、上面又は底面で観察した状態を示す。)、図6は、具現例に係るパッケージング基板の断面の一部を説明する詳細概念図である(丸は、上面又は底面で観察した状態を示す。)。また、図7は、具現例に係るガラス基板に形成されたコアビアの形態を断面で説明する概念図である。図8は、他の具現例に係るパッケージング基板の構造を断面で説明する概念図で、図9の(a)及び(b)は、それぞれ他の具現例に係るパッケージング基板の一部を断面で説明する概念図である。図10の(a)及び(b)は、それぞれ他の具現例のパッケージング基板の一部を断面で説明する概念図で、図11は、具現例によって支持部を適用したキャビティ部を有するガラス基板にキャビティ素子が固定される状態を説明する概念図である。図12は、具現例によって支持部を適用したキャビティ部を有するガラス基板を上から見た状態で説明する概念図で、図13は、具現例によって支持部を適用したキャビティガラス基板及びコア分配パターンを断面で説明する概念図であって、(a)は、図11のa-a'で見た断面で、(b)は、(a)にコア分配パターンが形成された状態の断面である。図14は、具現例によって支持部を適用したパッケージング基板のうちコア部及びキャビティ部を断面で説明する概念図で、図15は、具現例によって支持部を適用したパッケージング基板の断面を説明する概念図である。以下、前記図面を参照して本発明をより詳細に説明する。

10

20

30

40

50

【 0 0 8 2 】

【 0 0 8 3 】

前記目的を達成するために、具現例に係る半導体装置 1 0 0 は、1 以上の半導体素子 3 2、3 4、3 6 が位置する半導体素子部 3 0；前記半導体素子と電氣的に連結されるパッケージング基板 2 0；及び前記パッケージング基板と電氣的に連結され、前記半導体素子に外部の電氣的信号を伝達し、前記半導体素子を互いに連結するマザーボード 1 0；を含む。

【 0 0 8 4 】

他の具現例に係るパッケージング基板 2 0 は、コア層 2 2；前記コア層の一面上に位置する上部層 2 6；及びキャビティ素子 4 0 が位置し得るキャビティ部 2 8；を含む。

【 0 0 8 5 】

前記パッケージング基板は、前記コア層と前記キャビティ部との間に位置する放熱部 H 及びノ又は前記キャビティ部の少なくとも一面に前記内部空間に突出した支持部 2 8 5 をさらに含む。

【 0 0 8 6 】

前記半導体素子部 3 0 は、半導体装置に実装される各素子を意味し、接続電極などによって前記パッケージング基板 2 0 に実装される。具体的には、前記半導体素子部 3 0 としては、例えば、CPU、GPU などの演算素子（第 1 素子：3 2、第 2 素子：3 4）、メモリチップなどの記憶素子（第 3 素子、3 6）などが適用され得るが、半導体装置に実装される半導体素子であれば制限なく適用可能である。

【 0 0 8 7 】

前記マザーボード 1 0 としては、印刷回路基板、印刷配線基板などのマザーボードが適用され得る。

【 0 0 8 8 】

前記パッケージング基板 2 0 は、選択的にコア層の下側に位置する下部層 2 9 をさらに含むことができる。

【 0 0 8 9 】

前記コア層 2 2 は、第 1 厚さ 2 1 1 を有する第 1 区域 2 2 1 と隣り合い、前記第 1 厚さより薄い厚さである第 2 厚さ 2 1 2 を有する第 2 区域 2 2 2 を含むガラス基板 2 1；前記ガラス基板を厚さ方向に貫通する多数のコアビア 2 3；及び前記ガラス基板又はコアビアの表面上に位置し、前記コアビアを介して前記ガラス基板の第 1 面 2 1 3 と前記第 1 面と向かい合う第 2 面 2 1 4 とを電氣的に連結するコア分配層 2 4；を含むことができる。

【 0 0 9 0 】

前記コア層 2 2 は、第 1 厚さ 2 1 1 を有する第 1 区域 2 2 1 と、前記第 1 区域と隣り合い、前記第 1 厚さより薄い厚さである第 2 厚さ 2 1 2 を有する第 2 区域 2 2 2 とを含むものであって、前記第 2 区域は、キャビティ構造としての役割をすることができる。

【 0 0 9 1 】

同じ区域内で、前記ガラス基板 2 1 は、互いに向かい合う第 1 面 2 1 3 及び第 2 面 2 1 4 を有し、この二つの面は互いに概して平行であり、ガラス基板の全体にわたって一定の厚さを有する。

【 0 0 9 2 】

前記ガラス基板 2 1 は、互いに向かい合う第 1 面 2 1 3 及び第 2 面 2 1 4 を有するものであって、第 1 区域の厚さである第 1 厚さ 2 1 1 が第 2 区域の厚さである第 2 厚さ 2 1 2 より厚いことを一つの特徴とする。よって、第 1 区域と第 2 区域とが接する部分において、前記ガラス基板には、コアビアでない場所で前記第 1 区域の厚さ方向の一面である側面壁が露出するという特徴を有する。そして、第 1 区域と第 2 区域との厚さ差によって形成される内部空間 2 8 1 は、キャビティ素子の一部又は全部を収容する役割をする。

【 0 0 9 3 】

前記側面壁が露出した第 1 区域の厚さ方向の一面において、キャビティの内部空間 2 8 1 に突出した支持部 2 8 5 が位置し得る。前記支持部 2 8 5 は、その少なくとも一部が第 1 区域の厚さ方向の一面と連結され、その他の一部が前記内部空間 2 8 1 に突出し、挿入さ

10

20

30

40

50

れるキャピティ素子40の位置を固定することができる。

【0094】

このように互いに厚さが異なる第1区域と第2区域とが隣り合うように位置する形態のガラス基板21は、互いにその大きさが異なるガラス基板を積層又は結合させることによって製造されてもよく、耐久性や製造の効率性を考慮すると、ガラス基板において第1厚さと第2厚さとの差部分を除去する方式で製造することが好ましい。このとき、除去のためには、後で説明するコアビアの形成のための過程と同時に又は別途に進められるエッチング過程でその結合力が弱化された部分に機械的な力を加えて除去する方式などが適用され得るが、これに限定されない。

【0095】

前記ガラス基板21は、前記除去と同時に前記支持部285を形成することができる。具体的には、ガラス基板21にレーザー照射などの方法で欠陥を形成した後、フッ酸などの強酸を適用することによってエッチングする方法でビア又はキャピティ部を形成するとき、レーザー照射の間隔及び強度を調節し、キャピティ部の横に支持部を形成できるが、前記支持部の製造方法が上記で説明した方法に限定されるのではない。

【0096】

前記ガラス基板21は、前記第1面及び前記第2面を貫通するコアビア23を有することができる。前記コアビア23は、前記第1区域及び第2区域の全てに形成可能であり、意図するピッチ及びパターンで形成され得る。

【0097】

半導体装置のパッケージング基板は、既存にはシリコン基板と有機基板とが積層された形態で形成された。シリコン基板の場合は、半導体という特性上、高速回路に適用したときに寄生素子が発生するおそれがあり、電力損失が相対的に大きいという短所があった。また、有機基板の場合は、より複雑になる分配パターンを形成するために大面積化が必要であるが、これは、超小型化される電子機器の製造の流れと符合していない。定められた大きさ内で複雑な分配パターンを形成するためには、実質的にパターン微細化が必要であるが、有機基板に適用する高分子などの素材の特性上、パターン微細化に実質的な限界があった。

【0098】

具現例では、このような問題を解決する方法として、ガラス基板21をコア層22の支持体として適用する。また、ガラス基板と共に、ガラス基板を貫通して形成されたコアビア23を適用することによって、電氣的流れの長さをより短縮し、より小型化され、より速い反応、より少ない損失特性を有するパッケージング基板20を提供する。

【0099】

ガラス基板21としては、半導体に適用されるガラス基板を適用することが好ましく、例えば、ホウケイ酸ガラス基板、無アルカリガラス基板などが適用可能であるが、これに限定されない。

【0100】

前記ガラス基板21は、第1区域で測定した厚さ(第1厚さ、211)が1,500 μm 以下であってもよく、300 μm ~1,200 μm であってもよく、350 μm ~900 μm であってもよく、350 μm ~700 μm であってもよい。より薄いパッケージング基板を形成することが、電氣的信号の伝達をより効率化できるという点で有利であるが、支持体としての役割もしなければならないので、前記厚さを有するガラス基板21を適用することが好ましい。

【0101】

前記ガラス基板21の第2部分の厚さ(第2厚さ、212)は、前記第1厚さの80%以下であってもよく、前記第1厚さの20%~80%であってもよく、前記第1厚さの30%~70%であってもよい。具体的には、前記ガラス基板21は、第2区域で測定した厚さ(第2厚さ、212)が1,000 μm 以下であってもよく、700 μm 以下であってもよく、500 μm 以下であってもよい。また、前記第2厚さ212は、100 μm ~5

10

20

30

40

50

00 μm であってもよく、100 μm ~ 350 μm であってもよい。また、第1区域と第2区域との厚さ差は、キャビティ素子の厚さより大きいてもよい。このような厚さで第2部分のガラス基板を適用する場合、より効率的且つ安定的にキャビティ構造を形成することができる。

【0102】

ここで、ガラス基板の厚さは、ガラス基板上に位置する電気伝導性層の厚さを除いたガラス基板自体の厚さを意味する。

【0103】

前記ガラス基板21の第2厚さと前記第1厚さとの差は、前記キャビティ素子の厚さより小さくてもよく、前記キャビティ素子の厚さより大きくてもよい。前記差が前記キャビティ素子の厚さより小さい場合、前記内部空間に前記キャビティ素子全体が位置しにくくなるおそれがあり、この場合、パッケージング基板の構造がより複雑になる可能性がある。したがって、前記差が前記キャビティ素子の厚さより大きいことが、パッケージング基板の構造単純化のために好ましい。

10

【0104】

前記内部空間の高さは、50 μm ~ 500 μm であってもよく、150 μm ~ 450 μm であってもよく、250 μm ~ 400 μm であってもよい。

【0105】

前記コアビア23は、前記ガラス基板21を貫通する。前記コアビアは、前記ガラス基板21の予め定められた領域を除去する方式で形成されてもよく、具体的には、物理及び/又は化学的な方法で板状ガラスをエッチングすることによって形成されてもよい。

20

【0106】

具体的には、前記コアビア23の形成のためには、ガラス基板の表面にレーザーなどの方式で欠陥(溝)を形成した後、化学的にエッチングする方式、レーザーエッチングなどが適用され得るが、これに限定されない。

【0107】

前記コアビア23は、前記第1面と接する第1開口部233；前記第2面と接する第2開口部234；及び前記第1開口部と第2開口部とを連結する全体のコアビアにおいてその内径が最も狭い区域である最小内径部235；を含む。

【0108】

第1開口部の直径(CV1)と第2開口部の直径(CV2)は、実質的に異なってもよく、実質的に同一であってもよい。

30

【0109】

直径が実質的に異なる前者の場合は、前記コアビア23を断面で見た形態が実質的に四角形の形態であって、全体的に円柱形態のコアビアであってもよく、ガラス基板の厚さを基準にして中央部分でコアビアの内径が多少狭くなる全体的に平行形態のコアビアであってもよい(図7の(b)参考)。

【0110】

直径が実質的に同じ後者の場合は、二つの開口部の直径(CV1、CV2)のうちいずれか一つが他の一つより小さい直径であって、実質的にその断面が台形である切り取られた円錐形態のコアビア(図7の(a)参考)であってもよい。

40

【0111】

前記第1開口部の直径(CV1)及び第2開口部の直径(CV2)は、それぞれ150 μm 以下であってもよく、40 μm ~ 200 μm であってもよく、70 μm ~ 120 μm であってもよい。

【0112】

前記最小内径部は、前記第1開口部又は前記第2開口部に位置することができ、このとき、コアビアは、円筒形又は(切り取られた)三角錐形のコアビアであってもよい。この場合、前記最小内径部の直径(CV3)は、第1開口部及び前記第2開口部のうち小さいものの直径に該当する。

50

【 0 1 1 3 】

前記最小内径部は、前記第 1 開口部と前記第 2 開口部との間に位置し、このとき、コアビアはバレル型のコアビアであってもよい。この場合、最小内径部の直径 (C V 3) は、前記第 1 開口部の直径及び前記第 2 開口部の直径のうち大きいものより小さくてもよい。

【 0 1 1 4 】

前記コアビア 2 3 がビアの少なくとも一部に狭くなる区域を有する場合、狭くなった最小内径 (C V 3) の大きさは、第 1 開口部の直径 (C V 1) 及び第 2 開口部の直径 (C V 2) のうち大きいものを基準にして 5 0 % ~ 9 9 % の大きさであってもよく、 7 0 % ~ 9 5 % の大きさであってもよい。このような範囲で狭くなった内径の大きさを有する場合、電気伝導性層などがより円滑に形成され得る。

10

【 0 1 1 5 】

前記最小内径部の平均直径は、具体的に 5 0 μ m ~ 9 5 μ m であってもよい。

【 0 1 1 6 】

前記最小内径部は、下記の式 1 の条件を満足することができる。

【 0 1 1 7 】

[式 1]

【 0 1 1 8 】

$$0.83 \times D_{90} \leq D_{50} \leq 1.25 \times D_{10}$$

20

【 0 1 1 9 】

前記式 1 において、 D_{50} は、最小内径部の直径分布のうち 5 0 % に該当する値で、 D_{90} は、最小内径部の直径分布のうち 9 0 % に該当する値で、 D_{10} は、最小内径部の直径分布のうち 1 0 % に該当する値である。

【 0 1 2 0 】

前記最小内径部の平均直径は、5 5 μ m ~ 8 5 μ m であってもよく、6 0 μ m ~ 7 0 μ m であってもよい。

【 0 1 2 1 】

さらに具体的には、前記最小内径部は、下記の式 1 - 1 の条件を満足することができる。

【 0 1 2 2 】

[式 1 - 1]

【 0 1 2 3 】

$$0.88 \times D_{90} \leq D_{50} \leq 1.18 \times D_{10}$$

30

【 0 1 2 4 】

前記式 1 - 1 において、 D_{50} は、最小内径部の直径分布のうち 5 0 % に該当する値で、 D_{90} は、最小内径部の直径分布のうち 9 0 % に該当する値で、 D_{10} は、最小内径部の直径分布のうち 1 0 % に該当する値である。

【 0 1 2 5 】

具体的には、前記第 1 開口部の直径及び前記第 2 開口部の直径のうち大きいものである対象開口部は、その平均直径が 7 0 μ m ~ 1 2 0 μ m であってもよい。

40

【 0 1 2 6 】

具体的には、前記第 1 開口部の直径及び前記第 2 開口部の直径のうち大きいものである対象開口部は、下記の式 2 の条件を満足することができる。

【 0 1 2 7 】

[式 2]

【 0 1 2 8 】

$$0.9 \times D_{90} \leq D_{50} \leq 1.1 \times D_{10}$$

50

【 0 1 2 9 】

前記式 2 において、 D_{50} は、対象開口部の直径分布のうち 50 % に該当する値で、 D_{90} は、対象開口部の直径分布のうち 90 % に該当する値で、 D_{10} は、対象開口部の直径分布のうち 10 % に該当する値である。

【 0 1 3 0 】

具体的には、前記第 1 開口部の直径及び前記第 2 開口部の直径のうち大きいものである対象開口部は、その平均直径が $80 \mu\text{m} \sim 105 \mu\text{m}$ であってもよい。

【 0 1 3 1 】

具体的には、前記第 1 開口部の直径及び前記第 2 開口部の直径のうち大きいものである対象開口部は、下記の式 2 - 1 の条件を満足することができる。

【 0 1 3 2 】

[式 2 - 1]

【 0 1 3 3 】

$$0.92 \times D_{90} \leq D_{50} \leq 1.08 \times D_{10}$$

【 0 1 3 4 】

前記式 2 - 1 において、 D_{50} は、対象開口部の直径分布のうち 50 % に該当する値で、 D_{90} は、対象開口部の直径分布のうち 90 % に該当する値で、 D_{10} は、対象開口部の直径分布のうち 10 % に該当する値である。

【 0 1 3 5 】

前記コアビアは、前記第 1 面と接する開口部での直径である第 1 開口部の直径、及び第 2 面と接する開口部での直径である第 2 開口部の直径のうち大きいものである対象開口部の平均直径が、対象開口部の直径分布のうち 50 % に該当する値である D_{50} より大きい値を有することができる。

【 0 1 3 6 】

上記で説明した直径分布は、製造されたサンプルを 9 個の区画 (3×3) に区分し、左上、左下、中央、右上、及び右下の 5 個の領域のサンプルを採取して切断処理した後、断面を顕微鏡で観察して測定した直径を基準にして評価した。

【 0 1 3 7 】

前記最小内径部は、前記コアビアの長さ全体を 100 % としたとき、前記第 1 開口部を基準にして 40 % ~ 60 % の地点に位置してもよく、45 % ~ 55 % の地点に位置してもよい。このようにコアビアの長さ全体を基準にして、前記最小内径部が上記で説明した位置に存在する場合、パッケージング基板の電気伝導性層の設計及び電気伝導性層の形成過程がより容易になり得る。

【 0 1 3 8 】

前記第 1 開口部の直径 ($CV1$) 及び前記第 2 開口部の直径 ($CV2$) のうち大きいもので測定した電気伝導性層の厚さは、コアビアのうち最小内径を有する部分 ($CV3$) 上に形成された電気伝導性層の厚さと同じかそれより厚くてもよい。

【 0 1 3 9 】

前記コアビア 23 は、前記ガラス基板 21 の単位面積 ($1 \text{ cm} \times 1 \text{ cm}$) を基準にして 100 個 ~ 3000 個が位置してもよく、100 個 ~ 2500 個が位置してもよく、225 個 ~ 1024 個が位置してもよい。このようなピッチ条件を満足する場合、電気伝導性層などの形成及びパッケージング基板の性能を向上させることができる。

【 0 1 4 0 】

前記コアビア 23 は、前記ガラス基板 21 に 1.2 mm 以下のピッチで位置してもよく、 $0.12 \text{ mm} \sim 1.2 \text{ mm}$ のピッチで位置してもよく、 $0.3 \text{ mm} \sim 0.9 \text{ mm}$ のピッチで位置してもよい。この場合、ガラス基板の機械的物性を一定水準以上に維持しながら電気伝導性層などを形成するのに有利になる。

【 0 1 4 1 】

10

20

30

40

50

前記ガラス基板 2 1 の第 1 面 2 1 3 上で前記コアビア 2 3 が形成されていない場所をつなぐ直線である無地ラインで測定された応力、及び前記コアビア 2 3 が形成された場所をつなぐ直線であるビアラインで測定した応力は、下記の式 (1) による応力差値 (P) が 1 . 5 M P a 以下である条件を満足することができる。

【 0 1 4 2 】

式 (1) $P = V p - N p$

【 0 1 4 3 】

式 (1) において、前記 P は、同一のガラス基板で測定した応力差値で、前記 V p は、ビアラインで測定した応力の最大値と最小値との差で、前記 N p は、無地ラインで測定した応力の最大値と最小値との差である。

10

【 0 1 4 4 】

前記 P 値は、 1 . 3 5 M P a 以下であってもよく、 1 . 2 M P a 以下であってもよく、 1 . 1 M P a 以下であってもよい。また、前記 P 値は、 0 . 0 1 M P a 以上であってもよく、 0 . 1 M P a 以上であってもよい。

【 0 1 4 5 】

このような範囲で応力差値 (P) を有するコアビアが形成されたガラス基板を半導体パッケージング用基板として適用する場合、より安定的な機械的物性を有するパッケージング基板の製造が可能である。

【 0 1 4 6 】

前記 V p 値は、 2 . 5 M P a 以下であってもよく、 2 . 3 M P a 以下であってもよく、 2 . 0 M P a 以下であってもよく、 1 . 8 M P a 以下であってもよい。また、前記 V p 値は、 0 . 2 M P a 以上であってもよく、 0 . 4 M P a 以上であってもよい。

20

【 0 1 4 7 】

ビアラインで測定した応力の最大値と最小値との差 (V p) がこのような範囲である場合、コアビアが形成されたガラス基板を半導体パッケージング用基板として適用するとき、より安定的な機械的物性を有するパッケージング基板の製造が可能である。

【 0 1 4 8 】

前記 N p 値は、 1 . 0 M P a 以下であってもよく、 0 . 9 M P a 以下であってもよく、 0 . 8 M P a 以下であってもよい。また、前記 N p 値は、 0 . 1 M P a 以上であってもよく、 0 . 2 M P a 以上であってもよい。

30

【 0 1 4 9 】

無地ラインで測定した応力の最大値と最小値との差 (N p) がこのような範囲である場合、コアビアが形成されたガラス基板を半導体パッケージング用基板として適用するとき、より安定的な機械的物性を有するパッケージング基板の製造が可能である。

【 0 1 5 0 】

前記ガラス基板は、下記の式 (2) による応力差比率 (K) が 6 以下である条件を満足することができる。

【 0 1 5 1 】

式 (2) : $K = L p / L a$

【 0 1 5 2 】

式 (2) において、前記 K は、同一のガラス基板の同一の面で測定した応力差比率で、前記 L p は、コアビアが形成されていない場所をつなぐ直線である無地ライン、及びコアビアが形成された場所をつなぐ直線であるビアラインから選ばれた対象ラインで測定した応力の最大値と最小値との差で、前記 L a は、前記対象ラインで測定した応力の平均値である。

40

【 0 1 5 3 】

具体的には、前記 K 値は、 5 以下であってもよく、 4 . 5 以下であってもよく、 4 以下であってもよい。前記 K 値がこのような範囲である場合、コアビアが形成されたガラス基板を半導体パッケージング用基板として適用するとき、より安定的な機械的物性を有するパッケージング基板の製造が可能である。

50

【 0 1 5 4 】

前記応力差比率 (K) は、前記無地ラインで測定されたものであって、2 以下の値を有することができる。具体的には、無地ラインの応力差比率 (K n) は、1 . 8 以下であってもよく、0 . 3 超過であってもよく、0 . 5 超過であってもよい。

【 0 1 5 5 】

前記応力差比率 (K) は、前記ビアラインで測定されたものであって、6 以下の値を有してもよく、5 以下の値を有してもよい。ビアラインの応力差比率 (K v) は、4 . 5 以下であってもよく、3 以下であってもよい。また、ビアラインの応力差比率 (K v) は、0 . 5 以上であってもよく、1 . 0 以上であってもよく、1 . 5 以上であってもよい。

【 0 1 5 6 】

このような応力差比率 (K) を有する場合、コアビアが形成されたガラス基板を半導体パッケージング用基板として適用するとき、より安定的な機械的物性を有するパッケージング基板の製造が可能である。

【 0 1 5 7 】

前記応力は、複屈折 2 次元評価装置を適用して分析する。具体的には、複屈折の 2 次元分布評価装置としては、NPM社 (N i p p o n P u l s e K o r e a C o . , L T D) の W P A - 2 0 0 装置が適用され得る。具体的には、プローブで図 2 に示した応力測定経路に沿ってガラス基板上でデータを読むと、前記装置に複屈折率値などの測定値が入力され、予め定められた演算過程を通じて測定経路で応力が圧力単位 (例、M P a) で提示される。このとき、光弾性係数及び測定対象の厚さを入力することによって応力測定が可能であり、本発明では、光弾性係数値として 2 . 4 を適用する。

【 0 1 5 8 】

以下では、具体的な測定例を提示する。

【 0 1 5 9 】

開口部の平均直径が 1 0 0 μ m で、最小内径部の平均直径が 7 5 μ m で、平均厚さが約 3 0 0 μ m であるガラス基板の 4 個のサンプルの無地ライン及びビアラインの応力を、それぞれ 4 回以上位置を変更しながら上記で説明した設定で測定し、その平均値を用いて V p 、N p 、P 値をそれぞれ下記の表 1 に示した。

【 0 1 6 0 】

【表 1】

(MPa)	ビアライン(横)		-	ビアライン(縦)		-
	Min	Max		Min	Max	
サンプル 1	0.03175	1.8855	-	0.10275	1.60825	-
サンプル 2	0.0315	1.062	-	0.1975	0.782	-
サンプル 3	0.04225	1.844	-	0.05375	1.56525	-
サンプル 4	0.04275	1.97675	-	0.14975	1.7165	-
(MPa)	無地ライン(横)		-	無地ライン(縦)		-
	Min	Max		Min	Max	
サンプル 1	0.169	0.89475	-	0.2055	0.77325	-
サンプル 2	0.0845	0.90175	-	0.263	0.71125	-
サンプル 3	0.047	0.51625	-	0.07025	0.4895	-
サンプル 4	0.0875	0.69275	-	0.19925	0.69875	-
(MPa)	Vp(横)	Vp(縦)	Np(横)	Np(縦)	P (横)	P (縦)
サンプル 1	1.85	1.51	0.73	0.57	1.13	0.94
サンプル 2	1.03	0.58	0.82	0.45	0.21	0.14
サンプル 3	1.80	1.51	0.47	0.42	1.33	1.09
サンプル 4	1.93	1.57	0.61	0.50	1.33	1.07

10

20

30

40

50

【0161】

前記コア分配層24は、前記ガラス基板の第1面と第2面とを貫通ビアを介して電氣的に連結する電気伝導性層であるコア分配パターン241と、前記コア分配パターンを覆うコア絶縁層223とを含む。前記コア層22は、その内部にコアビアを通じて電気伝導性層が形成され、ガラス基板21を横切る電氣的通路としての役割をし、比較的短い距離でガラス基板の上部と下部とを連結し、より速い電氣的信号の伝達及び低損失の特性を有することができる。

【0162】

前記コア分配パターン241は、前記ガラス基板の第1面213と第2面214とをコアビア23を介して電氣的に連結するパターンであって、具体的には、前記第1面213の少なくとも一部上に位置する電気伝導性層である第1面分配パターン241aと、前記第2面214の少なくとも一部上に位置する電気伝導性層である第2面分配パターン241cと、前記第1面分配パターンと前記第2面分配パターンとを前記コアビア23を介して互いに電氣的に連結する電気伝導性層であるコアビア分配パターン241bとを含む。前記各電気伝導性層としては、例えば、銅めっき層が適用され得るが、これに限定されない。

10

【0163】

前記ガラス基板21は、上部及び下部にそれぞれ半導体素子部30及びマザーボード10を連結する中間役割及び仲介役割をし、前記コアビア23は、これらの電氣的信号を伝達する通路としての役割をするので、信号の伝達を円滑にする。

【0164】

前記第1開口部の直径及び前記第2開口部の直径のうち大きいもので測定した電気伝導性層の厚さは、コアビアのうち最小内径を有する部分上に形成された電気伝導性層の厚さと同じかそれより厚くてもよい。

20

【0165】

前記コア分配層24は、ガラス基板上に形成される電気伝導性層であって、ASTM D3359による付着力テスト(Cross Cut Adhesion Test)値が4B以上を満足することができ、具体的には5B以上を満足することができる。また、コア分配層24である電気伝導性層は、前記ガラス基板に対して3N/cm以上の接着力を有することができ、4.5N/cm以上の接合力を有することができる。このような接合力の程度を満足する場合、パッケージング基板として適用するのに十分な基板-電気伝導性層間の接合力を有する。

30

【0166】

前記第1面213上には上部層26が位置する。

【0167】

前記上部層26は、上部分配層25と、前記上部分配層上に位置する上面接続層27とを含み、前記上部層26の最上面は、半導体素子部の接続電極が直接当接し得る開口部が形成されたカバー層60によって保護され得る。

【0168】

前記上部分配層25は、前記第1面上に位置する上部絶縁層253と、予め定められたパターンを有し、前記コア分配層24とその少なくとも一部が電氣的に連結される電気伝導性層として前記上部絶縁層に内蔵される上部分配パターン251とを含む。

40

【0169】

前記上部絶縁層253としては、半導体素子やパッケージング基板に絶縁体層として適用するものであれば適用可能であり、例えば、フィラーが含まれたエポキシ樹脂などが適用され得るが、これに限定されない。

【0170】

前記絶縁体層は、コーティング層を形成して硬化する方式で形成されてもよく、未硬化又は半硬化状態でフィルム化された絶縁体フィルムを前記コア層にラミネートして硬化する方法で形成されてもよい。このとき、感圧ラミネーション方法を適用すると、コアビア内部の空間にまで前記絶縁体が埋め込まれ、効率的な工程進行が可能である。また、複

50

層の絶縁体層を積層して適用したときにも絶縁体層間の実質的な区分が難しくなる場合があり、複数の絶縁体層を上部絶縁層と通称する。また、コア絶縁層 2 2 3 及び上部絶縁層 2 5 3 には同一の絶縁材料が適用されてもよく、このとき、その境界が実質的に区分されない場合がある。

【 0 1 7 1 】

前記上部分配パターン 2 5 1 は、予め設定された形態で前記上部絶縁層 2 5 3 内に位置する電気伝導性層を意味し、例えば、ビルド - アップレイヤ方式で形成され得る。具体的には、絶縁体層を形成し、絶縁体層の不必要な部分を除去した後、銅めっきなどの方式で電気伝導性層を形成し、選択的に電気伝導性層のうち不必要な部分を除去した後、この電気伝導性層上に再び絶縁体層を形成し、再び不必要な部分を除去した後、めっきなどの方式で電気伝導性層を形成する方式を繰り返すことによって、意図するパターンで垂直又は水平方向に電気伝導性層が形成された上部分配パターン 2 5 1 を形成することができる。

10

【 0 1 7 2 】

前記上部分配パターン 2 5 1 は、コア層 2 2 と半導体素子部 3 0 との間に位置するので、半導体素子部 3 0 への電気的信号の伝達が円滑に進められ、意図する複雑なパターンが十分に収容され得るように、少なくともその一部に微細パターンを含むように形成する。このとき、微細パターンの幅及び間隔は、それぞれ 4 μm 未満であってもよく、3 . 5 μm 以下であってもよく、3 μm 以下であってもよく、2 . 5 μm 以下であってもよく、1 μm ~ 2 . 3 μm であってもよい(以下、微細パターンに対する説明は同一である)。

【 0 1 7 3 】

上部分配パターン 2 5 1 に微細パターンが含まれるように形成するためには、具現例では、少なくとも二つ以上の方法を適用する。

20

【 0 1 7 4 】

その一つの方法は、パッケージング基板のガラス基板としてガラス基板 2 1 を適用する。前記ガラス基板 2 1 は、表面照度 (R a) が 1 0 オングストローム以下であって、相当平坦な表面特性を有することができ、その結果、微細パターンの形成に及ぼす支持体基板の表面モホロジーの影響を最小化することができる。

【 0 1 7 5 】

他の一つの方法は、前記絶縁体の特性に基づく。前記絶縁体の場合、レジンと共にフィラー成分を適用することが多いが、前記フィラーとしては、シリカ粒子などの無機系粒子が適用され得る。無機系粒子がフィラーとして絶縁体に適用される場合、この無機系粒子の大きさが微細パターンの形成有無に影響を及ぼし得るが、具現例で適用する絶縁体は、その平均直径が約 1 5 0 n m 以下の粒子型フィラーを含み、具体的には、平均直径が 1 n m ~ 1 0 0 n m の粒子型フィラーを含む。このような特徴は、絶縁体に必要な物性を一定水準以上に維持しながら数マイクロメートル単位の幅を有する電気伝導性層の形成に絶縁体自体が及ぼす影響を最小化し、微細な表面モホロジーにより、その表面上に優れた付着力を有する微細パターンを形成することを促進する。

30

【 0 1 7 6 】

前記上面接続層 2 7 は、前記上部分配パターン 2 5 1 とその少なくとも一部が電氣的に連結され、前記上部絶縁層 2 5 3 に位置する上面連結パターン 2 7 2 と、前記半導体素子部 3 0 と前記上面連結パターン 2 7 2 とを電氣的に連結する上面接続電極 2 7 1 とを含む。前記上面連結パターン 2 7 2 は、上部絶縁層 2 5 3 の一面上に位置してもよく、少なくともその一部が上部絶縁層上に露出しながら埋め込まれていてもよい。例えば、前記上面連結パターンが前記上部絶縁層の一面上に位置する場合は、めっきなどの方式で前記上部絶縁層を形成することができ、前記上面連結パターンの一部が上部絶縁層上に露出しながら埋め込まれている場合は、銅めっき層などを形成した後、表面研磨、表面エッチングなどの方法で絶縁層又は電気伝導性層の一部が除去されたものであってもよい。

40

【 0 1 7 7 】

前記上面連結パターン 2 7 2 は、上記で説明した上部分配パターン 2 5 1 のように、微細パターンを少なくともその一部に含むことができる。このように微細パターンを含む上面

50

連結パターン 272 は、より多数個の素子を狭い面積下でも電氣的に連結できるようにし、素子間又は外部との電氣的信号の連結をより円滑にし、より集積化されたパッケージングが可能である。

【0178】

前記上面接続電極 271 は、前記半導体素子部 30 と端子などで直接連結されてもよく、前記半導体素子部 30 とソルダーボールなどの素子連結部 51 を媒介して連結されてもよい。

【0179】

前記キャビティ部 28 は、前記第 2 区域の上側及びノ又は下側に位置し、前記コア分配層と電氣的に連結されるキャビティ分配層 282 及びキャビティ素子 40 が位置する内部空間 281 を含む。

10

【0180】

具体的には、前記第 2 区域は、前記第 1 区域に比べてガラス基板の厚さがさらに薄く、その厚さの差によって形成される内部空間 281 にはキャビティ素子 40 が位置し得る。また、ガラス基板に形成されるコアビア及びコア分配層は、キャビティ素子と外部素子とを連結する電氣的な連結構造としての役割をする。

【0181】

前記キャビティ部 28 は、実質的に円形、三角形、四角形、六角形、八角形、十字形などであって、その形態に限定はないが、本発明では四角形の場合を例示的に説明する。

【0182】

前記キャビティ部 28 の一横面は、前記内部空間に突出する支持部 285 をさらに含む。

20

【0183】

前記キャビティ部 28 の一横面をキャビティの第 1 横面 281a と称し、前記キャビティの第 1 横面と異なる面をキャビティの第 2 横面 281b と称すると、前記キャビティの第 1 横面 281a 及び前記キャビティの第 2 横面 281b のうち少なくとも一つに前記支持部 285 が位置し得る。

【0184】

また、互いに隣り合うキャビティの第 1 横面 281a 及びキャビティの第 2 横面 281b には、それぞれ第 1 横面支持部 285a 及び第 2 横面支持部 285b が位置し得る。

【0185】

前記第 1 横面支持部 285a 及び前記第 2 横面支持部 285b は、前記キャビティ素子 40 を支持し、その位置を固定する役割をする。前記支持部を 1 個のみ適用する場合に比べて、前記支持部を互いに隣り合うように 2 個以上適用する場合、キャビティ素子の位置をより堅固に固定することができる。

30

【0186】

前記支持部 285 としては、スプリングなどの弾性力を有するものが適用され得る。具体的には、前記支持部 285 は、前記ガラス基板 21 と同じ材料で形成されたものであって、前記キャビティ素子 40 によって前記支持部に加えられる力の反対方向に弾性力を有するガラススプリング支持部であってもよい。

【0187】

前記キャビティ素子 40 の形態は、概して円筒形、直方体形又は多角形であってもよい。

40

【0188】

前記キャビティの第 1 横面 281a とキャビティの第 2 横面 281b とが互いに接する地点での角度は、45 度～135 度であってもよく、75 度～105 度であってもよく、実質的に 90 度であってもよい。前記キャビティの第 1 横面 281a 及びキャビティの第 2 横面 281b のそれぞれに設けられた横面支持部により、キャビティの第 1 横面 281a とキャビティの第 2 横面 281b 自体が接する地点での角度が前記のような範囲の任意の角度である場合にも、前記キャビティ素子 40 を安定的に支持するのに有利になる。

【0189】

弧形態を有する前記第 1 横面支持部 285a がキャビティ素子と出会う地点での接線（第

50

1 接線)と、弧形態を有する前記第2横面支持部285bがキャビティ素子と出会う地点での接線(第2接線)とが互いに出会う地点(第1接線と第2接線との接点)での第1接線と第2接線との間の角度は、45度~135度であってもよく、75度~105度であってもよく、実質的に90度であってもよい。このとき、キャビティ素子の外形が角張った場合はもちろん、キャビティ素子の外形が角張った形態でない場合にも、その位置を固定するのにより有利になり得る。

【0190】

前記第1横面支持部285aの最大突出部までの長さである第1横面支持部の長さ(CS1)は、前記キャビティの第1横面の長さ(C1)を100%としたとき、15%以下であってもよく、10%以下であってもよい。また、前記第1横面支持部の長さ(CS1)は、前記キャビティの第1横面の長さ(C1)を100%としたとき、1%以上であってもよく、3%以上であってもよい。

10

【0191】

前記第2横面支持部285bの最大突出部までの長さである第2横面支持部の長さ(CS2)は、前記キャビティの第1横面の長さ(C2)を100%としたとき、15%以下であってもよく、10%以下であってもよい。また、前記第2横面支持部の長さ(CS2)は、前記キャビティの第1横面の長さ(C2)を100%としたとき、1%以上であってもよく、3%以上であってもよい。

【0192】

前記支持部285は、前記ガラス基板21と直接連結されて一体をなすものであってもよい。この場合、ガラス基板のエッチングを通じて前記支持部285を形成できるので、ガラス基板の製造過程をより単純化することができ、弾性を有する支持部の物理的特性がガラス基板とほぼ類似するので、パッケージング基板の物性を制御するのにより有利になり得る。

20

【0193】

前記支持部285は、前記キャビティ部の横面で導出されて挿入されるキャビティ素子を支持する役割をするものであれば十分であり、具体的には、キャビティ部の横面の一地点で他の地点を連結する弧形態を有してもよく、横面の一末端で他の末端を連結する弧形態を有してもよい。前記支持部が弧形態を有する場合、前記支持部の長さ(CS1、CS2)は、前記弧形態の支持部の中間部分で測定され得る。

30

【0194】

前記第1横面支持部285aの最も突出した位置で向かい合う前記キャビティ部の横面までの長さ、及び前記第2横面支持部285bの最も突出した位置で向かい合う前記キャビティ部の横面までの長さは、それぞれ前記キャビティ部に挿入されるキャビティ素子の対応する位置での長さと同じか、それより10%以内に小さくてもよく、それより0.1%~8%小さいことが好ましい。この場合、前記支持部がキャビティ素子を安定的に固定するのにより有利になる。

【0195】

前記キャビティ部28は、前記キャビティ素子40と前記コア分配層24とを電氣的に連結する電気伝導性層であるキャビティ分配パターン283を含むことができ、前記キャビティ分配パターン283は、前記第1区域と前記第2区域との境界にガラス基板21の厚さ方向の面上に位置する電気伝導性層である側壁面パターン283aを含むことができる。但し、前記側壁面パターンは、前記支持部が形成された横面を除いた面に形成されることが好ましい。

40

【0196】

前記側壁面パターン283aは、電氣的な信号を伝達する役割をすると共に、キャビティ素子などによってキャビティ部28に発生する熱を外部に移動させる放熱層としても機能することができる。

【0197】

具体的には、前記キャビティ分配層282は、前記内部空間内にその少なくとも一部が位

50

置するキャビティ素子 40 及び前記コア分配層と電氣的に連結される電気伝導性層であるキャビティ分配パターン 283 及びノ又は側壁面パターン 283a を覆う絶縁層であるキャビティ絶縁層 284 を含むことができる。

【0198】

前記キャビティ分配パターンは、前記パッケージング基板に形成されていてもよく、キャビティ素子 40 の電極 42 (接続電極) などの端子形態で提供されてもよい。

【0199】

前記キャビティ素子 40 はトランジスタを含むことができる。前記キャビティ素子 40 として、マザーボードと半導体素子部との間の電氣的な信号を適切な水準に変換する役割をするトランジスタなどの素子が適用される場合、パッケージング基板 20 の通路にトランジスタなどが適用される形態になり、より効率的且つ速い速度を有する半導体装置 100 を提供することができる。

10

【0200】

前記キャビティ素子 40 は、キャパシタなどの受動素子が個別的に挿入されて適用されてもよく、絶縁体層 (キャビティ素子絶縁層、46) 間に埋め込まれている (embedded) 形態で多数の受動素子が含まれた素子グループが、電極が露出するように形成された後、キャビティ素子内に挿入されてもよい。後者の場合は、パッケージング基板製造の作業性をより円滑にすることができ、複雑な素子間の空間に十分且つ高い信頼度で絶縁層を位置させるのにより有利になる。

【0201】

また、前記キャビティ素子 40 の電極と接する第 2 区域のコアビア 232 は、充填ビア 283c の形態で形成されたコア分配パターンを有することができる。例えば、第 1 区域のコアビア 231 上に形成されるコア分配パターンであるコアビア分配パターン 241b は、内部にコア絶縁層が充填される形態で、金属層などの電気伝導性層の側面から見たときに内部に空間が形成され得るが、前記キャビティ素子 40 と連結されるコアビアの場合、これと異なり、その内部に電気伝導性層で充填された充填ビア 283c の形態を有することができる。この場合、キャパシタなどが配置されるキャビティ素子の電力伝達がより円滑になり、パッケージング基板の特性をより向上させることができる。

20

【0202】

具体的には、前記第 2 区域 222 の下側に位置するキャビティ部 28 にはキャビティ素子 40 が位置し得る。また、前記キャビティ素子は、その下面に形成された接続電極で直接又は下部層を通じてマザーボード 10 と電氣的に接続することができる。

30

【0203】

具体的には、前記第 2 区域 222 の上側に位置するキャビティ部 28 にはキャビティ素子 40 が位置し得る。また、前記キャビティ素子は、その上面に形成された接続電極で直接又は上部層を通じて半導体素子部 30 と電氣的に接続することができる。

【0204】

このように前記キャビティ部が前記第 2 区域の上側又は下側に配置される場合、キャビティ素子の両側に存在する接続電極のうち少なくとも一つの接続電極を前記ガラス基板の上部層又は下部層と直接連結したり、半導体素子又はマザーボードと直接連結したりすることができ、より簡単な構造の半導体装置を提供することができる。

40

【0205】

前記放熱部 H は、前記ガラス基板の第 1 区域 221 と前記キャビティ部の内部空間 281 とが接する面に位置し得る。

【0206】

前記放熱部 H は、前記ガラス基板の第 1 区域 221 と第 2 区域 222 との間、そして、前記ガラス基板の第 1 区域 221 と前記キャビティ部の内部空間 281 との間に位置し得る。

【0207】

前記放熱部 H は、少なくともその一部が前記コア分配層 24 と連結され得る。具体的には、前記内部空間 281 が前記第 2 区域の上側に位置する場合、前記放熱部 H は、前記第 2

50

区域の第1面分配パターン241aのうち少なくとも一部と連結され得る。具体的には、前記内部空間281が前記第2区域の下側に位置する場合、前記放熱部Hは、前記第2区域の第2面コアパターン241bのうち少なくとも一部と連結され得る。

【0208】

前記放熱部Hは、前記キャビティ部28で発生する熱を前記パッケージング基板の外部に伝達することができる。また、前記コアパターン層と互いに連結される放熱部Hは、コア分配層と連結されたり、上部層及び/又は下部層の電気伝導性層、放熱層などと連結され、接続された素子などから発生する熱を半導体パッケージングの外部に排出することができる。

【0209】

前記放熱部H及び前記キャビティ分配層282は、前記キャビティ分配層を覆う絶縁層であるキャビティ絶縁層284で電氣的に絶縁されるものであってもよい。

【0210】

前記放熱部としては、別途の放熱素材が適用されてもよく、電気伝導性及び放熱特性を同時に有する金属層が適用されてもよい。この場合、各分配層、特に、互いに隣り合うように位置しやすいキャビティ分配層との連結のために予め定められた領域を除いては、絶縁処理される必要がある。このような絶縁処理は、上記で説明した絶縁層を形成する方法と類似する方法で進められ得る。

【0211】

上記で説明したように、前記キャビティ部28は、前記キャビティ素子40と前記コア分配層24とを電氣的に連結する電気伝導性層であるキャビティ分配パターン283を含むことができ、前記キャビティ分配パターン283は、前記第1区域と前記第2区域との境界に、ガラス基板21の厚さ方向の面上に位置する電気伝導性層である側壁面パターン(図示せず)を含むことができる。前記側壁面パターンは、前記放熱部Hとしての役割をすることができ、特に、前記側壁面パターンとして比較的高い熱伝導率を有する電気伝導性層が適用される場合、側壁面パターンと放熱部の役割を同時にすることができる。

【0212】

前記放熱部Hとしては、熱伝導率が300W/mK~450W/mKであるものが適用され得る。

【0213】

前記放熱部Hには、前記電気伝導性層と同一の材料が適用され得る。

【0214】

前記放熱部Hは、前記電気伝導性層の形成時に共に形成され得る。

【0215】

前記放熱部Hは、その厚さが4µm以上の電気伝導性金属層であってもよい。

【0216】

前記放熱部Hは、ガラス基板上に形成される熱伝導層であって、ASTM D3359による付着力テスト(Cross Cut Adhesion Test)値が4B以上を満足することができ、具体的には5B以上を満足することができる。また、放熱部Hは、前記ガラス基板に対して3N/cm以上の接着力を有することができ、4.5N/cm以上の接合力を有することができる。このような接合力の程度を満足する場合、パッケージング基板として適用するのに十分な基板-放熱部間の接合力を有する。

【0217】

前記パッケージング基板20は、前記コア層22の下側に位置する下部層29をさらに含むことができる。

【0218】

前記下部層29は、前記コア分配層と電氣的に連結される下部分配層291と、外部のマザーボードと接続される下面接続電極292aを提供する下面接続層292とを含むことができる。このとき、前記放熱部Hは前記下部分配層291と連結され得る。

【0219】

10

20

30

40

50

具体的には、前記キャビティ部 28 は、電気伝導性層である側壁面パターン 283a によって電氣的信号を伝達する通路としての役割をすると共に、熱伝達の通路としての役割をする。パッケージング基板は、パッケージング内部で発生したり外部の素子から発生したりした後、パッケージング基板に伝達される熱を外部に排出する放熱機能を備えることが要求される。銅などの金属のような熱伝導性に優れた物質が適用される電気伝導性層を前記キャビティ部の側壁面などに適用する場合、電氣的信号の伝達と放熱という二つの効果を同時に得ることができる。また、このような側壁面パターンは、コア分配パターンなどを形成する過程で共に形成できるので、製造工程上の効率性にも優れる。

【0220】

前記パッケージング基板 20 は、マザーボード 10 とも連結される。前記マザーボード 10 は、前記コア層 22 の前記第 2 面 214 の少なくとも一部上に位置するコア分配層である第 2 面分配パターン 241c とマザーボードの端子を介して直接連結されてもよく、前記第 2 面分配パターン 241c とソルダーボールなどのボード連結部を媒介して電氣的に連結されてもよい。また、前記第 2 面分配パターン 241c は、前記コア層 22 の下部に位置する下部層 29 を媒介して前記マザーボード 10 と連結されてもよい。

10

【0221】

前記下部層 29 は、下部分配層 291 及び下面接続層 292 を含む。

【0222】

下部分配層 291 は、i) 前記第 2 面 214 とその少なくとも一部が接する下部絶縁層 291b ; 及び ii) 前記下部絶縁層に内蔵 (埋設) され、予め定められたパターンを有するものであって、前記コア分配層とその少なくとも一部が電氣的に連結される下部分配パターン 291a ; を含む。

20

【0223】

下面接続層 292 は、i) 前記下面連結パターンと電氣的に連結される下面接続電極 292a を含み、ii) 前記下部分配パターンとその少なくとも一部が電氣的に連結され、前記下部絶縁層の一面上に少なくともその一部が露出する下面連結パターン 292b をさらに含むことができる。

【0224】

前記下面連結パターン 292b は、マザーボード 10 と連結される部分であって、より効率的な電氣的信号の伝達のために、前記上面連結パターン 272 と異なり、微細パターンより幅が広い非微細パターンで形成され得る。

30

【0225】

前記半導体素子部 30 と前記マザーボード 10 との間に位置するパッケージング基板 20 には、前記ガラス基板 21 以外に実質的に追加的な他の基板を適用しないことを発明の特徴の一つとする。

【0226】

既存には、素子とマザーボードとを連結する間に、インターポーザと有機基板を共に積層して適用した。少なくとも二つの理由でこのように多段の形態で適用したと把握されるが、その一つの理由は、素子の微細なパターンをマザーボードに直接接合させるにはスケール上の問題があるという点にあり、他の一つの理由は、接合過程で又は半導体装置の駆動過程で熱膨張係数の差による配線損傷の問題が発生し得るという点にある。具現例では、熱膨張係数が半導体素子と類似するガラス基板を適用し、ガラス基板の第 1 面及びその上部層に、素子の実装に十分な程度に微細なスケールを有する微細パターンを形成することによって、このような問題を解決した。

40

【0227】

具現例において、前記コア分配パターン 241 を構成する電気伝導性層は、前記コアビア 23 の内径面から前記コア分配パターン 241 の表面までの距離を全体としたとき、前記電気伝導性層の厚さが 90% 以上であってもよく、93% ~ 100% であってもよく、95% ~ 100% であってもよい。また、前記コア分配パターン 241 を構成する電気伝導性層は、前記コアビア 23 の内径面から前記コア分配パターン 241 の表面までの距離を

50

全体としたとき、前記電気伝導性層の厚さが97%~100%であってもよく、96%~100%であってもよい。

【0228】

前記コアビアパターン241の前記コアビアの内径面と近い面と前記コアビアの内径面との間の距離は1 μ m以下であってもよく、実質的には、内径面と電気伝導性層との間に別途に1 μ m以上の厚さを有する接着層などが形成されない場合もある。

【0229】

具体的には、第1開口部の直径(CV1)及び第2開口部の直径(CV2)のうち大きいものが位置する開口部で前記コアビア23の内径面から前記コア分配パターン241の表面までの距離を全体100%としたとき、前記電気伝導性層の厚さは、90%以上であってもよく、93%~100%であってもよく、95%~100%であってもよく、98%~99.9%であってもよい。

10

【0230】

具体的には、最小内径(CV3)の位置で前記コアビア23の内径面から前記コア分配パターン241の表面までの距離を全体100%としたとき、前記電気伝導性層の厚さは、90%以上であってもよく、93%~100%であってもよく、95%~100%であってもよく、95.5%~99%であってもよい。

【0231】

このようにコア分配パターン241が前記コアビア23の内径面と近く、実質的には前記内径面上に直接形成される場合、処理工程がより単純化され、工程効率性を向上できるだけでなく、コアビアの大きさに比べて電気伝導性層であるコアビアパターンがより厚く形成され得るので、空間効率性をより向上させることができ、定められた空間内でパッケージング基板の電気的特性をより向上させることができる。

20

【0232】

具現例において、前記コア分配層24の電気伝導性層のうち薄いものの厚さは、前記上部層26の電気伝導性層のうち薄いものの厚さ(Tus)と同じかそれより厚くてもよい。このように、コア分配層24の電気伝導性層のうち薄いものの厚さが前記上部層26の電気伝導性層のうち薄いものの厚さと同じかそれより厚い場合、素子とマザーボードとの間で電气的信号をより効率的に伝達することができる。

【0233】

前記コアビア23の最小内径での電気伝導性層の厚さは、前記上部層26の電気伝導性層のうち薄いものの厚さと同じかそれより厚くてもよい。このように、コアビアの最小内径での電気伝導性層の厚さが前記上部層の電気伝導性層のうち薄いものの厚さと同じかそれより厚い場合、素子とマザーボードとの間で電气的信号をより効率的に伝達することができる。

30

【0234】

具現例において、コア分配パターン241の平均厚さは、前記上面連結パターン272のうち薄いものの厚さ(Tus)を基準にして0.7倍~1.2倍厚い厚さ(Tcv)であってもよく、1.0倍~1.0倍厚い厚さ(Tcv)であってもよい。また、コア分配パターン241は、前記上面連結パターン272のうち薄いものの厚さ(Tus)を基準にして1.1倍~8倍厚い厚さ(Tcv)を有してもよく、1.1倍~6倍厚い厚さ(Tcv)を有してもよく、1.1倍~3倍厚い厚さ(Tcv)を有してもよい。このような厚さの比率を示すコア分配パターン241を有する場合、高度で集積化された素子から電气的信号がマザーボードに連結される過程をより効率化することができる。

40

【0235】

前記コア分配パターン241は、図面に示したように、コアビアの内径に一定の厚さで電気伝導性層が形成された形態であって、その残りの部分には絶縁体層が充填されたものであってもよく、必要に応じて、コアビアの空間が余分の空間なしで電気伝導性層で充填されたものであってもよい。このようにコアビアの空間が電気伝導性層で充填された場合、コアビアパターンの幅は、内径面に近いコアビアパターンの一側から電気伝導性層の中央

50

までの距離とする（以下、同一である）。

【0236】

具現例において、第2面分配パターン241cのうち厚いものは、前記上面連結パターン272のうち薄いものの厚さ（ T_{us} ）を基準にして0.7倍～20倍厚い配線の厚さ（ T_{sc} ）を有してもよく、0.7倍～15倍厚い配線の厚さ（ T_{sc} ）を有してもよい。また、第2面分配パターン241cは、前記上面連結パターン272のうち薄いものの厚さ（ T_{us} ）を基準にして1倍～12倍厚い配線の厚さ（ T_{sc} ）を有してもよく、1.1倍～5倍厚い配線の厚さ（ T_{sc} ）を有してもよい。このような配線の厚さを第2面分配パターン241cが有する場合、高度で集積化された素子から電気的信号がマザーボードに連結される過程をより効率化することができる。

10

【0237】

具現例において、前記下面連結パターン292bは、少なくとも一部が前記上面連結パターン272のうち薄いものの厚さ（ T_{us} ）を基準にして0.7倍～30倍の厚さ（ T_{ds} ）を有してもよく、1倍～25倍の厚さ（ T_{ds} ）を有してもよく、1.5倍～20倍の厚さ（ T_{ds} ）を有してもよい。このような比率を有する下面接続電極292aを適用する場合、高度で集積化された素子から電気的信号がマザーボードに連結される過程をより効率化することができる。

【0238】

前記半導体装置100は、相当薄い厚さを有するパッケージング基板20を有するので、前記半導体装置の全体的な厚さを薄くすることができ、微細パターンを適用することによってより狭い面積でも意図する電気的な連結パターンを配置することができる。具体的には、前記パッケージング基板20の厚さは、2000 μm 以下であってもよく、1800 μm 以下であってもよく、1500 μm であってもよい。また、前記パッケージング基板20の厚さは、350 μm 以上であってもよく、550 μm 以上であってもよい。前記パッケージング基板は、上記で説明した特徴により、比較的薄い厚さでも素子とマザーボードとを電氣的に且つ構造的に安定するように連結し、半導体装置の小型化及び薄膜化により寄与することができる。

20

【0239】

【0240】

具現例のパッケージング基板の製造方法は、ガラス基板の第1面及び第2面の予め定められた位置に欠陥を形成する準備ステップ；エッチング液を前記欠陥が形成されたガラス基板に加えて、コアピアが形成されたガラス基板を設けるエッチングステップ；前記コアピアが形成されたガラス基板の表面をめっきすることによって電気伝導性層であるコア分配層を形成し、コア層を製造するコア層製造ステップ；及び前記コア層の一面上に、絶縁層で覆われた電気伝導性層である上部分配層を形成する上部層製造ステップ；を含み、上記で説明したパッケージング基板を製造する。

30

【0241】

前記コア層製造ステップは、前記コアピアが形成されたガラス基板の表面に、アミン基を有するナノ粒子を含む有・無機複合プライマー層を形成し、前処理されたガラス基板を設ける前処理過程；及び前記前処理されたガラス基板に金属層をめっきするめっき過程；を含むことができる。

40

【0242】

前記コア層製造ステップは、前記コアピアが形成されたガラス基板の表面にスパッタリングを通じて金属含有プライマー層を形成し、前処理されたガラス基板を設ける前処理過程；及び前記前処理されたガラス基板に金属層をめっきするめっき過程；を含むことができる。

【0243】

前記コア層製造ステップと前記上部層製造ステップとの間には絶縁層形成ステップがさらに含まれ得る。

【0244】

50

前記絶縁層形成ステップは、絶縁体フィルムを前記コア層上に位置させた後、感圧ラミネートを行うことによってコア絶縁層を形成するステップであってもよい。

【0245】

以下では、パッケージング基板の製造方法をより詳細に説明する。

【0246】

1) 準備ステップ(ガラス欠陥形成過程): 平坦な第1面及び第2面を有するガラス基板を準備し、コアビアの形成のために予め定められた位置のガラス表面に欠陥(溝)を形成する。前記ガラス基板としては、電子装置の基板などに適用されるガラス基板が適用されてもよく、例えば、無アルカリガラス基板、ホウケイ酸ガラス基板などが適用され得るが、これに限定されない。市販の製品として、コーニング社、ショット社、AGCなどの製造社で製造した製品が適用され得る。このとき、ガラス基板の一部が除去される方式でキャビティ部が形成されたガラス基板が適用されてもよく、平坦なガラス基板を接合することによってキャビティ部を有するガラス基板が適用されてもよく、平らなガラス基板のキャビティ部にも以下で説明する欠陥を形成し、コアビアとキャビティ部を同時に製造することもできる。また、前記キャビティ部の製造と同時に又は別途に支持部も形成することができる。前記欠陥(溝)の形成には、機械的なエッチング、レーザー照射などの方式が適用され得る。

10

【0247】

2-1) エッチングステップ(コアビア形成ステップ): 欠陥(溝)が形成されたガラス基板は、物理的又は化学的なエッチング過程を通じてコアビアを形成する。エッチング過程で、ガラス基板の欠陥部分にビアを形成すると同時に、ガラス基板の表面も同時にエッチングされ得る。このようなガラス表面のエッチングを防止するために、マスキングフィルムなどを適用することもできるが、マスキングフィルムを適用して除去する過程の煩雑さなどを考慮した上で、欠陥のあるガラス基板自体をエッチングすることができ、この場合、最初のガラス基板の厚さよりも、コアビアを有するガラス基板の厚さが多少薄くなってよい。

20

【0248】

化学的なエッチングは、フッ酸及び/又は硝酸が含まれたバス内に溝が形成されたガラス基板を位置させ、超音波処理などを加えることによって進められ得る。このとき、前記フッ酸濃度は、0.5M以上であってもよく、1.1M以上であってもよい。前記フッ酸濃度は、3M以下であってもよく、2M以下であってもよい。前記硝酸濃度は、0.5M以上であってもよく、1M以上であってもよい。前記硝酸濃度は2M以下であってもよい。前記超音波処理は、40Hz~120Hzの周波数で進められてもよく、60Hz~100Hzの周波数で進められてもよい。

30

【0249】

2-2) キャビティ部形成ステップ: 前記エッチング過程と同時に又は別途に前記ガラス基板の一部を除去することによってキャビティ部を形成する。具体的には、上記でコアビアを形成するための欠陥以外に、キャビティ部を形成するための欠陥を別途に形成する。その後、前記コアビアの形成のためのエッチングと同時に又は別途にエッチング過程を通じて第1区域より薄い厚さを有する第2区域を有するガラス基板を製造する。さらに、キャビティ部の内部の一部が除去されないように照射されるレーザーを設定する方式で、前記エッチング過程でコアビアとキャビティ部を形成すると同時に支持部も形成することができる。

40

【0250】

3-1) コア層製造ステップ: ガラス基板上に電気伝導性層を形成する。前記電気伝導性層としては、代表的に銅金属を含む金属層が適用され得るが、これに限定されない。

【0251】

ガラスの表面(ガラス基板の表面及びコアビアの表面を含む)及び銅金属の表面は、その性質が異なることから付着力が劣る方である。具現例では、ドライ方式とウェット方式の二つの方法でガラス表面と金属との間の付着力を向上させた。

50

【0252】

ドライ方式は、スパッタリングを適用する方式、すなわち、金属スパッタリングでガラス表面及びコアビアの内径にシード層を形成する方式である。前記シード層の形成時には、チタン、クロム、ニッケルなどの異種金属が銅などと共にスパッタリングされてもよく、この場合、ガラスの表面モホロジーと金属粒子とが相互作用するアンカー効果などによってガラス-金属付着力が向上すると考えられる。

【0253】

ウェット方式は、プライマー処理をする方式であって、アミンなどの官能基を有する化合物で前処理をすることによってプライマー層を形成する方式である。意図する付着力の程度によってシランカップリング剤で前処理をした後、アミン官能基を有する化合物又は粒子でプライマー処理をすることができる。上記でも言及したように、具現例の支持体基板は、微細パターンを形成できる程度の高性能であることを必要とし、これは、プライマー処理後にも維持されなければならない。よって、このようなプライマーがナノ粒子を含む場合は、平均直径が150nm以下の大きさを有するナノ粒子が適用されることが好ましく、例えば、アミン基を有する粒子としてはナノ粒子が適用されることが好ましい。前記プライマー層は、例示的にMEC社のCZシリーズなどで製造する接合力改善剤が適用されることによって形成され得る。

10

【0254】

前記シード層/プライマー層においては、電気伝導性層の形成が不必要な部分を除去した状態で又は除去していない状態で選択的に電気伝導性層が金属層を形成することができる。また、前記シード層/プライマー層21cは、電気伝導性層の形成が必要な部分又は不必要な部分を選択的に金属めっきに活性化された状態又は不活性化された状態で処理し、以降の工程を進めることができる。例えば、前記活性化又は不活性化処理としては、一定の波長のレーザーなどの光照射処理、薬品処理などが適用され得る。金属層の形成には、半導体素子の製造に適用される銅めっき方法などが適用され得るが、これに限定されない。

20

【0255】

前記金属めっき時に、めっき液の濃度、めっき時間、適用する添加剤の種類などの多くの変数を調節し、形成される電気伝導性層の厚さを調節することができる。

【0256】

前記コア分配層の一部が不必要である場合は除去されてもよく、シード層の一部が除去されたり不活性化処理された後で金属めっきを進めることによって、予め定められたパターンで電気伝導性層を形成し、コア分配層のエッチング層が形成されてもよい。

30

【0257】

前記コア分配層を形成すると同時に、電気伝導性層として熱伝導性に優れた銅などを適用することによって放熱部を形成する。放熱部は、コア分配層の形成と別途に形成することもできるが、前記のようなめっき工程などでコア分配層と放熱部を同時に形成することも可能であるので、工程の効率性をより向上させることができる。

【0258】

前記コア分配層を形成する過程で、前記支持部には、別途の電気伝導性層が形成されるか、又は別途の電気伝導性層が形成されないように調節することができる。

40

【0259】

また、前記キャビティ素子の電極と連結されるコアビア(第2区域のコアビア、232)の少なくとも一部は、より効率的な電力伝達などのために充填ビア283cの形態で製造されてもよく、前記めっき層形成ステップで共に又は別途の充填ビア形成ステップを通じて前記第2区域のコアビアが電気伝導性層を形成する銅などの金属で充填され、より効率的な信号伝達が可能な充填ビアを形成することができる。

【0260】

併せて、前記キャビティ素子は、以降の絶縁層形成ステップを進める前に挿入され得る。

【0261】

3-2) 絶縁層形成ステップ: コアビアは、前記電気伝導層であるコア分配層の形成後、

50

絶縁層で空のスペースを埋める絶縁層形成ステップを経ることができる。このとき、絶縁層としては、フィルム形態で製造されたものが適用されてもよく、例えば、感圧ラミネーション方法などによるフィルム形態の絶縁層が適用されてもよい。このように感圧ラミネートを進めると、絶縁層が前記コアビア内部の空のスペースにまで十分に埋め込まれ、ボイドの形成がないコア絶縁層を形成することができる。

【0262】

4) 上部層製造ステップ：コア層上に上部絶縁層及び上部分配パターンを含む上部分配層を形成するステップである。上部絶縁層は、絶縁層を形成する樹脂組成物をコーティングするか、絶縁フィルムを積層する方式で形成されてもよく、簡便には絶縁フィルムを積層する方式で形成されることが好ましい。絶縁フィルムの積層は、絶縁フィルムをラミネートして硬化する過程で進められ得るが、このとき、感圧ラミネーション方法を適用すると、コアビアの内部に電気伝導性層が形成されていない層などにも絶縁樹脂が十分に埋め込まれ得る。前記上部絶縁層の場合も、ガラス基板と少なくともその一部で直接当接し、その結果、十分な付着力を有するものを適用する。具体的には、前記ガラス基板及び前記上部絶縁層は、ASTM D3359による付着力テスト値が4B以上を満足する特性を有することが好ましい。

10

【0263】

上部分配パターンは、前記絶縁層を形成し、予め定められたパターンで電気伝導性層を形成し、不必要な部分をエッチングした後、電気伝導性層のエッチング層を形成する過程を繰り返すことによって形成されてもよく、絶縁層を挟んで隣り合うように形成される電気伝導性層の場合は、絶縁層にブラインドビアを形成した後、めっき工程を進める方式で形成されてもよい。ブラインドビアの形成のためには、レーザーエッチング、プラズマエッチングなどの乾式エッチング方式、マスキング層及びエッチング液を用いた湿式エッチング方式などが適用され得る。

20

【0264】

5) 上面接続層及びカバー層形成ステップ：上面連結パターン及び上面接続電極も、上部分配層の形成と類似する過程で形成され得る。具体的には、上面連結パターン及び上面接続電極は、絶縁層に絶縁層のエッチング層を形成し、これに再び電気伝導性層を形成した後、電気伝導性層のエッチング層を形成する方式などで形成され得るが、エッチングの方式を適用することなく、電気伝導性層のみを選択的に形成する方法で形成されてもよい。カバー層は、上面接続電極に対応する位置に開口部が形成されることによって上面接続電極が露出し、素子連結部又は素子の端子などと直接連結できるように形成され得る。

30

【0265】

6) 下面接続層及びカバー層形成ステップ：上記で説明した上面接続層及びカバー層形成ステップと類似する方式で下部分配層及び/又は下面接続層を形成し、選択的にカバー層を形成することができる。

以上では、具現例の好ましい実施例に対して詳細に説明したが、具現例の権利範囲は、これに限定されるのではなく、次の特許請求の範囲で定義している具現例の基本概念を用いた当業者の多くの変形及び改良形態も具現例の権利範囲に属する。

【符号の説明】

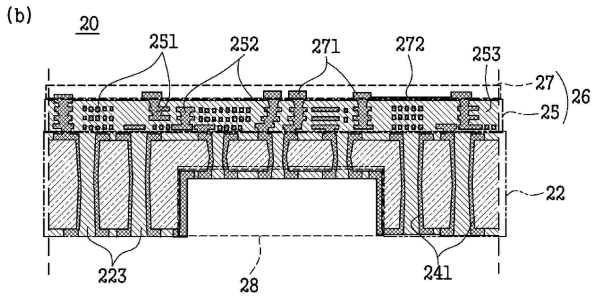
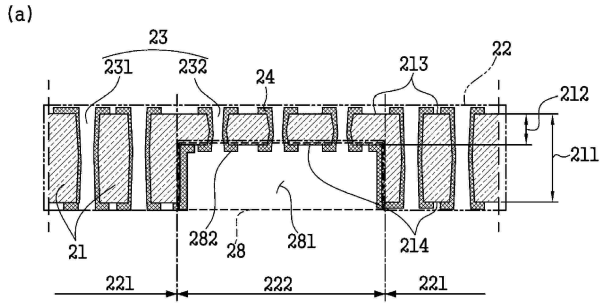
40

【0266】

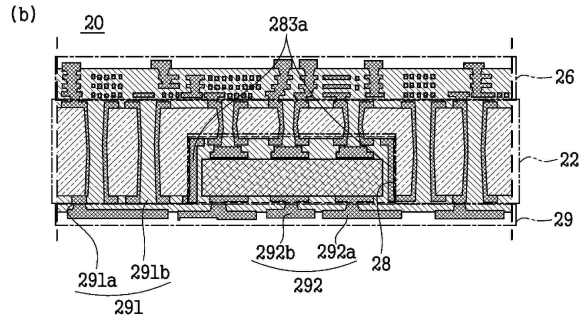
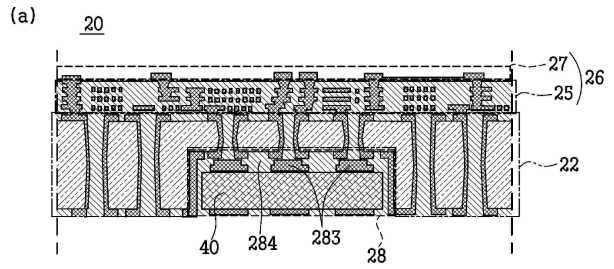
100：半導体装置 10：マザーボード
 30：半導体素子部 32：第1半導体素子
 34：第2半導体素子 36：第3半導体素子
 20：パッケージング基板 22：コア層
 223：コア絶縁層 21、21a：ガラス基板
 213：第1面 214：第2面
 23：コアビア 233：第1開口部
 234：第2開口部 235：最小内径部
 24：コア分配層 241：コア分配パターン

50

【図 3】

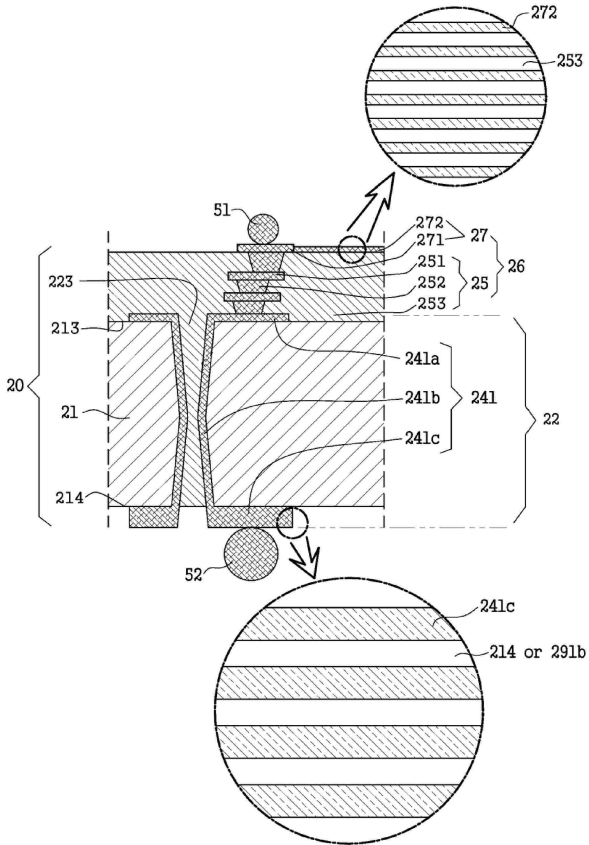


【図 4】

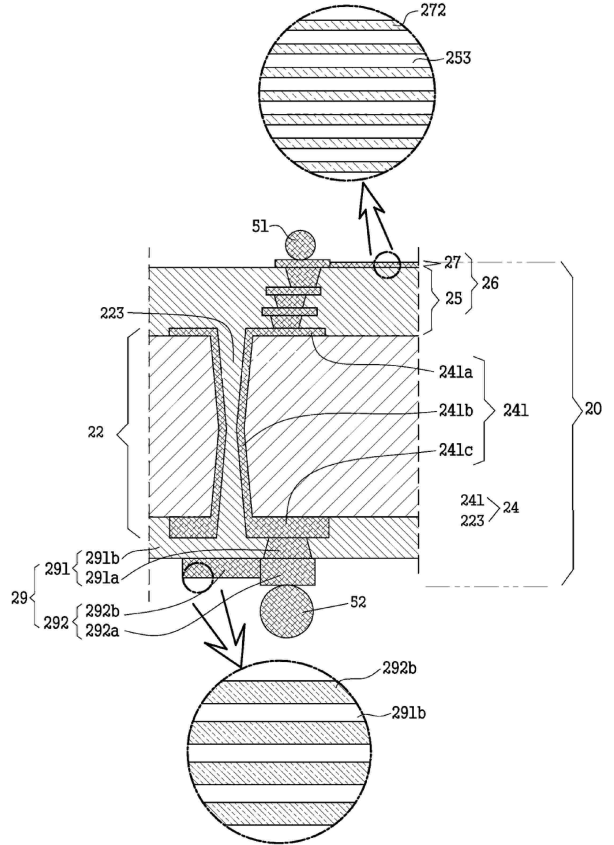


10

【図 5】



【図 6】



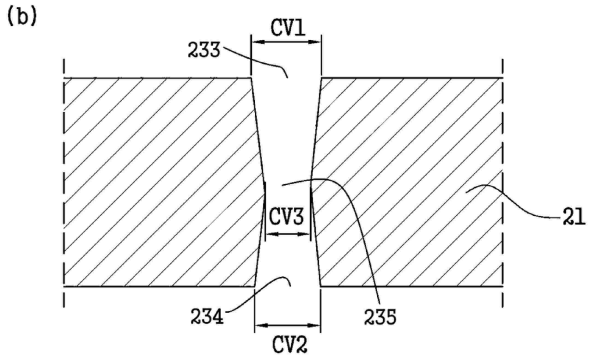
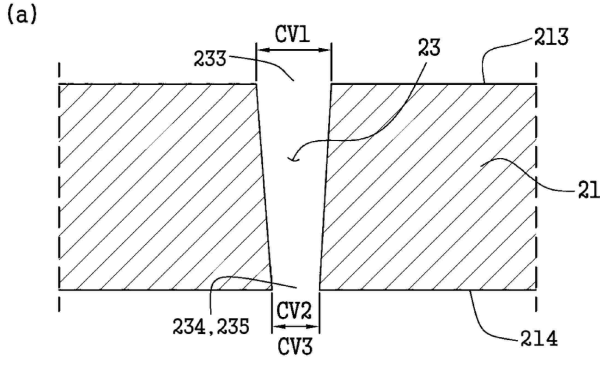
20

30

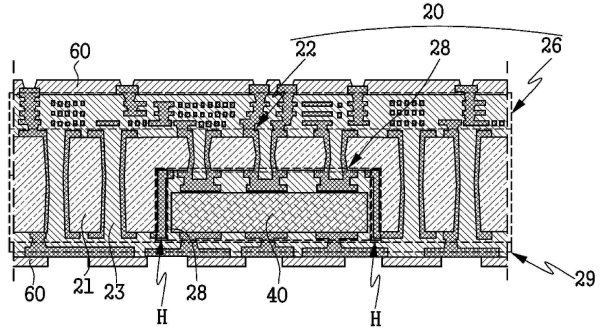
40

50

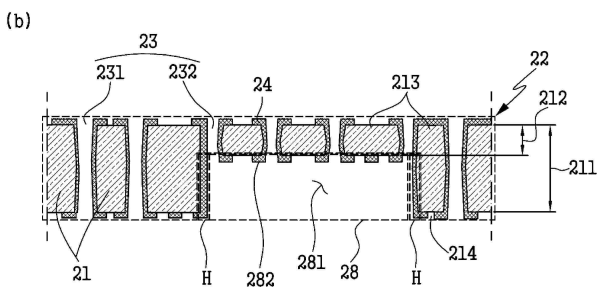
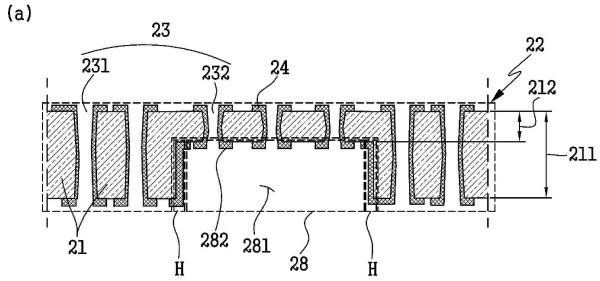
【 図 7 】



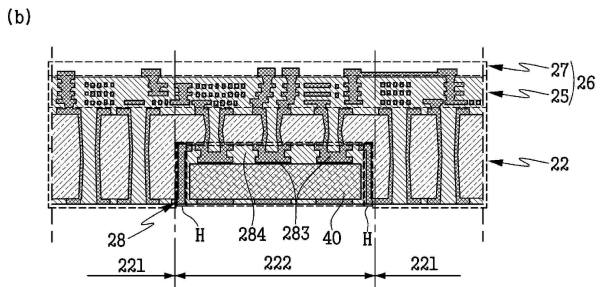
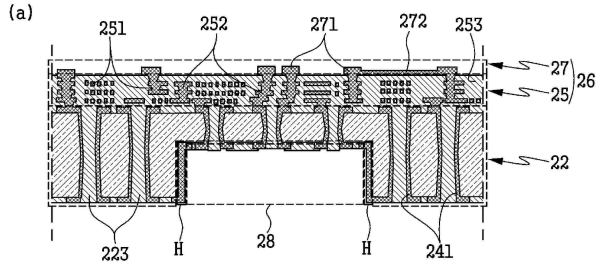
【 図 8 】



【 図 9 】



【 図 10 】



10

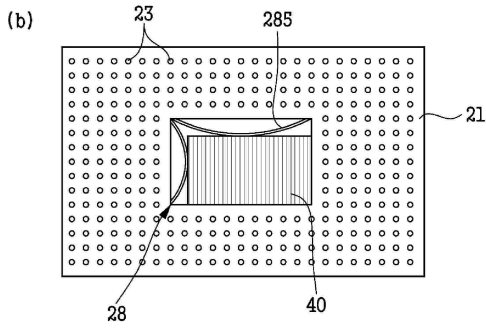
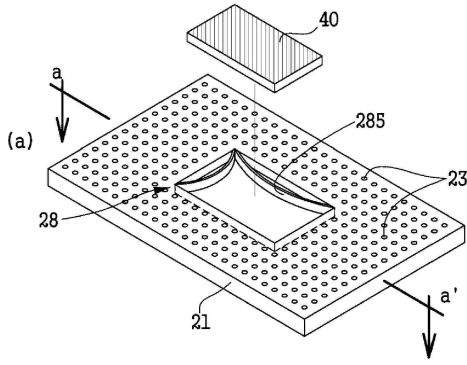
20

30

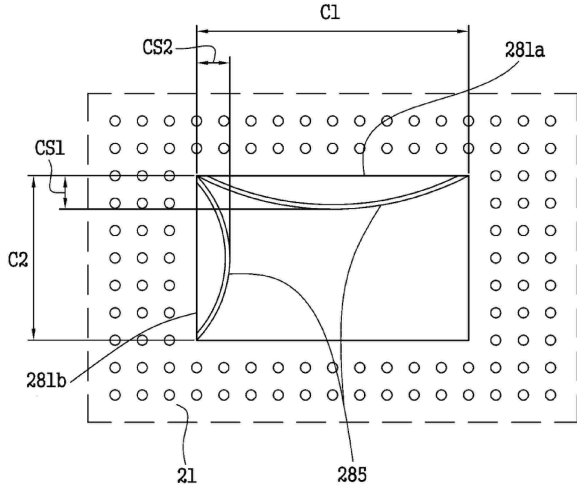
40

50

【 図 1 1 】



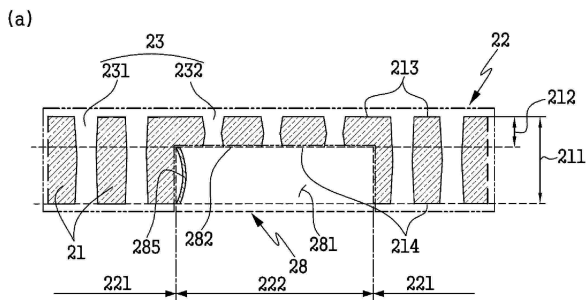
【 図 1 2 】



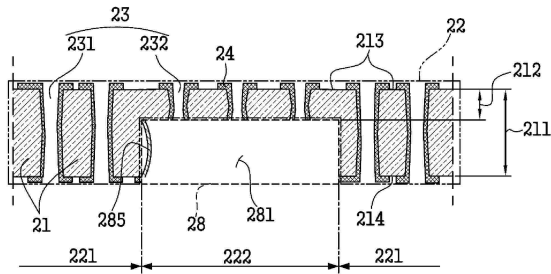
10

20

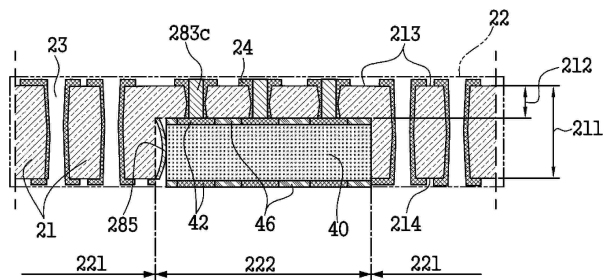
【 図 1 3 】



(b)



【 図 1 4 】

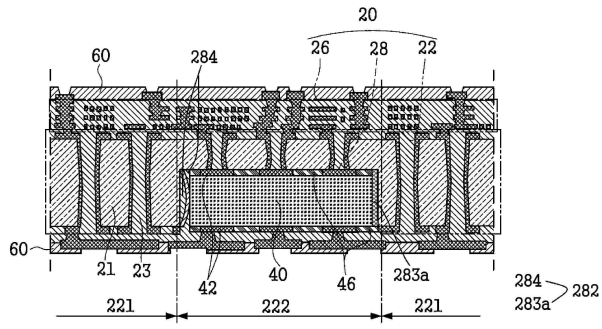


30

40

50

【 図 15 】



10

20

30

40

50

フロントページの続き

米国(US)

(31)優先権主張番号 62/817,027

(32)優先日 平成31年3月12日(2019.3.12)

(33)優先権主張国・地域又は機関

米国(US)

(31)優先権主張番号 62/825,216

(32)優先日 平成31年3月28日(2019.3.28)

(33)優先権主張国・地域又は機関

米国(US)

(31)優先権主張番号 62/826,122

(32)優先日 平成31年3月29日(2019.3.29)

(33)優先権主張国・地域又は機関

米国(US)

(31)優先権主張番号 62/826,144

(32)優先日 平成31年3月29日(2019.3.29)

(33)優先権主張国・地域又は機関

米国(US)

アメリカ合衆国、30024 ジョージア、スワニー、タリー・ポスト・レーン、4802

(72)発明者 ノ、ヨンホ

大韓民国、デジョン、ユソン - グ、ウングビナム - ロ、56、ヨルメマウル 9 - ダンジ アパート、910 - 1805

(72)発明者 キム、ジンチョル

大韓民国、ギョンギ - ド、ファソン - シ、ジョンナム - ミョン、マンニョン - ロ、470、ドンナム ファミリー アパート、105 - 208

(72)発明者 ジャン、ピョンキュ

大韓民国、ギョンギ - ド、スウォン - シ、ジャンアン - グ、マンソク - ロ 68ボン - ギル、10、ベクソル ヴィレッジ ヒョンダイ コロンアパート、584 - 1404

審査官 清水 稔

(56)参考文献 韓国公開特許第10 - 2016 - 0094502 (KR, A)

特開2001 - 007531 (JP, A)

特開2014 - 072205 (JP, A)

特開2016 - 225620 (JP, A)

(58)調査した分野 (Int.Cl., DB名)

H01L 23/12

H01L 23/15

H05K 3/46