(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.
H01L 21/66 (2006.01)

(11) 공개번호 10-2007-0071655
(43) 공개일자 2007년07월04일

(21) 출원번호 10-2005-0135325
(22) 출원일자 2005년12월30일
심사청구일자 없음

(71) 출원인 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 윤훈상
충북 청주시 흥덕구 가경동 세원3차APT 107동 1305호

(74) 대리인 이정훈
특허법인태평양

전체 청구항 수 : 총 5 항

(54) 반도체 소자의 모니터링 패턴

(57) 요약

본 발명은 반도체 소자의 모니터링 패턴에 관한 것으로, 주변 회로 영역에 형성되는 RCST(Ramped Current Stress Test) 모니터링 패턴의 모양이 변형되는 문제를 해결하기 위하여, 주변 회로 영역에 형성된 구조물들이 영향 받지 않도록 주변 회로 영역과 인접한 스크라이브 레인에 위치하며 소정의 더미 패턴들 더 포함하는 RCST 모니터링 패턴을 제공함으로써, RCST 모티터링 패턴을 손상 없이 형성하고, 게이트 산화막의 신뢰성을 안정적으로 평가할 수 있는 반도체 소자의 모니터링 패턴에 관한 것이다.

대표도

도 4

특허청구의 범위

청구항 1.

반도체 기판의 주변회로 영역과 인접한 스크라이브 레인 영역에 형성된 RCST(Ramped Current Stress Test) 모니터링 패턴; 및

상기 RCST 모니터링 패턴으로부터 소정 거리 이격시켜 소정 선폭 및 피치를 갖는 적어도 둘 이상의 더미 패턴을 포함하는 것을 특징으로 하는 반도체 소자의 모니터링 패턴.

청구항 2.

제 1 항에 있어서,

상기 RCST 모니터링 패턴은 스크라이브 레인에 활성 영역을 정의하는 소자분리막을 형성한 후 상기 활성 영역 상부에 형성되며, 게이트 산화막, 폴리실리콘층, 게이트 전극층 및 하드마스크층의 적층 구조로 형성된 것을 특징으로 하는 반도체 소자의 모니터링 패턴.

청구항 3.

제 1 항에 있어서,

상기 RCST 모니터링 패턴은 원형, 타원형 및 사각형 모양 중 선택된 어느 하나로 형성하되 장축의 길이가 80 ~ 120㎛인 것을 특징으로 하는 반도체 소자의 모니터링 패턴.

청구항 4.

제 1 항에 있어서,

상기 더미 패턴의 피치는 1㎛로하고 선 폭은 0.4 ~ 0.6㎛인 것을 특징으로 하는 반도체 소자의 모니터링 패턴.

청구항 5.

제 1 항에 있어서,

상기 더미 패턴은 스크라이브 레인에 활성 영역을 정의하는 더미 소자분리막 패턴을 더 형성한 후 상기 활성 영역 상부에 형성하는 것을 특징으로 하는 반도체 소자의 모니터링 패턴.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 모니터링 패턴에 관한 것으로, 주변 회로 영역에 형성되는 RCST(Ramped Current Stress Test) 모니터링 패턴의 모양이 변형되는 문제를 해결하기 위하여, 주변 회로 영역에 형성된 구조물들이 영향 받지 않도록 주변 회로 영역과 인접한 스크라이브 레인에 위치하며 소정의 더미 패턴들 더 포함하는 RCST 모니터링 패턴을 제공함으로써, RCST 모티터링 패턴을 손상 없이 형성하고, 게이트 산화막의 신뢰성을 안정적으로 평가할 수 있는 반도체 소자의 모니터링 패턴에 관한 것이다.

반도체 소자를 형성하는데 있어서 반도체 소자의 신뢰성을 확보하기 위하여 게이트 산화막을 테스트 한다. 이때, 사용되는 반도체 소자의 모니터링 패턴은 RCST(Ramped Current Stress Test) 모니터링 패턴이며, 이는 게이트와 동일한 구조로 주변 회로 영역에 형성되며, 사용 기간이 10년 이내에 발생할 수 있는 문제 및 그 신뢰성을 평가하게 된다.

도 1은 종래 기술에 따른 반도체 소자의 모니터링 패턴을 도시한 평면도이다.

도 1을 참조하면, 반도체 기판 중 하나의 필드(10)에 형성되는 반도체 소자에 있어서 셀 영역이 형성되는 칩(20)과 칩(20) 사이에 주변 회로 영역(25)이 형성된다. 다음에는, 칩(20)들의 외관 영역에 스크라이브 레인(15)이 형성된다.

여기서, 점선으로 표시된 주변 회로 영역(25)에 RCST(Ramped Current Stress Test) 모니터링 패턴(30)이 구비된다.

도 2는 종래 기술에 따른 반도체 소자의 모니터링 패턴을 도시한 평면도이다.

도 2는 상기 도 1의 RCST 모니터링 패턴(30) 부분을 확대하여 도시한 것으로 RCST 모니터링 패턴이 주변 회로 영역(25)에 형성된 것을 도시한 것이다.

상술한 바와 같이, RCST 모니터링 패턴(30)이 주변 회로 영역(25)에 형성될 경우, 주변 회로 영역(25)에 형성된 다른 반도체 소자들의 밀집도에 따라서 RCST 모니터링 패턴(30)의 크기와 위치가 변화하며 그 형성 방법도 별도의 공정으로 형성해야 하는 문제가 있다. 또한, 사각형 모양의 RCST 모니터링 패턴(30)이 단독으로 형성되기 때문에 후속의 CMP 공정에서 모서리 부분에 손상이 가해질 수 있고 이에 따라 게이트 산화막의 신뢰성을 테스트 하는 공정이 정상적으로 수행될 수 없는 문제가 발생한다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래기술의 문제점을 해결하기 위하여, 주변 회로 영역에 형성된 구조물들의 영향을 받지 않는 주변 회로 영역과 인접한 스크라이브 레인에 위치하며 소정의 더미 패턴들 더 포함하는 RCST 모니터링 패턴을 제공함으로써, RCST 모티터링 패턴을 손상 없이 형성하고, 게이트 산화막의 신뢰성 테스트를 안정적으로 수행할 수 있는 반도체 소자의 모니터링 패턴을 제공하는 것을 그 목적으로 한다.

발명의 구성

이상의 목적을 달성하기 위해 본 발명에 따른 반도체 소자의 모니터링 패턴은,

반도체 기판의 주변회로 영역과 인접한 스크라이브 레인 영역에 형성된 RCST(Ramped Current Stress Test) 모니터링 패턴 및

상기 RCST 모니터링 패턴 둘레에 형성되며 소정 선폭 및 피치를 갖고 적어도 둘 이상 형성된 더미 패턴을 포함하는 것을 특징으로 한다.

여기서, 상기 RCST 모니터링 패턴은 스크라이브 레인에 형성된 활성 영역 상부에 형성되며 게이트 산화막, 폴리실리콘층, 게이트 전극층 및 하드마스크층의 적층 구조이며, 원형, 타원형 및 사각형 모양 중 선택된 어느 하나로 형성하되 장축의 길이가 80 ~ 120㎛인 것을 특징으로 하고,

상기 더미 패턴의 피치는 1㎛로하고 선 폭은 0.4 ~ 0.6㎛인 것을 특징으로 한다.

이하, 첨부된 도면을 참고로 하여 본 발명에 따른 반도체 소자의 모니터링 패턴에 관하여 상세히 설명하기로 한다.

도 3은 본 발명에 따른 반도체 소자의 모니터링 패턴을 도시한 평면도이다.

도 3을 참조하면, 반도체 기판 중 하나의 필드(100)에 형성되는 반도체 소자에 있어서 셀 영역이 형성되는 칩(120)과 칩(120) 사이에 주변 회로 영역(125)이 형성된다. 다음에는, 칩(120)들의 외관 영역에 스크라이브 레인(110)이 형성된다.

여기서, 주변 회로 영역(125)과 인접한 스크라이브 레인(110)에 RCST(Ramped Current Stress Test) 모니터링 패턴(130)이 구비된다.

RCST 모니터링 패턴(130)을 스크라이브 레인(110)에 형성함으로써, 주변회로 영역(125)의 반도체 소자 밀집도에 따른 영향을 받지 않고 자유롭게 RCST 모니터링 패턴(130)의 모양 및 크기를 결정할 수 있다.

도 4는 본 발명에 따른 반도체 소자의 모니터링 패턴을 도시한 단면도이다.

도 4를 참조하면, 반도체 소자의 게이트 형성 공정을 스크라이브 레인(110) 에도 적용하여 반도체 기판의 주변회로 영역(미도시)과 인접한 스크라이브 레인(110)에 RCST 모니터링 패턴을 형성한다.

먼저, 반도체 소자의 STI(Shallow Trench Isolation) 공정을 이용하여 필드(100)의 스크라이브 레인(110)에 활성영역(140)을 정의하는 소자분리막(150)을 형성한다. 이때, 활성영역(140)은 RCST 모니터링 패턴(130)의 모양에 따라 정의되며 후속의 더미 패턴이 형성되는 영역에도 활성영역(140)을 정의 할 수도 있다.

다음에는, 스크라이브 레인(110) 상부에 게이트 산화막(미도시)을 형성하고, 폴리실리콘층(미도시), 게이트 전극층(미도시) 및 하드마스크층(미도시)을 순차적으로 형성한다.

그 다음에는, RCST 모니터링 패턴(130) 및 RCST 모니터링 패턴(130)의 둘레에 형성되되, RCST 모니터링 패턴(130)으로부터 소정거리 이격되고, 소정 선폭 및 피치를 갖는 적어도 둘 이상의 더미 패턴(160)을 정의하는 마스크를 이용한 식각 공정으로 하드마스크층, 게이트 전극층, 폴리실리콘층 및 게이트 산화막을 순차적으로 식각한다.

이와 같은 방법으로 반도체 기판의 주변회로 영역과 인접한 스크라이브 레인 영역에 형성된 RCST 모니터링 패턴 및

상기 RCST 모니터링 패턴 둘레에 형성되며 소정 선폭 및 피치를 갖고 적어도 둘 이상 형성된 더미 패턴을 포함하는 반도체 소자의 모니터링 패턴을 형성한다.

여기서, RCST 모니터링 패턴은 반도체 기판을 평탄화 하는 CMP(Chemical Mechanical Polishing) 공정에서 모양이 변형될 위험이 적은 형태이며 더미 패턴은 반도체 공정으로 형성할 수 있는 최소 선폭의 크기로 형성하는 것이 바람직하다.

따라서, 본 발명에 따른 반도체 소자의 모니터링 패턴의 일 실시예로 RCST 모니터링 패턴의 모양은 원형, 타원형 및 사각형 모양 중 선택된 어느 하나로 형성하되 장축의 길이가 80 ~ 120㎛이 되도록 하고, 더미 패턴의 피치는 1㎛로하고 선 폭은 0.4 ~ 0.6㎛이 되도록 형성한다. 또한, 더미 패턴 하부에도 RCST 모니터링 패턴의 하부 모양과 동일하게 활성 영역을 정의하는 더미 소자분리막이 형성될 수도 있다.

상술한 바와 같이, 본 발명에 따른 반도체 소자의 모니터링 패턴은 주변 회로 영역에 형성된 구조물들의 영향을 받지 않는 스크라이브 레인에 형성하되 소정의 더미 패턴을 더 형성함으로써, 반도체 소자의 게이트 산화막 신뢰성을 평가하는 RCST 패턴을 안정적으로 형성 할 수 있게 된다.

발명의 효과

이상에서 설명한 바와 같이 본 발명에 따른 반도체 모니터링 패턴은, 주변 회로 영역에 형성된 구조물들의 영향을 받지 않는 스크라이브 레인, 즉 주변 회로 영역과 인접한 스크라이브 레인에 위치하여 소정의 더미 패턴들 더 포함하는 RCST 모니터링 패턴을 제공함으로써, RCST 모티터링 패턴이 손상되는 문제없이 안정적으로 형성하고, 게이트 산화막의 신뢰성을 안정적으로 평가하여 반도체 소자의 형성 공정 수율을 향상시킬 수 있는 효과를 제공한다.

아울러 본 발명의 바람직한 실시예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

도면의 간단한 설명

도 1은 종래 기술에 따른 반도체 소자의 모니터링 패턴을 도시한 평면도.

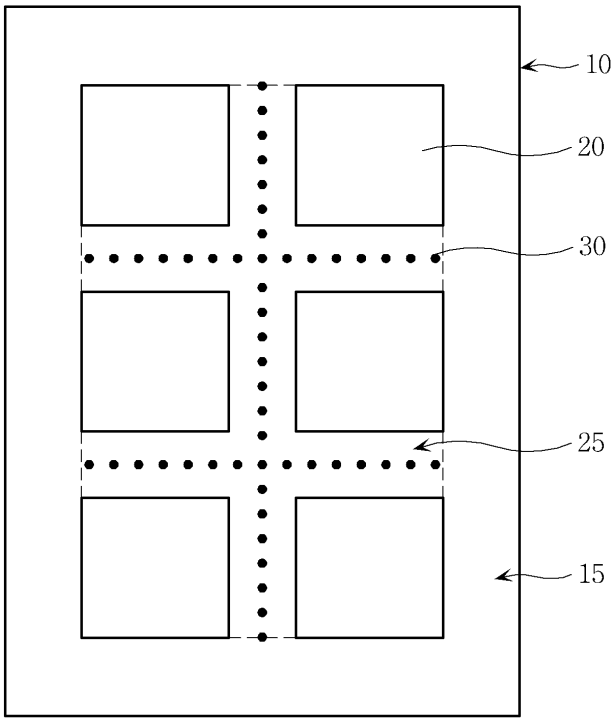
도 2는 종래 기술에 따른 반도체 소자의 모니터링 패턴을 도시한 평면도.

도 3은 본 발명에 따른 반도체 소자의 모니터링 패턴을 도시한 평면도.

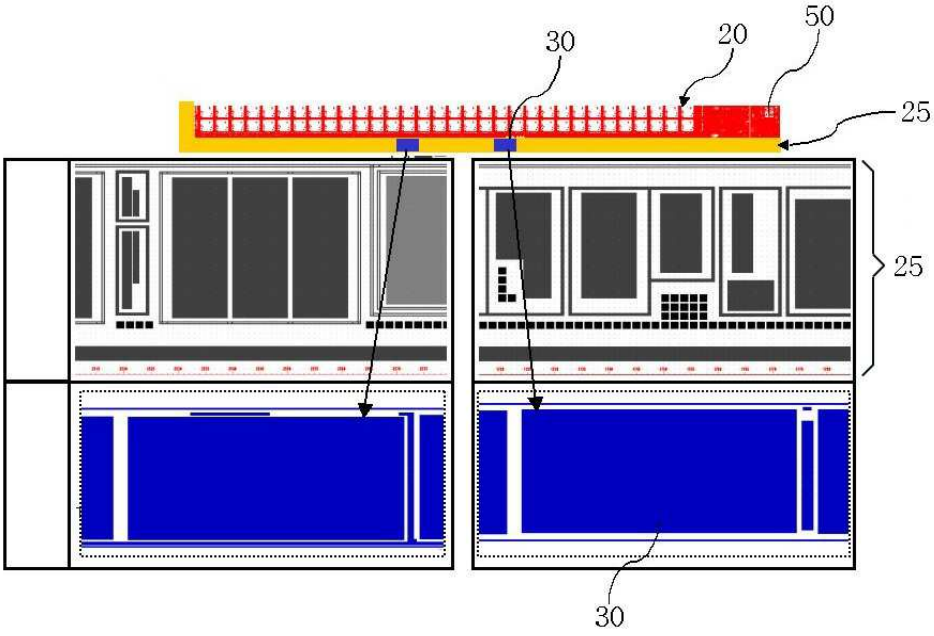
도 4는 본 발명에 따른 반도체 소자의 모니터링 패턴을 도시한 단면도.

도면

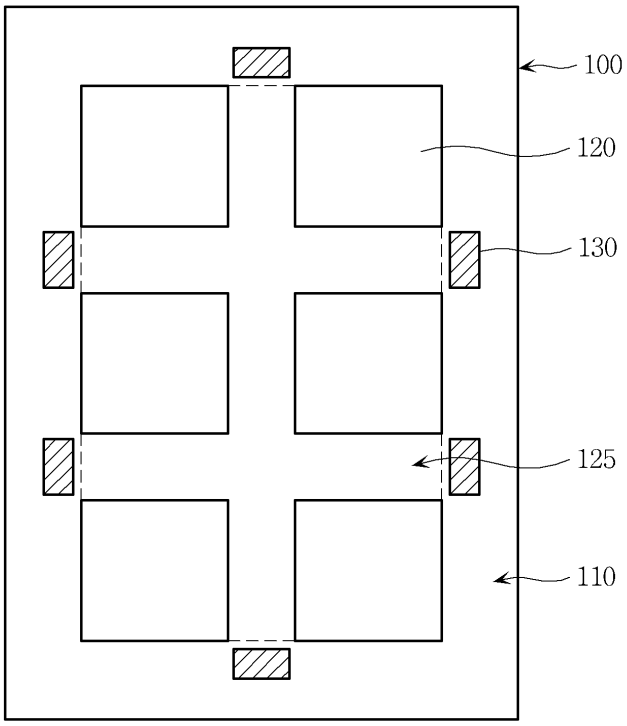
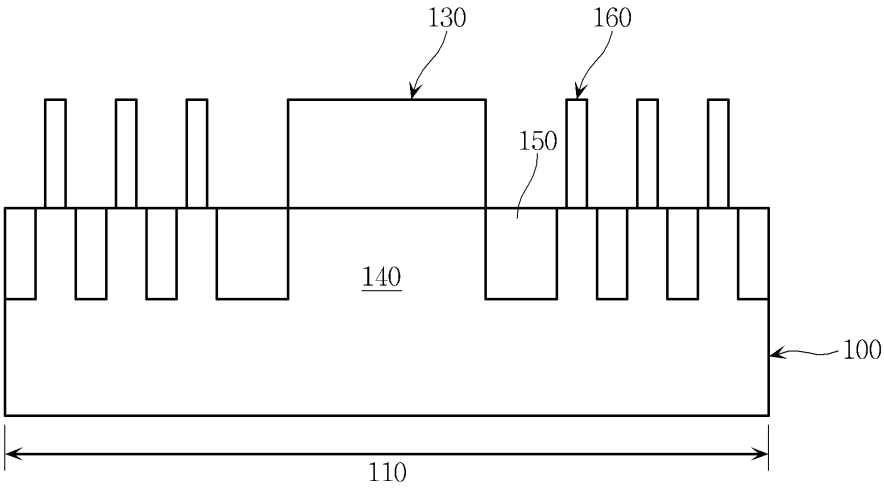
도면1



도면2



도면3



도면4