



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 29/808 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년07월24일 10-0741919 2007년07월16일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2006-0087747 2006년09월12일 2006년09월12일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자                    동부일렉트로닉스 주식회사  
                                      서울 강남구 대치동 891-10

(72) 발명자                        심규광  
                                      경기 군포시 산본동 1028 삼성아파트 1-505  
  
                                      김종민  
                                      서울 강남구 도곡동 944-16 이화주택 301호

(74) 대리인                        강용복  
                                      김용인

(56) 선행기술조사문헌 JP10098188 A KR1020050006283 A	JP2002083963 A US7091573 B2
--	--------------------------------

심사관 : 배진용

전체 청구항 수 : 총 6 항

(54) P N 접합 게이트 전극을 포함하는 트랜치형 모스트랜지스터 및 그 제조 방법

(57) 요약

트랜치형 모스 트랜지스터 및 그 제조 방법이 개시되나. 본 발명에 따른 트랜치형 모스 트랜지스터는, 반도체 기판에 형성된 제1 도전형을 가지는 고농도의 드레인부; 상기 드레인부 위에 형성되고 제1 도전형을 가지는 저농도의 드리프트부; 상기 드리프트부 위에 형성되고 제2 도전형을 가지는 채널바디부; 상기 채널바디부 내에 형성되고 제1 도전형을 가지는 소스부; 및 상기 소스부, 상기 채널바디부 및 상기 드리프트부의 일부까지 매몰된 게이트 절연막 및 폴리실리콘 게이트 전극을 포함하는 트랜치형 MOS 트랜지스터로서, 상기 폴리실리콘 게이트 전극은, 제1 도전형의 불순물이 도핑된 제1 폴리실리콘부 및 제2 도전형의 불순물이 도핑된 제2 폴리실리콘부를 포함하는 것을 특징으로 한다.

대표도

도 2

특허청구의 범위

### 청구항 1.

반도체 기판에 형성된 제1 도전형을 가지는 고농도의 드레인부; 상기 드레인부 위에 형성되고 제1 도전형을 가지는 저농도의 드리프트부; 상기 드리프트부 위에 형성되고 제2 도전형을 가지는 채널바디부; 상기 채널바디부 내에 형성되고 제1 도전형을 가지는 소스부; 및 상기 소스부, 상기 채널바디부 및 상기 드리프트부의 일부까지 매몰된 게이트 절연막 및 폴리실리콘 게이트 전극을 포함하는 트랜치형 MOS 트랜지스터로서,

상기 폴리실리콘 게이트 전극은, 제1 도전형의 불순물이 도핑된 제1 폴리실리콘부 및 제2 도전형의 불순물이 도핑된 제2 폴리실리콘부를 포함하는 것을 특징으로 하는 트랜치형 MOS 트랜지스터.

### 청구항 2.

제1항에서,

상기 폴리실리콘 게이트 전극은 PN 접합을 구성하는 것을 특징으로 하는 트랜치형 MOS 트랜지스터.

### 청구항 3.

제2항에서,

상기 폴리실리콘 게이트 전극에 형성된 상기 PN 접합의 위치는 상기 드리프트부 및 상기 채널바디부가 이루는 PN 접합의 위치와 같거나 낮은 것을 특징으로 하는 트랜치형 MOS 트랜지스터.

### 청구항 4.

트랜치형 MOS 트랜지스터 제조 방법으로서,

(a) 반도체 기판에 제1 도전형을 가지는 고농도의 드레인부와, 상기 드레인부 위에 제1 도전형을 가지는 저농도의 드리프트부와, 상기 드리프트부 위에 제2 도전형을 가지는 채널바디부를 순차적으로 형성하는 단계;

(b) 상기 기판을 상기 드리프트부의 일부까지 식각하여 트랜치를 형성하는 단계;

(c) 상기 트랜치 내벽에 게이트 절연막을 형성하는 단계;

(d) 상기 트랜치 내부에 제1 도전형의 제1 폴리실리콘층 및 제2 도전형의 제2 폴리실리콘층을 포함하는 폴리실리콘 게이트 전극을 형성하는 단계; 및

(e) 상기 폴리실리콘 게이트 전극의 양측에서 상기 채널바디부 내에 제1 도전형을 가지는 소스부를 형성하는 단계;를 포함하는 것을 특징으로 하는 트랜치형 MOS 트랜지스터 제조 방법.

### 청구항 5.

제4항에서,

상기 (d) 단계는, 상기 트렌치 내부를 제2 도전형의 불순물이 도핑된 제2 폴리실리콘층으로 매립하는 단계와, 매립된 상기 제2 폴리실리콘층을 식각하여 상기 채널바디부 및 상기 드리프트부로 이루어진 PN 접합의 위치와 같거나 낮은 높이로 상기 제2 폴리실리콘층의 일부를 제거하는 단계와, 상기 트렌치 내부를 제1 도전형의 불순물이 도핑된 제1 폴리실리콘층으로 매립하는 단계를 포함하는 것을 특징으로 하는 트렌치형 MOS 트랜지스터 제조 방법.

## 청구항 6.

제4항에서,

상기 (d) 단계는, 상기 트렌치 내부를 불순물이 도핑되지 않은 폴리실리콘층으로 매립하는 단계와, 상기 폴리실리콘층의 내부에 제2 도전형의 불순물을 이온주입하는 단계와, 상기 폴리실리콘층의 내부에 제1 도전형의 불순물을 이온주입하는 단계를 포함하는 것을 특징으로 하는 트렌치형 MOS 트랜지스터 제조 방법.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자에 관한 것으로서, 보다 자세하게는, 트렌치형 MOS 전계효과 트랜지스터 및 그 제조 방법에 관한 것이다.

종래의 트렌치형 MOS 트랜지스터는 다음과 같은 구조를 갖는다. 즉, 도 1a에서 보듯이, 고농도의 N형 도펀트가 주입된 드레인부(101), 저농도의 N형 도펀트가 주입된 드리프트부(102), P형 도펀트가 주입된 채널바디부(103), N형 도펀트가 주입된 소스부(104)가 반도체 기판(100)에 형성된다. 그리고, 기판을 소정의 깊이 예컨대 드리프트부(102)의 일부까지 식각하여 트렌치를 형성하고, 트렌치 내벽에 열산화 공정을 통해 게이트 산화막(106)을 형성한다. 그 후, 트렌치 내부를 폴리실리콘층으로 매립하여 게이트 전극(105)을 형성한다. 게이트 전극(105)을 구성하는 폴리실리콘층에는 예컨대 N형 도펀트가 주입된다. 이와 같은 구조의 트렌치형 MOS 트랜지스터에서는, 트렌치에 매립된 게이트(105) 하부와 드레인부(101) 사이의 영역(107)에 발생하는 커패시턴스가 소자의 고속동작을 저해하는 요인으로 작용하며, 예컨대 밀러효과(Miller Effect)와 같은 문제를 야기할 수 있다.

한편, 도 1a에 도시한 구조의 트렌치형 MOS 트랜지스터의 문제를 극복하기 위하여, 도 1b와 같은 구조가 제안되었다. 즉, 도 1b에서 보듯이, 트렌치 하부에서의 게이트 산화막(106)을 보다 두껍게 형성하는 방법이 이용되었다(영역 108에서 106a로 지칭된 부분이 두껍게 형성된 게이트 산화막을 나타낸다). 그러나, 이와 같이 게이트 산화막의 일부를 두껍게 형성하기 위해서는 복잡한 공정을 수반하여야 하므로 바람직하지 않다. 따라서, 게이트 전극(105)과 드레인부(101) 사이에 발생하는 커패시턴스를 보다 단순한 공정을 통해 감소시킬 수 있는 새로운 방법이 요구된다.

##### 발명이 이루고자 하는 기술적 과제

본 발명은 폴리실리콘 게이트 전극에 PN 접합을 형성함으로써 게이트와 드레인 사이의 총 커패시턴스를 감소시킬 수 있는 트렌치형 MOS 트랜지스터 및 그 제조 방법을 제공하는 것을 목적으로 한다.

#### 발명의 구성

이하, 첨부한 도면을 참조하여 본 발명에 따른 트렌치형 MOS 트랜지스터 및 그 제조 방법의 바람직한 실시예를 자세히 설명한다.

먼저, 도 2를 참조하여 본 발명에 따른 트렌치형 MOS 트랜지스터의 구조를 설명한다. 본 발명에 따른 MOS 트랜지스터는, 반도체 기판(200)에 형성된 제1 도전형(예컨대, N형)을 가지는 고농도의 드레인부(201)와, 드레인부(201) 위에 형성되고

제1 도전형을 가지는 저농도의 드리프트부(202)와, 드리프트부(202) 위에 형성되고 제2 도전형(예컨대, P형)을 가지는 채널바디부(203)와, 채널바디부(203) 내에 형성되고 제1 도전형을 가지는 소스부(204)를 포함한다. 또한, 소스부, 채널바디부 및 드리프트부의 일부까지 매몰된 게이트 절연막(205) 및 폴리실리콘 게이트 전극(205a, 205b)을 포함한다. 특히, 폴리실리콘 게이트 전극은, 제1 도전형의 불순물이 도핑된 제1 폴리실리콘부(205b) 및 제2 도전형의 불순물이 도핑된 제2 폴리실리콘부(205a)로 구성된다.

여기서, 게이트와 드레인 사이의 총 커패시턴스는 폴리실리콘 게이트의 제1 폴리실리콘부(205b)와 제2 폴리실리콘부(205a) 사이의 PN 접합에 의해 형성된 커패시턴스와, 트렌치 하부의 게이트 절연막(206)에 의한 커패시턴스의 직렬 연결로 이루어지게 된다(영역 207 참조). 따라서, 게이트와 드레인 사이의 총 커패시턴스가 종래의 경우에 비해 감소하게 되므로, 소자의 고속 동작이 가능하게 된다. 특히, 총 커패시턴스의 감소를 위해서, 폴리실리콘 게이트 전극에 형성된 PN 접합의 위치를 드리프트부(202) 및 채널바디부(203)가 이루는 PN 접합의 위치와 같거나 낮은 것이 바람직하다.

다음으로, 도 3a 내지 도 3d를 참조하여, 본 발명에 따른 트렌치형 MOS 트랜지스터의 제조 방법을 설명한다. 먼저, 도 3a에서 보듯이, 반도체 기판(100)에 제1 도전형을 가지는 고농도의 드레인부(201)와, 드레인부 위에 제1 도전형을 가지는 저농도의 드리프트부(202)와, 드리프트부 위에 제2 도전형을 가지는 채널바디부(203)를 순차적으로 형성한다. 여기서, 드레인부(201), 드리프트부(202), 채널바디부(203)를 형성하는 방법은 이온주입공정과 실리콘 에피택셜 공정을 이용할 수 있으며, 이는 종래의 트렌치형 MOS 트랜지스터의 경우와 동일하므로 여기서는 자세한 설명을 생략한다.

다음으로, 기판을 드리프트부(202)의 일부까지 식각하여 트렌치(208)를 형성하고, 노출된 트렌치(208)의 내벽에 예컨대 열산화 공정을 이용하여 게이트 절연막(206)을 형성한다.

그리고 나서, 도 3b에서 보듯이, 기판 전면에 제2 도전형의 불순물(예컨대, P형)이 도핑된 폴리실리콘층(205aa)을 증착하고, 폴리실리콘층(205aa)이 트렌치(208)를 완전히 매립하도록 한다. 그 후, 도 3c에서 보듯이, 폴리실리콘층(205aa)을 일부 식각하여, 트렌치(208)의 바닥 부분에 소정의 높이만큼의 폴리실리콘층을 잔존시켜, 제2 도전형의 폴리실리콘층(205a)을 형성한다.

이때, 트렌치(208) 내부에 잔존하는 폴리실리콘층(205a)의 높이는 채널바디부(203) 및 드리프트부(202)로 이루어진 PN 접합의 위치와 같거나 낮도록 한다. 그리고 나서, 도 3d에서 보듯이, 트렌치(208)의 내부를 다시 제1 도전형의 불순물이 도핑된 폴리실리콘층(205b)으로 매립한다. 그 후, 폴리실리콘 게이트 전극(205a, 205b)의 양측에서 채널바디부(203) 내에 제1 도전형을 가지는 소스부(204)를 형성하면, 도 2와 같은 구조의 트렌치형 MOS 트랜지스터를 완성할 수 있다.

한편, 트렌치(208)에 PN 접합을 가지는 폴리실리콘 게이트 전극을 형성하는 다른 방법으로서, 트렌치(208)의 내부를 불순물이 도핑되지 않은 폴리실리콘층으로 매립한 다음에, 매립된 폴리실리콘층에 먼저 제2 도전형의 불순물을 이온주입하고, 그 위에 다시 제1 도전형의 불순물을 이온주입하는 방식을 채용할 수도 있다. 이 경우, 이온주입 깊이를 적절히 제어하여 제2 도전형의 불순물이 주입된 영역과 제1 도전형의 불순물이 주입된 영역의 경계면이 채널바디부(203) 및 드리프트부(202)로 이루어진 PN 접합의 위치와 같거나 낮도록 하는 것이 바람직하다.

지금까지 본 발명의 바람직한 실시예에 대해 설명하였으나, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 본질적인 특성을 벗어나지 않는 범위 내에서 변형된 형태로 구현할 수 있을 것이다. 그러므로 여기서 설명한 본 발명의 실시예는 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 하고, 본 발명의 범위는 상술한 설명이 아니라 특허 청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함되는 것으로 해석되어야 한다.

### 발명의 효과

본 발명에 따르면, 트렌치형 MOS 트랜지스터의 폴리실리콘 게이트 전극에 PN 접합을 형성함으로써 게이트와 드레인 사이의 총 커패시턴스를 감소시킬 수 있다. 따라서, 본 발명에 따른 트렌치형 MOS 트랜지스터는 종래의 경우에 비하여 소자의 고속 동작에 보다 유리하다.

### 도면의 간단한 설명

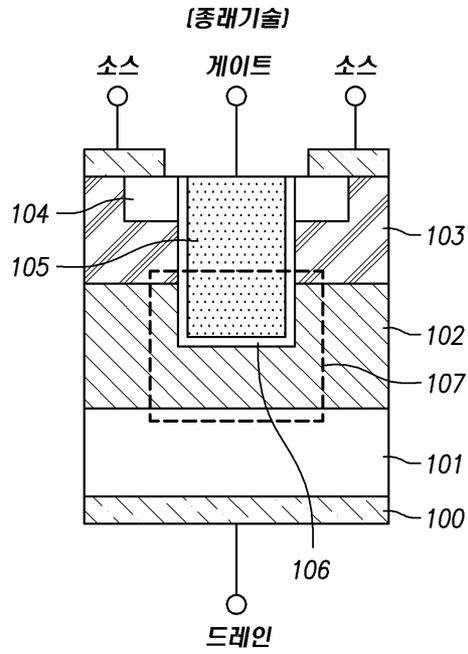
도 1a 및 도 1b는 종래의 트렌치형 MOS 트랜지스터의 단면도들이다.

도 2는 본 발명에 따른 PN 접합 게이트 전극을 포함하는 트렌치형 MOS 트랜지스터의 단면도이다.

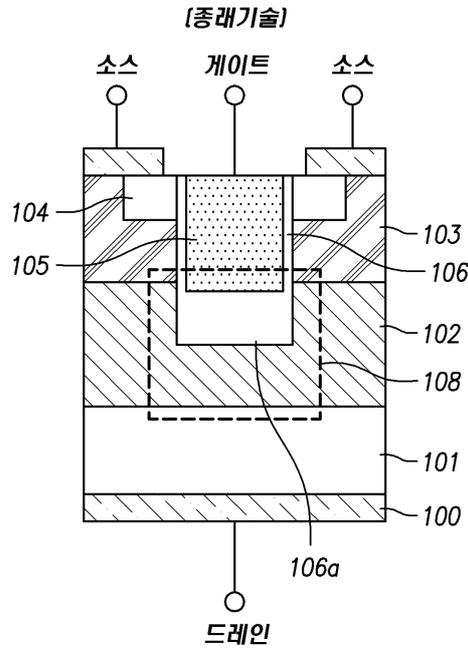
도 3a 내지 도 3d는 본 발명에 따른 트랜치형 모스 트랜지스터의 제조 방법을 설명하는 단면도이다.

도면

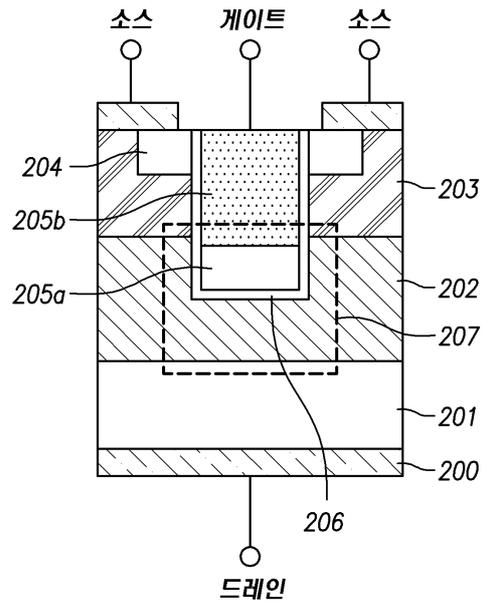
도면 1a



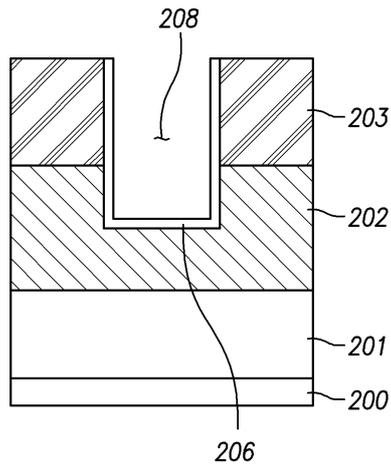
도면 1b



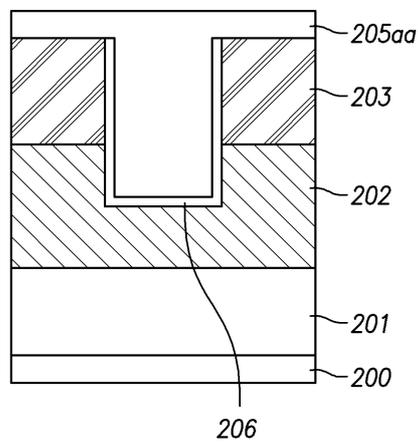
도면2



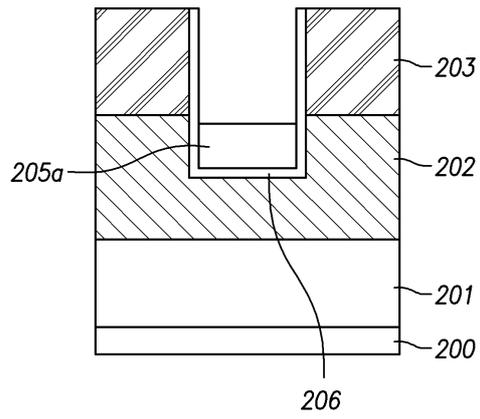
도면3a



도면3b



도면3c



도면3d

