

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4936489号
(P4936489)

(45) 発行日 平成24年5月23日(2012.5.23)

(24) 登録日 平成24年3月2日(2012.3.2)

(51) Int.Cl.	F I		
G06F 12/02 (2006.01)	G06F 12/02	590A	
G06F 12/06 (2006.01)	G06F 12/02	590B	
G06F 12/08 (2006.01)	G06F 12/06	525B	
	G06F 12/08	501C	
	G06F 12/08	501D	
請求項の数 3 (全 29 頁) 最終頁に続く			

(21) 出願番号	特願2010-232206 (P2010-232206)	(73) 特許権者	302062931
(22) 出願日	平成22年10月15日(2010.10.15)		ルネサスエレクトロニクス株式会社
(62) 分割の表示	特願2000-254245 (P2000-254245) の分割		神奈川県川崎市中原区下沼部1753番地
原出願日	平成12年8月21日(2000.8.21)	(74) 代理人	100089071
(65) 公開番号	特開2011-8832 (P2011-8832A)		弁理士 玉村 静世
(43) 公開日	平成23年1月13日(2011.1.13)	(72) 発明者	三浦 誓士
審査請求日	平成22年10月15日(2010.10.15)		東京都国分寺市東恋ヶ窪一丁目280番地
		(72) 発明者	鮎川 一重
			株式会社日立製作所中央研究所内
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究所内
		審査官	中野 裕二
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

アドレスを出力する中央処理装置と、
 インデックスビットおよびタグビットを保持するキャッシュメモリと
 を有する半導体装置であって、
 前記タグビットの下位Nビットは、メモリモジュールのNビットを有するバンクアドレスを割り当てるために用いられ、
 前記インデックスビットは、前記メモリモジュールのカラムアドレスを割り当てるために用いられ、
 前記メモリモジュールのカラムアドレスを割り当てるために必要なビットが前記インデックスビットよりも大きいとき、前記下位Nビットから続くタグビットは、前記カラムアドレスを割り当てるために用いられ、
 残りのタグビットは、前記メモリモジュールのロウアドレスを割り当てるために用いられる
 ことを特徴とする半導体装置。

【請求項2】

請求項1において、
 前記メモリモジュールのバンクアドレス、ロウアドレス及びカラムアドレスを、前記インデックスビットと前記タグビットに割り当てるアドレスレジスタを更に有することを特徴とする半導体装置。

【請求項3】

請求項1において、

前記メモリモジュールは、DRAMからなることを特徴とする半導体装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、メモリアクセスが可能なメモリ制御装置、メモリ制御装置と中央処理装置とで構成されるデータ処理装置、及び、データ処理装置とメモリとにより構成されるデータ処理システム、更には、前記が単一の半導体パッケージ内に形成された半導体装置に適用して有効な技術に関する。

10

【背景技術】**【0002】**

中央処理装置(CPU)を有するデータ処理装置がアクセスするメモリとして、主記憶とキャッシュメモリとがある。主記憶は、中央処理装置で実行されるプログラム或いは処理されるべきデータを格納する。半導体装置に形成された主記憶の代表的な例として、DRAM(Dynamic Random Access Memory)等の揮発性メモリやFLASHメモリ等の不揮発性メモリなど、大容量のメモリ装置が知られている。一方、キャッシュメモリとしては、SRAM(Static Random Access Memory)などの比較的小容量のメモリがある。キャッシュメモリは、高速で動作する中央処理装置と中央処理装置に比べて低速で動作する主記憶との間に設けられ、両者間での速度の違いを吸収する目的で設けられる。

20

【0003】

従来、中央処理装置、キャッシュメモリ及び主記憶等で構成されるデータ処理システムを高速で動作させるため、主記憶のDRAMのセンスアンプをキャッシュメモリ的に利用するとして技術が存在する。DRAMのセンスアンプをキャッシュメモリ的に利用する方法について説明する。データ処理装置は、初めに、DRAMに対しカラムアドレスを出力する。DRAMでは、ロウアドレスによってワード線が選択され、このワード線上の一行分のデータがセンスアンプに転送され保持される。次に、データ処理装置は、DRAMに対してカラムアドレスを出力する。カラムアドレスによって所定のカラムスイッチが選択され、センスアンプで保持されているデータが読み出される。上述のデータの読み出しが終了した後、センスアンプは上記ワード線一行分のデータの保持を続ける。その後、データ処理装置がDRAMに対してアクセスを行う際、そのアクセスにおけるロウアドレスが前回アクセスのロウアドレスと同一であれば、データ処理装置はカラムアドレスのみを出力する。通常、ワード線の選択動作には比較的時間を必要とするが、センスアンプにデータを保持しておけば、同一ワード線上のアクセス、つまり、同一ページ内へのアクセスが生じた場合、データを短時間で読み出すことが可能である。

30

【先行技術文献】**【特許文献】****【0004】**

40

【特許文献1】特開平6-131867号公報

【特許文献2】特開平7-78106号公報

【特許文献3】特開2000-2116号公報

【発明の概要】**【発明が解決しようとする課題】****【0005】**

しかし、上記の技術には問題が存在する。つまり、センスアンプが保持しているデータに対応するワード線とは異なるワード線からデータを読み出す場合、つまりセンスアンプをキャッシュと利用した場合にキャッシュミスが生じた場合、現在選択されているワード線を非選択としてデータ線をプリチャージした後に、新しいワード線を選択する必要があ

50

る。故に、アクセスの際にプリチャージを行う必要があり、通常にデータを読み出すよりもデータの読み出しに時間が必要となり、かえって読み出しが遅くなる場合が生じる。

【0006】

上述の問題を解決するための幾つかの技術がとして、特開平6-131867、特開平7-78106及び特開平2000-2116がある。

【0007】

特開平6-131867では、DRAMのセンスアンプをキャッシュとして利用する際、キャッシュミスが起きた場合でも読み出し及び書き込みを高速化する技術が開示されている。具体的には、DRAMのデータ線を、メモリセルとプリアンプとが接続されたデータ線と、キャッシュメモリとして用いるメインアンプが接続されたグローバルデータ線とに分割したDRAMの構成が示されている。更に、メモリセルとプリアンプとが接続されたデータ線をグローバルビット線とは独立にショートする手段を設ける構成についても示されている。この構成により、グローバルデータ線に接続されたメインアンプで1ページ分のデータを保持している状態であっても、メモリセルとプリアンプとが接続されたデータ線をプリチャージすることが可能となり、別のページつまり別のワード線のデータを読み出す準備を行うことが可能となる。

【0008】

また、特開平7-78106では、DRAMの複数バンク毎のセンスアンプをキャッシュとして利用する際、バンク間の交互のアクセスが発生した場合でも読み出し及び書き込みを高速化する技術が開示されている。具体的には、DRAM制御回路内に、それぞれのバンクに対応したロウアドレス記憶手段を有するデータ処理システムの構成が示されている。この構成により、メモリへのアクセスが、以前に行われたアクセスと同一のロウアドレスに対するものか否か、つまり、同一のページに対するアクセスか否かの判定をバンク毎に行うことが可能となり、特にブロック転送等の処理を高速に行うことが可能となる。

【0009】

更に、特開平2000-2116では、マルチバンクDRAMのバンク毎のセンスアンプをキャッシュメモリとして利用する技術が開示されている。このようなセンスアンプキャッシュのヒット率を向上させるため、メモリバンクをアクセスした後に所定のオフセットを加算した次のアドレスを先行発行して、先行アドレスのデータを先読みさせる手段が示されている。

【0010】

ところで、本願発明者は、中央処理装置が実行するプログラム或いはデータを主記憶から読み出す際、主記憶へのアクセスには幾つかの偏りが存在することを見出した。例えば、主記憶への同一ページ(同一ワード線)内へのアクセスが頻繁に行われる場合、或いは、異なるページへのアクセスが頻繁に行われる場合、或いは、同一ページ内へのアクセスと異なるページへのアクセスとがほぼ同じ割合で行われる場合といった偏りである。これらのアクセスの偏りが発生する理由は、プログラムの性質に依存するところが大きい。本願発明者は、上述の従来技術では前記アクセスの偏りに充分に対応することが出来ず、その偏りに起因して主記憶からのデータの読み出し或いはデータの書き込みに時間がかかるといった問題点が解決出来ないことを見出した。

【0011】

本発明の目的は、DRAM等の主記憶のセンスアンプをキャッシュメモリとして用いるデータ処理装置、及び、主記憶とデータ処理装置とで構成されたデータ処理システムにおいて、主記憶に対するアクセス速度を高速化し、データ処理システム全体の高速化を可能とすることである。

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0012】

本願発明の代表的な手段を示せば、以下の通りである。

【 0 0 1 3 】

現在のメモリ装置へのアクセスが以前のアクセスと同一ページか、あるいは、異なるページかを判断し、メモリ装置の制御モードの切り替えを行なう手段を有することである。

【 0 0 1 4 】

つまり、ページモードを有するメモリ制御装置であって、前記ページモードにおいて異なるページアクセスが発生した場合にページモードが解除されるメモリ制御装置である。更に、前記ページモードにおいて、同一のページにアクセスする場合にはロウアドレスの出力が省略されるメモリ制御装置である。また、前記ページモードが解除された場合には、アクセスにおいてカラムアドレスが出力された後にプリチャージ制御を行う動作モードとなる。

10

【 0 0 1 5 】

また、前記プリチャージ制御とは、前記カラムアドレスを出力した後の所定期間が経過した後に R A S 信号が H i g h とされることである。他方では、前記プリチャージ制御とは、前記カラムアドレスを出力した後の所定期間が経過した後にプリチャージコマンドが出力されることである。更に前記ページモードの解除を行うか行わないかを設定するためのレジスタを有する構成も可能である。ここで、前記ページモードとは、ページ・オン・モード、或いは、R A S ダウンモードと称される場合がある。

【 0 0 1 6 】

又、別の代表的な手段は、ページモードを有するメモリ制御装置であって、前記ページモードにおいて、異なるページアクセスが連続して発生した場合、ページモードが解除されるメモリ制御装置である。更に、前記ページモードにおいて、異なるページにアクセスする場合にはプリチャージ制御を行った後にロウアドレスが出力され、同一ページにアクセスする場合にはロウアドレスの出力が省略される。また、前記プリチャージ制御とは、R A S 信号が H i g h として出力されることである。他方では、前記プリチャージ制御とは、プリチャージコマンドが出力されることであり、前記プリチャージコマンドの出力の後、所定期間経過した後に前記ロウアドレスが出力されることである。また、前記ページモードが解除された場合には、アクセスにおいてカラムアドレスが出力されてから所定期間が経過した後に R A S 信号が H i g h とされる動作モードとなる。他方では、前記ページモードが解除された場合には、アクセスにおいてカラムアドレスが出力されてから所定期間が経過した後にプリチャージコマンドが出力される動作モードとなる。更に、前記解除を行うか行わないかを設定するためのレジスタを有することも可能である。

20

30

【 0 0 1 7 】

又、別の代表的な手段は、第 1 のモードと第 2 のモードとを有するメモリ制御装置であって、前記第 1 のモードにおいて、第 1 のページへのアクセスが発生した後に、前記第 1 のページとは異なる第 2 のページへのアクセスが発生した場合に、前記第 1 のモードから前記第 2 のモードへと切り替えられるメモリ制御装置である。更に、前記第 2 のモードにおいて、第 3 のページへのアクセスが発生した後に、前記第 3 のページへのアクセスが発生した場合に、前記第 2 のモードから前記第 1 のモードへと切り替えられる。また、前記第 1 のモードとは、連続して同一のページにアクセスするためのモードであり、前記第 2 のモードとは、連続して異なるページにアクセスするためのモードである。また、前記第 1 のモードにおいて同一ページに所定の回数アクセスするために必要な時間は、前記第 2 のモードにおいて同一ページに前記所定の回数アクセスするために必要な時間よりも短いことを特徴とする。

40

【 0 0 1 8 】

更に、別の手段として、第 1 のモードと第 2 のモードとを有するメモリ制御装置であって、前記第 1 のモードは、ロウアドレスの出力を省略してカラムアドレスを出力するメモリアクセスを有し、前記第 2 のモードは、ロウアドレスとカラムアドレスとを出力した後にプリチャージ制御を行うメモリアクセスを有し、前記第 1 のモードにおいて、プリチャージ制御を行った後にロウアドレスとカラムアドレスとを出力するメモリアクセスを行う場合に、前記第 1 のモードへとモードが切り替えられることを特徴とするメモリ制御装置

50

がある。ここで、前記第2のモードにおいて、同一のロウアクセスに対するメモリアクセスが発生した場合、前記第1のモードへとモードが切り替えられることを特徴とする。また、前記第1のモードと前記第2のモードとの切り替えを行うか行わないかを設定するためのレジスタを有することともかのうである。ここで、前記第2のモードの前記プリチャージ制御は、前記カラムアドレスを出力してから規格で定められた期間が経過した後にRAS信号をHighレベルで出力することである。他方では、前記第2のモードの前記プリチャージ制御は、前記カラムアドレスを出力してから規格で定められた期間が経過した後にプリチャージコマンドを出力することである。

【0019】

更に、別の手段としては、アドレスを出力する中央処理装置と、前記アドレスが供給され、第1のモードと第2のモードとで動作するメモリ制御装置と、前記メモリ装置によって制御されるメモリ装置とを有し、前記第1のモードにおいて、前記メモリ装置の第1のページへのアクセスが発生した後に、前記第1のページとは異なる前記メモリ装置の第2のページへのアクセスが発生した場合に、前記第1のモードから前記第2のモードへと切り替えられるデータ処理システムでもよい。ここで、前記データ処理システムは、前記第1のモードと前記第2のモードとを切り替えて動作するか或いは切り替えずに動作するかを設定する記憶回路を有している。更に、中央処理装置は、前記記憶回路の設定を変更することが可能である。更に、前記中央処理装置と前記メモリ制御装置とは、同一の半導体チップ上に形成されている。或いは、前記中央処理装置と前記メモリ制御装置と前記メモリ装置とは、単一の半導体パッケージ内に形成されている構成でもよい。

【0020】

また、別な手段としては、メモリ装置に対し、ロウアドレスを省略してカラムアドレスを出力する第1のアクセスと、前記メモリ装置のプリチャージを行った後にロウアドレスとカラムアドレスとを出力する第2のアクセスと、前記メモリ装置にロウアドレスとカラムアドレスとを出力した後に前記メモリ装置のプリチャージを行う第3のアクセスとを有し、前記第1のアクセスの後に前記第2のアクセスを行い、前記第2のアクセスの後に前記第3のアクセスを行うメモリ制御装置でもよい。ここで、前記第1のアクセスを行った後、前記第2のアクセスを複数回行った後に前記第3のアクセスを行うものでもよい。

【0021】

更に、別の形態として、アドレスが入力される入力ノードと、前記入力ノードに入力されたアドレスを記憶する第1の記憶回路と、前記第1の記憶回路に記憶されたアドレスと前記入力ノードに入力された情報とを比較する第1の比較回路と、前記第1の比較回路の出力と第2の記憶回路の情報とを比較する第2の比較回路と、前記第2の比較回路の出力に基づき、第1の状態或いは第2の状態が設定される第1の回路とを有するメモリ制御回路であってもよい。ここで、前記第1の比較回路は、前記第1の記憶回路に記憶されたアドレスと前記入力ノードに入力された情報とが不一致と判定された回数を出し、前記第2の比較回路は、前記第1の比較回路が出力する前記回数と前記第2の記憶回路の情報とを比較する。更に、前記第1の回路により前記第1の状態が設定された場合は前記入力ノードに入力されたアドレスの第1の部分と第2の部分とを出力し、前記第1の回路により前記第2の状態が設定された場合は前記入力ノードに入力されたアドレスの第1の部分を出し、前記第2の回路の出力をメモリ装置に出力する出力ノードとを有してもよい。また、前記第1の記憶回路は、前記入力ノードに入力されたアドレスの一部を記憶し、前記第1の比較回路は、前記第1の記憶回路が記憶している前記アドレスの一部と前記入力ノードに入力されたアドレスの一部とを比較することも可能である。ここで、前記第1の比較回路が行う比較とは、前記入力ノードに入力された第1のアドレスと、前記第1のアドレスが前記入力ノードに入力される前に前記入力ノードに入力された第2のアドレスとの比較であってもよい。更に、前記入力ノードに入力されるアドレスは複数のビット幅を有し、前記第1の記憶回路は複数の領域を有しており、前記第1の比較回路は、前記第1のアドレスの所定ビットに基づき指定される前記複数の領域の中の1つに記憶されたアドレスと、前記第1のアドレスとを比較するものであってもよい。ま

た、前記第 1 の部分とは、前記メモリ装置のロウアドレスであり、前記第 2 の部分とは、前記メモリ装置のカラムアドレスであってもよい。更に、前記入力ノードには、中央処理装置が出力するアドレスが供給されるものであってもよい。

【 0 0 2 2 】

中央処理装置の 1 次キャッシュの構成を表わすラインサイズ、インデックス及びタグの情報と、中央処理装置がアクセスするメモリ装置の構成を表わすカラムアドレス、ロウアドレス、バンクアドレスの情報とに基づき、中央処理装置のアドレスとメモリ装置のアドレスの対応を調整することが可能なメモリ制御装置。

【 0 0 2 3 】

また、上記の実現手段に組み合わせて、メモリ装置の同一ページへのアクセスの頻度をさらに向上させるためにメモリ装置をアクセスした後、その次のアドレス（所定のオフセットを加算したアドレス）を先行発行し、先行発行アドレスのデータを別のメモリ装置内バンクのセンスアンプに保持させる。ここで、以前の先行発行アドレスが、現在のアクセスに対して同一ページであったかどうかを判断し、同一ページであった場合は、先行発行アドレスを有効にし、異なるページであった場合は、先行発行アドレスを無効にするように切り替え、メモリ装置を制御することも可能である。

【 0 0 2 4 】

また、中央処理装置の 1 次キャッシュの構成を表わすラインサイズ、インデックス及びタグの情報と中央処理装置がアクセスするメモリ装置の構成を表わすカラムアドレス、ロウアドレス、バンクアドレスの情報より、自動的に、中央処理装置のアドレスとメモリ装置のアドレスの対応を調整する構成を付加することも可能である。この構成は、上記の構成に追加的に付加することも可能であるが、それ単独でも本発明の効果を得ることが可能である。

【 発明の効果 】

【 0 0 2 5 】

以上説明した様に、本発明によって、メモリモジュールへのアクセスに対応し、自動モード切り替え制御を有することで、メモリモジュールへのアクセスレイテンシを低減することが可能となり、高速なデータ処理システムを実現することが可能となる。更に、次アドレス先行発行切り替え制御或いはアドレス対応の自動調整を行うことで、更に高速なデータ処理システムの実現が可能となる。

【 図面の簡単な説明 】

【 0 0 2 6 】

【 図 1 】 本発明を適用した第 1 の実施形態のデータ処理システムの構成図。

【 図 2 】 第 1 の実施形態のメモリモジュールの構成図。

【 図 3 】 第 1 の実施形態の 1 つのメモリバンクの構成図。

【 図 4 】 第 1 の実施形態のメモリ制御回路の動作タイミング図。

【 図 5 】 第 1 の実施形態のメモリ制御回路の構成図。

【 図 6 】 第 1 の実施形態のページアクセス判定回路が保持する情報を示した図。

【 図 7 】 第 1 の実施形態のページアクセス判定回路の動作タイミング図。

【 図 8 】 第 1 の実施形態のモード切り替え回路の動作フローを示した図。

【 図 9 】 第 1 の実施形態のアドレス発生回路の動作を示した図。

【 図 1 0 】 第 1 の実施形態のメモリ制御回路の動作タイミング図。

【 図 1 1 】 第 1 の実施形態のリフレッシュ動作のタイミング図。

【 図 1 2 】 本発明の効果を示す図。

【 図 1 3 】 本発明を適用した第 2 の実施形態のメモリ制御回路の構成図。

【 図 1 4 】 第 2 の実施形態の先行発行アクセス判定回路が保持する情報を示した図。

【 図 1 5 】 第 2 の実施形態の先行発行回路が保持する情報を示した図。

【 図 1 6 】 第 2 の実施形態の先行発行回路及び先行発行アクセス判定回路の動作タイミング図。

【 図 1 7 】 第 2 の実施形態の先行発行モード切り替えブロックの動作フローを示した図。

10

20

30

40

50

【図18】第2の実施形態のページアクセス判定回路及びアドレス発生回路の動作タイミング図。

【図19】第2の実施形態のメモリ制御回路の動作タイミング図。

【図20】本発明の第3の実施形態のメモリ制御回路の構成図。

【図21】第3の実施形態のデータ処理システム構成図。

【図22】第3の実施形態の自動アドレス調整回路が行うアドレス調整の図。

【図23】第3の実施形態の自動アドレス調整回路が行うアドレス調整の図。

【図24】本発明の第4の実施形態の動作タイミング図。

【図25】第4の実施形態のモード切り替え回路の動作フローを示した図。

【図26】本発明の第5の実施形態の動作タイミング図。

【図27】本発明のデータ処理システムを単一のパッケージに封止した半導体装置の図。

【発明を実施するための形態】

【0027】

図1は本発明の第1の実施形態であるデータ処理システムの構成図である。

【0028】

データ処理部MS0は、中央処理装置CPUと1次キャッシュメモリL1Cとを有する。データ処理部MS0は浮動小数点演算ユニット等、図示した以外の要素を有していてもよいが、本発明では直接関係ないため図示及び説明を省略する。中央処理装置CPUは、特に制限するわけではないが、32ビットのアドレス信号によりアドレス空間を管理することが可能であり、アドレス空間の一部に後述するメモリモジュールが割り当てられている。

【0029】

主記憶としての役目を果たすメモリモジュールMEMは、複数のメモリ装置(ME0~ME7)により構成される。メモリ装置には、中央処理装置CPUで実行されるプログラムやプログラムの実行中に必要となるデータ(以下、本明細書においてはプログラムとデータとの区別を行わず一律データとして記載する)が記憶されている。本実施形態のメモリ装置のそれぞれは4つのメモリバンクから構成されており、各メモリバンクにはセンスアンプが設けられている。メモリ装置のバンクについては、2バンク構成であっても、8バンク構成であっても問題なく、特に4バンクを制限しているわけではない。更に、バンク構成を持たないメモリ装置であってもよい。

【0030】

データ処理部MS0とメモリモジュールMEMとの間には、メモリモジュールMEMを制御するメモリ制御ユニットMCUが設けられる。また、メモリ制御ユニットにはPCIブリッジ回路BRGが接続される。PCIブリッジ回路は、データ処理システム外からメモリモジュールに対してデータを転送する場合に使用される。

【0031】

メモリ制御ユニットMCUは、メモリモジュール内のメモリ装置のリフレッシュを制御するリフレッシュ制御回路RFCを有する。また、メモリ制御ユニットは、中央処理装置CPUからのメモリアクセスと、リフレッシュ制御回路からのメモリモジュールのリフレッシュのためのメモリアクセスと、PCIブリッジ回路BRGからのメモリアクセスとを調停する調停回路ARBを有する。調停回路は、中央処理装置、リフレッシュ制御回路及びPCIブリッジ回路からのアクセス要求を監視しており、それぞれのアクセス要求の内の1つを優先順位に従い許可する。本実施形態における優先順位は、特に制限されないが、リフレッシュ制御回路のアクセス要求を第1とし、中央処理装置からのアクセス要求を第2とし、PCIブリッジ回路からのアクセス要求を第3の優先順位とする。メモリ制御ユニットは、更に、調停回路で許可されたアクセスを受け、メモリモジュールを制御するメモリ制御回路MCを有している。メモリモジュールを構成するメモリ装置がDRAM等の場合、リフレッシュ動作が必要となるため上述のリフレッシュ制御回路が有効となる。

【0032】

尚、本実施形態においては、データ処理部とメモリ制御ユニットとを併せてデータ処理

10

20

30

40

50

装置と称することとする。但し、データ処理部において本実施形態のメモリ制御ユニットの中にメモリ制御ユニットを組み入れることも可能である。本実施形態のデータ処理部は、図示しないクロックCLKに同期して動作する。以上で述べたことは、第1の実施形態にのみに限定して適用される訳でなく、本明細書の全ての実施形態に適用される。

【0033】

以下、上述のデータ処理システムの動作を説明する。中央処理装置CPUは、メモリモジュールMEMに対してデータの読み出し或いは書き込み等のアクセス要求として、C0を介して読み出し命令を、A0を介してメモリのアドレスを、調停回路ARBへ出力する。上述の調停手続きに従い、調停回路が中央処理装置からの読み出し命令のアクセスを許可すると、IC0を介してリード命令を、IADを介してアドレスを、メモリ制御回路MCに出力する。メモリ制御回路は、調停回路からのリード命令とアドレス信号とを受けて、メモリモジュールMEM内のメモリ装置(ME0~ME7)を制御する。

10

【0034】

図2は図1のメモリモジュールMEMの詳細な構成である。本実施形態のメモリモジュールは、8つのメモリ装置(ME0~ME7)で構成される。メモリモジュール内の一つのメモリ装置ME0は4つのメモリバンク(B0~B3)とメインアンプMAと入出力バッファIOBUFとを有する。他のメモリ装置(ME1~ME7)についても、ME0と同様の構成のため、図示と説明とを省略する。ME0が有する4つのメモリバンク(B0~B3)の内の一つであるメモリバンクB0は、メモリアレイ、ロウデコーダX-DEC、カラムデコーダY-DEC、センスアンプアレイSA-ARY、カラムスイッチCSW及びグローバルビット線GBLを有する。他のメモリバンク(B1~B3)についても、メモリバンクB0と同様の構成のため、図示と説明とを省略する。メモリ制御ユニットMCUとメモリモジュールMEMとは64ビット幅のバスMDQを介してデータの入出力を行う。メモリ制御ユニットMCUに接続されている64ビットバスは、メモリモジュール内において8つのメモリ装置(ME0~ME7)に分割されるため、1つのメモリ装置には8ビットのバスが接続されている。各メモリ装置はメモリ制御回路MCからの命令で同時に動作し、メモリモジュールMEMは同時に64ビットデータの読み出し及び書き込みを行う。本実施形態のメモリ装置(ME0~ME7)は、4つのメモリバンク毎に、独立に制御可能である。

20

【0035】

図3と図4ではメモリバンクの詳細な構成とメモリモジュールMEMの動作とを示す。尚、本実施形態の以下の説明において、メモリ装置はシンクロナスDRAMとして説明を進める。以下、図1の示した信号線での信号の状況を図4にて説明する。中央処理装置CPUが出力する読み出し命令とアクセスアドレスとは、調停回路ARBを経由しIC0とIADとを介してメモリ制御回路MCに入力される。メモリ制御回路は、メモリモジュールに対し、MC0を介してバンクアクティブ命令ACを、MADを介してバンクアドレスBK0(MAD[13:12]の2ビット)とロウアドレスR0(MAD[11:0]の12ビット)とを出力する。次にMC0を介してリード命令RDを、MADを介してバンクアドレスBK0(MADD[13:12])とカラムアドレスR0(MADD[8:0]の9ビット)とを出力する。メモリ制御回路が出力した命令やアドレスは、メモリモジュールMEM内の8つのメモリ装置に並行に入力され、同じ読み出し動作を行なう。本実施形態では、メモリモジュールやメモリ制御ユニットよりなるデータ処理システムはクロック信号と同期動作しているため、それぞれの命令とアドレス、及びデータはクロックに同期して入出力される。

30

40

【0036】

図2に示すメモリモジュールMEM内の8つのシンクロナスDRAM(ME0~ME7)には、命令とアドレスとが共通に入力されるため、以下においては、それらSDRAM1つの動作を説明する。バンクアクティブ命令ACとバンクアドレスBK0とロウアドレスR0とがSDRAM0に入力されると、バンクアドレスBK0によって選ばれた4つの内の1つのバンクB0のロウデコーダX-DECによって、バンク内の4096本のワー

50

ド線の中の1つのワード線WLが選択される。図2に示すバンクの詳細を図3で示す。1本のワード線が選択されることで、4096ビットからなる1ページ分のメモリセルのデータが、4096のビット線対(BL0-0とBLB0-0からBL7-511とBLB7-511)を通り4096個のセンスアンプアレイSA-ARYに転送され、それぞれのセンスアンプにより増幅、保持される。次に、センスアンプに保持されたデータを読み出すために、MCOを介してリード命令RD、MADを介してワード線選択時のバンクアドレスBK0と同一のバンクアドレスBK0とカラムアドレスC0とが入力される。ワード線の選択時と同様に、バンクアドレスBK0により4つのバンクのうちの1つのバンクが選択され、選択されたバンクのカラムデコーダY-DECは、カラムアドレスC0によって、4096個のカラムスイッチ群CSWの中の8個のカラムスイッチを選択する。カラムデコーダY-DECにより選択された8つのカラムスイッチでは、センスアンプに保持されたデータがグローバルビット線(GBL0~GBLB7)に出力される。グローバルビット線に出力された8ビットのデータは、図2に示すメインアンプMAと入出力バッファIOCUFとを介してMDQに出力される。MDQに出力する際は、上述の動作を行う他の7つのSDRAMからもデータが出力されるため、64ビットのデータが出力されることとなる。以上の如くデータを出力した後、メモリ制御回路MCは、プリチャージ命令PREつまりプリチャージ制御のためのプリチャージコマンドとバンクアドレスBK0とを出力する。これにより、選択されたバンクの選択されたワード線の選択を解除し、ビット線のプリチャージを行う。このプリチャージについては、カラムアドレスの出力後のタイミングで行うかについては、規格により定められている場合もある。本明細書の同期型メモリ装置においては、その期間は4クロック後となっているが、特に制限しているわけではない。本明細書の同期型でないメモリ装置についても同様である。つまり、RAS信号をHighにしてプリチャージを行い、ページを閉じる。以上の動作では、メモリ制御回路MCがメモリモジュールMEMに対して、バンクアクティブ命令ACを出力し、メモリモジュールからデータが出力されるまでのレイテンシは7サイクル、つまりアクセスのレイテンシは7サイクルとなる。

【0037】

図5は図1のメモリ制御回路MCの詳細な構成である。メモリ制御回路は、ページアクセス判定回路PHと、モード切り替えブロックMODEと、メモリモジュールに対して制御命令とアクセスアドレスとを発行するアドレス発生回路ACGと、メモリモジュールに対する入出力データの制御を行う入出力データ制御回路DQBとを有する。ページアクセス判定回路PHは、以前のアクセスアドレスのロウアドレスと調停回路ARBから供給される現在のアクセスアドレスのロウアドレスとが一致したか否かの判定を行う。モード切り替えブロックMODEは、メモリモジュールMEMへのアクセスの後にメモリ装置のページを閉じるページ・オフ・モードにするか、ページを開いた状態を維持するページ・オン・モードにするかの切り替えを動的に行なうブロックである。ページアクセス判定回路とモード切り替えブロックとについては以下に示す。

【0038】

図6と図7とに基づき、ページアクセス判定回路PHとモード切り替えブロックの動作を説明する。図6はページアクセス判定回路が保持しているメモリモジュールMEMの各バンクに対応したロウアドレス選択信号PSと比較ロウアドレスTRADとのテーブルを示す。比較ロウアドレスTRADには、それぞれのバンクに対する直前のアクセスにおけるロウアドレスが記憶されている。ロウアドレス選択信号PSがLowの時は、対応するバンクのロウアドレスTRADが選択されていないことを示し、Highの時は、そのバンクのロウアドレスTRADが選択されていることを示す。つまり、対応するバンクの直前のアクセスが終了した時点で、ページが閉じられていればLow、ページが開いたままであればHighとなる。

【0039】

図7(a)はページアクセス判定回路PHの動作タイミングを示す。メモリ制御回路MCには、調停回路ARBからリード命令RとアクセスアドレスAD0とが入力される。ア

10

20

30

40

50

クセスアドレスAD0は、バンクを指定するバンクアドレスIAD(BANK)とワード線を指定するロウアドレスIAD(ROW)とを有する。アクセスアドレスAD0のうち、バンクを指定するバンクアドレスIAD(BANK)の値が"1"、ワード線つまりページを指定するロウアドレスIAD(ROW)が"38"の場合を例示する。ページアクセス判定回路は、バンクアドレスの"1"に基づき図6に示すテーブルより取得された第1バンクの比較ロウアドレスの値"5"と、入力されたロウアドレスIAD(ROW)の"38"とを比較する。この場合は、入力されたロウアドレスと比較ロウアドレスとは一致しない。つまり、バンク1に関しては、直前のバンク1に対するアクセスと今回のバンク1に対するアクセスとではロウアドレスが異なる、つまり異なるページアクセスと判定される。この場合、図5に示す、ロウアドレスの一致を示す信号HTはLowとなる。また、バンク1に関するロウアドレスの不一致信号MSIG[1]はHighとなり、モード切り替えブロックMODEへ出力される。PSOは、第1バンクのPSの値であるHighの出力である。更に、第1バンクの比較ロウアドレスとロウアドレスとが一致しなかったため、第1バンクの比較ロウアドレスの値は5から38へと更新される。

【0040】

次に、図7(b)の動作を説明する。メモリ制御回路MCに入力されるバンクアドレスIAD(BANK)が"3"、ロウアドレスIAD(ROW)が"41"の場合を示す。ページアクセス判定回路PHは、図6に示す第3バンクの比較ロウアドレスの値"41"と入力されたロウアドレスIAD(ROW)の"41"とを比較する。この場合は、入力されたロウアドレスと比較ロウアドレスとは一致する。つまり、バンク3に関しては、直前のバンク3に対するアクセスと今回のバンク3に対するアクセスとではロウアドレスが一致、つまりページアクセスと判定される。その結果、ロウアドレスの一致を示す信号HTはHigh、バンク3に関するロウアドレスの不一致信号MSIG[3]はLowとなる。PSOは、第3バンクのPSの値であるHighの出力である。第3バンクの比較ロウアドレスと入力されたロウアドレスとは一致したため第3バンクの比較ロウアドレスの値"41"はそのまま保持される。ここで、MSIG[*](*はバンク番号)は第*バンクに対するロウアドレス不一致信号であり、第*バンクへのアクセスがページアクセスの場合はLowとなり、異なるページアクセスの場合はHighとなる。

【0041】

モード切り替えブロックMODEは、各バンクに割り当てられた制御モードを切り替える複数のモード切り替え回路(PRJ0~PRJ3)を有する。そのうちのひとつである第3バンクに対応するモード切り替え回路PRJ3は、異なるページアクセスの連続回数のアクセス回数カウンターRCと、このアクセス回数カウンターRCの値に基づきLPR[3]をHighレベルまたはLowレベルに切り替えるスイッチ回路SWとから構成される。LPR[3]がHighの時はページ・オフ・モードを示し、Lowの時はページ・オン・モードを示す。他のモード切り替え回路(PRJ0~PRJ2)の構成は、モード切り替え回路PRJ3と等しく、それぞれメモリモジュールの第0のバンクから第2のバンクに対応するモード切り替え回路である。上述したページ・オン・モードとは、メモリモジュールからデータを読み出したりメモリモジュールにデータ書き込むためにメモリモジュールにアクセスした際、次のアクセスが起きるまでページを閉じないようにメモリ装置を制御するモードであり、ページ・オフ・モードとは、メモリモジュールにアクセスした際、アクセス毎にページを閉じるようにメモリ装置を制御するモードである。RASダウンモード、或いは、単にページモードは、ページ・オン・モードに対応する表現である。

【0042】

モード切り替え回路(PRJ0~PRJ3)が備えているアクセス回数カウンターRCには、中央処理装置CPUによって、異なるページアクセスの連続回数を設定することが可能である。中央処理装置CPUは、アクセス回数カウンターに設定するための命令RESETと、異なるページアクセスの連続回数の値とを出力する。命令RESETと連続回数の値は、図1のC00とAD0とを經由してメモリ制御ユニットMCUに入力され、調停回

10

20

30

40

50

路 A R B を介してモード切り替え回路 (P R J 0 ~ P R J 3) に入力され、中央処理装置からの命令により、アクセス回数カウンタ R C に異なるページアクセスの連続回数の値が設定される。(本実施形態では、中央処理装置が異なるページアクセスの連続回数の値を設定するが、特に制限している訳ではなく、データ処理システム外から設定することも可能であり、メモリ制御ユニットの製造段階で固定値を設定しておくことも可能である。

【 0 0 4 3 】

図 8 はモード切り替え回路 (P R J 0 ~ P R J 3) の動作を示す。モード切り替え回路 (P R J 0 ~ P R J 3) は、第 0 バンク ~ 第 3 バンクに対応し、それぞれのバンクを独立に制御する。しかしそれらの動作は同一の思想に基づき動作するため、ここでは第 3 バンクを制御するモード切り替え回路 P R J 3 の動作を代表して説明する。尚、モード切り替え回路 P R J 3 のアクセス回数カウンタ R C には、異なるページアクセスの連続回数値 N が既に設定されているものとする。以下、モード切り替え回路の動作を 2 つの動作フローに大別して説明する。

10

【 0 0 4 4 】

まず、第 1 動作フローを説明する。この状態において、既にページ・オン・モードが設定されているものとする。中央処理装置 C P U からのメモリモジュール M E M に対するアクセスが調停回路 A R B を介してメモリ制御回路 M C に入力される。ページアクセス判定回路 P H は、入力されたアクセスアドレスがページアクセスか否かを判定する。判定結果は、ロウアドレス不一致信号 M S I G [3] としてモード切り替え回路 P R J 3 に入力される。モード切り替え回路 P R J 3 では、H i g h が N 回連続したか否か、つまりページアクセスでないアクセスがアクセス回数カウンタ R C の値の回数だけ連続したか否かをチェックする。M S I G [3] の H i g h が N 回連続しなかった場合は、モード切り替え回路 P R J 3 の出力である L P R [3] を L o w にし、ページ・オン・モードを維持する。M S I G [3] の H i g h が N 回連続した場合は、L P R [3] を H i g h へと変更してページ・オフ・モードに切り替え、第 2 動作フローに移行する。

20

【 0 0 4 5 】

第 2 動作フローでは、ページアクセスが生じるまで、つまりロウアドレス不一致信号 M S I G [3] が L o w になるまで、L P R [3] を H i g h とし、ページ・オフ・モードを維持する。M S I G [3] が L o w、つまりページアクセスとなれば L P R [3] を L o w とし、ページ・オン・モードに切り替え、第 1 動作フローへ移行する。

30

【 0 0 4 6 】

第 3 バンクを制御するモード切り替え回路 P R J 3 は上記一連の制御を繰り返し行い、モード切り替え回路 (P R J 2 ~ P R J 0) は第 2 バンクから第 0 バンクに対するアクセスについて同様の一連の制御を行う。

【 0 0 4 7 】

図 9 と図 1 0 とを用い、図 5 内のアドレス発生回路 A C G の動作と、それぞれのモードにおけるメモリモジュールへのアクセスの動作波形を示す。図 5 に示すように、アドレス発生回路 A C G には、調停回路 A R B からのリード命令とアクセスアドレスとが、ページアクセス判定回路 P H からのページアクセス判定信号 H T とロウアドレス選択信号 P S O が、モード切り替えブロック M O D E から L P R が入力される。ページ・オン・モードの場合は L P R は L o w となり、ページ・オフ・モードの場合は L P R は H i g h となる。ページ・オン・モードの場合は、メモリモジュールへのアクセスの最後に、プリチャージ命令 P R E の発行は行わず、ページを開いた状態を保持する。以下、図 9 の (A) ~ (H) について具体的に説明する。

40

【 0 0 4 8 】

(A) : ロウアドレス選択信号 P S O が H i g h、ロウアドレスの一致を示す信号 H T が H i g h、且つ L P R が L o w のときは、すでにページが選択されており、そのページと同一のページにアクセスが生じたことを表し、リード命令 R D とカラムアドレスのみをメモリモジュール M E M へ出力する。この時のデータ転送のリードアクセスのレイテンシは 5 となる。図 1 0 では最も下のタイミング図が該当する。

50

【 0 0 4 9 】

(B) : ロウアドレス選択信号 P S O が L o w、H T が H i g h、且つ L P R が L o w のときは、ページは選択されていないため、バンクアクティブ命令 A C とロウアドレス、リード命令 R D とカラムアドレスの順にメモリモジュールへ出力する。この時のデータ転送のリードレイテンシは 7 となる。図 1 0 では、下から 2 段目のタイミング図が該当する。この (B) は、ページ・オフ・モードからページ・オン・モードへと切り替わるアクセスである。

【 0 0 5 0 】

(C) : ロウアドレス選択信号 P S O が H i g h、H T が L o w、且つ L P R が L o w のときは、すでにページが選択されており、そのページと異なるページにアクセスが生じた事を表し、プリチャージ命令 P R E、バンクアクティブ命令 A C とロウアドレス、リード命令 R D とカラムアドレスの順にメモリモジュールへ出力する。この時のデータ転送リードレイテンシは 9 となる。図 1 0 では最も上に示したタイミング図が該当する。ページ・オン・モードにおいて、異なるページへのアクセスが発生している状況である。

【 0 0 5 1 】

(D) : ロウアドレス選択信号 P S O が L o w、H T が L o w、且つ L P R が L o w のときは、ページは選択されていないため、バンクアクティブ命令 A C、リード命令 R D の順にメモリモジュールへ出力する。この時のデータ転送のリードレイテンシは 7 となる。

【 0 0 5 2 】

以上 (A) ~ (D) はページ・オン・モードに関する説明である。以下に示す (E) ~ (H) はページ・オフ・モードについての説明である。ページ・オフ・モードでは、アクセスの最後に、プリチャージ命令 P R E を発行し、メモリモジュール M E M のページを閉じた状態、つまりワード線を非選択状態とする。

【 0 0 5 3 】

(E) : ロウアドレス選択信号 P S O が H i g h、H T が H i g h、且つ L P R が H i g h のときは、すでにページが選択されており、そのページと同一のページにアクセスが生じたことを表し、リード命令 R D とカラムアドレス、プリチャージ命令 P R E をメモリモジュールへ出力し、データ出力後にページを閉じる。この時のデータ転送リードレイテンシは 5 となる。

【 0 0 5 4 】

(F) : ロウアドレス選択信号 P S O が L o w、H T が H i g h、且つ L P R が H i g h のときは、ページは選択されていないため、バンクアクティブ命令 A C とロウアドレス、リード命令 R D とカラムアドレス、プリチャージ命令 P R E の順にメモリモジュールへ出力する。この時のデータ転送のリードレイテンシは 7 となる。

【 0 0 5 5 】

(G) : ロウアドレス選択信号 P S が H i g h、H T が L o w、且つ L P R が H i g h のときは、すでにページが選択されており、そのページと異なるページにアクセスが生じた事を表し、プリチャージ命令 P R E、バンクアクティブ命令 A C とロウアドレス、リード命令 R D とカラムアドレス、プリチャージ命令 P R E の順にメモリモジュールへ出力する。この時のデータ転送リードレイテンシは 9 となる。図 1 0 では上から 2 段目に示したタイミング図が該当する。ページ・オン・モードからページ・オフ・モードへと移行している状況である。

【 0 0 5 6 】

(H) : ロウアドレス選択信号 P S が L o w、H T が L o w、且つ L P R が H i g h のときは、ページは選択されていないため、バンクアクティブ命令 A C とロウアドレス、リード命令 R D とカラムアドレス、プリチャージ命令 P R E の順にメモリモジュールへ出力する。この時のデータ転送のリードレイテンシは 7 となる。図 1 0 では上から 3 段目に示したタイミング図が該当する。ページ・オフ・モードが継続している状況である。

【 0 0 5 7 】

図 9 の表の最下段に示しているライトレイテンシは、ライト命令 W T が入力した際の、

10

20

30

40

50

アドレス発生回路 A C G の動作の一例を示す。メモリモジュールにデータを書き込む場合は、コマンドシーケンスのリード命令 R D がライト命令 W T に置き換わる。

【 0 0 5 8 】

ページ・オン・モードで、異なるページアクセスが生じると、現在開いているページを閉じる必要がある。つまり現在選択状態であるワード線を非選択としてデータ線をプリチャージするためのプリチャージ命令 P R E を発行する必要がある。この場合は、ページを閉じた後再度ページを開く必要があるため、リードレイテンシは 9 サイクルとなる。上記のように異なるページアクセスが連続すると、ページ・オン・モードからページ・オフ・モードに切り替わる。ページ・オフ・モードでは、異なるページのアクセスでは、以前のアクセスで、すでにページが閉じられているため、最初にプリチャージ命令 P R E を発行する必要がなく、レイテンシは 7 サイクルとなる。尚、ページ・オン・モードからページ・オフ・モードに切り替わる際、異なるページアクセスが連続する必要性は無く、ページ・オン・モードにおいて、一度だけ異なるページへのアクセスが生じた時点で、ページ・オン・モードに切り替えることも可能である。これはアクセス回数カウンタ R C の設定を " 1 " とすればよい。更に、異なるページアクセスが連続するのではなく、同一ページへのアクセスと異なるページへのアクセスの割合によってページ・オン・モードからページ・オフ・モードに切り替わるようにすることも可能である。更に、図 9 の (E) の如く、強制的にページ・オン・モードからページ・オフ・モードに切り替わるような構成を設けることも可能である。一方ページ・オフ・モードで、同一ページのアクセスが生じると、ページ・オン・モードに切り替わる。ページ・オン・モードでの同一ページアクセスでは、現在開いているページと同一のページに対するアクセスであるため、新規にページを開く必要はなく、レイテンシは 5 となる。この場合も、図 9 の (D) の如く、強制的にページ・オフ・モードからページ・オン・モードに切り替わるような構成を設けることも可能である。また、ページ・オフ・モードにおいて何度かページアクセスが生じた後にページ・オン・モードに切り替わる構成であってもよい。この場合は、図 9 の (E) の状況が継続した後にページ・オン・モードに切り替わることとなる。何度ページアクセスが起きればページ・オン・モードに切り替わるかを設定するために、アクセス回数カウンタ R C の如きレジスタを持つことも可能である。

【 0 0 5 9 】

本発明は、上述のように、アクセスに応じて、ページ・オン・モードとページ・オフ・モードとが動的に切り替ええられることを特徴とし、中央処理装置とメモリモジュールとの間のデータのやり取りを高速で行うことを可能としている。

【 0 0 6 0 】

図 1 1 は、メモリ制御回路 M C にリフレッシュ命令が入力した際の動作を示した波形である。リフレッシュ命令が入力したら、プリチャージオール命令 P A L でメモリモジュールの全メモリバンクをプリチャージし、その後リフレッシュ命令 R E F を発行する。プリチャージオール命令 P A L で全メモリバンクをプリチャージした際には、ページアクセス判定回路 P H 内のロウアドレス選択信号 P S をすべて L o w にする。

【 0 0 6 1 】

図 1 2 (a) は、中央処理装置 C P U からメモリモジュール M E M へ生じるアクセスの代表例を示す。中央処理装置からメモリモジュールへは、同一ページの連続アクセスと、異なるページの連続アクセスとが交互に生じる特性がある。T 1、T 3 は同一ページへの連続アクセスが続いている期間を示し、T 2、T 4 は異なるページへの連続アクセスが続いている期間を示す。図 1 2 (b) は、同一ページの連続アクセスが続いている期間 T 1 及び T 3 において、ページ・オン・モードに固定した制御、ページ・オフ・モードに固定した制御、本発明のモード切り替え制御を行なった場合のレイテンシ比較を示す。図 1 2 (c) は、異なるページの連続アクセスが続いている期間 T 2 及び T 4 において、ページ・オン・モードに固定した制御、ページ・オフ・モードに固定した制御、本発明のモード切り替え制御を行なった場合のレイテンシ比較を示す。図 1 2 (b)、(c) で示すよ

うに、本発明によれば、同一ページの連続アクセスが続いている期間T1及びT3ではページ・オン・モードで動作し、異なるページの連続アクセスが続いている期間T2及びT4ではページ・オフ・モードに切り替えて動作する。このモード切り替えによって、常に、レイテンシを最小にし、メモリモジュールへのアクセスを高速にすることが可能となる。更に、メモリ装置のセンスアンプの動作回数を抑制するため、メモリ装置の消費電力を低減する可能となる。

【0062】

以上、第1の実施形態についての説明を行ったが、第1の実施形態ではメモリモジュールは複数のバンクを有する構成とした。しかし上述の説明より明かなように、本発明の思想は、メモリバンクを有さないメモリモジュールにより構成されるデータ処理システムに適用することも可能であり、メモリバンクを有さないメモリモジュールにより構成されるデータ処理システムのメモリ装置へのアクセスの高速化を実現することも可能である。

10

【0063】

図13は、本発明の第2の実施形態のメモリ制御回路MC1構成である。データ処理システムの他の構成要素については第1の実施形態と同様であるため説明及び図示を省略し、名称や記号は第1の実施形態におけるものと同様とする。

【0064】

メモリ制御回路MC1は、調停回路ARBからのアクセスアドレスに基づき、次のアドレス(所定のオフセットを加算したアドレス)を先行発行する先行発行回路PFSを有する。また、メモリ制御回路は、現在のアクセスアドレスが以前のアクセスアドレスに対して異なるページか或いは同一のページかを判定し、メモリモジュールのページを閉じるページ・オフ・モードにするか或いはページを開くページ・オン・モードにするかの切り替えを動的に行なうモード切り替えブロックMODE0を有する。更に、バンク毎に、以前のアクセスアドレスのロウアドレスと、現在のアクセスのロウアドレスが一致した否かのページアクセスを判定するページアクセス判定回路PH0を有する。また、先行発行回路PFSで以前に先行発行されたロウアドレスと調停回路ARBからのロウアドレスとが一致したどうかを判定する先行発行アクセス判定回路PH1と、先行発行アクセス判定回路PH1の結果を受けて先行発行回路PFSでの先行発行を有効にするか或いは無効にするかの切り替えを動的に行なう先行発行モード切り替えブロックMODE1とを有する。更に、メモリモジュールに対して、制御命令とアドレスを発生するアドレス発生回路ACGと入出力データを制御する入出力データ制御回路DQBとを有する。モード切り替えブロックMODE0と先行発行モード切り替えブロックMODE1との動作は図2のモード切り替えブロックMODEと同様である。

20

30

【0065】

以下、先行発行回路PFSと先行発行アクセス判定回路PH1との動作を説明する。

【0066】

図14は、先行発行アクセス判定回路PH1が有する、メモリモジュールの各バンク毎に対応したロウアドレスのテーブルを示す。このロウアドレスは、現在のメモリアクセスの以前に先行発行回路PFSが先行発行した比較ロウアドレスPRADを示す。

【0067】

図15は、先行発行回路PFSが保持しているテーブルである。それらは、先行発行アドレスをページアクセス判定回路PH0の入力として有効とするか或いは無効とするかをメモリバンク毎に対応させたバリッド信号PFである。バリッド信号PFがHighのときは有効、Lowの時は無効を示す。

40

【0068】

図16(a)及び(b)は、先行発行回路PFSと先行発行アクセス判定回路PH1の動作の一例を示す。図16(a)では、メモリ制御回路MC1へICOを通じてリード命令RとバンクアドレスIAD(BANK)の値"2"、ロウアドレスIAD(ROW)の値"105"が入力される。先行発行回路PFSは、このアクセスアドレスに対し、SADを介して、バンクアドレスSAD(BANK)の値"2"、ロウアドレスSAD(RO

50

W) の値 " 1 0 5 " を先行発行アクセス判定回路 P H 1 へ出力する。先行発行アクセス判定回路 P H 1 は、図 1 4 に示す第 2 バンクの比較ロウアドレス P R A D の値 " 1 0 5 " と入力されたロウアドレス値 " 1 0 5 " とを比較する。この場合、一致したので、ページアクセスと判定され、H S I G [2] は H i g h となり、第 2 バンクの P R A D の値は " 1 0 5 " のまま保持される。先行発行回路 P F S は、次に、先行発行アドレスを S A D を介してバンクアドレス S A D (B A N K) の値 " 3 " 、ロウアドレス S A D (R O W) の値 " 1 0 5 " を先行発行アクセス判定回路 P H 1 へ出力する。併せて、アクセス判定回路 P H 0 へは P F E を L o w として出力する。発行アクセス判定回路 P H 1 では図 1 4 に示す第 3 バンクの比較ロウアドレス P R A D の値 " 1 5 " を、入力された先行発行ロウアドレス S A D (R O W) の値 1 0 5 に更新する。先行発行回路 P F S が S A D を介して先行発行したバンクアドレス S A D (B A N K) の値は " 3 " であるため、図 1 5 に示すバリッド信号 P F のうち第 3 バンクに対応しているバリッド信号を検索する。このバリッド信号 P F の値は H i g h であるため、先行発行アドレスは、有効と判断され、P F E を L o w とする。先行発行モード切り替えブロック M O D E 1 から先行発行回路 P F S へ出力される信号 L P F [0 : 3] は、各バンクに対応しており、前記バリッド信号 P F の値を H i g h あるいは L o w に設定するために必要な切り替え信号である。L P F が H i g h であることは、先行発行アドレスを有効に切り替えることを示し、L P F が L o w であることは、先行発行アドレスを無効に切り替ええることを示す。L P F [2] が H i g h のとき、バリッド信号 P F の第 2 バンクに対応する箇所が H i g h に設定される。L P F [2] が H i g h に設定される。

10

20

【 0 0 6 9 】

図 1 6 (b) では、メモリ制御回路 M C 1 へ I C O を通じてリード命令 R とバンクアドレス I A D (B A N K) の値 " 0 " 、ロウアドレス I A D (R O W) の値 " 1 8 " が入力される。先行発行回路 P F S は、このアクセスに対し、S A D を介し、バンクアドレス S A D (B A N K) の値 " 0 " 、ロウアドレス S A D (R O W) の値を " 1 8 " を先行発行アクセス判定回路 P H 1 へ出力する。先行発行アクセス判定回路 P H 1 は、図 1 4 に示す第 0 バンクの比較ロウアドレス P R A D の値 " 8 " と入力されたロウアドレス値 " 1 8 " とを比較する。この場合、一致しないので、H S I G [0] は L o w となる。第 0 バンクの比較ロウアドレス P R A D の値は 8 のまま保持される。先行発行回路 P F S は、次に、先行発行アドレスとして、バンクアドレス S A D (B A N K) の値 " 1 " 、ロウアドレス S A D (R O W) の値 " 1 8 " を先行発行アクセス判定回路 P H 1 へ出力する。更に、先行発行回路 P F S は、P F 1 を L o w とし先行発行アクセス判定回路 P H 1 へ出力する。先行発行アクセス判定回路 P H 1 は、図 1 4 に示す第 1 バンクの比較ロウアドレス P R A D の値 " 6 " を先行発行ロウアドレス S A D (R O W) の値 " 1 8 " に更新する。先行発行回路 P F S が S A D を介して先行発行したバンクアドレス S D A (B A N K) の値が " 1 " であるため、前記バリッド信号 P F のうち第 1 バンクに対応しているバリッド信号 P F 1 を検索する。このバリッド信号 P F の値が L o w であるため、先行発行アドレスは、無効と判断され、P F E を H i g h とする。L P F [1] が L o w になると、前記バリッド信号 P F のうち第 1 バンクに対応しているバリッド信号 P F 1 を L o w に設定する。

30

40

【 0 0 7 0 】

図 1 7 には、先行発行モード切り替えブロック M O D E 1 の動作を示す。先行発行モード切り替えブロック M O D E 1 は、図 2 に示すモード切り替えブロック M O D E と同じ構成で、同様の動作を行う。以下、一連の動作を 2 つの動作フローに分けて説明する。

【 0 0 7 1 】

第 1 動作フローでは、調停回路 A R B からのアクセスアドレスが先行発行モード切り替えブロック M O D E 1 に入力するたびに、H S I G の H i g h が M 回連続したかどうかをチェックする。H S I G の H i g h が M 回連続しなかった場合は、L P F を L o w にし、先行発行アドレス無効モードを維持する。H S I G の H i g h が M 回連続した場合は、L P F を H i g h にし、先行発行アドレス有効モードに切り替ええ、第 2 動作フローへ移行する。

50

【 0 0 7 2 】

第2動作フローでは、H S I GがLowになるまで、先行発行アドレス有効モードを維持し続け、L P FをHighにする。H S I GがLowになったらL P FをLowにし、先行発行アドレス無効モードに切り替ええ、第1動作フローへ移行する。このように、一連の制御を繰り返し行う。

【 0 0 7 3 】

図18(a)及び(b)には、ページアクセス判定回路P H 0及びアドレス発生回路A C Gの動作を示す。図18(a)において、メモリ制御回路M C 1へI C Oを介してリード命令R、I A Dを介してアドレスA 0が入力される。先行発行回路P F Sは、このアクセスに対し、S A Dを介してアドレスA 0と先行発行アドレスA 1とをページアクセス判定回路P H 0へ出力する。ページアクセス判定回路P H 0は、アドレスA 0は同一ページアクセスと判定しH TをHigh、M S I GをLow、P S OをHighと出力する。先行発行アドレスA 1は、P F EがLowで有効と判断され、ページアクセス判定回路P H 0でのページアクセスの判定の対象となる。その結果、異なるページアクセスと判定されH TをLow、その時の、P S OはHighとなる。アドレス発生回路A C Gは、アドレスA 0に対するリード命令をページアクセス判定回路P H 0と、先行発行回路P F SよりのH T、P S O及びP F Eの各信号を受け、アドレスA 0に対して、リード命令R D、バンクアドレスB 0、カラムアドレスC 0をメモリモジュールへ出力する。先行発行アドレスA 1に対しては、プリチャージ命令P R E、バンクアクティブ命令A C、バンクアドレスB 1及びロウアドレスR 1をメモリモジュールへ出力する。

10

20

【 0 0 7 4 】

図18(b)では、メモリ制御回路M C 1へI C Oを介してリード命令R、I A Dを介してアドレスA 0が入力されると、先行発行回路P F Sは、このアクセスに対し、S A DよりアドレスA 0と先行発行アドレスA 1とをページアクセス判定回路P H 0へ出力する。ページアクセス判定回路P H 0は、アドレスA 0は異なるページアクセスと判定しH TをLow、M S I GをHigh、P S OをLowと出力する。先行発行アドレスA 1は、P F EがHighで無効と判断され、ページアクセス判定回路P H 0でのページアクセスの判定の対象とはならず、何も行わない。アドレス発生回路A C Gは、アドレスA 0に対するリード命令をページアクセス判定回路P H 0と、先行発行回路P F Sより、H T、P S O及びP F Eの各信号を受け、アドレスA 0に対して、バンクアクティブ命令A C、リード命令R D、バンクアドレスB 0、ロウアドレスR 0及びカラムアドレスC 0をメモリモジュールへ出力する。先行発行アドレスA 1に対しては、何も行わない。

30

【 0 0 7 5 】

図19は、メモリ制御回路M C 1の全体動作例を説明する。I C Oを介してリード命令R 0とI A Dを介してアドレスA 0とが先行発行回路P F Sへ入力される。先行発行回路P F SはS A Dを介して、先ずA 0を発行し、次に先行発行アドレスA 1を発行する。このとき、先行発行アドレスA 1はアドレスA 0とは異なるバンクへのアドレスである。アドレスA 0は、ページアクセス判定回路P H 0に入力される。ページアクセス判定回路P H 0は、第1の実施形態と同様に、入力されたロウアドレスが比較ロウアドレスと同一、つまり同一ページと判断すると、H TはHighとなる。この場合、アドレス発生回路A C Gはリード命令R D、バンクアドレスB 0及びカラムアドレスC 0とをメモリモジュールに対して出力する。先行発行アドレスA 1はアドレスA 0の次にページアクセス判定回路P H 0に入力される。ページアクセス判定回路P H 0内の比較ロウアドレスと入力されたロウアドレスとは異なると判定される、つまり、異なるページと判断すると、H TはLowとなり、アドレス発生回路A C Gは、先行発行アドレスに対するデータを、D R A Mのセンスアンプに保持するために、プリチャージ命令P R Eを出力し、バンクアクティブ命令A CとバンクアドレスB 1とロウアドレスR 1を出力する。次に、I C Oを介してリード命令R 1とI A Dを介してアドレスA 1が先行発行回路P F Sへ入力されると、S A Dを介して先ずA 1を発行し、次に先行発行アドレスA 2を発行する。アドレスA 1に対するロウアドレスは、以前のアドレスA 0によって選択されているため、H TはHigh

40

50

となり、所望のデータは最小レイテンシでメモリモジュールより出力される。このように、次アドレスを先行発行し制御することで、同一ページへのアクセスの頻度を、向上させることができ、メモリモジュールへのアクセスを高速にすることが可能となる。

【 0 0 7 6 】

図 2 0 は、本発明は第 3 の実施形態を示すメモリ制御回路 M C 2 の構成図である。この実施形態では、第 1 の実施形態で示したメモリ制御回路 M C に、自動アドレス調整回路 A T を付加したことを特徴とする。

【 0 0 7 7 】

図 2 1 は、メモリ制御回路 M C 2 を適用したデータ処理システム構成図である。このデータ処理システムは、メモリモジュール M E M と、メモリモジュールをアクセスする中央処理装置 C P U と 1 次キャッシュ L I C とを有するデータ処理部 M S 2 と、 P C I ブリッジ回路 B R G と、メモリモジュール M E M を制御するメモリ制御ユニット M C U 2 とで構成される。メモリモジュール M E M は、図 1 に示すメモリモジュール M E M に、メモリモジュールの構成を示すバンクアドレス、ロウアドレス及びカラムアドレスのモジュール・ステータス情報を保持しているモジュール・ステータス・レジスタ M R E G を付加している。データ処理部 M S 2 は、図 1 に示すデータ処理部 M S 0 に、1 次キャッシュの構成を示すタグ、インデックス、ラインサイズのキャッシュ・ステータス情報を保持しているキャッシュ・ステータス・レジスタ L R E G を付加している。

【 0 0 7 8 】

図 2 0 及び図 2 1 を用い、キャッシュ・ステータス・レジスタ L R E G に保持されているキャッシュ・ステータス情報とモジュール・ステータス・レジスタ M R E G に保持されているモジュール・ステータス情報とを自動アドレス調整回路 A T へ転送する動作を説明する。まず、キャッシュ・ステータス・レジスタ L R E G に保持されているキャッシュ・ステータス情報を自動アドレス調整回路 A T に転送する動作を説明する。中央処理装置 C P U は、キャッシュ・ステータス・レジスタ L R E G に保持しているキャッシュ・ステータス情報をメモリ制御回路に転送する転送命令 W C を C O 0 と I C O とを介して出力し、キャッシュ・ステータス情報を D Q 0 と I D Q とを介してメモリ制御回路内の自動アドレス調整回路 A T に出力する。 I D Q [4 : 0] よりラインサイズのビット数、 I D Q [9 : 5] よりインデックスのビット数、 I D Q [1 4 : 1 0] よりタグのビット数がアドレス調整回路 A T に送られる。転送命令 W C によりキャッシュ・ステータス情報は自動アドレス調整回路 A T 内のレジスタ C R E G に転送される。

【 0 0 7 9 】

次に、中央処理装置 C P U より、モジュール・ステータス・レジスタ M R E G に保持されているモジュール・ステータス情報を、メモリ制御回路に転送する転送命令 R M を C O 0 と I C O とを介してメモリ制御回路に出力する。メモリ制御回路内のアドレス発生回路 A C G は、モジュール・ステータス・レジスタ M R E G 内のモジュール・ステータス情報を読み出すための読み出し命令 R M をメモリモジュールに対して出力する。それにより、メモリモジュールより、 M D Q と I D Q とを介して自動アドレス調整回路内のレジスタに転送される。

【 0 0 8 0 】

図 2 2 は、1 次キャッシュ L 1 C の構成として、ラインサイズが 5 ビット、インデックスが 8 ビット及びタグが 1 9 ビットの場合と、メモリモジュール M E M の構成としてカラムアドレスが 9 ビット、バンクアドレスが 2 ビット及びロウアドレスが 1 2 ビットの場合において、自動アドレス調整回路 A T がアドレス調整を行った例である。 I A D [3 1 : 0] は自動アドレス調整回路 A T に入力されるアドレスで、 S A D [2 2 : 0] は自動アドレス調整回路 A T で調整を行われて出力するアドレスである。 L I N 0 ~ L I N 4 の 5 ビットはラインサイズのビット、 I N D 0 ~ I N D 7 の 8 ビットはインデックスのビット、 T A G 0 ~ T A G 1 8 の 1 9 ビットはタグのビットを示す。 C 0 ~ C 8 の 9 ビットはカラムアドレスのビット、 B 0 ~ B 1 の 2 ビットはバンクアドレスのビット、 R 0 ~ R 1 1 の 1 2 ビットはロウアドレスを示す。まず、 I A D [3 1 : 0] の下位ビットから順に、

ラインサイズの5ビット、インデックスの8ビット、タグの19ビットを割り当て、SAD[22:0]の下位ビットから順に、カラムアドレスの9ビット、バンクアドレスの2ビット、ロウアドレスの12ビットを割り当てる。次に、タグの下位ビットから順に、バンクアドレスに割り当てる。

図23は、1次キャッシュLICの構成として、ラインサイズが5ビット、インデックスが9ビット、タグが18ビットの場合と、メモリモジュールMEMの構成としてカラムアドレスが9ビット、バンクアドレスが2ビット、ロウアドレスが12ビットの場合に、自動アドレス調整回路ATがアドレス調整を行った例である。IAD[31:0]は自動アドレス調整回路ATに入力するアドレスで、SAD[22:0]は自動アドレス調整回路ATで調整が行われて出力するアドレスである。LIN0~LIN4の5ビットはラインサイズのビット、IND0~IND8の9ビットはインデックスのビット、TAG0~TAG17の18ビットはタグのビットを示す。C0~C8の9ビットはカラムアドレスのビット、B0~B1の2ビットはバンクアドレスのビット、R0~R11の12ビットはロウアドレスのビットを示す。まず、IAD[31:0]の下位ビットから順に、ラインサイズの5ビット、インデックスの9ビット、タグの18ビットを割り当て、SAD[22:0]の下位ビットから順に、カラムアドレスの9ビット、バンクアドレスの2ビット、ロウアドレスの12ビットを割り当てる。次に、タグの下位ビットから順に、バンクアドレスに割り当てる。

【0081】

このように、TAGビットにバンクアドレスを自動的に割り付けることで、1次キャッシュのキャッシュミスに起因したキャッシュエントリのリプレースを行うためのリード動作とライトバックのためのライト動作とを、異なるバンクに分散させ、同一バンクの異なるページ動作の頻度を減らし、DRAM及びシンクロナスDRAMを高速に動作させることが可能となる。

【0082】

図24は、本発明の第4の実施形態である。この実施形態では、図1のメモリモジュールをDDRシンクロナスDRAMで構成する。DDR(Double Data Rate)SDRAMも、SDRAMと同様に複数のメモリバンクと、このメモリバンクに対応したセンスアンプをもっている。DDRSDRAMはクロックの立ち上がり立ち下がりデータを送ることができる特徴がある。本実施形態の構成については、第1の実施形態とほぼ同一の構成となるため、図示と説明とは省略する。本実施形態により、DDRSDRAMを高速に動作させることが可能となる。図24では、リード命令Rがメモリ制御回路MCへ入力したとき、メモリ制御回路MCが行なうモード切り替え制御によって、メモリ制御回路がメモリモジュールMEMへ出力する命令、アドレス及びメモリモジュールから読み出されたデータの動作波形のリードレイテンシを示す。ページ・オン・モードで、異なるページアクセスが生じると、現在開いているページを閉じるため、プリチャージ命令PREを発行し、再度ページを開く必要があるためリードレイテンシは8サイクルとなる。異なるページアクセスが連続すると、ページ・オン・モードからページ・オフ・モードに切り替わる。ページ・オフ・モードでの異なるページのアクセスでは、以前のアクセスで、すでにページが閉じられているため、最初にプリチャージ命令PREを発行する必要がなく、レイテンシは6サイクルとなる。ページ・オフ・モードで、同一ページのアクセスが生じると、ページ・オン・モードに切り替わる。ページ・オン・モードでの同一ページアクセスでは、開いているページと同一のページに対するアクセスであるため、新規にページを開く必要がなく、レイテンシは4となる。上述の如く、DDRSDRAMで構成されたメモリモジュールに対してモードを切り替えて制御を行うことで、メモリモジュールとのアクセスを高速で行うことが可能となる。

【0083】

図25は、第4の実施形態のモード切り替え回路の動作を示す。本実施形態のモード切り替え回路は、第1の実施形態の図5のモード切り替え回路(PRJ0~PRJ3)と同様の構成であり、図25で示す記号は、第1の実施形態のものと同じ意味を有するものと

10

20

30

40

50

する。ここにおいても、第1の実施形態での説明と同様に、4つのバンクより構成されるDDR-SDRAMの第3バンクを制御するモード切り替え回路PRJ3の動作を代表して説明する。モード切り替え回路PRJ3のアクセス回数カウンタRCには、異なるページアクセスの連続回数値Nが既に設定されているものとする。以下、モード切り替え回路の動作を3つの動作フローに大別して説明する。

【0084】

まず、第1動作フローを説明する。この状態において、既にページ・オン・モードが設定されているものとする。中央処理装置CPUからのメモリモジュールMEMに対するアクセスが調停回路ARBを介してメモリ制御回路MCに入力される。ページアクセス判定回路PHは、入力されたアクセスアドレスがページアクセスか否かを判定する。判定結果は、ロウアドレス不一致信号MSIG[3]としてモード切り替え回路PRJ3に入力される。モード切り替え回路PRJ3では、HighがN回連続したか否か、つまりページアクセスでないアクセスがアクセス回数カウンタRCの値の回数だけ連続したか否かをチェックする。MSIG[3]のHighがN回連続しなかった場合は、モード切り替え回路PRJ3の出力であるLPR[3]をLowにし、ページ・オン・モードを維持する。MSIG[3]のHighがN回連続した場合は、LPR[3]をHighへと変更してページ・オフ・モードに切り替え、第2動作フローに移行する。

【0085】

第2動作フローでは、モード切り替え回路PRJ3が、ページ・オフ・モードの状態において、MSIG[3]がHighであるか否かのチェックを行う。ロウアドレス不一致信号MSIG[3]がLowのとき、つまりページアクセスのときは、アクセス回数カウンタRCの値NをN+1とし、LPR[3]をLowにし、ページ・オン・モードに切り替え、第1動作フローへ移行する。MSIG[3]がHighであれば、ページアクセスでないため、アクセス回数カウンタRCの値NをN-1とし、LPR[3]をHighの状態に維持し、ページ・オフ・モードを維持する。

【0086】

第3動作フローでは、第2の動作フローでページ・オフ・モードが維持された後に、ページアクセスが生じるまで、つまりロウアドレス不一致信号MSIG[3]がLowになるまで、LPR[3]をHighとし、ページ・オフ・モードを維持する。MSIG[3]がLow、つまりページアクセスとなればLPR[3]をLowとし、ページ・オン・モードに切り替え、第1動作フローへ移行する。上述した第2の動作モードにより、きめ細やかなモード切り替えが可能となりより高速なデータ処理システムの構築が可能となる。尚、第2の実施形態の思想については、本実施形態以外の実施形態へも応用することが可能であり、更に、第2の実施形態の図17への応用も可能である。

【0087】

図26は、本発明の第5の実施形態である。この実施形態では、図1のメモリモジュールをEDODRAMで構成している。EDO(Extended Data Out)DRAMも、メモリバンクに対応したセンスアンプをもっている。EDODRAMは、非同期でデータを転送することが特徴である。本発明をEDODRAMで構成したメモリモジュールMEMに適用することで、高速に動作可能なデータ処理システムが実現可能となる。図26では、リード命令Rがメモリ制御回路MCへ入力したとき、メモリ制御回路MCが行なうモード切り替え制御によって、メモリ制御回路がメモリモジュールMEMへ出力する命令、アドレス及びメモリモジュールから読み出されたデータの動作波形のリードレイテンシを示す。EDODRAMでは、CASがHighでRASがHighになったとき、ページが閉じる。CASがHighでRASがLowになったときに、ロウアドレスで指定したページが開く。RASがLowでCASがLowになったときにカラムアドレスで指定したデータが出力される。CAS及びRASとはLowレベルがアクティブを示す信号である。故に、RAS及びCASに/等の記号や上線を付加する場合もあるが、本明細書ではそれら記号は省略している。ページ・オン・モードで、異なるページアクセスが生じると、現在開いているページを閉じるため、RAS信号をいったんHighにしてプリ

10

20

30

40

50

チャージを行う、その後、R A SをL o wにし、ロウアドレスR 0で指定したページを開く。その後、C A Sを4回L o wにし、カラムアドレスC 0、C 1、C 2、C 3で指定されたデータを出力する。この時、リードレイテンシは8サイクルとなる。異なるページアクセスが連続すると、ページ・オン・モードからページ・オフ・モードに切り替えわる。ページ・オフ・モードにおいては、異なるページのアクセスでは、以前のアクセスで、すでにページが閉じられているため、最初にR A SをH i g hにしページを閉じる必要がなく、レイテンシは6サイクルとなる。ページ・オフ・モードで、同一ページのアクセスが生じると、ページ・オン・モードに切り替えわる。ページ・オン・モードでの同一ページアクセスでは、現在開いているページと同一のページに対するアクセスであるため、新規にページを開く必要はなく、レイテンシは4となる。このように、E D O D R A Mで構成されたメモリモジュールに対して、モードを切り替えて制御を行うことで、高速なデータ処理システムを実現することが可能となる。尚、図25において、E D O D R A M以外の要素、つまり、中央処理装置C P U或いはメモリ制御ユニットM C U等は、クロックC L Kに同期して動作し、命令やアクセスアドレスを発行する構成が一般的であるため、クロックC L Kを図示している。

【0088】

以上述べてきた第1から第5の実施形態では、アクセスとの文言を使用しているが、アクセスとはメモリ装置にアドレスを供給してメモリ装置からアドレスを読み出す動作のことである。また、本実施形態では、モードと言う文言を使用しているが、モードとは、一連の規格に従って所定の動作を選択して行うものである。特に制限しているわけではないが、モードはレジスタに所定の値を入力することで、所定の動作が設定される。本実施形態の場合は、中央処理装置或いはメモリ制御装置の中に設けられたレジスタによってモードが設定される。更に、本実施形態では、ページ・オン・モードとページ・オフ・モードを切り替えて動作するモードと切り替えて行わないモードとを設定するためのレジスタを設けることも可能である。ページ・オン・モードとページ・オフ・モードともモードであり、前記の切り替えを行うか否かについてもモードである。データ処理部とメモリ制御ユニットつまりメモリ制御装置とを別の半導体チップ上に形成してもよいが、両者を単一の半導体チップ上に形成してもよい。その場合、単一の半導体チップ上に形成されたデータ処理装置は、データバスD Q 0を別々の半導体チップで形成するよりも幅の広いバスとすることが可能となる上に、両者の距離が短縮されるために、両者間での高速データ転送が可能となる。更に、メモリ制御装置のみを他者に設計させ、或いは既に設計されている設計資産としてデータ処理部と同一の半導体チップ上に形成してワンチップのデータ処理装置とすることも可能である。この場合、メモリ制御装置の回路等の構成を記録媒体に記録し、データ処理部の設計者或いはデータ処理装置の設計者に提供することの可能である。また、自らが半導体装置の製造を行う場合、他者が提供するデータ処理部に、本発明のメモリ制御装置或いはメモリ制御装置とメモリ装置とを組み合わせ、半導体装置を提供して他者に供給することも可能である。他方、メモリ制御ユニットをメモリモジュール内に設けることも可能である。メモリ制御装置をデータ処理部或いはメモリモジュール内に形成することで、データ処理システムの製造者の負荷を低減することが可能となり、データ処理システムの小型化も可能となる。また、半導体装置の製造プロセスの進歩にあわせ、メモリモジュールの一部或いは全部をデータ処理装置と同一の半導体チップ上に形成することも可能である。つまりワンチップのデータ処理システムの実現であり、システムの一層の小型化が可能となる。また、中央処理装置にメモリ制御回路の動作をソフト的に実行させることも可能である。勿論、メモリモジュールとデータ処理部とを同一の半導体チップ上に形成しない場合であっても、中央処理装置にメモリ制御装置の動作をソフト的に実行させることも可能である。但し、ソフト的に実施する場合、余分な構成の付加は不要であるが、中央処理装置にアドレス比較等を行わせるための負荷が大きくなり、中央処理装置が行う他の処理が低速となってしまう可能性は残る。本発明を別構成とすることで、中央処理装置に対して余計な付加を与えずに本発明の効果を得ることが可能となる。また、図27に示すように、単一チップのデータ処理装置I C - D P Dとそれぞれが単一チップのメ

10

20

30

40

50

メモリ装置（IC-ME1～IC-ME4）とで形成されたモジュールとを1つのパッケージで封止した半導体装置であってもよい。この構成は、マルチチップモジュール或いはマルチチップパッケージなどとして知られている。

【0089】

以上、高速動作可能なデータ処理システムの実施形態を説明してきたが、本発明は上記実施形態に限定されるわけではなく、本願発明の思想を逸脱しない範囲で、他にも様々な実施形態を採用することが可能である。

【0090】

例えば、第2の実施形態で示したアドレスを先行発行する先行発行回路と先行発行アクセス判定回路、第3の実施形態で示した自動アドレス調整回路、及び、第4の実施形態で示したアクセス回数カウンタの値の増減を他の実施形態に組み合わせることも可能である。アドレスを先行発行する先行発行回路と先行発行アクセス判定回路を他の実施形態と組み合わせることで、同一ページへのアクセス頻度を向上させることが可能となり、より一層高速化可能なデータ処理装置を実現することが可能となる。また、自動アドレス調整回路を他の実施形態と組み合わせることで、異なるページ動作の頻度を削減することが可能となり、一層高速化可能なデータ処理装置を実現することが可能となる。また、アクセス回数カウンタの値の増減を他の実施形態と組み合わせることで、よりきめ細やかなモード切り替えが可能となり、更なるデータ処理装置の高速化が可能となる。勿論、前記それぞれを組み合わせることで他の実施形態に応用することで、相乗的な効果を引き出すことが可能である。

【0091】

また、第1、第3、第4、及び、第5の実施形態ではメモリモジュールは複数のバンクを有する構成としたが、メモリバンクを有さないメモリモジュールにより構成されるデータ処理システムに適用することも可能である。メモリバンクを有さないメモリモジュールにより構成されるデータ処理システムのメモリ装置へのアクセスの高速化を実現することも可能である。

【符号の説明】

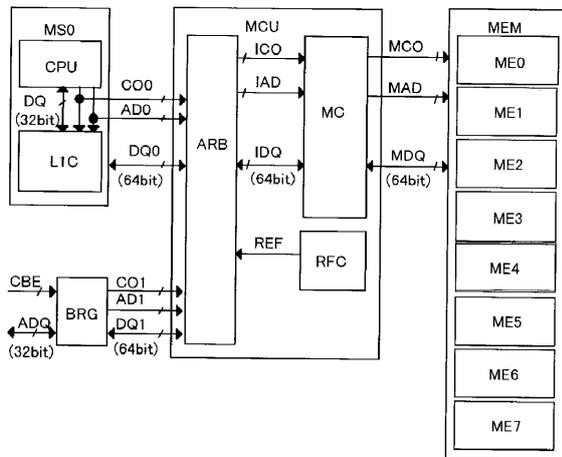
【0092】

MS0, MS2, MS3, MS4 : データ処理部、
 CPU : 中央処理装置、LIC : 1次キャッシュ、
 MEM : メモリモジュール、BRG : PCIブリッジ回路、
 ME0～ME7 : メモリ装置、B0～B3 : 第0バンク～第3バンク、
 Y-DEC : カラムデコーダ、X-DEC : ロウデコーダ、
 SA-ARY : センスアンプアレイ、CSW : カラムスイッチ群、
 GBL : グローバルビット線群、MA : メインアンプ、IOBUF : 入出力バッファ、
 WL : ワード線、SA : センスアンプ、BL ローカルビット、
 MCU, MCU2 : メモリ制御ユニット、
 ARB : 調停回路、REC : リフレッシュ制御回路、
 MC, MC1, MC2 : メモリ制御回路、
 PH : ページアクセス判定回路、MODE : モード切り替えブロック、
 PRJ0～PRJ3 : モード切り替え回路、
 RC : アクセス回数カウンタ、SW : スイッチ回路、
 ACG : アドレス発生回路、DQB : 入出力データ制御回路、
 MSIG : ページアクセス比較判定信号、LPR : モード切り替え信号、
 HT : ページアクセス比較判定信号、PSO : ロウアドレス選択信号、
 PFS : 先行発行回路、
 PH0 : ページアクセス判定回路、MODE0 : モード切り替えブロック、
 PH1 : 先行発行アクセス判定回路、MODE1 : 先行発行モード切り替えブロック、

P F E : 先行発行アドレス有効信号、 S A D : アドレス信号、
 P F 1 : 先行発行アドレス発行タイミング信号、
 H S I G : 先行発行アドレスに対するページアクセス判定信号、
 L P F : 先行発行アドレス有効 / 無効切り替え信号、
 A T : 自動アドレス調整回路、
 L R E G : キャッシュ・ステイタス・レジスタ、
 M R E G : モジュール・ステイタス・レジスタ。

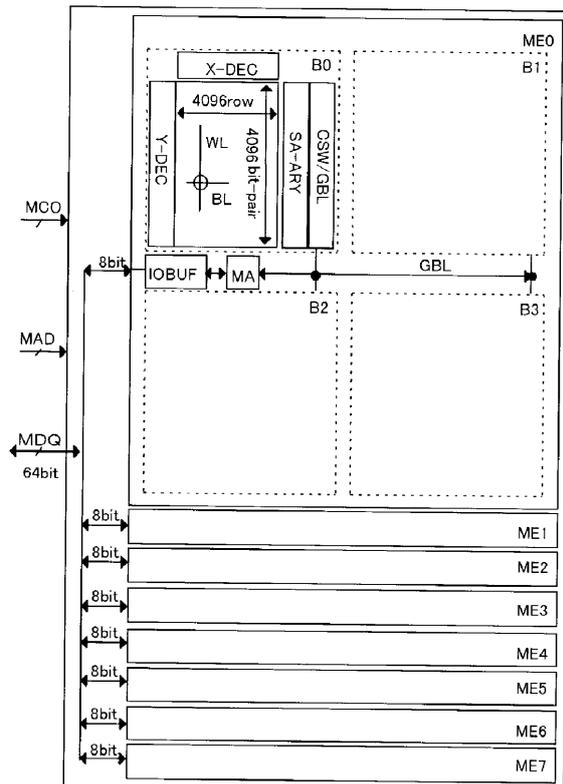
【 図 1 】

図1

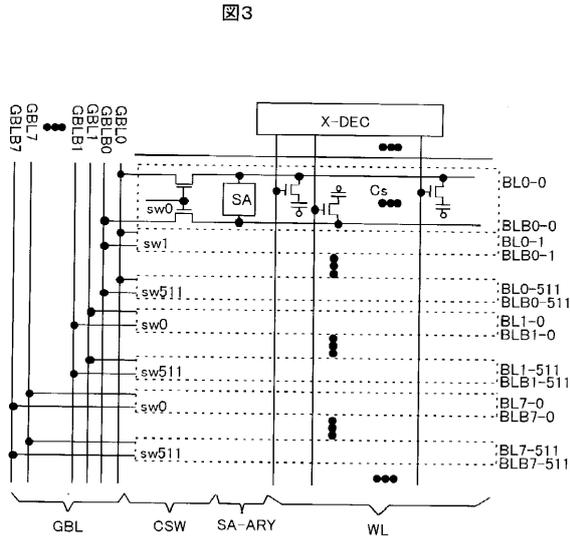


【 図 2 】

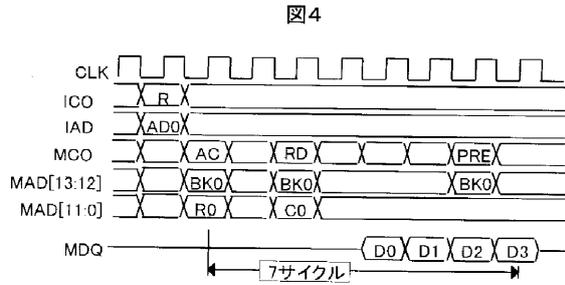
図2



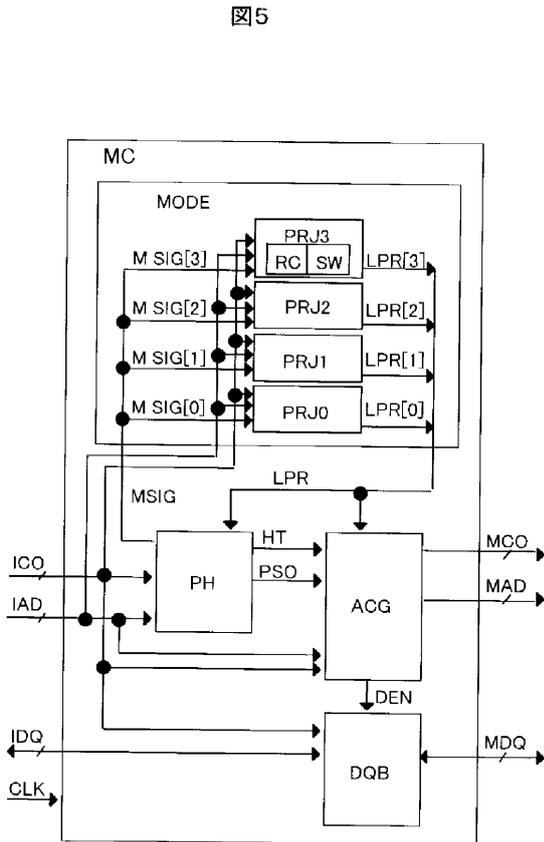
【 図 3 】



【 図 4 】



【 図 5 】



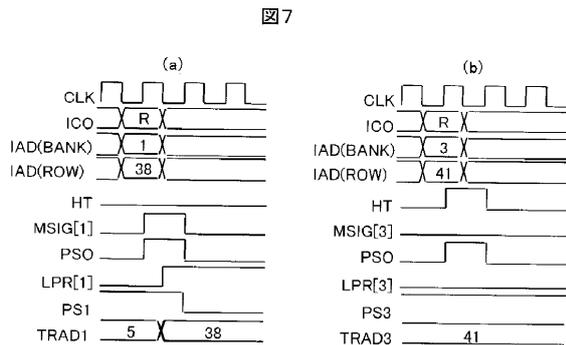
【 図 6 】

図6

BANK	PS	TRAD
0	L	2
1	H	5
2	H	10
3	H	41

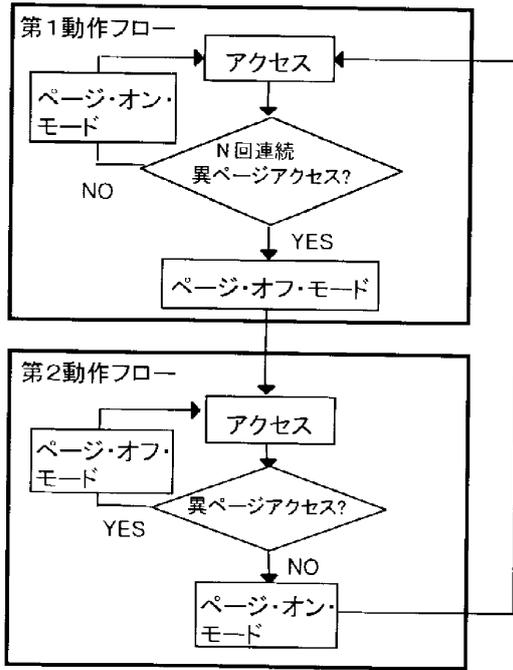
H=High L=Low

【 図 7 】



【 図 8 】

図8



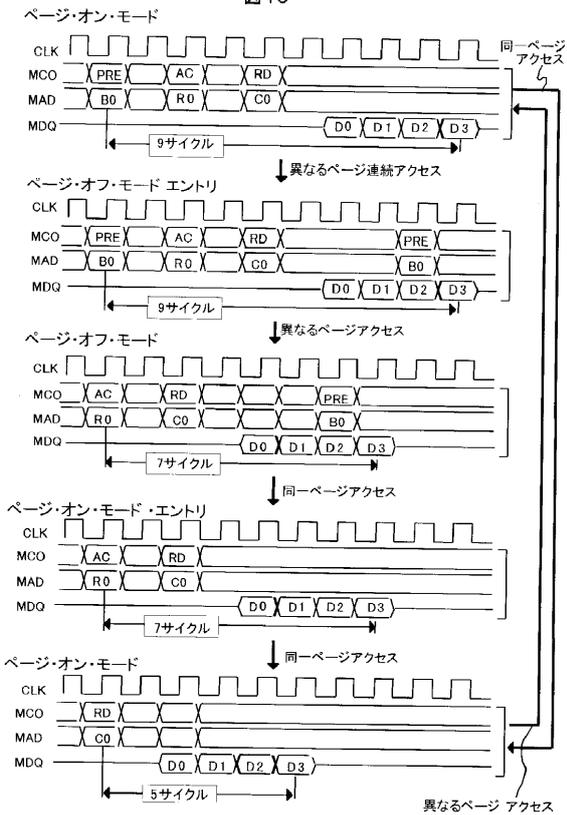
【 図 9 】

図9

モード LPR	ページ・オン・モード L				ページ・オフ・モード H			
	同一ページ H		異なるページ L		同一ページ H		異なるページ L	
ページ HT	H	L	H	L	H	L	H	L
PS	H	L	H	L	H	L	H	L
コマンド シーケンス		AC ↓ RD	PRE ↓ AC ↓ RD	AC ↓ RD		AC ↓ RD	PRE ↓ AC ↓ RD	AC ↓ RD
リード レイテンシ	5	7	9	7	5	7	9	7
ライト レイテンシ	3	5	7	5	3	5	7	5
	(A)	(B)	(C)	(D)	(E)	(F)	(G)	(H)

【 図 1 0 】

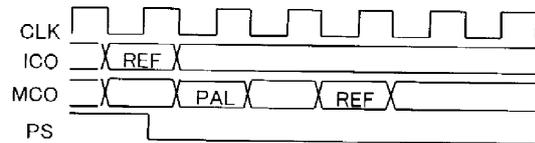
図10



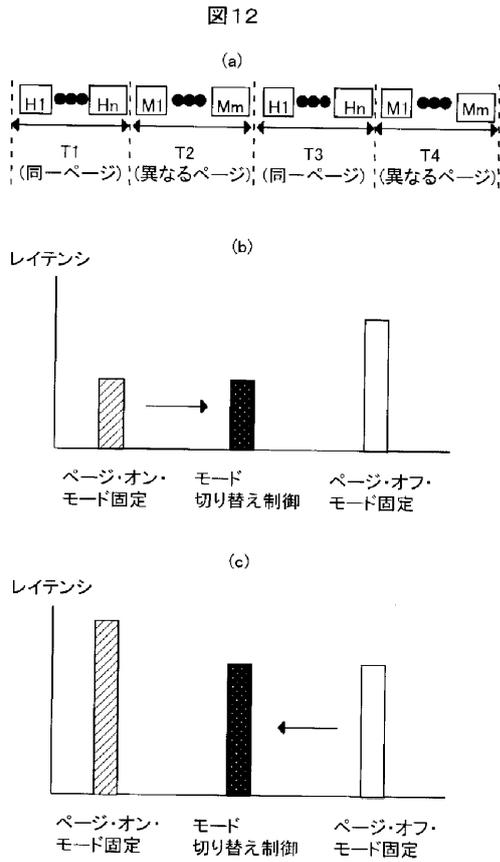
【 図 1 1 】

図11

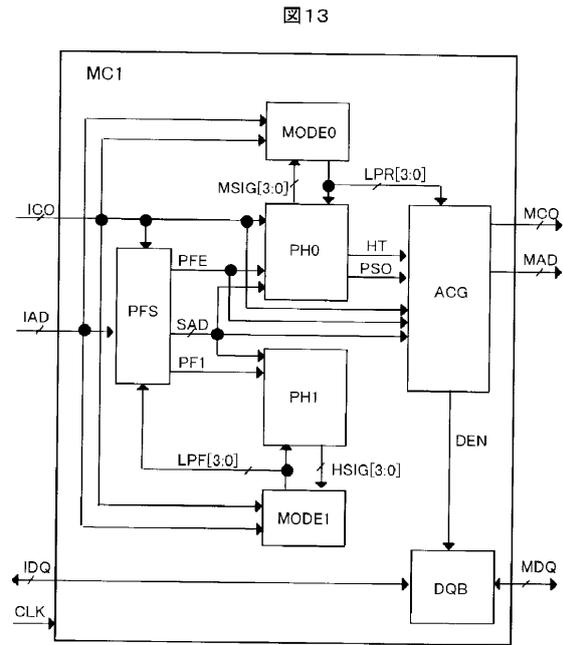
リフレッシュ動作



【 図 1 2 】



【 図 1 3 】



【 図 1 4 】

図 14

BANK	PRAD
0	8
1	6
2	105
3	15

【 図 1 5 】

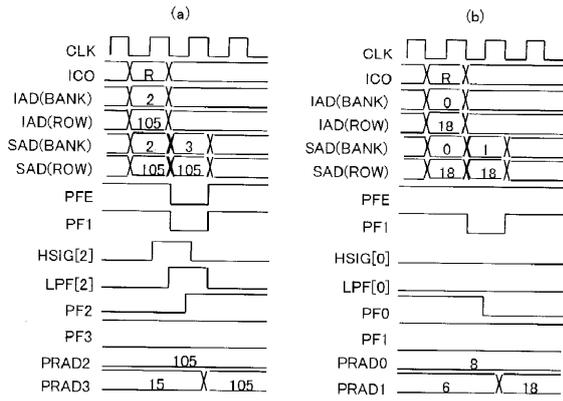
図 15

BANK	PF
0	H
1	L
2	L
3	H

L: Low H: High

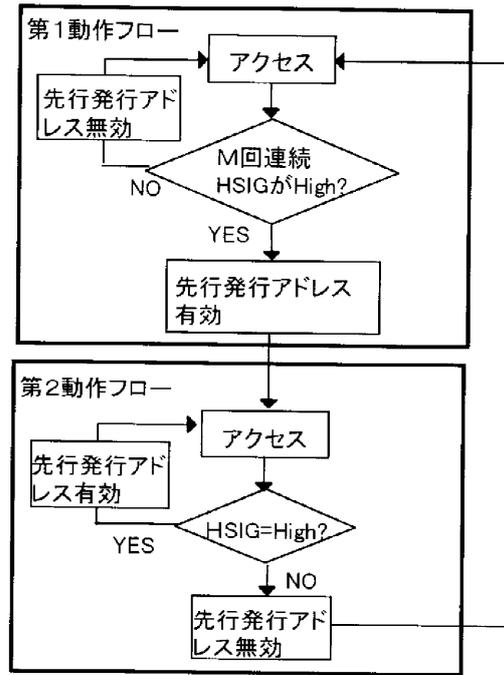
【図16】

図16



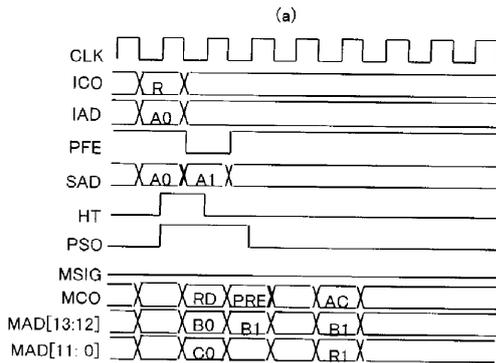
【図17】

図17



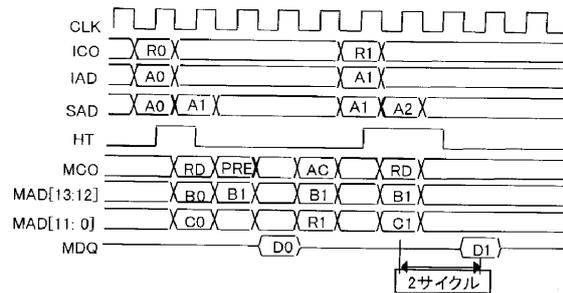
【図18】

図18

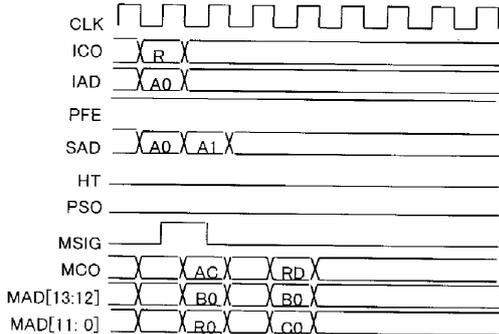


【図19】

図19

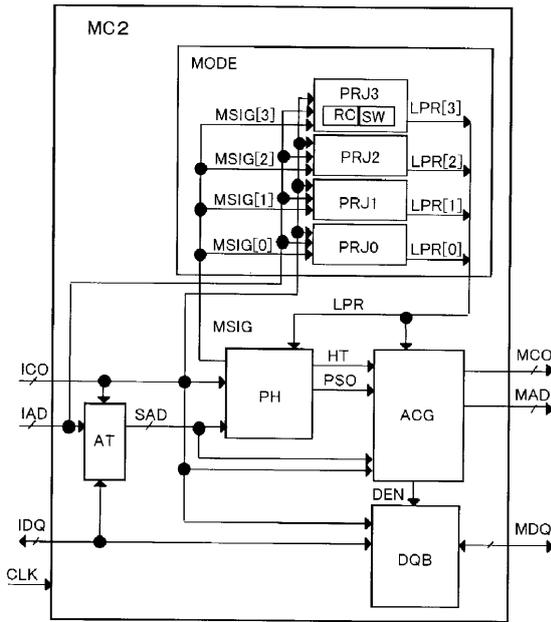


(b)



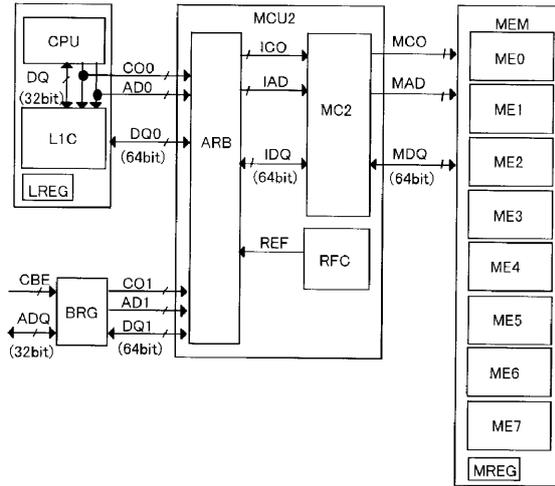
【 図 2 0 】

図20



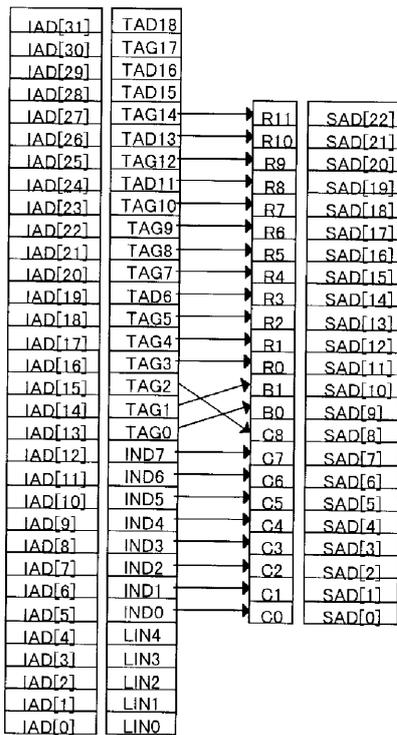
【 図 2 1 】

図21



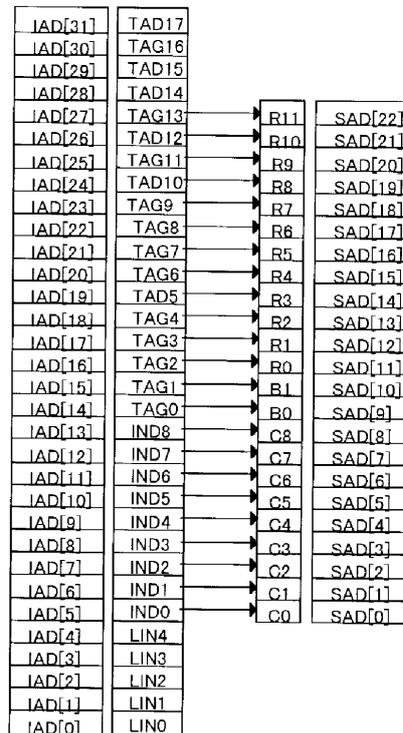
【 図 2 2 】

図22

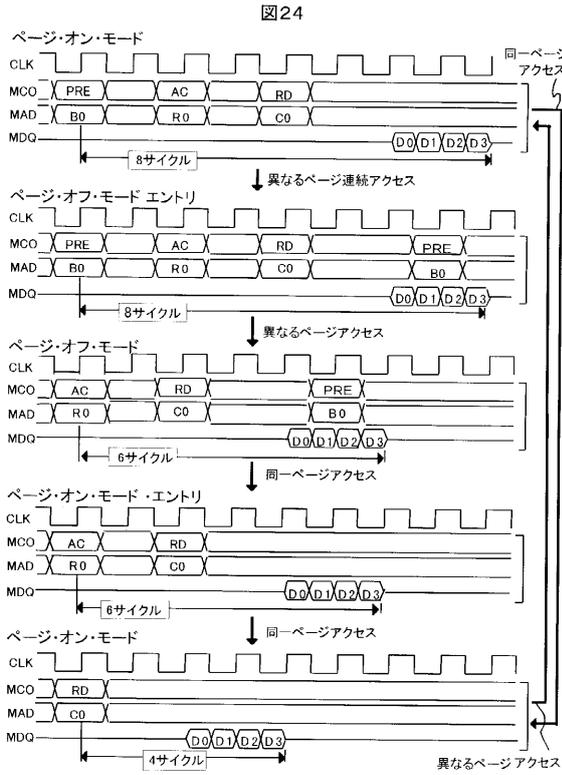


【 図 2 3 】

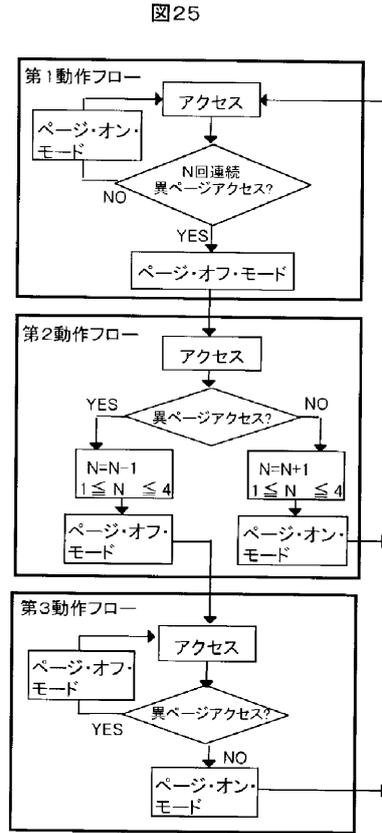
図23



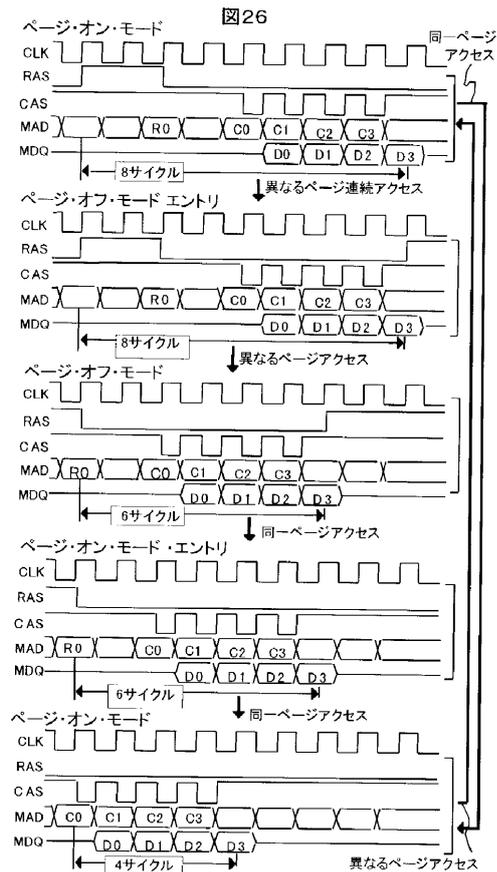
【図24】



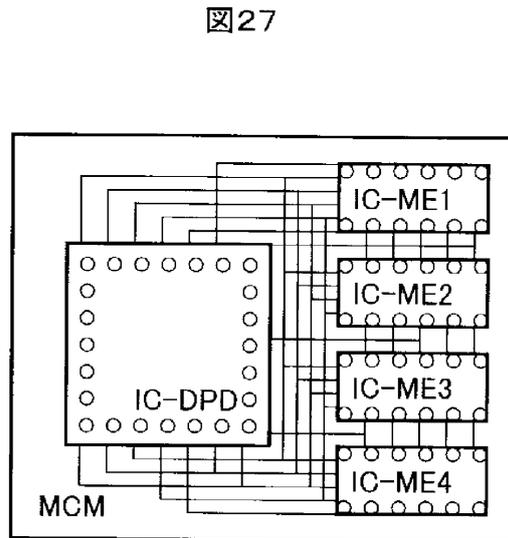
【図25】



【図26】



【図27】



フロントページの続き

(51)Int.Cl.

F I

G 0 6 F 12/08 5 0 7 Z

(56)参考文献 特開2000-242559(JP,A)

特開2000-21160(JP,A)

菅野雄介ほか2名,CPUの待ち時間を削減するDRAMメモリシステムの提案,電子情報通信学会技術研究報告,日本,社団法人電子情報通信学会,2000年4月14日,VOL.100 No.6,p.7-12,ICD2000 9-14

(58)調査した分野(Int.Cl.,DB名)

G 0 6 F 12/00-12/06

G 0 6 F 12/08-12/12