



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0117558  
(43) 공개일자 2013년10월28일

(51) 국제특허분류(Int. Cl.)  
H01L 29/786 (2006.01) G02F 1/136 (2006.01)  
(21) 출원번호 10-2012-0040502  
(22) 출원일자 2012년04월18일  
심사청구일자 없음

(71) 출원인  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성2로 95 (농서동)  
(72) 발명자  
최신일  
경기 화성시 석우동 예당마을 우미린제일풍경채 111동 2803호  
최승하  
경기 수원시 권선구 권선동 주공아파트 335동 1706호  
(뒷면에 계속)  
(74) 대리인  
팬코리아특허법인

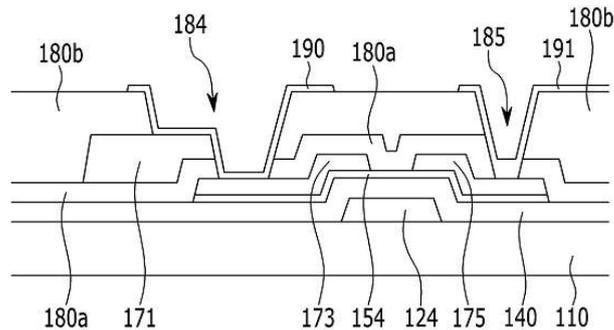
전체 청구항 수 : 총 22 항

(54) 발명의 명칭 박막 트랜지스터, 박막 트랜지스터 표시판 및 박막 트랜지스터 표시판 제조 방법

**(57) 요약**

박막 트랜지스터 표시판을 제공한다. 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판은 기판, 상기 기판 위에 위치하고, 게이트 전극을 포함하는 게이트선, 상기 게이트선 위에 위치하는 게이트 절연막, 상기 기판 위에 위치하는 산화물 반도체층, 상기 산화물 반도체층 위에 위치하는 소스 전극 및 드레인 전극, 상기 소스 전극 및 상기 드레인 전극 위에 위치하고, 제1 접촉 구멍을 포함하는 제1 절연막, 상기 제1 절연막 위에 위치하고 상기 게이트선과 교차하는 데이터선, 상기 데이터선 위에 위치하고, 제2 접촉 구멍을 포함하는 제2 절연막 그리고 상기 제2 절연막 위에 위치하는 화소 전극을 포함하고, 상기 소스 전극 및 상기 드레인 전극은 금속 산화물로 형성되며, 상기 데이터선은 상기 제1 접촉 구멍을 통해 상기 소스 전극과 전기적으로 연결되고, 상기 게이트 전극과 중첩하여 위치하는 상기 소스 전극 및 상기 드레인 전극 부분의 상부면은 상기 제1 절연막과 접촉한다.

**대표도** - 도8



(72) 발명자

**김봉균**

경기 화성시 반월동 신영통현대3차아파트 304동  
1504호

**김상갑**

서울 강동구 명일1동 삼익그린아파트 삼익그린 APT  
508동 1407호

**김소연**

경기 용인시 기흥구 농서동 삼성전자(주)기흥공장  
여자기숙사 라일락동1114호

**김현**

경기 군포시 당정동 한솔 솔파크 402동 803호

**박홍식**

경기도 수원시 영통구 망포동 현대아이파크아파트  
202동 1003호

**배수빈**

경북 경산시 진량읍 다문리 28-31번지

## 특허청구의 범위

### 청구항 1

기관,  
 상기 기관 위에 위치하고, 게이트 전극을 포함하는 게이트선,  
 상기 게이트선 위에 위치하는 게이트 절연막,  
 상기 기관 위에 위치하는 산화물 반도체층,  
 상기 산화물 반도체층 위에 위치하는 소스 전극 및 드레인 전극,  
 상기 소스 전극 및 상기 드레인 전극 위에 위치하고, 제1 접촉 구멍을 포함하는 제1 절연막,  
 상기 제1 절연막 위에 위치하고 상기 게이트선과 교차하는 데이터선,  
 상기 데이터선 위에 위치하고, 제2 접촉 구멍을 포함하는 제2 절연막 그리고  
 상기 제2 절연막 위에 위치하는 화소 전극을 포함하고,  
 상기 소스 전극 및 상기 드레인 전극은 금속 산화물로 형성되며,  
 상기 데이터선은 상기 제1 접촉 구멍을 통해 상기 소스 전극과 전기적으로 연결되고,  
 상기 게이트 전극과 중첩하여 위치하는 상기 소스 전극 및 상기 드레인 전극 부분의 상부면은 상기 제1 절연막과 접촉하는 박막 트랜지스터 표시판.

### 청구항 2

제1항에서,  
 상기 제2 절연막 위에 상기 데이터선과 상기 소스 전극을 연결하는 연결부를 더 포함하는 박막 트랜지스터 표시판.

### 청구항 3

제2항에서,  
 상기 연결부는 상기 제1 접촉 구멍 내에서 상기 데이터선과 상기 소스 전극과 접촉하는 박막 트랜지스터 표시판.

### 청구항 4

제3항에서,  
 상기 화소 전극은 상기 제2 접촉 구멍을 통해 상기 드레인 전극과 연결되고,  
 상기 화소 전극과 상기 연결부는 동일한 층에 위치하는 박막 트랜지스터 표시판.

### 청구항 5

제1항에서,  
 상기 제1 접촉 구멍 내에서 상기 데이터선은 상기 소스 전극과 직접 접촉하는 박막 트랜지스터 표시판.

### 청구항 6

제5항에서,  
 상기 데이터선은 상기 게이트 전극을 향해 돌출된 돌출부를 포함하고,  
 상기 돌출부는 상기 제1 접촉 구멍과 중첩하는 박막 트랜지스터 표시판.

**청구항 7**

제6항에서,

상기 화소 전극은 상기 제2 접촉 구멍을 통해 상기 드레인 전극과 연결되는 박막 트랜지스터 표시판.

**청구항 8**

제1항에서,

상기 소스 전극 및 상기 드레인 전극은 상기 산화물 반도체층과 접촉하는 박막 트랜지스터 표시판.

**청구항 9**

제1항에서,

상기 소스 전극 및 상기 드레인 전극은 인듐, 갈륨, 아연, 주석, 알루미늄 중 적어도 하나를 포함하는 금속 산화물인 박막 트랜지스터 표시판.

**청구항 10**

기관 위에 게이트 전극을 포함하는 게이트선을 형성하는 단계,

상기 게이트선 위에 게이트 절연막을 형성하는 단계,

상기 기관 위에 산화물 반도체층을 형성하는 단계,

상기 산화물 반도체층 위에 소스 전극 및 드레인 전극을 형성하는 단계,

상기 소스 전극 및 상기 드레인 전극 위에 제1 접촉 구멍을 포함하는 제1 절연막을 형성하는 단계,

상기 제1 절연막 위에 상기 게이트선과 교차하는 데이터선을 형성하는 단계,

상기 데이터선 위에 제2 접촉 구멍을 포함하는 제2 절연막을 형성하는 단계 그리고

상기 제2 절연막 위에 화소 전극을 형성하는 단계를 포함하고,

상기 소스 전극 및 상기 드레인 전극은 금속 산화물로 형성하고,

상기 데이터선은 상기 제1 접촉 구멍을 통해 상기 소스 전극과 전기적으로 연결하며,

상기 게이트 전극과 중첩하여 위치하는 상기 소스 전극 및 상기 드레인 전극 부분의 상부면은 상기 제1 절연막과 접촉하도록 형성하는 박막 트랜지스터 표시판 제조 방법.

**청구항 11**

제10항에서,

상기 제2 절연막 위에 상기 데이터선과 상기 소스 전극을 연결하는 연결부를 형성하는 단계를 더 포함하는 박막 트랜지스터 표시판 제조 방법.

**청구항 12**

제11항에서,

상기 연결부는 상기 제1 접촉 구멍 내에 형성되어 상기 데이터선과 상기 소스 전극과 동시에 접촉하도록 형성하는 박막 트랜지스터 표시판 제조 방법.

**청구항 13**

제12항에서,

상기 화소 전극은 상기 제2 접촉 구멍을 통해 상기 드레인 전극과 연결되도록 형성하는 박막 트랜지스터 표시판 제조 방법.

**청구항 14**

제13항에서,

상기 화소 전극과 상기 연결부는 동일한 층에 형성하는 박막 트랜지스터 표시판 제조 방법.

**청구항 15**

제10항에서,

상기 제1 접촉 구멍 내에서 상기 데이터선과 상기 소스 전극이 직접 접촉하도록 형성하는 박막 트랜지스터 표시판 제조 방법.

**청구항 16**

제15항에서,

상기 데이터선은 상기 게이트 전극을 향해 돌출된 돌출부를 포함하도록 형성하고, 상기 돌출부는 상기 제1 접촉 구멍과 중첩하도록 형성하는 박막 트랜지스터 표시판 제조 방법.

**청구항 17**

제16항에서,

상기 화소 전극은 상기 제2 접촉 구멍을 통해 상기 드레인 전극과 연결되도록 형성하는 박막 트랜지스터 표시판 제조 방법.

**청구항 18**

제10항에서,

상기 소스 전극 및 상기 드레인 전극은 상기 산화물 반도체층과 접촉하도록 형성하는 박막 트랜지스터 표시판 제조 방법.

**청구항 19**

기판,

상기 기판 위에 위치하는 게이트 전극,

상기 게이트 전극 위에 위치하는 게이트 절연막,

상기 기판 위에 위치하는 산화물 반도체층,

상기 산화물 반도체층 위에 위치하는 소스 전극 및 드레인 전극 그리고

상기 소스 전극 및 상기 드레인 전극 위에 위치하는 보호막을 포함하고,

상기 소스 전극 및 상기 드레인 전극은 금속 산화물로 형성되며, 상기 게이트 전극과 중첩하여 위치하는 상기 소스 전극 및 상기 드레인 전극 부분의 상부면은 상기 보호막과 접촉하는 박막 트랜지스터.

**청구항 20**

제19항에서,

상기 소스 전극 및 상기 드레인 전극은 상기 산화물 반도체층과 접촉하는 박막 트랜지스터.

**청구항 21**

제20항에서,

상기 소스 전극 및 상기 드레인 전극은 인듐, 갈륨, 아연, 주석, 알루미늄 중 적어도 하나를 포함하는 금속 산화물인 박막 트랜지스터.

**청구항 22**

제21항에서,

상기 소스 전극 및 상기 드레인 전극은 각각 하부막과 상기 하부막 위에 위치하는 상부막으로 형성된 박막 트랜지스터.

## 명세서

### 기술분야

[0001] 본 발명은 박막 트랜지스터, 박막 트랜지스터 표시판 및 박막 트랜지스터 표시판 제조 방법에 관한 것이다.

### 배경기술

[0002] 일반적으로 액정 표시 장치나 유기 발광 표시 장치 등의 평판 표시 장치는 복수 쌍의 전기장 생성 전극과 그 사이에 들어 있는 전기광학(electro-optical) 활성층을 포함한다. 액정 표시 장치의 경우 전기 광학 활성층으로 액정층을 포함하고, 유기 발광 표시 장치의 경우 전기 광학 활성층으로 유기 발광층을 포함한다.

[0003] 한 쌍을 이루는 전기장 생성 전극 중 하나는 통상 스위칭 소자에 연결되어 전기 신호를 인가 받고, 전기 광학 활성층은 이 전기 신호를 광학 신호를 변환함으로써 영상이 표시된다.

[0004] 평판 표시 장치에서는 스위칭 소자로서 삼단자 소자인 박막 트랜지스터(thin film transistor, TFT)를 사용하며, 이 박막 트랜지스터를 제어하기 위한 주사 신호를 전달하는 게이트선(gate line)과 화소 전극에 인가될 신호를 전달하는 데이터선(data line) 등의 신호선이 평판 표시 장치에 구비된다.

[0005] 한편, 표시 장치의 면적이 커짐에 따라, 고속 구동을 실현하기 위해 산화물 반도체 기술이 연구되고 있고, 신호선의 저항을 감소시키기 방법이 연구되고 있다. 특히, 신호선의 저항을 감소시키기 위해 주배선층을 구리, 구리 합금, 몰리브덴 또는 몰리브덴 합금 등으로 형성할 수 있는데, 금속으로 형성된 주배선층과 산화물 반도체와의 상호 작용 및 공정 상 다른 막들과의 반응 등으로 인해 박막 트랜지스터 특성이 떨어지는 문제가 있다.

### 발명의 내용

#### 해결하려는 과제

[0006] 본 발명이 해결하고자 하는 과제는 금속 산화물로 박막 트랜지스터의 단자를 형성하는 박막 트랜지스터, 박막 트랜지스터 표시판 및 박막 트랜지스터 표시판 제조 방법을 제공하는데 있다.

#### 과제의 해결 수단

[0007] 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판은 기판, 상기 기판 위에 위치하고, 게이트 전극을 포함하는 게이트선, 상기 게이트선 위에 위치하는 게이트 절연막, 상기 기판 위에 위치하는 산화물 반도체층, 상기 산화물 반도체층 위에 위치하는 소스 전극 및 드레인 전극, 상기 소스 전극 및 상기 드레인 전극 위에 위치하고, 제1 접촉 구멍을 포함하는 제1 절연막, 상기 제1 절연막 위에 위치하고 상기 게이트선과 교차하는 데이터선, 상기 데이터선 위에 위치하고, 제2 접촉 구멍을 포함하는 제2 절연막 그리고 상기 제2 절연막 위에 위치하는 화소 전극을 포함하고, 상기 소스 전극 및 상기 드레인 전극은 금속 산화물로 형성되며, 상기 데이터선은 상기 제1 접촉 구멍을 통해 상기 소스 전극과 전기적으로 연결되고, 상기 게이트 전극과 중첩하여 위치하는 상기 소스 전극 및 상기 드레인 전극 부분의 상부면은 상기 제1 절연막과 접촉한다.

[0008] 상기 제2 절연막 위에 상기 데이터선과 상기 소스 전극을 연결하는 연결부를 더 포함할 수 있다.

[0009] 상기 연결부는 상기 제1 접촉 구멍 내에서 상기 데이터선과 상기 소스 전극과 접촉할 수 있다.

[0010] 상기 화소 전극은 상기 제2 접촉 구멍을 통해 상기 드레인 전극과 연결되고, 상기 화소 전극과 상기 연결부는 동일한 층에 위치할 수 있다.

[0011] 상기 제1 접촉 구멍 내에서 상기 데이터선은 상기 소스 전극과 직접 접촉할 수 있다.

[0012] 상기 데이터선은 상기 게이트 전극을 향해 돌출된 돌출부를 포함하고, 상기 돌출부는 상기 제1 접촉 구멍과 중첩할 수 있다.

[0013] 상기 화소 전극은 상기 제2 접촉 구멍을 통해 상기 드레인 전극과 연결될 수 있다.

- [0014] 상기 소스 전극 및 상기 드레인 전극은 상기 산화물 반도체층과 접촉할 수 있다.
- [0015] 상기 소스 전극 및 상기 드레인 전극은 인듐, 갈륨, 아연, 주석, 알루미늄 중 적어도 하나를 포함할 수 있다.
- [0016] 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판 제조 방법은 기판 위에 게이트 전극을 포함하는 게이트선을 형성하는 단계, 상기 게이트선 위에 게이트 절연막을 형성하는 단계, 상기 기판 위에 산화물 반도체층을 형성하는 단계, 상기 산화물 반도체층 위에 소스 전극 및 드레인 전극을 형성하는 단계, 상기 소스 전극 및 상기 드레인 전극 위에 제1 접촉 구멍을 포함하는 제1 절연막을 형성하는 단계, 상기 제1 절연막 위에 상기 게이트선과 교차하는 데이터선을 형성하는 단계, 상기 데이터선 위에 제2 접촉 구멍을 포함하는 제2 절연막을 형성하는 단계 그리고 상기 제2 절연막 위에 화소 전극을 형성하는 단계를 포함하고, 상기 소스 전극 및 상기 드레인 전극은 금속 산화물로 형성하고, 상기 데이터선은 상기 제1 접촉 구멍을 통해 상기 소스 전극과 전기적으로 연결하며, 상기 게이트 전극과 중첩하여 위치하는 상기 소스 전극 및 상기 드레인 전극 부분의 상부면은 상기 제1 절연막과 접촉하도록 형성한다.
- [0017] 상기 제2 절연막 위에 상기 데이터선과 상기 소스 전극을 연결하는 연결부를 형성하는 단계를 더 포함할 수 있다.
- [0018] 상기 연결부는 상기 제1 접촉 구멍 내에 형성되어 상기 데이터선과 상기 소스 전극과 동시에 접촉하도록 형성할 수 있다.
- [0019] 상기 화소 전극은 상기 제2 접촉 구멍을 통해 상기 드레인 전극과 연결되도록 형성할 수 있다.
- [0020] 상기 화소 전극과 상기 연결부는 동일한 층에 형성할 수 있다.
- [0021] 상기 제1 접촉 구멍 내에서 상기 데이터선과 상기 소스 전극이 직접 접촉하도록 형성할 수 있다.
- [0022] 상기 데이터선은 상기 게이트 전극을 향해 돌출된 돌출부를 포함하도록 형성하고, 상기 돌출부는 상기 제1 접촉 구멍과 중첩하도록 형성할 수 있다.
- [0023] 상기 화소 전극은 상기 제2 접촉 구멍을 통해 상기 드레인 전극과 연결되도록 형성할 수 있다.
- [0024] 상기 소스 전극 및 상기 드레인 전극은 상기 산화물 반도체층과 접촉하도록 형성할 수 있다.
- [0025] 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판은 기판, 상기 기판 위에 위치하는 게이트 전극, 상기 게이트 전극 위에 위치하는 게이트 절연막, 상기 기판 위에 위치하는 산화물 반도체층, 상기 산화물 반도체층 위에 위치하는 소스 전극 및 드레인 전극 그리고 상기 소스 전극 및 상기 드레인 전극 위에 위치하는 보호막을 포함하고, 상기 소스 전극 및 상기 드레인 전극은 금속 산화물로 형성되며, 상기 게이트 전극과 중첩하여 위치하는 상기 소스 전극 및 상기 드레인 전극 부분의 상부면은 상기 보호막과 접촉한다.
- [0026] 상기 소스 전극 및 상기 드레인 전극은 상기 산화물 반도체층과 접촉할 수 있다.
- [0027] 상기 소스 전극 및 상기 드레인 전극은 인듐, 갈륨, 아연, 주석, 알루미늄 중 적어도 하나를 포함할 수 있다.
- [0028] 상기 소스 전극 및 상기 드레인 전극은 각각 하부막과 상기 하부막 위에 위치하는 상부막으로 형성될 수 있다.

**발명의 효과**

- [0029] 이와 같이 본 발명의 한 실시예에 따르면, 금속 산화물을 사용하여 소스 전극 및 드레인 전극을 형성함으로써 박막 트랜지스터의 특성을 개선할 수 있고, 신호를 전달하는 메인 신호선은 저항이 낮은 물질로 분리 형성함으로써 RC 딜레이가 발생하는 것을 차단할 수 있다.

**도면의 간단한 설명**

- [0030] 도 1 내지 도 8은 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판 제조 방법을 나타내는 평면도 및 단면도들이다.  
 도 9 내지 도 14는 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판 제조 방법을 나타내는 평면도 및 단면도들이다.  
 도 15는 본 발명의 일 실시예에 따른 박막 트랜지스터를 나타내는 단면도이다.  
 도 16은 본 발명의 일 실시예에 따른 박막 트랜지스터를 나타내는 단면도이다.

도 17은 본 발명의 일 실시예에 따른 박막 트랜지스터의 특성을 나타내는 그래프이다.

**발명을 실시하기 위한 구체적인 내용**

- [0031] 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.
- [0032] 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 의미한다.
- [0033] 도 1 내지 도 8은 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판 제조 방법을 나타내는 평면도 및 단면도들이다. 도 2는 도 1의 절단선 II-II를 따라 자른 단면도이고, 도 4는 도 3의 절단선 IV-IV를 따라 자른 단면도이며, 도 6은 도 5의 절단선 VI-VI를 따라 자른 단면도이고, 도 8은 도 7의 절단선 VIII-VIII를 따라 자른 단면도이다.
- [0034] 도 1 및 도 2를 참고하면, 기판(110) 위에 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있는 복수의 게이트선(121)을 형성한다. 복수의 게이트선(121) 각각은 게이트선(121)으로부터 돌출한 복수의 게이트 전극(124)을 포함하도록 형성한다.
- [0035] 게이트선(121) 및 게이트 전극(124)은 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 또는 망간(Mn) 등으로 이루어질 수 있다.
- [0036] 본 실시예에서는 게이트선(121) 및 게이트 전극(124)이 단일막으로 형성하는 것으로 설명하였으나, 서로 물리적 성질이 다른 막들이 조합되어 이중막 또는 삼중막 등 다층막 형태로 형성할 수 있다.
- [0037] 게이트선(121) 위에 산화 규소 또는 질화 규소 따위의 절연 물질로 게이트 절연막(140)을 형성한다. 본 실시예에서 단일막 형태로 게이트 절연막(140)을 형성하는 것으로 설명하였으나, 질화 규소(SiNx) 또는 산질화 규소(SiON)로 이루어진 하부막과 산화 규소(SiO2)로 이루어진 상부막의 구조로 게이트 절연막(140)을 형성할 수 있다.
- [0038] 게이트 절연막(140) 위에 산화물 반도체로 이루어진 복수의 반도체층(154) 및 복수의 소스 전극(173) 및 복수의 드레인 전극(175)을 형성한다. 반도체층(154) 및 반도체층(151)은 게이트 전극(124)에 대응하는 부분에 섬형으로 형성한다. 반도체층(151)은 아연(Zn), 인듐(In), 주석(Sn), 갈륨(Ga), 및 hafnium(Hf) 중에서 적어도 하나를 포함한다. 특히, 본 실시예에서 반도체층(151)은 인듐-갈륨-아연 산화물일 수 있다. 소스 전극(173) 및 드레인 전극(175)은 금속 산화물로 형성한다. 소스 전극(173) 및 드레인 전극(175)을 형성하는 금속 산화물은 인듐, 갈륨, 아연, 주석, 알루미늄 중 적어도 하나를 포함한다.
- [0039] 이하, 반도체층(151), 소스 전극(173) 및 드레인 전극(175)을 형성하는 방법에 대해 좀 더 자세히 설명하기로 한다.
- [0040] 게이트 절연막(140) 위에 산화물 반도체 물질층과 소스/드레인 물질층을 차례로 적층한 후에 소스/드레인 물질층 위에 감광막 패턴(미도시)을 형성한다. 감광막 패턴은 소스 전극(173) 및 드레인 전극(175)을 형성할 위치에 대응하는 제1 영역과 박막 트랜지스터의 채널 영역이 형성될 위치에 대응하면서 제1 영역보다 두께가 얇은 제2 영역을 포함한다. 감광막 패턴의 두께 차이는 마스크를 이용하여 조사하는 빛의 양을 조절하거나 리플로우 방법을 이용하여 형성할 수 있다. 빛을 양을 조절하는 경우에는 마스크에 슬릿 패턴 또는 격자 패턴이나 반투명층이 형성되어 있을 수 있다.
- [0041] 감광막 패턴을 마스크로 하여 소스/드레인 물질층과 산화물 반도체 물질층을 식각함으로써 감광막 패턴에 의해 덮여 있지 않은 게이트 전극(124) 바깥쪽에 위치하는 소스/드레인 물질층과 산화물 반도체 물질층이 제거되어 섬형의 소스 전극 및 드레인 전극 패턴을 형성한다.
- [0042] 감광막 패턴을 에치백하여 얇은 두께의 제2 영역을 제거함으로써 채널 영역이 형성되는 위치의 소스 전극 및 드레인 전극 패턴을 노출한다. 이 때, 노출된 소스 전극 패턴 및 드레인 전극 패턴을 식각하여 채널 영역을 포함

하는 반도체층(154)과 소스 전극(173) 및 드레인 전극(175)을 형성한다.

- [0043] 이 때 사용하는 식각액은 소스/드레인 물질층은 식각하면서 산화물 반도체 물질층은 식각하지 않는 식각액을 사용하여 선택적으로 식각 공정을 진행할 수 있다.
- [0044] 소스 전극(173)은 게이트 전극(124)과 중첩하고 대체적으로 U자 형상을 가지도록 형성할 수 있다. 드레인 전극(175)은 게이트 전극(124)을 중심으로 소스 전극(173)과 마주보며 소스 전극(173)의 U자 형상의 가운데에서 상부를 향하여 연장되는 모양으로 형성할 수 있다. 이러한 소스 전극(173) 및 드레인 전극(175)의 구조는 하나의 예시이며, 다양한 모양으로 변형 가능하다.
- [0045] 산화물 반도체층(154)은 소스 전극(173)과 드레인 전극(175) 사이에 소스 전극(173) 및 드레인 전극(175)으로 가리지 않고 노출된 부분이 있다. 산화물 반도체층(154)은 산화물 반도체층(154)의 노출된 부분을 제외하고 소스 전극(173) 및 드레인 전극(175)과 실질적으로 동일한 평면 패턴을 가질 수 있다.
- [0046] 하나의 게이트 전극(124), 하나의 소스 전극(173) 및 하나의 드레인 전극(175)은 산화물 반도체층(154)과 함께 하나의 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널은 소스 전극(173)과 드레인 전극(175) 사이에 형성된다.
- [0047] 도 3 및 도 4를 참고하면, 게이트 절연막(140) 위에 소스 전극(173), 드레인 전극(175) 및 산화물 반도체층(154)의 노출된 부분을 덮도록 하부 보호막(180a)을 형성한다. 하부 보호막(180a)은 질화 규소나 산화 규소 따위의 무기 절연물, 유기 절연물, 저유전율 절연물 따위로 만들어진다.
- [0048] 그 다음, 하부 보호막(180a) 위에 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차하는 복수의 데이터선(171)을 형성한다. 데이터선(171)은 알루미늄이나 알루미늄 합금 등 알루미늄 계열 금속, 은이나 은 합금 등 은 계열 금속, 구리나 구리망간과 같은 구리 합금 등 구리 계열 금속, 몰리브덴이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬, 탄탈륨 및 티타늄 따위로 만들어질 수 있다. 예를 들어, 몰리브덴 합금으로 Mo-Nb, Mo-Ti가 있다. 또는 소스 전극(173) 및 드레인 전극(175)은 ITO, IZO, AZO 등의 투명성 도전 물질로 만들어질 수도 있다. 소스 전극(173) 및 드레인 전극(175)은 두 개 이상의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다. 예를 들어, Mo/Al/Mo, Mo/Al, Mo/Cu, CuMn/Cu, Ti/Cu 등이 있다.
- [0049] 도 5 및 도 6을 참고하면, 하부 보호막(180a)과 데이터선(171)을 덮도록 상부 보호 물질층을 증착한다. 이후 상부 보호 물질층을 패터닝하여 데이터선(171)과 소스 전극(173)의 일부분을 노출하는 제1 접촉 구멍(184)과 드레인 전극(175)의 일부분을 노출하는 제2 접촉 구멍(185)을 갖는 상부 보호막(180b)을 형성한다. 여기서, 제1 접촉 구멍(184)과 제2 접촉 구멍(185)을 형성하는 과정에서 하부 보호막(180a)도 패터닝되어 상부 보호막(180b)과 함께 제1 접촉 구멍(184) 및 제2 접촉 구멍(185)을 형성한다.
- [0050] 상부 보호막(180b)은 질화 규소나 산화 규소 따위의 무기 절연물, 유기 절연물, 저유전율 절연물 따위로 만들어진다.
- [0051] 도 7 및 도 8을 참고하면, 제1 접촉 구멍(184)과 제2 접촉 구멍(185)을 채우도록 상부 보호막(180b) 위에 전도성 물질층을 증착한다. 이후 전도성 물질층을 패터닝하여 제1 접촉 구멍(184) 내에서 데이터선(171) 및 소스 전극(173)과 접촉하는 연결부(190)와 제2 접촉 구멍(185) 내에서 드레인 전극(175)과 접촉하는 화소 전극(191)을 형성한다. 연결부(190)와 화소 전극(191)은 동일한 전도성 물질층을 패터닝하여 형성되기 때문에 동일한 레벨에 위치한다.
- [0052] 여기서, 연결부(190)는 데이터선(171)과 소스 전극(173)을 전기적으로 연결하고, 화소 전극(191)은 제2 접촉 구멍(185)을 통하여 드레인 전극(175)과 물리적, 전기적으로 연결되어 드레인 전극(175)으로부터 데이터 전압을 인가 받을 수 있다.
- [0053] 연결부(190) 및 화소 전극(191)은 ITO 또는 IZO 따위의 투명 도전체로 만들어질 수 있다.
- [0054] 도 9 내지 도 14는 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판 제조 방법을 나타내는 평면도 및 단면도들이다. 도 10은 도 9의 절단선 X-X를 따라 자른 단면도이고, 도 12는 도 11의 절단선 XII-XII를 따라 자른 단면도이며, 도 14는 도 13의 절단선 XIV-XIV를 따라 자른 단면도이다.
- [0055] 본 실시예에서는, 앞에서 설명한 도 1 및 도 2를 참고하여 설명한 것과 동일한 공정을 진행한다. 이후, 게이트 절연막(140) 위에 소스 전극(173), 드레인 전극(175) 및 산화물 반도체층(154)의 노출된 부분을 덮도록 하부 보호막(180a)을 형성하는 단계까지 앞의 실시예와 동일하다. 이후 도 1 내지 도 8을 참고하여 설명한 실시예와

차이가 있는 부분에 대해 설명하기로 한다.

- [0056] 도 9 및 도 10을 참고하면, 하부 보호막(180a)을 패터닝하여 소스 전극(173)의 일부분을 노출하는 제1 접촉 구멍(184)을 형성한다.
- [0057] 도 11 및 도 12를 참고하면, 하부 보호막(180a) 위에 제1 접촉 구멍(184)을 채우도록 금속 물질층을 적층한 후에 패터닝하여 세로 방향으로 뺀어 게이트선(121)과 교차하는 복수의 데이터선(171)을 형성한다. 이 때, 데이터선(171) 일부가 제1 접촉 구멍(184) 내에서 소스 전극(173)과 직접 접촉하도록 형성한다. 도 11에서와 같이 한 실시예로 주로 세로 방향으로 길게 뺀어 데이터선(171) 부분으로부터 일부가 돌출된 돌출부(171a)를 형성하고, 돌출부(171a)가 직접 제1 접촉 구멍(184)을 통해 소스 전극(173)과 접촉하도록 형성할 수 있다. 돌출부(171a)는 제1 접촉 구멍(184)과 중첩하는 부분을 갖는다.
- [0058] 도 13 및 도 14를 참고하면, 하부 보호막(180a) 위에 데이터선(171)을 덮도록 상부 보호 물질층을 적층한 후에 이를 패터닝하여 제2 접촉 구멍(185)을 갖는 상부 보호막(180b)을 형성한다.
- [0059] 상부 보호막(180b) 위에 전도성 물질층을 증착하고, 이를 패터닝하여 제2 접촉 구멍(185) 내에서 드레인 전극(175)과 접촉하는 화소 전극(191)을 형성한다.
- [0060] 여기서, 화소 전극(191)은 제2 접촉 구멍(185)을 통하여 드레인 전극(175)과 물리적, 전기적으로 연결되어 드레인 전극(175)으로부터 데이터 전압을 인가 받을 수 있다.
- [0061] 도 7 및 도 8을 다시 참고하여, 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판에 대해 설명하기로 한다.
- [0062] 본 실시예에 따른 박막 트랜지스터 표시판은 기판(110), 기판 위에 위치하고, 게이트 전극(124)을 포함하는 게이트선(121), 게이트선(121) 위에 위치하는 게이트 절연막(140), 게이트 절연막(140) 위에 위치하는 산화물 반도체층(154), 산화물 반도체층(154) 위에 위치하는 소스 전극(173) 및 드레인 전극(175), 소스 전극(173) 및 드레인 전극(175) 위에 위치하고 제1 접촉 구멍(184)을 포함하는 제1 절연막(180a), 제1 절연막(180a) 위에 위치하고 게이트선(121)과 교차하는 데이터선(171), 데이터선(171) 위에 위치하고 제2 접촉 구멍(185)을 포함하는 제2 절연막(180b) 그리고 제2 절연막(180b) 위에 위치하는 연결부(190) 및 화소 전극(191)을 포함한다.
- [0063] 여기서, 소스 전극(173) 및 드레인 전극(175)은 금속 산화물로 형성하고, 금속 산화물은 인듐, 갈륨, 아연, 주석, 알루미늄 중 적어도 하나를 포함할 수 있다.
- [0064] 비록, 본 실시예에서 바텀 게이트 구조로 설명하였으나, 소스 전극(173)과 드레인 전극(175)을 금속 산화물로 형성하고, 소스 전극(173)과 데이터선(171)을 분리 형성하는 구조를 포함하는 탑 게이트 구조에 적용할 수도 있다.
- [0065] 도 13 및 도 14를 다시 참고하여, 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판에 대해 설명하기로 한다.
- [0066] 본 실시예에 따른 박막 트랜지스터 표시판은 기판(110), 기판 위에 위치하고, 게이트 전극(124)을 포함하는 게이트선(121), 게이트선(121) 위에 위치하는 게이트 절연막(140), 게이트 절연막(140) 위에 위치하는 산화물 반도체층(154), 산화물 반도체층(154) 위에 위치하는 소스 전극(173) 및 드레인 전극(175), 소스 전극(173) 및 드레인 전극(175) 위에 위치하고 제1 접촉 구멍(184)을 포함하는 제1 절연막(180a), 제1 절연막(180a) 위에 위치하고 게이트선(121)과 교차하는 데이터선(171), 데이터선(171) 위에 위치하고 제2 접촉 구멍(185)을 포함하는 제2 절연막(180b) 그리고 제2 절연막(180b) 위에 위치하는 화소 전극(191)을 포함한다.
- [0067] 여기서, 제1 접촉 구멍(184) 내에서 데이터선(171)은 소스 전극(173)과 직접 접촉한다. 소스 전극(173) 및 드레인 전극(175)은 금속 산화물로 형성하고, 금속 산화물은 인듐, 갈륨, 아연, 주석, 알루미늄 중 적어도 하나를 포함할 수 있다.
- [0068] 비록, 본 실시예에서 바텀 게이트 구조로 설명하였으나, 소스 전극(173)과 드레인 전극(175)을 금속 산화물로 형성하고, 소스 전극(173)과 데이터선(171)을 분리 형성하는 구조를 포함하는 탑 게이트 구조에 적용할 수도 있다.
- [0069] 앞에서 설명한 본 발명의 실시예에 따르면, 종래와 같이 금속 물질로 박막 트랜지스터의 단자인 소스 전극 및 드레인 전극을 형성하지 않고 산화물 반도체층과 동일 또는 유사하게 금속 산화물로 소스 전극 및 드레인 전극을 형성하는 점에 차이가 있다.

- [0070] 종래의 경우 구리, 몰리브덴 등의 금속을 소스 전극 및 드레인 전극으로 형성하면 절연막 증착과 같은 후속 공정 중에 구리가 산화되어 박막 트랜지스터 특성이 나빠지거나 산화물 반도체층과 접하는 몰리브덴층이 산화되어 박막 트랜지스터에서 쇼트가 발생하는 문제가 있었다. 하지만, 본 발명의 실시예에 따라 소스 전극 및 드레인 전극을 산화물 반도체층과 유사한 성질을 나타내는 금속 산화물로 형성하면 산화물 반도체층과 열역학적으로 안정적이어서 고온 열처리 등에서 산화물 반도체층과의 반응성이 적다. 하기 도 17에서 소스 전극 및 드레인 전극을 금속 산화물 가운데 하나인 갈륨-아연 산화물을 단일막으로 형성한 후에 박막 트랜지스터의 특성을 테스트한 결과 우수한 효과를 나타내었다.
- [0071] 하지만, 금속 산화물을 신호를 전달하는 데이터선으로 형성하면 저항이 높다. 이를 보완하기 위해 본 발명에 따른 실시예에서는 데이터선을 소스 전극과 분리 형성한다. 앞에서 설명한 것처럼, 소스 전극 및 드레인 전극은 산화물 반도체층과 반응성이 적은 금속 산화물로 형성하고, 신호를 전달하는 데이터선은 저항이 낮은 구리, 몰리브덴 등으로 형성한다.
- [0072] 이처럼 소스 전극 및 드레인 전극은 신호 전달을 위한 배선으로 사용하지 않기 때문에 비저항이 크게 문제가 되지 않으나, 배선 저항이 박막 트랜지스터 저항의 1% 이내를 만족하는 범위로 박막 트랜지스터 저항을 설정하는 것이 좀 더 바람직하다. 대략 박막 트랜지스터 저항은 10000  $\mu\Omega$  이하인 것이 바람직하다.
- [0073] 도 15는 본 발명의 일 실시예에 따른 박막 트랜지스터를 나타내는 단면도이다.
- [0074] 도 15를 참고하면, 기판(110) 위에 게이트 전극(124)이 위치한다. 기판(110)은 투명한 유리 또는 플라스틱 따위로 만들어질 수 있다.
- [0075] 게이트 전극(124)은 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 망간(Mn) 등으로 이루어질 수 있다. 여기서는 단일막 형태로 설명하였으나, 게이트 전극(124)은 서로 물리적 성질이 다른 막들이 조합되어 이중막 또는 삼중막 형태로 형성될 수 있다.
- [0076] 게이트 전극(124) 위에 게이트 절연막(140)이 위치한다. 게이트 절연막(140)은 산화 실리콘, 질화 실리콘 또는 산질화 실리콘(SiON)으로 형성할 수 있고, 스퍼터링 방법 등으로 형성할 수 있다. 게이트 절연막(140)은 산화 실리콘과 질화 실리콘 또는 산화 실리콘과 산질화 실리콘의 이중막으로 형성될 수 있다. 이 때, 산화 실리콘으로 형성되는 막은 하기 설명하는 반도체층(154)에 인접한 층이 된다.
- [0077] 게이트 절연막(140) 위에 산화물 반도체로 형성된 반도체층(154)이 위치한다. 반도체층(154)은 아연(Zn), 인듐(In), 주석(Sn), 갈륨(Ga), 및 하프늄(Hf) 중에서 적어도 하나를 포함한다. 특히, 본 실시예에서 반도체층(151)은 인듐-갈륨-아연 산화물일 수 있다.
- [0078] 반도체층(154) 위에 소스 전극(173) 및 드레인 전극(175)이 서로 이격되어 위치한다. 소스 전극(173) 및 드레인 전극(175)은 금속 산화물로 형성한다. 소스 전극(173) 및 드레인 전극(175)을 형성하는 금속 산화물은 인듐, 갈륨, 아연, 주석, 알루미늄 중 적어도 하나를 포함한다.
- [0079] 반도체층(154)은 소스 전극(173)과 드레인 전극(175) 사이에 소스 전극(173) 및 드레인 전극(175)으로 가리지 않고 노출된 부분이 있다. 반도체층(154)은 반도체층(154)의 노출된 부분을 제외하고, 소스 전극(173) 및 드레인 전극(175)과 실질적으로 동일한 평면 패턴을 가질 수 있다.
- [0080] 하나의 게이트 전극(124), 하나의 소스 전극(173) 및 하나의 드레인 전극(175)은 산화물 반도체층(154)과 함께 하나의 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널은 소스 전극(173)과 드레인 전극(175) 사이에 형성된다.
- [0081] 게이트 절연막(140) 위에 소스 전극(173), 드레인 전극(175) 및 산화물 반도체층(154)의 노출된 부분을 덮도록 보호막(180)이 위치한다. 보호막(180)은 질화 규소나 산화 규소 따위의 무기 절연물, 유기 절연물, 저유전율 절연물 따위로 만들어진다.
- [0082] 도 16은 본 발명의 일 실시예에 따른 박막 트랜지스터를 나타내는 단면도이다.
- [0083] 도 16을 참고하면, 도 15에서 설명한 박막 트랜지스터와 대부분 동일하고, 다만 소스 전극(173) 및 드레인 전극(175)이 이중막으로 형성되어 있다. 소스 전극(173) 및 드레인 전극(175)은 각각 금속 산화물로 형성된 하부막(173a, 175a)과 상부막(173b, 175b)으로 형성될 수 있다. 소스 전극(173a, 173b) 및 드레인 전극(175a, 175b)을 형성하는 금속 산화물은 인듐, 갈륨, 아연, 주석, 알루미늄 중 적어도 하나를 포함한다.

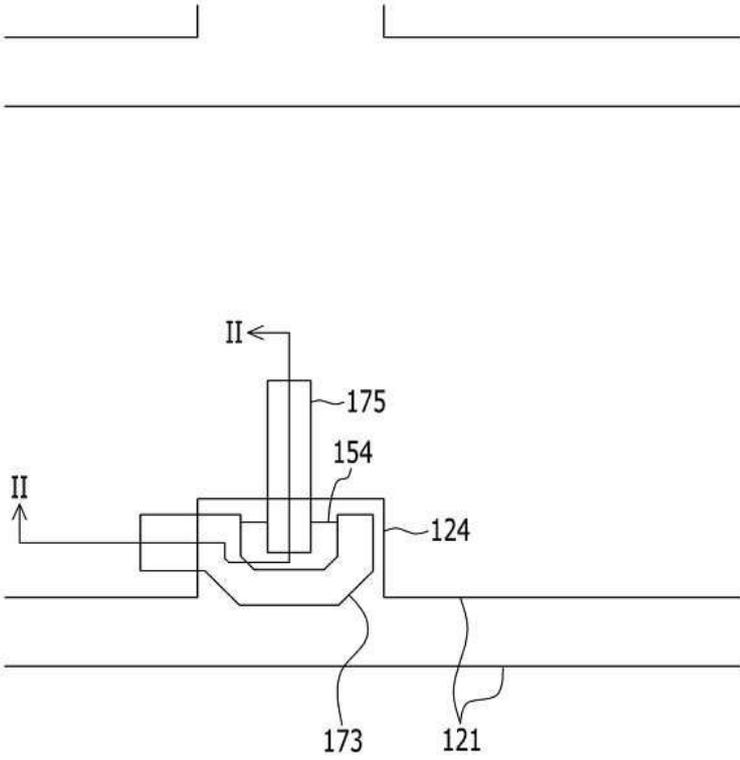
- [0084] 도 17은 본 발명의 일 실시예에 따른 박막 트랜지스터의 특성을 나타내는 그래프이다.
- [0085] 도 17을 참고하면, 본 발명의 일 실시예에 따른 박막 트랜지스터를 채널부의 폭을 30 μm, 채널부의 길이를 4 μm로 하여 제조하였고, 소스 전극 및 드레인 전극을 갈륨-아연 산화물을 포함하는 금속 산화물로 형성하였다. 도 17은 이처럼 형성된 박막 트랜지스터에서 게이트 온이 될 때의 드레인 전류값(Id)를 측정한 결과를 나타낸다.
- [0086] 종래와 같이 금속 물질로 형성하는 것 대신에 본 발명의 실시예에 따라 소스 전극과 드레인 전극을 금속 산화물을 이용하여 형성한 결과, 문턱 전압 이후의 기울기(Threshold Slope; S.S)값이 매우 낮고, 전하 이동도가 9cm<sup>2</sup>/V·s 정도 수준으로 높게 나타났다.
- [0087] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

**부호의 설명**

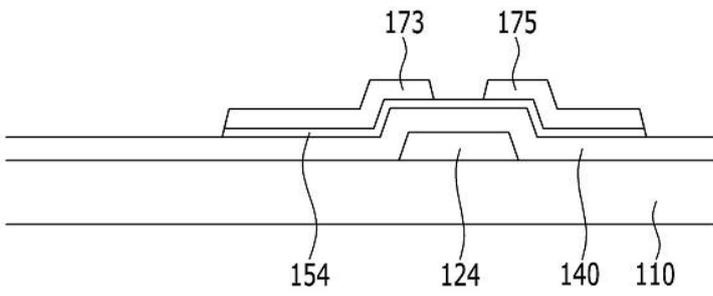
[0088]	110	기판	121	게이트선
	124	게이트 전극	140	게이트 절연막
	154	반도체층	171	데이터선
	173	소스 전극	175	드레인 전극
	180a	제1 절연막	180b	제2 절연막
	184	제1 접촉 구멍	185	제2 접촉 구멍
	190	연결부	191	화소 전극

도면

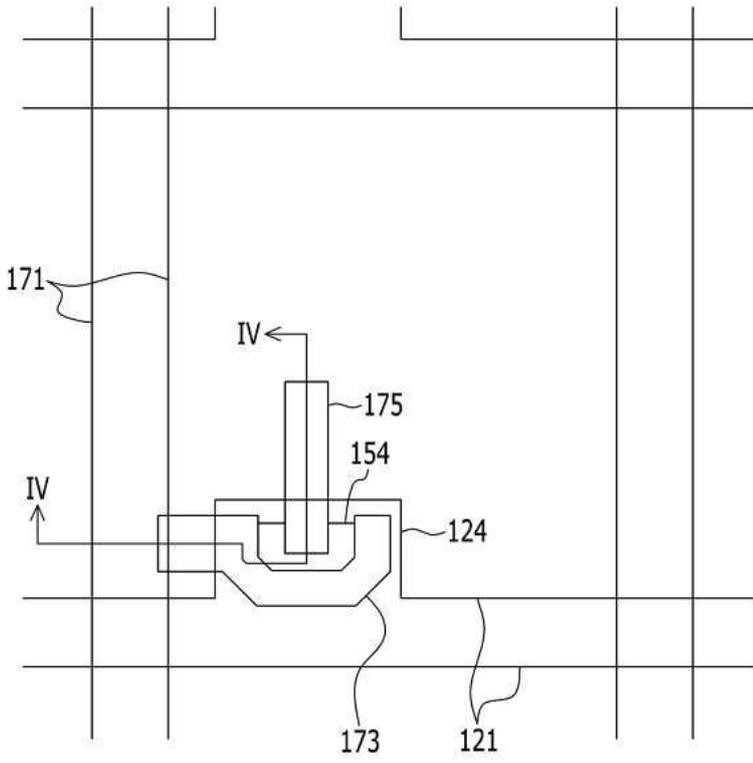
도면1



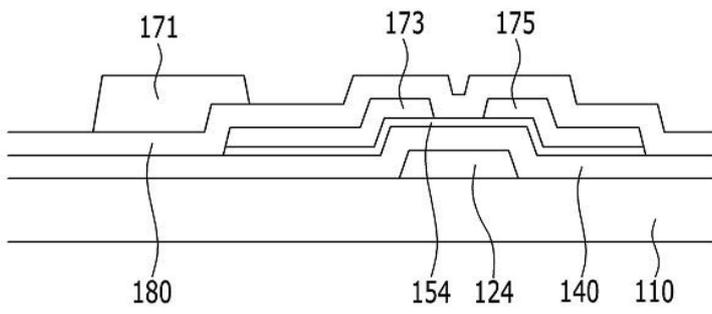
도면2



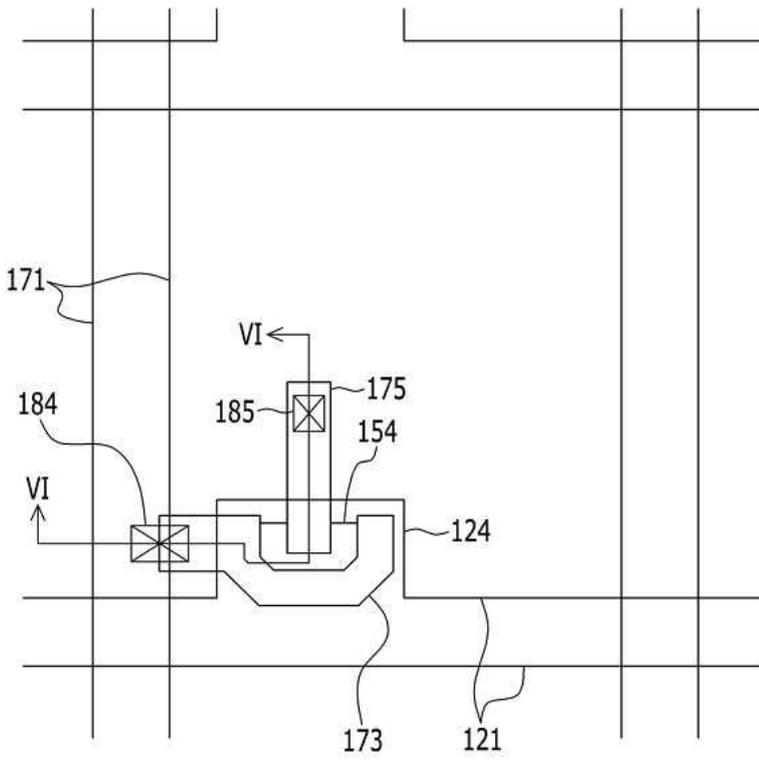
도면3



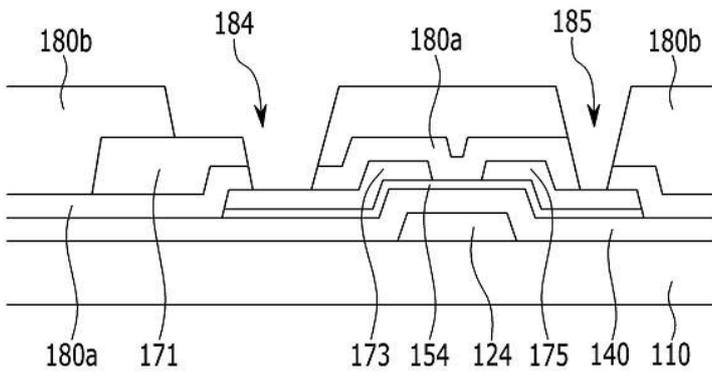
도면4



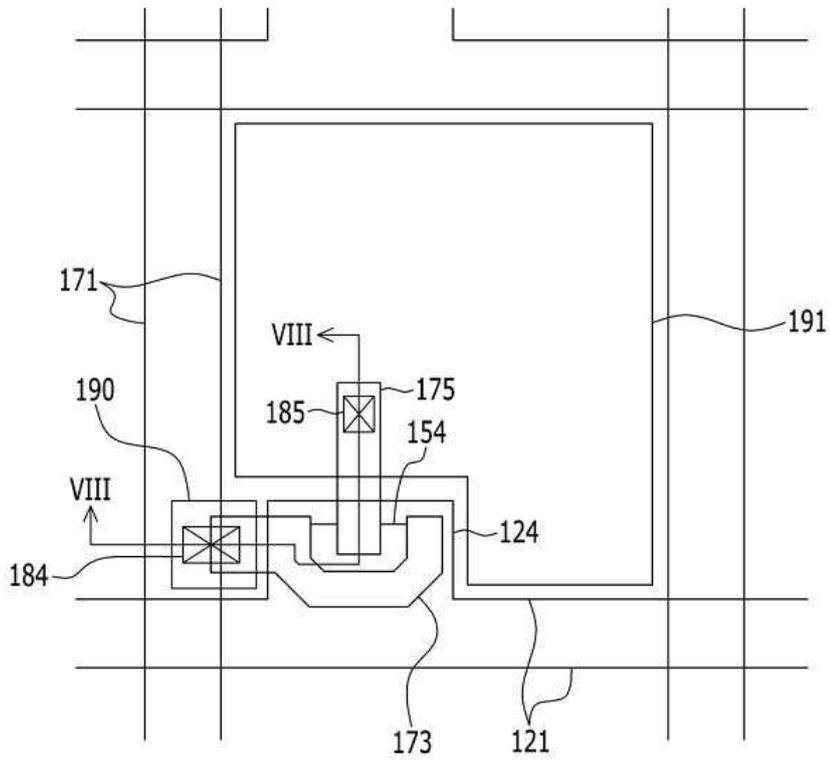
도면5



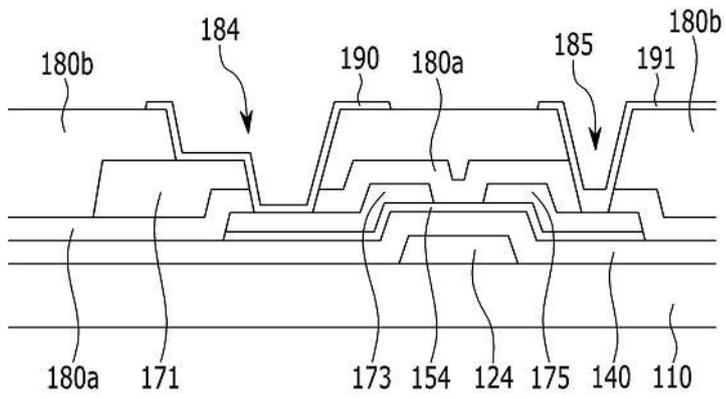
도면6



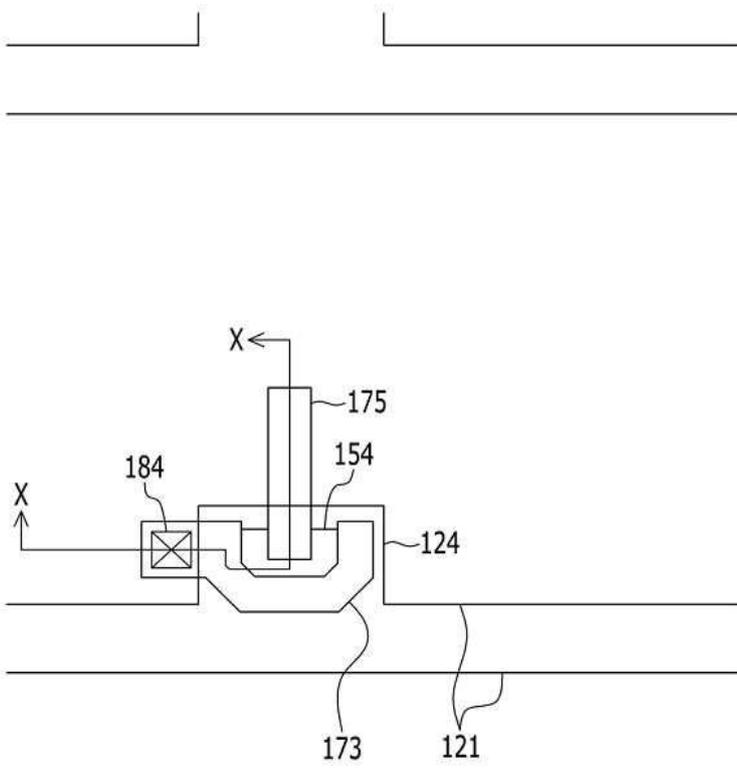
도면7



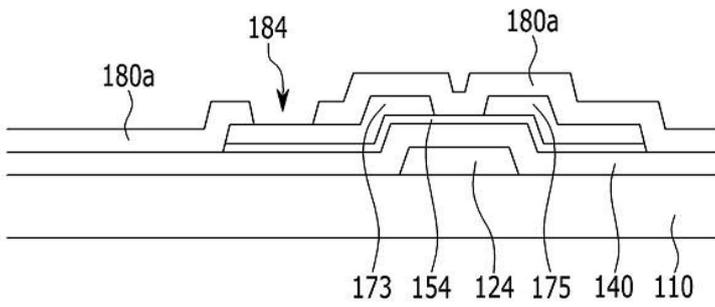
도면8



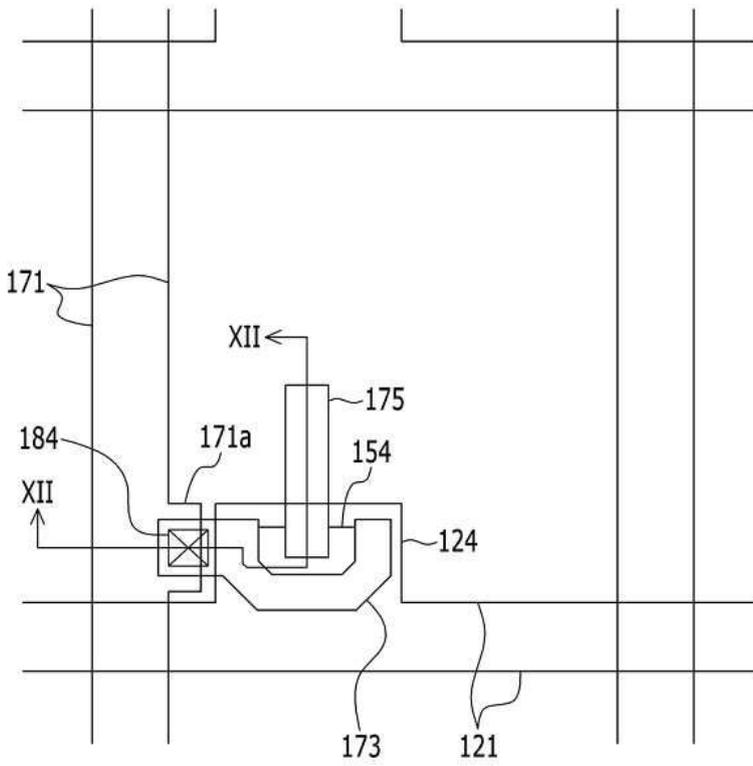
도면9



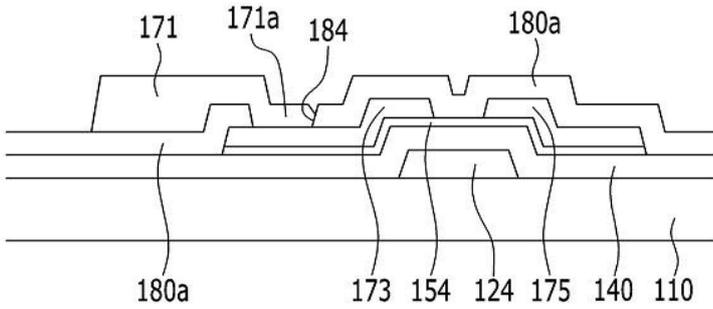
도면10



도면11

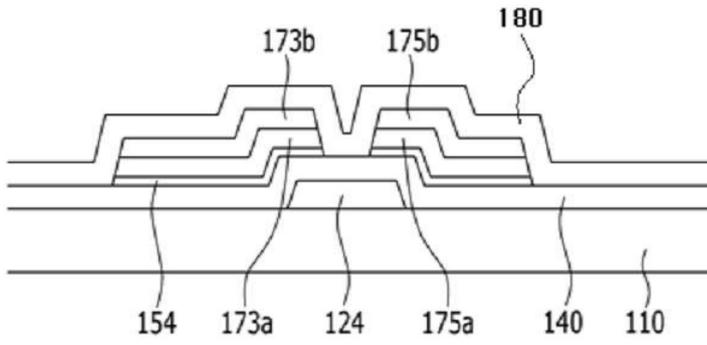


도면12





도면16



도면17

