



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I609190 B

(45)公告日：中華民國 106 (2017) 年 12 月 21 日

(21)申請案號：105125063

(22)申請日：中華民國 105 (2016) 年 08 月 05 日

(51)Int. Cl. : **G01R31/3183(2006.01)**(71)申請人：國立成功大學(中華民國) NATIONAL CHENG KUNG UNIVERSITY (TW)
臺南市東區大學路 1 號

(72)發明人：李昆忠 LEE, KUEN JONG (TW)；唐品豪 TANG, PIN HAO (TW)

(74)代理人：陳豐裕

(56)參考文獻：

TW 201239377A

TW 201418739A

TW 201433088A

US 5491673

US 2010/0135100A1

審查人員：机亮燁

申請專利範圍項數：10 項 圖式數：6 共 22 頁

(54)名稱

可將測試資料儲存於掃描鏈的積體電路自動測試架構及其方法

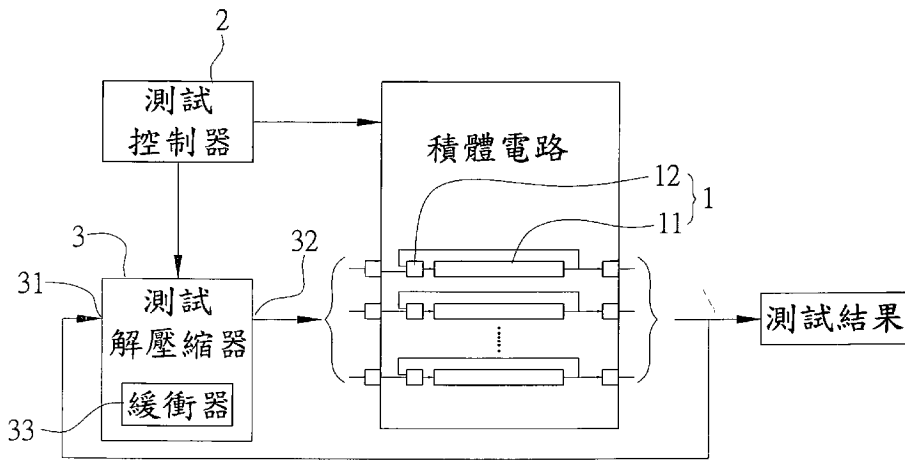
AUTOMATIC-TEST ARCHITECTURE OF INTEGRATED CIRCUIT CAPABLE OF STORING TEST DATA IN SCAN CHAINS AND METHOD THEREOF

(57)摘要

本發明係有關於一種可將測試資料儲存於掃描鏈的積體電路自動測試架構及其方法，此自動測試架構包括一條以上掃描鏈，一測試控制器，以及一測試解壓縮器。每一掃描鏈具有一儲存結構以及一掃描輸入修正單元，其中儲存結構係包含有複數個掃描單元以儲存測試資料，而掃描輸入修正單元係用以修正輸入掃描鏈之測試向量；測試控制器用以控制測試流程，而測試解壓縮器則用以將儲存於掃描鏈之測試資料重組並解壓縮以產生可測試積體電路之測試向量；藉此，能夠對積體電路自動進行電性測試，達到降低測試成本之目的。

The present invention relates to an automatic-test architecture of an integrated circuit capable of storing test data in scan chains and a method thereof. The automatic-test architecture includes at least a scan chain, a test controller and a test decompressor. Each scan chain contains a storing structure and a scanning input modify unit, wherein the stored structure comprises a plurality of scan units to store the test data, and the scanning input modify unit is used to modify the test vector input into the scan chains. Furthermore, the test controller is used for controlling the test procedure, and the test decompressor is used to reassemble and decompress the test data stored in scan chains so as to generate a test vector that can be used to test the integrated circuit. Accordingly, it can automatically carry out electrical test on the integrated circuit and effectively achieve the effects of lowering test costs.

指定代表圖：



符號簡單說明：

- (1) . . . 掃描鍵
- (11) . . . 儲存結構
- (12) . . . 掃描輸入修正單元
- (2) . . . 測試控制器
- (3) . . . 測試解壓縮器
- (31) . . . 輸入端
- (32) . . . 輸出端
- (33) . . . 緩衝器

第一圖

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 (中文/英文)

可將測試資料儲存於掃描鏈的積體電路自動測試架構及其方法

AUTOMATIC-TEST ARCHITECTURE OF INTEGRATED CIRCUIT
CAPABLE OF STORING TEST DATA IN SCAN CHAINS AND
METHOD THEREOF

【技術領域】

【0001】 本發明係有關於一種積體電路的自動測試架構及其方法，尤其係指一種可將測試資料儲存於掃描鏈的積體電路自動測試架構及其方法。本發明藉由一條以上之掃描鏈、一測試控制器以及一測試解壓縮器的連結以組成自動測試之架構。由各掃描鏈內之掃描單元間不同的連接方式來提供測試資料，再由測試解壓縮器將測試資料進行重組及解壓縮之動作，以產生測試所需的測試向量，並傳送至積體電路的掃描鏈進行電性測試；其係為一種自動測試的結構及方法，不用藉著外部的自動測試機台提供測試資料就能達到自動測試的功能，以大幅減少測試成本。

【先前技術】

【0002】 按，摩爾定律(Moore's Law)係推測積體電路上所能容納的電晶體數量會隨著半導體製程技術的提升而增加，大約每二年就會增加一倍，意味著性能也將提升一倍以上，在半導體製程技術仍快速成長的情況下，積體電路內所配置的元件數量也越來越多，經常高達數千萬甚至上億，為了對規模如此龐大的電路進行電性測試，通常都需要大量的測試資料才能達到所需的錯誤覆蓋度(Fault coverage)，以完成測試。

【0003】 習知的積體電路之測試方法係由外部的自動測試機台透過測試腳位傳送測試控制訊號和測試向量至積體電路中的掃描測試架構來進行測試，透過控制訊號，掃描測試架構提供積體電路測試刺激(Test stimuli)並接收積體電路的測試響應(Test response)，藉由自動測試機台讀取測試響應並比較預期之結果，以完成積體電路之電性測試；此測試方法完全仰賴外部的自動測試機台，因此自動測試機台已成為積體電路測試的主要成本來源，然而，龐大的測試資料以及元件數量的增加，導致儲存空間與測試腳位的需求皆提高，使得自動測試機台的價格愈來愈高，導致積體電路的測試成本成為許多半導體廠或封裝測試廠之嚴重負擔。

【0004】 中華民國專利公告號 TW I472778 B「系統級 IC 測試機台全自動重測方法及該測試機台」揭示一種能夠進行重測的測試機台，其藉由多組檢測裝置個別檢測 IC，當檢測裝置個別測試完待測的 IC，測試結果會傳至處理裝置，由處理裝置判斷各測試完畢的 IC 是否到達一個通過門檻，如果沒有通過，再將未達到通過門檻的 IC，重新送入檢測裝置之中，由檢測通過率最高的檢測裝置負責重測，並再確認未達通過門檻的 IC 經重測後是否已達到通過門檻，以避免測試時的失誤出現，能提高產品的良率。

【0005】 由上述專利前案可知，依目前的積體電路測試方法，仍然普遍仰賴著外部的測試機台，因此有提出了測試資料壓縮方法或是邏輯自我測試方法以減少使用自動測試機台所產生的成本，此兩種方法雖然可以降低自動測試機台在儲存空間與測試腳位需求，但測試資料壓縮方法依然需要藉由外部的自動測試機台以協助傳送一些必需的測試向量或訊號，而邏輯自我測試方法則有測試時間較長或需額外儲存空間來儲存測試資料的缺點。

【發明內容】

發明摘要

※ 申請案號：105125063

※ 申請日：105.8.5 ※IPC分類：G01R 31/3183 (2006.01)

【發明名稱】（中文/英文）

可將測試資料儲存於掃描鏈的積體電路自動測試架構及其方法

AUTOMATIC-TEST ARCHITECTURE OF INTEGRATED CIRCUIT
CAPABLE OF STORING TEST DATA IN SCAN CHAINS AND
METHOD THEREOF

【中文】

本發明係有關於一種可將測試資料儲存於掃描鏈的積體電路自動測試架構及其方法，此自動測試架構包括一條以上掃描鏈，一測試控制器，以及一測試解壓縮器。每一掃描鏈具有一儲存結構以及一掃描輸入修正單元，其中儲存結構係包含有複數個掃描單元以儲存測試資料，而掃描輸入修正單元係用以修正輸入掃描鏈之測試向量；測試控制器用以控制測試流程，而測試解壓縮器則用以將儲存於掃描鏈之測試資料重組並解壓縮以產生可測試積體電路之測試向量；藉此，能夠對積體電路自動進行電性測試，達到降低測試成本之目的。

【英文】

The present invention relates to an automatic-test architecture of an integrated circuit capable of storing test data in scan chains and a method thereof. The automatic-test architecture includes at least a scan chain, a test controller and a test decompressor. Each scan chain contains a storing structure and a scanning input modify unit, wherein the stored structure comprises a plurality of scan units to store the test data, and the scanning input modify unit is used to modify the test vector input into

the scan chains. Furthermore, the test controller is used for controlling the test procedure, and the test decompressor is used to reassemble and decompress the test data stored in scan chains so as to generate a test vector that can be used to test the integrated circuit. Accordingly, it can automatically carry out electrical test on the integrated circuit and effectively achieve the effects of lowering test costs.

【發明申請專利範圍】

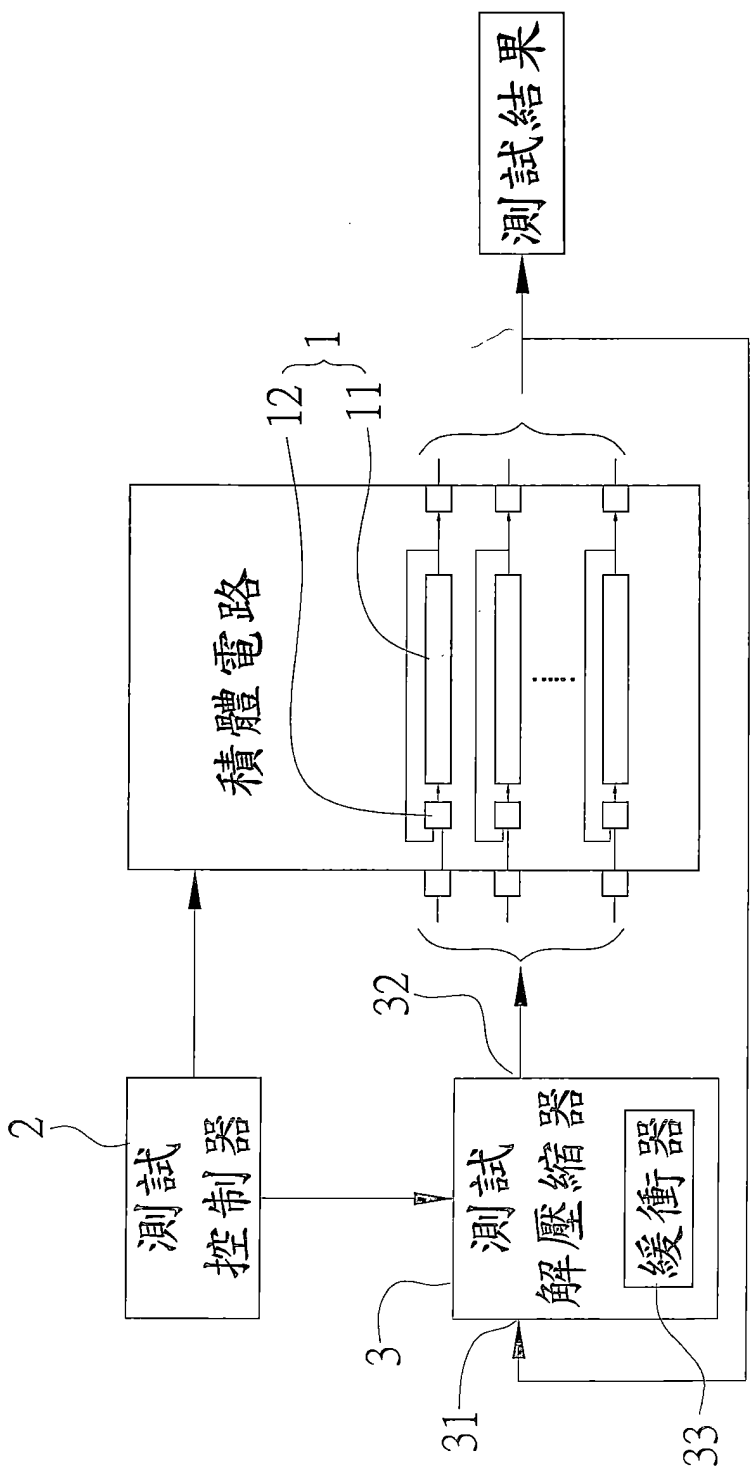
1. 一種可將測試資料儲存於掃描鏈的積體電路自動測試架構，包括有：
 - 一條以上掃描鏈，每一條掃描鏈係包含有一儲存結構以及一掃描輸入修正單元，其中該儲存結構係包含有複數個掃描單元，藉以儲存所需之測試資料，該掃描單元係以正相輸出端或反相輸出端電性連接至另一該掃描單元之測試資料輸入端；且其中該掃描輸入修正單元之一第一輸入端係電性連接並接收該儲存結構之輸出端，該掃描輸入修正單元之輸出端係電性連接至該儲存結構之輸入端；
 - 一測試控制器，係電性連接該掃描鏈；以及
 - 一測試解壓縮器，係電性連接該測試控制器及該掃描鏈，其中該測試解壓縮器之輸入端係電性連接至該掃描鏈之該儲存結構的輸出端，以及該測試解壓縮器之輸出端係電性連接至該掃描輸入修正單元之一第二輸入端。
2. 如申請專利範圍第 1 項所述可將測試資料儲存於掃描鏈的積體電路自動測試架構，其中該掃描鏈於重置後係輸出一筆以上之測試資料。
3. 如申請專利範圍第 1 項所述可將測試資料儲存於掃描鏈的積體電路自動測試架構，其中該測試解壓縮器係進一步包含一緩衝器，係暫存該掃描鏈輸出之測試資料，並重組產生壓縮後之測試向量。

4. 如申請專利範圍第 1 項所述可將測試資料儲存於掃描鏈的積體電路自動測試架構，其中該掃描輸入修正單元係為互斥或閘(XOR)或互斥反或閘(XNOR)其中之一。
5. 一種可將測試資料儲存於掃描鏈的積體電路自動測試方法，係包括有：
 - 步驟一：由一測試控制器輸出一重置訊號(reset)至一條以上之掃描鏈，使該掃描鏈之一儲存結構進行重置；
 - 步驟二：該測試控制器輸出控制訊號，使該掃描鏈移位輸出一組以上用以解壓縮成測試向量之測試資料；
 - 步驟三：由一測試解壓縮器之一緩衝器接收該測試資料，將暫存之該測試資料進行重組並產生壓縮後之測試向量；
 - 步驟四：該測試解壓縮器將該壓縮後之測試向量解壓縮，產生一組以上該掃描鏈所需之測試向量，並傳送至該掃描鏈進行電性測試；以及
 - 步驟五：反覆進行步驟一~四，直到所有該測試向量均傳送至該掃描鏈測試完畢。
6. 如申請專利範圍第 5 項所述可將測試資料儲存於掃描鏈的積體電路自動測試方法，其中該儲存結構係包含有複數個掃描單元，該掃描單元係以正相輸出端或反相輸出端電性連接至另一該掃描單元之測試資料輸入端。
7. 如申請專利範圍第 5 項所述可將測試資料儲存於掃描鏈的積體電路自動測試方法，其中每一該掃描鏈係進一步包含有一掃描輸入修正單元，

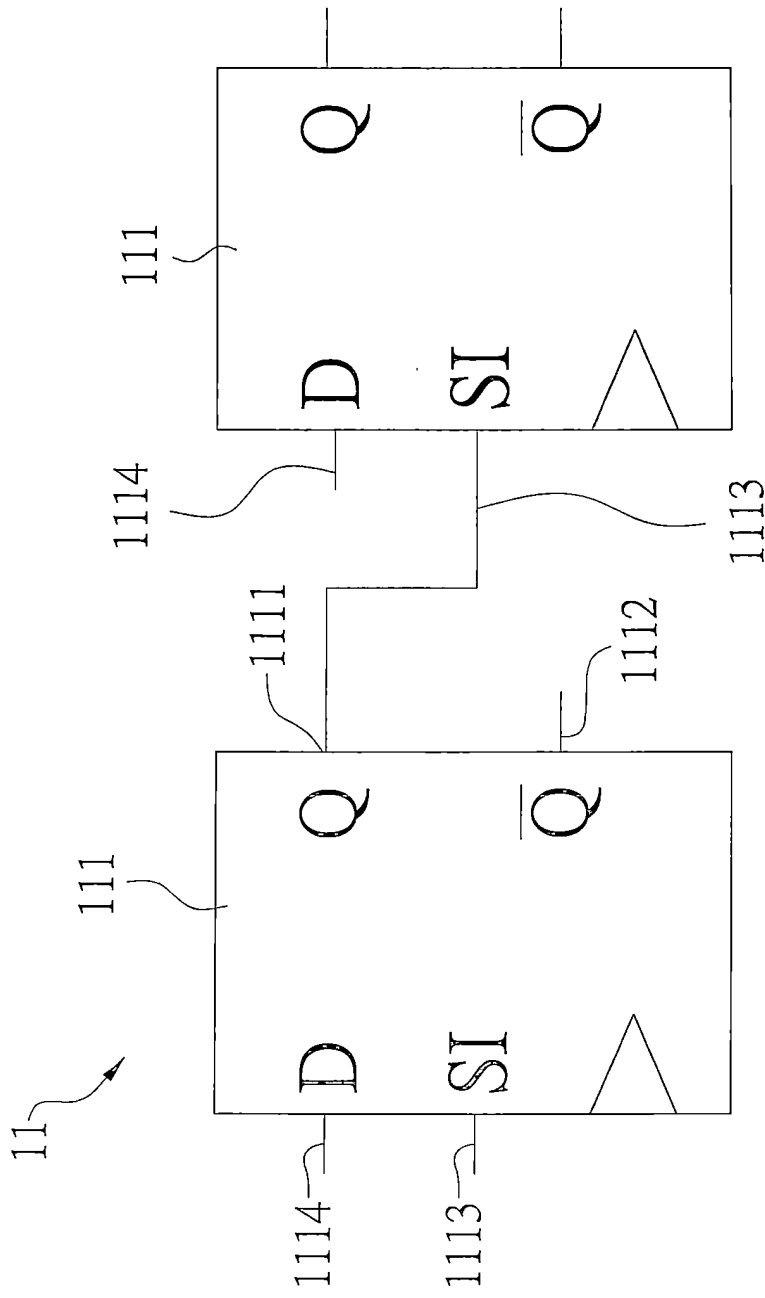
該掃描輸入修正單元之一第一輸入端係電性連接並接收該儲存結構之輸出端，一第二輸入端係電性連接並接收該測試解壓縮器之輸出端，該掃描輸入修正單元之輸出端係電性連接至該儲存結構之輸入端。

8. 如申請專利範圍第 7 項所述可將測試資料儲存於掃描鏈的積體電路自動測試方法，其中該掃描輸入修正單元係為互斥或閘(XOR)或互斥反或閘(XNOR)其中之一。
9. 如申請專利範圍第 7 項所述可將測試資料儲存於掃描鏈的積體電路自動測試方法，其中該掃描輸入修正單元係修正因該複數個掃描單元間連接方式的改變所造成之訊號變化。
10. 如申請專利範圍第 9 項所述可將測試資料儲存於掃描鏈的積體電路自動測試方法，其中該掃描輸入修正單元係於重置該儲存結構後，利用該儲存結構移位輸出之測試資料來修正該測試解壓縮器輸出之測試向量，使該掃描輸入修正單元輸出至該儲存結構之掃描單元的測試向量相等於該測試解壓縮器輸出之測試向量。

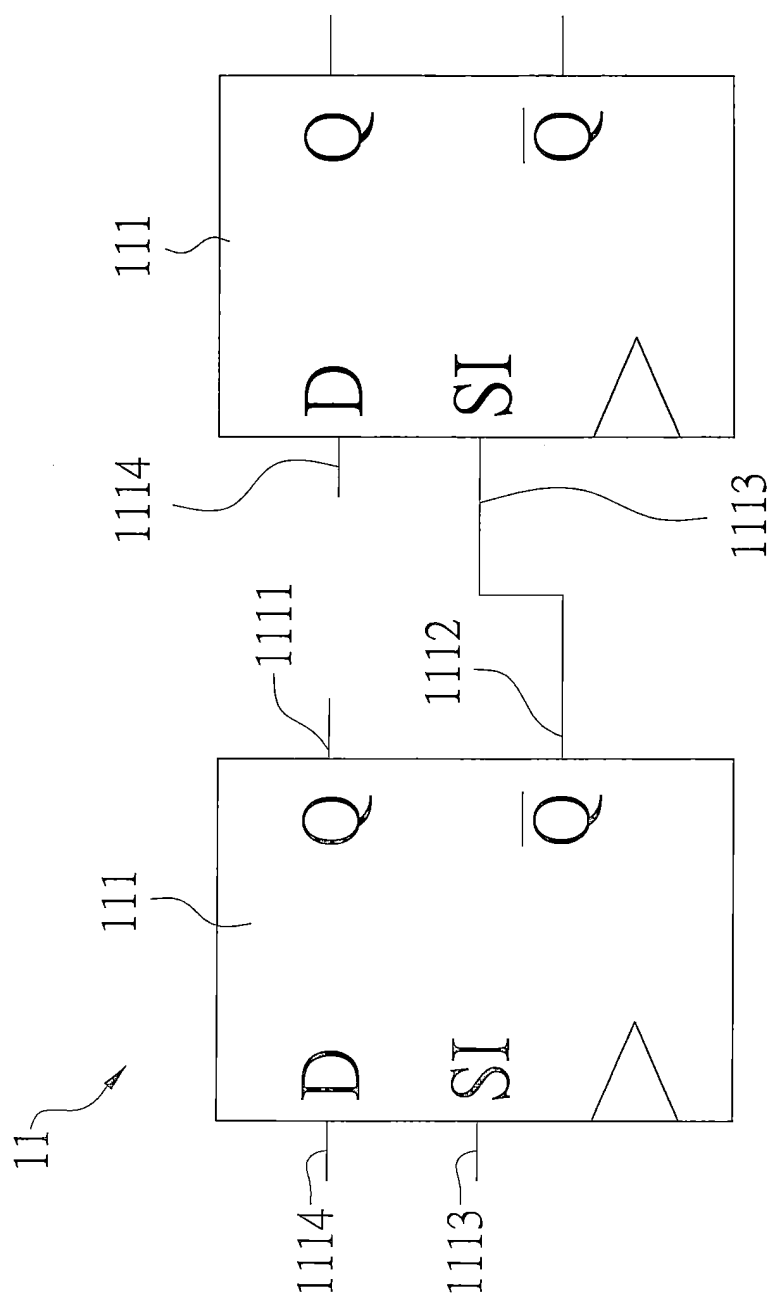
圖式



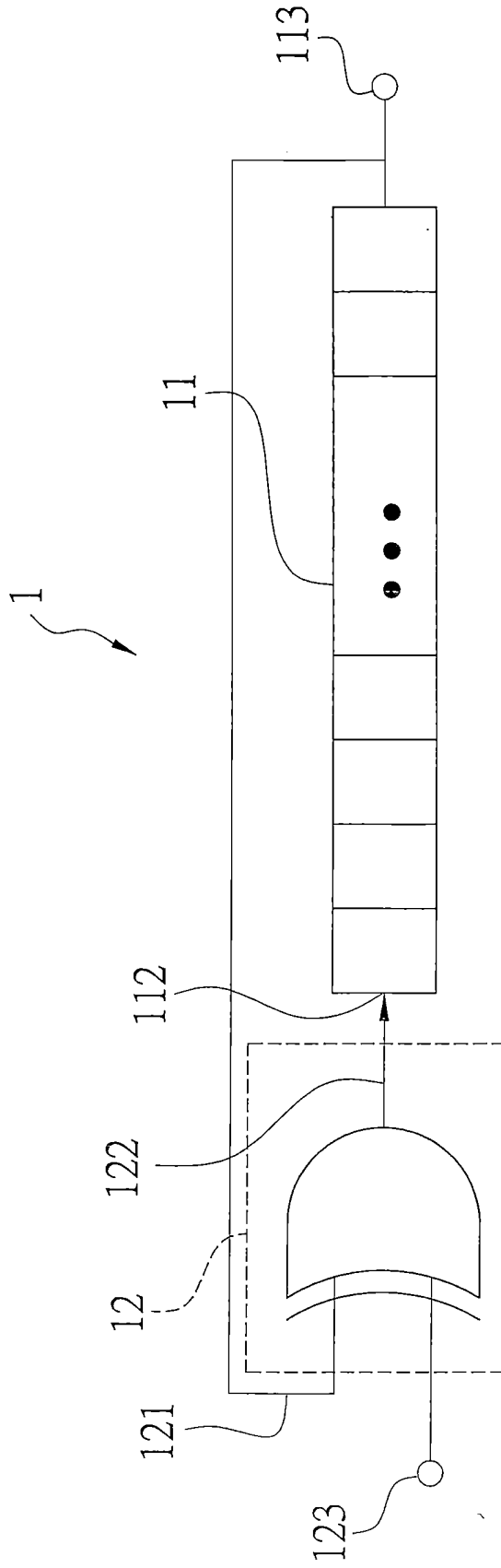
第一圖



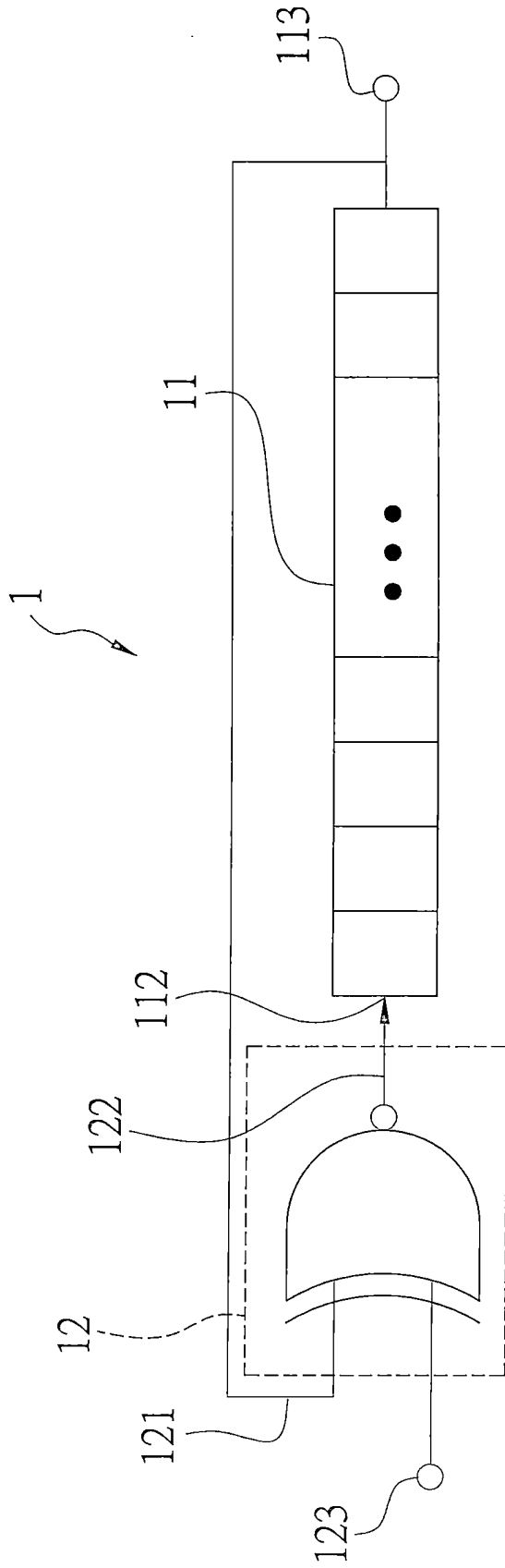
第二圖



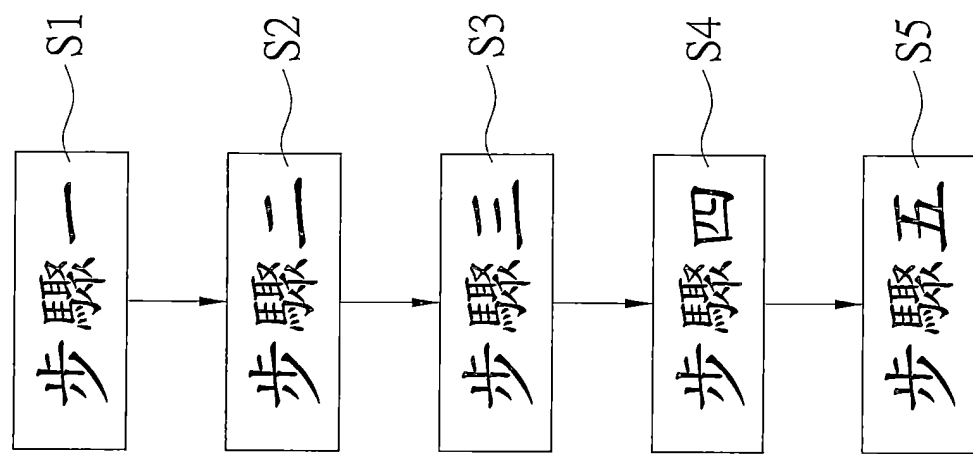
第三圖



第四圖



第五圖



第六圖

【代表圖】

【本案指定代表圖】：第（一）圖。

【本代表圖之符號簡單說明】：

- | | | | |
|------|----------|------|-------|
| (1) | 掃描鍵 | (11) | 儲存結構 |
| (12) | 掃描輸入修正單元 | (2) | 測試控制器 |
| (3) | 測試解壓縮器 | (31) | 輸入端 |
| (32) | 輸出端 | (33) | 緩衝器 |

【特徵化學式】

無

【0006】 今，發明人即是鑑於上述現有之積體電路測試架構及其方法於實際實施使用時仍具有多處缺失，於是乃一本孜孜不倦之精神，並藉由其豐富專業知識及多年之實務經驗所輔佐，而加以改善，並據此研創出本發明。

【0007】 本發明主要目的為提供一種可將測試資料儲存於掃描鏈的積體電路自動測試架構及其方法，藉由一條以上之掃描鏈、一測試控制器以及一測試解壓縮器的連結以組成自動測試之架構，由各掃描鏈間不同的連接方式來提供測試資料，再由測試解壓縮器進行重組及解壓縮之動作，以產生測試所需的測試向量，並傳送至積體電路的掃描鏈進行電性測試；藉此，不需要經外部的自動測試機台提供測試向量，即能達到自動測試的目的，大幅減少測試成本，且亦能縮短測試時間。

【0008】 為了達到上述實施目的，本發明提出一種可將測試資料儲存於掃描鏈的積體電路自動測試架構，其包含有一條以上掃描鏈，一測試控制器以及一測試解壓縮器。每一條掃描鏈係包含有一儲存結構以及一掃描輸入修正單元，其中儲存結構係包含有複數個掃描單元，掃描單元係以正相輸出端或反相輸出端電性連接至另一掃描單元之測試資料輸入端，使儲存結構在重置後可輸出任何需要之測試資料；其中掃描輸入修正單元係有2個輸入端及1個輸出端，其第一輸入端係電性連接並接收儲存結構之輸出端，其第二輸入端係電性連接至測試解壓縮器之輸出端，其掃描輸入修正單元之輸出端係電性連接至儲存結構之輸入端；而本自動測試架構之測試控制器，係電性連接掃描鏈及測試解壓縮器以控制測試流程；另，本自動測試架構之測試解壓縮器，係電性連接測試控制器及掃描鏈，以將掃描鏈之儲存結構輸出之測試資料重組並解壓縮成待測電路所需之測試向量。

- 【0009】 於本發明之一實施例中，掃描鏈於重置後係輸出一筆以上之用以解壓縮成測試向量之測試資料。
- 【0010】 於本發明之一實施例中，測試解壓縮器係可例如進一步包含一緩衝器，以暫存掃描鏈輸出之測試資料，並將之重組產生壓縮後之測試向量。
- 【0011】 本發明之另一目的為提供一種可將測試資料儲存於掃描鏈的積體電路自動測試方法，包括有步驟一：由一測試控制器輸出一重置訊號(reset)至一條以上之掃描鏈，使掃描鏈之一儲存結構進行重置；步驟二：測試控制器輸出控制訊號，使掃描鏈移位輸出一組以上用以解壓縮成測試向量之測試資料；步驟三：由一測試解壓縮器之一緩衝器接收測試資料，將暫存之測試資料進行重組並產生壓縮後之測試向量；步驟四：測試解壓縮器將壓縮後之測試向量解壓縮，產生掃描鏈所需之一組以上測試向量，並傳送至掃描鏈進行電性測試；以及步驟五：反覆進行步驟一~四，直到所有測試向量均已傳送至掃描鏈進行測試完畢。
- 【0012】 於本發明之一實施例中，儲存結構係可例如包含有複數個掃描單元，掃描單元係以正相輸出端或反相輸出端電性連接至另一掃描單元之測試資料輸入端。
- 【0013】 於本發明之一實施例中，掃描輸入修正單元係可例如為互斥或閘(XOR)或互斥反或閘(XNOR)其中之一。
- 【0014】 於本發明之一實施例中，掃描輸入修正單元係可以修正因複數個掃描單元連接方式的改變所造成接收訊號之變化。
- 【0015】 於本發明之一實施例中，掃描輸入修正單元係於重置儲存結構後，利用儲存結構移位輸出之測試資料來修正測試解壓縮器輸出之測試向量，使掃描輸入修正單元輸出至儲存結構之掃描單元的測試向量相等於測試解壓縮器輸出之測試向量。

【圖式簡單說明】

- 【0016】 第一圖：本發明其較佳實施例之自動測試架構圖
- 【0017】 第二圖：本發明其較佳實施例之掃描單元連接示意圖(一)
- 【0018】 第三圖：本發明其較佳實施例之掃描單元連接示意圖(二)
- 【0019】 第四圖：本發明其較佳實施例之掃描輸入修正單元連接示意圖(一)
- 【0020】 第五圖：本發明其較佳實施例之掃描輸入修正單元連接示意圖(二)
- 【0021】 第六圖：本發明其較佳實施例之步驟流程圖

【實施方式】

【0022】 本發明之目的及其結構功能上的優點，將依據以下圖面所示之結構，配合具體實施例予以說明，俾使審查委員能對本發明有更深入且具體之瞭解。

【0023】 請參閱第一圖~第六圖，本發明係一種可將測試資料儲存於掃描鏈的積體電路自動測試架構，其包含有一條以上掃描鏈(1)，一測試控制器(2)，以及一測試解壓縮器(3)。其中掃描鏈(1)重置後係輸出一筆以上之測試資料。每一條掃描鏈(1)係包含有一儲存結構(11)以及一掃描輸入修正單元(12)，其中儲存結構(11)係包含有複數個掃描單元(111)，掃描單元(111)係以正相輸出端(1111)或反相輸出端(1112)電性連接至另一掃描單元(111)之測試資料輸入端(1113)，掃描單元(111)之另一輸入端則為正常電路運作時之一般電路輸入端(1114)；且其中掃描輸入修正單元(12)之第一輸入端(121)係電性連接並接收儲存結構(11)之輸出端(113)，掃描輸入修正單元(12)之輸出端(122)係電性連接至儲存結構(11)之輸入端(112)，而掃描輸入修正單元(12)可例如為互斥或閘(XOR)或互斥反或閘(XNOR)其中之一。本自動測試架構之測試控制器(2)係電性連接掃描鏈(1)

及測試解壓縮器(3)以控制積體電路之測試流程，其中測試解壓縮器(3)之輸入端(31)係電性連接至掃描鏈(1)之儲存結構(11)的輸出端(113)，以及測試解壓縮器(3)之輸出端(32)係電性連接至掃描輸入修正單元(12)之第二輸入端(123)。

【0024】 又，本發明亦提供一種可將測試資料儲存於掃描鏈的自動測試方法，包括有步驟一(S1)：由一測試控制器(2)輸出一重置訊號(reset)至一條以上之掃描鏈(1)，使掃描鏈(1)之儲存結構(11)進行重置；步驟二(S2)：測試控制器輸出控制訊號，將一組以上儲存結構內之資料移位輸出(shift out)以得到可用以解壓縮成測試向量之測試資料；步驟三(S3)：由一測試解壓縮器(3)之一緩衝器(33)接收該測試資料，並將暫存之測試資料進行重組以產生壓縮後之測試向量；步驟四(S4)：測試解壓縮器(3)將壓縮後之測試向量解壓縮，產生掃描鏈(1)所需之一組以上測試向量，並傳送至掃描鏈(1)進行電性測試；以及步驟五(S5)：反覆進行步驟一(S1)~步驟四(S4)，直到所有測試向量均已傳送至掃描鏈(1)中並測試完畢；

【0025】 其中，掃描輸入修正單元(12)係可以修正因複數個掃描單元(111)連接方式的改變所造成之訊號變化；其可於重置儲存結構(11)後，利用儲存結構(11)之移位輸出資料來修正測試解壓縮器(3)輸出之測試向量，使掃描輸入修正單元輸出至儲存結構(11)之掃描單元(111)之測試向量相等於測試解壓縮器(3)輸出之測試向量。

【0026】 此外，藉由下述具體實施例，可進一步證明本發明可實際應用之範圍，但不意欲以任何形式限制本發明之範圍。

【0027】 如圖一所示，本發明藉著掃描鏈(1)、測試控制器(2)以及測試解壓縮器(3)的連結方式組成能夠進行自動測試的架構。又，如圖二及圖三所示，掃描鏈(1)的儲存結構(11)係為複數個掃描單元(111)，每一掃描單元(111)具有 2 個輸入端以及 2 個輸出端，輸入

端又分為測試資料輸入端(1113)與一般電路輸入端(1114)，輸出端又分為正相輸出端(1111)與反相輸出端(1112)，要產生與測試資料輸入端(1113)相同之輸出訊號，例如 $0 \rightarrow 0$ 或 $1 \rightarrow 1$ 的測試資料時，則如圖二所示，掃描單元(111)會以正相輸出端(1111)連接至另一個掃描單元(111)之測試資料輸入端(1113)，此時掃描單元(111)所輸出之電壓準位與其所儲存的資料同為高電位或低電位；當需要產生相反之訊號，例如 $0 \rightarrow 1$ 或 $1 \rightarrow 0$ 時，則如圖三所示，掃描單元(111)將以反相輸出端(1112)連接另一個掃描單元(111)之測試資料輸入端(1113)，而輸出電壓準位與其所儲存的資料相反，據此，掃描單元(111)可以根據電壓高低以及訊號的需求，提供移位輸出不同之測試資料，以用來進行後續的重組、解壓縮等動作，且儲存結構(11)可提供儲存空間，使壓縮後之測試向量儲存於其內部。

【0028】 如圖四及圖五所示，掃描輸入修正單元(12)具有 2 個輸入端及 1 個輸出端(122)，其中第一輸入端(121)係電性連接儲存結構(11)之輸出端(113)，並能接收儲存結構(11)所輸出的測試資料，第二輸入端(123)電性連接於測試解壓縮器(3)之輸出端(32)，負責接收測試解壓縮器所輸出的測試向量，掃描輸入修正單元(12)之輸出端(122)則電性連接至儲存結構(11)之輸入端(112)；係可以修正因掃描單元(111)間的連接方式改變所影響之儲存結構(11)接收訊號的變化，且於重置儲存結構(11)後傳送測試向量至儲存結構(11)。其可於重置儲存結構(11)後，利用儲存結構(11)之移位輸出資料來修正測試解壓縮器(3)輸出之測試向量，使掃描輸入修正單元輸出至儲存結構(11)之掃描單元(111)之測試向量相等於測試解壓縮器(3)輸出之測試向量；其中掃描輸入修正單元(12)依據掃描單元(111)間正相或反相的連接次數為偶數或奇數，以選用圖四及圖五所示之互斥或閘(XOR)或互斥反或閘(XNOR)其中之一。再者，測試控制器(2)係電

性連接著複數條掃描鏈(1)與測試解壓縮器(3)，並能輸出多種控制訊號至掃描鏈(1)及測試解壓縮器(3)內，以控制測試流程。

【0029】 於實際實施時，積體電路內係有多條掃描鏈(1)，測試控制器(2)會先傳送重置訊號至掃描鏈(1)，其中的儲存結構(11)即可進行重置，隨後輸出複數組測試資料至掃描輸入修正單元(12)以及測試解壓縮器(3)，測試解壓縮器(3)其中的緩衝器(33)會接收測試資料，依據測試控制器(2)的選擇訊號，選取部分的測試資料，並重組為測試解壓縮器(3)所使用之格式，產生壓縮後之測試向量；另，複數組測試資料在傳送至測試解壓縮器(3)時亦同時傳送至掃描輸入修正單元(12)以將其修正以將原來之複數組測試資料還原並儲存於儲存結構(11)中；接續著，壓縮後之測試向量會被解壓縮，產生掃描鏈(1)所需之多組測試向量，並經由掃描輸入修正單元(12)傳送至掃描鏈(1)以進行電性測試，一組測試向量測試完畢後會產生測試結果，並持續傳送其他尚未測試的測試向量，直到全部的測試向量於掃描鏈(1)中測試完畢。

【0030】 藉此，不需要經外部的自動測試機台提供測試向量與訊號，即能達到自動測試的目的，大幅減少測試成本，能使積體電路達到自動測試的功能。

【0031】 由上述之實施說明可知，本發明與現有技術相較之下，本發明具有以下優點：

【0032】 1.本發明可將測試資料儲存於掃描鏈的自動測試架構及其方法，其藉由掃描鏈、測試控制器以及測試解壓縮器的連結以組成自動測試之架構，使積體電路可以作到自動測試，能夠取代先前使用外部的自動測試機台，達到自動測試的目的，以大幅減少之前積體電路測試的成本，有效改善積體電路的製造效率以及製造週期。

【0033】 2.本發明可將測試資料儲存於掃描鏈的自動測試架構及其

方法，其中的掃描鏈具有儲存結構，能夠儲存壓縮後之測試向量，因此，不需要額外的儲存裝置或外部設備提供儲存空間，係解決先前必須利用外部的自動測試機台進行儲存之缺失。

【0034】 3.本發明可將測試資料儲存於掃描鏈的自動測試架構及其方法，其掃描修正輸入單元藉由輸入端以及輸出端的迴路連接，能夠修正因掃描單元間的連接方式改變所影響之儲存結構接收訊號的變化，並使移位輸入至掃描單元之測試向量相等於測試解壓縮器輸出之測試向量。

【0035】 綜上所述，本發明之可將測試資料儲存於掃描鏈的自動測試架構及其方法，的確能藉由上述所揭露之實施例，達到所預期之使用功效，且本發明亦未曾公開於申請前，誠已完全符合專利法之規定與要求。爰依法提出發明專利之申請，懇請惠予審查，並賜准專利，則實感德便。

【0036】 惟，上述所揭之圖示及說明，僅為本發明之較佳實施例，非為限定本發明之保護範圍；大凡熟悉該項技藝之人士，其所依本發明之特徵範疇，所作之其它等效變化或修飾，皆應視為不脫離本發明之設計範疇。

【符號說明】

【0037】	(1)	掃描鏈	(11)	儲存結構
【0038】	(111)	掃描單元	(1111)	正相輸出端
【0039】	(1112)	反相輸出端	(1113)	測試資料輸入端
【0040】	(1114)	一般電路輸入端	(112)	輸入端
【0041】	(113)	輸出端	(12)	掃描輸入修正單元
【0042】	(121)	第一輸入端	(122)	輸出端
【0043】	(123)	第二輸入端	(2)	測試控制器
【0044】	(3)	測試解壓縮器	(31)	輸入端

【0045】	(32)	輸出端	(33)	緩衝器
【0046】	(S1)	步驟一	(S2)	步驟二
【0047】	(S3)	步驟三	(S4)	步驟四
【0048】	(S5)	步驟五		