

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-99714

(P2012-99714A)

(43) 公開日 平成24年5月24日(2012.5.24)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/04 (2006.01)	HO 1 L 27/04 H	5 F 0 3 8
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 E	
	HO 1 L 27/04 D	

審査請求 未請求 請求項の数 12 O L (全 14 頁)

(21) 出願番号 特願2010-247352 (P2010-247352)
 (22) 出願日 平成22年11月4日 (2010.11.4)

(71) 出願人 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1
 (74) 代理人 100115738
 弁理士 鷲頭 光宏
 (74) 代理人 100121681
 弁理士 緒方 和文
 (74) 代理人 100130982
 弁理士 黒瀬 泰之
 (74) 代理人 100127199
 弁理士 三谷 拓也
 (72) 発明者 武田 裕正
 東京都中央区八重洲二丁目2番1号エルピー
 ーダメモリ株式会社内

最終頁に続く

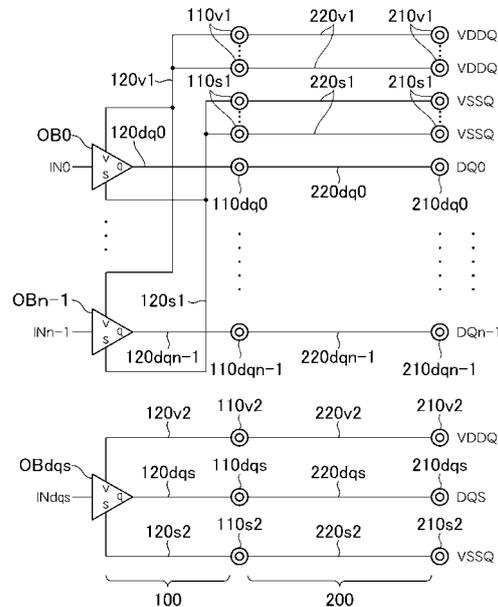
(54) 【発明の名称】 半導体チップ及びこれを備える半導体装置

(57) 【要約】

【課題】 出力バッファのスイッチングに伴う電源ノイズがストロープ出力バッファに伝搬することを防止する。

【解決手段】 データ信号DQ0を出力するデータ出力バッファOB0と、データ出力バッファOB0に電源電位VDDQを供給する電源パッド110v1と、電源パッド110v1に接続される電源配線120v1と、ストロープ信号DQSを出力するストロープ出力バッファOBdqSと、ストロープ出力バッファOBdqSに電源電位VDDQを供給する電源パッド110v2とを有し、電源配線120v1と電源パッド110v2は、互いに電氣的に独立している。これにより、データ出力バッファOB0のスイッチングに伴う電源ノイズがストロープ出力バッファOBdqSに伝搬しないことから、ストロープ信号DQSの信号品質を高めることが可能となる。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

データ信号を出力するデータ出力バッファと、
 前記データ出力バッファに第 1 の電源電位を供給する第 1 の電源パッドと、
 前記第 1 の電源パッドに接続される第 1 の配線と、
 前記データ信号の出力タイミングを示すストローク信号を出力するストローク出力バッファと、
 前記ストローク出力バッファに第 2 の電源電位を供給する第 2 の電源パッドと、を有し、
 前記第 1 の配線と前記第 2 の電源パッドは、互いに電氣的に独立していることを特徴とする半導体チップ。

10

【請求項 2】

前記第 1 の電源電位と前記第 2 の電源電位は互いに同じレベルであることを特徴とする請求項 1 に記載の半導体チップ。

【請求項 3】

前記第 1 及び第 2 の電源電位は、接地電位よりも高電位であることを特徴とする請求項 1 又は 2 に記載の半導体チップ。

【請求項 4】

前記データ出力バッファに前記接地電位を供給する第 3 の電源パッドと、
 前記第 3 の電源パッドに接続される第 2 の配線と、
 前記ストローク出力バッファに前記接地電位を供給する第 4 の電源パッドと、をさらに有し、
 前記第 2 の配線と前記第 4 の電源パッドは、互いに電氣的に独立していることを特徴とする請求項 3 に記載の半導体チップ。

20

【請求項 5】

前記データ出力バッファ及び前記第 1 の電源パッドを複数備え、前記第 1 の配線は前記複数のデータ出力バッファと前記複数の第 1 の電源パッドとを共通接続することを特徴とする請求項 1 乃至 4 のいずれか一項に記載の半導体チップ。

【請求項 6】

第 1 及び第 2 の電源ノードと第 1 の出力ノードを有し、第 1 及び第 2 の電源ノードのいずれか一方を前記第 1 の出力ノードに接続することによって前記第 1 の出力ノードからデータ信号を出力するデータ出力バッファと、
 第 3 及び第 4 の電源ノードと第 2 の出力ノードを有し、第 3 及び第 4 の電源ノードのいずれか一方を前記第 2 の出力ノードに接続することによって前記第 2 の出力ノードから前記データ信号の出力タイミングを示すストローク信号を出力するストローク出力バッファと、

30

前記第 1 の出力ノードに接続されたデータパッドと、
 前記第 2 の出力ノードに接続されたストロークパッドと、
 いずれも第 1 の電源電位が供給される第 1 及び第 3 の電源パッドと、
 いずれも第 2 の電源電位が供給される第 2 及び第 4 の電源パッドと、
 前記第 1 乃至第 4 の電源パッドと前記第 1 乃至第 4 の電源ノードとをそれぞれ接続し、互いに絶縁分離された第 1 乃至第 4 の電源配線と、を備えることを特徴とする半導体チップ。

40

【請求項 7】

それぞれ第 1 の方向に並べて配置された複数のパッドからなり、互いに前記第 1 の方向と直交する第 2 の方向に隣接して配置された第 1 及び第 2 のパッド列を備え、
 前記第 1 及び第 2 のパッド列には、いずれも前記第 1 及び第 2 の電源パッドが複数個含まれており、
 前記第 1 のパッド列に含まれる前記第 1 の電源パッドと前記第 2 のパッド列に含まれる前記第 1 の電源パッドとを接続する第 5 の電源配線と、前記第 1 のパッド列に含まれる前

50

記第 2 の電源パッドと前記第 2 のパッド列に含まれる前記第 2 の電源パッドとを接続する第 6 の電源配線とをさらに備える、ことを特徴とする請求項 6 に記載の半導体チップ。

【請求項 8】

前記第 5 及び第 6 の電源配線は、いずれも、前記第 1 又は第 2 のパッド列に沿って前記第 1 の方向に延在する第 1 の配線部分と、前記第 1 及び第 2 のパッド列に挟まれた領域において前記第 2 の方向に延在する第 2 の配線部分とを含んでおり、

前記第 2 の配線部分は、前記第 1 の配線部分の少なくとも一部よりも上層の配線層に形成されている、ことを特徴とする請求項 7 に記載の半導体チップ。

【請求項 9】

請求項 6 乃至 8 のいずれか一項に記載の半導体チップと、前記半導体チップが搭載された基板とを備え、

前記基板は、第 1 乃至第 4 の電源ポールと、前記第 1 乃至第 4 の電源パッドと前記第 1 乃至第 4 の電源ポールとをそれぞれ接続し、互いに絶縁分離された第 1 乃至第 4 の基板配線と、を備えることを特徴とする半導体装置。

【請求項 10】

前記基板は、

前記半導体チップが搭載された第 1 の面と、

前記第 1 乃至第 4 の電源ポールが設けられた第 2 の面と、

前記第 1 乃至第 4 の基板配線のうち前記第 1 の面に設けられた第 1 の基板配線部分と、

前記第 1 乃至第 4 の基板配線のうち前記第 2 の面に設けられた第 2 の基板配線部分と、

前記基板を貫通して設けられ、前記第 1 の基板配線部分と前記第 2 の基板配線部分とを接続する複数のスルーホール導体と、を有し、

前記複数のスルーホール導体は、それぞれ前記第 1 の基板配線部分と接する第 1 の端部と、前記第 2 の基板配線部分と接する第 2 の端部とを含み、前記第 1 の端部とこれに対応する前記第 2 の端部はいずれも平面視で同じ位置に設けられている、ことを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】

データ信号を出力するデータ出力バッファと、前記データ出力バッファに第 1 の電源電位を供給する第 1 の電源パッドと、前記第 1 の電源パッドに接続される第 1 の配線と、前記データ信号の出力タイミングを示すストローク信号を出力するストローク出力バッファと、前記ストローク出力バッファに第 2 の電源電位を供給し、且つ、前記第 1 の配線に対して電氣的に独立している第 2 の電源パッドとを有する半導体チップと、

第 1 の面及び前記第 1 の面と対向する第 2 の面を有し、前記第 1 の面側に前記半導体チップが搭載された基板と、

前記基板の前記第 2 の面に設けられ、前記半導体チップの前記第 1 の電源パッドに前記第 1 の電源電位を供給する第 1 の電源ポールと、

前記基板の前記第 2 の面に設けられ、前記半導体チップの前記第 2 の電源パッドに前記第 2 の電源電位を供給する第 2 の電源ポールと、を備え、

前記第 1 の電源ポール及び前記第 2 の電源ポールは、電氣的に接続されていないことを特徴とする半導体装置。

【請求項 12】

前記基板は単層構造であり、内部に配線層が設けられていないことを特徴とする請求項 11 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体チップ及びこれを備える半導体装置に関し、特に、データ信号を出力するデータ出力バッファ及びストローク信号を出力するストローク出力バッファが設けられた半導体チップ及びこれを備える半導体装置に関する。

【背景技術】

10

20

30

40

50

【 0 0 0 2 】

D R A M (Dynamic Random Access Memory) などのデータ転送レートの高い半導体チップにおいては、データ信号を出力する際に、データ信号の出力タイミングを示すストロブ信号を出力することがある。これにより、データ信号の受信側となるコントローラは、ストロブ信号に同期してデータ信号を取り込むことができることから、データ転送レートが高い場合であっても、正しくデータ信号を取り込むことが可能となる。

【 0 0 0 3 】

データ信号やストロブ信号を出力する出力バッファは、半導体チップの外部に信号を出力する回路であることから、駆動能力の大きなトランジスタが用いられる。このため出力バッファは、スイッチングに伴って電源ノイズを発生させやすい。このような電源ノイズが電源配線を介して他の内部回路に伝搬しないよう、出力バッファ用の電源パッドは、他の内部回路用の電源パッドとは別個に設けられていることがある（特許文献 1 参照）。

10

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 特開 2 0 0 9 - 2 8 3 6 7 3 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

しかしながら、出力バッファのスイッチングに伴う電源ノイズは、他の出力バッファにも影響を与えることがある。特に、特許文献 1 の図 1 2 に示されているように、データ信号を出力するデータ出力バッファと、ストロブ信号を出力するストロブ出力バッファの電源を共通化すると、データ出力バッファの動作によって発生する電源ノイズがストロブ出力バッファに伝搬し、ストロブ信号の信号品質が低下することがあった。

20

【 0 0 0 6 】

ストロブ信号は、コントローラ側にとってデータの取り込みタイミングを示す基準信号であることから、他の信号よりも高い信号品質が求められる。このため、出力バッファのスイッチングに伴う電源ノイズがストロブ出力バッファに伝搬しないよう、半導体チップ及びこれを搭載する基板において対策を行うことが望まれている。

【 課題を解決するための手段 】

30

【 0 0 0 7 】

本発明の一側面による半導体チップは、データ信号を出力するデータ出力バッファと、前記データ出力バッファに第 1 の電源電位を供給する第 1 の電源パッドと、前記第 1 の電源パッドに接続される第 1 の配線と、前記データ信号の出力タイミングを示すストロブ信号を出力するストロブ出力バッファと、前記ストロブ出力バッファに第 2 の電源電位を供給する第 2 の電源パッドと、を有し、前記第 1 の配線と前記第 2 の電源パッドは、互いに電氣的に独立していることを特徴とする。

【 0 0 0 8 】

また、本発明の一側面による半導体装置は、上記の半導体チップと、第 1 の面及び前記第 1 の面と対向する第 2 の面を有し、前記第 1 の面側に前記半導体チップが搭載された基板と、前記基板の前記第 2 の面に設けられ、前記半導体チップの前記第 1 の電源パッドに前記第 1 の電源電位を供給する第 1 の電源ポールと、前記基板の前記第 2 の面に設けられ、前記半導体チップの前記第 2 の電源パッドに前記第 2 の電源電位を供給する第 2 の電源ポールと、を備え、前記第 1 の電源ポール及び前記第 2 の電源ポールは、電氣的に接続されていないことを特徴とする。

40

【 0 0 0 9 】

本発明の他の側面による半導体チップは、第 1 及び第 2 の電源ノードと第 1 の出力ノードを有し、第 1 及び第 2 の電源ノードのいずれか一方を前記第 1 の出力ノードに接続することによって前記第 1 の出力ノードからデータ信号を出力するデータ出力バッファと、第 3 及び第 4 の電源ノードと第 2 の出力ノードを有し、第 3 及び第 4 の電源ノードのいずれ

50

か一方を前記第 2 の出力ノードに接続することによって前記第 2 の出力ノードから前記データ信号の出力タイミングを示すストロブ信号を出力するストロブ出力バッファと、前記第 1 の出力ノードに接続されたデータパッドと、前記第 2 の出力ノードに接続されたストロブパッドと、いずれも第 1 の電源電位が供給される第 1 及び第 3 の電源パッドと、いずれも第 2 の電源電位が供給される第 2 及び第 4 の電源パッドと、前記第 1 乃至第 4 の電源パッドと前記第 1 乃至第 4 の電源ノードとをそれぞれ接続し、互いに絶縁分離された第 1 乃至第 4 の電源配線と、を備えることを特徴とする。

【0010】

また、本発明の他の側面による半導体装置は、上記の半導体チップと、該半導体チップが搭載された基板とを備え、前記基板は、第 1 乃至第 4 の電源ボールと、前記第 1 乃至第 4 の電源パッドと前記第 1 乃至第 4 の電源ボールとをそれぞれ接続し、互いに絶縁分離された第 1 乃至第 4 の基板配線と、を備えることを特徴とする。

10

【発明の効果】

【0011】

本発明によれば、データ出力バッファの電源経路とストロブ出力バッファの電源経路とが互いに電氣的に独立していることから、データ出力バッファのスイッチングに伴う電源ノイズがストロブ出力バッファに伝搬しない。これにより、ストロブ信号の信号品質を高めることが可能となる。

【図面の簡単な説明】

【0012】

20

【図 1】本発明の好ましい実施形態による半導体装置 10 の構成を示す断面図である。

【図 2】半導体チップ 100 に設けられたパッド列 PL1, PL2 の配置を説明するための模式図である。

【図 3】基板 200 の部分断面図である。

【図 4】基板 200 に設けられたボール 210 の平面的なレイアウトを説明するための模式図である。

【図 5】基板 200 に設けられた基板配線の一部を示す模式図である。

【図 6】出力バッファとボールとの接続関係を示す回路図である。

【図 7】出力バッファの等価回路図である。

【図 8】第 1 の比較例による出力バッファとボールとの接続関係を示す回路図である。

30

【図 9】第 2 の比較例による出力バッファとボールとの接続関係を示す回路図である。

【図 10】半導体チップ 100 内の電源配線の好ましいレイアウトを説明するための模式図である。

【発明を実施するための形態】

【0013】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

【0014】

図 1 は、本発明の好ましい実施形態による半導体装置 10 の構成を示す断面図である。

【0015】

40

図 1 に示すように、本実施形態による半導体装置 10 は、半導体チップ 100 とこれを搭載する基板 200 によって構成されている。半導体チップ 100 の種類については特に限定されないが、DRAM のようにデータ信号を出力する際に、その出力タイミングを示すストロブ信号を出力するタイプの半導体チップが本発明の適用対象である。本実施形態においては、半導体チップ 100 として DDR3 (Double Data Rate 3) 型の DRAM を用いている。

【0016】

特に限定されるものではないが、半導体チップ 100 は、図 1 及び図 2 に示すように主面 100a の略中央部に 2 列のパッド列 PL1, PL2 が設けられている。このような半導体チップ 100 を基板 200 にフリップチップ接続する場合、パッド列 PL1 に含まれ

50

るパッドについては基板 200 の領域 A 1 側に設けられた配線に接続する必要があり、パッド列 PL 2 に含まれるパッドについては基板 200 の領域 A 2 側に設けられた配線に接続するため、基板 200 上の配線に制約が生じる。しかしながら、本実施形態においては、後述する内部電源配線の使用によって、かかる制約に起因する問題を解決することが可能である。この点については追って詳述する。

【0017】

図 2 に示すように、パッド列 PL 1 , PL 2 は、それぞれ X 方向に並べて配置された複数のパッドからなる。パッド列 PL 1 とパッド列 PL 2 は、互いに Y 方向に隣接して配置されている。パッド列 PL 1 , PL 2 に含まれるパッドとしては、電源パッド、データパッド、ストロブパッド、アドレスパッド、コマンドパッドなどが含まれるが、以下の説明においては、主として電源パッドに着目して説明を進める。

10

【0018】

基板 200 はいわゆる単層基板である。つまり、半導体チップ 100 が搭載された表面 201 及び外部端子であるボール 210 が形成された表面 202 にそれぞれ配線層が形成され、これら配線層がスルーホール導体によって接続された構成であって、これら配線層の他に内部の配線層を有していない。これにより、内部に配線層を有する多層基板に比べて低コスト化を図ることができる。但し、単層基板においては、内部の配線層を用いた配線の引き回しができないことから、パッド列 PL 1 に接続された配線は領域 A 1 側に設けられたボールに接続する必要があり、パッド列 PL 2 に接続された配線は領域 A 2 側に設けられたボールに接続する必要がある。

20

【0019】

ここで、「配線層」とは配線を基板の平面方向に引き回すことが可能な層をいう。したがって、基板の厚み方向に接続を行うスルーホール導体などは、基板の内部に設けられているものの、配線層ではない。基板 200 の部分断面図である図 3 に示すように、基板 200 の表面 201 に設けられた基板配線部分 221 と、基板 200 の表面 202 に設けられた基板配線部分 222 と、基板 200 を貫通して設けられ、これら基板配線部分 221 と基板配線部分 222 とを接続するスルーホール導体 223 に着目した場合、スルーホール導体 223 が基板配線部分 221 と接する一方の端部 223 a と、スルーホール導体 223 が基板配線部分 222 と接する他方の端部 223 b は、平面視で同じ位置に設けられることになる。ここで、「平面視」とは、基板 200 の厚み方向、つまり、図 3 に示す矢印 Z から見た場合を指す。

30

【0020】

図 3 においては、一つのスルーホール導体 223 のみを図示しているが、基板 200 に多数のスルーホール導体 223 が設けられていることは言うまでもない。そして、これらスルーホール導体 223 の一方の端部 223 a と、これに対応する他方の端部 223 b は、平面視でいずれも同じ位置となる。

【0021】

図 4 は、基板 200 に設けられたボール 210 の平面的なレイアウトを説明するための模式図である。

【0022】

図 4 に示すように、基板 200 に設けられたボール 210 は、領域 A 1 に設けられたボール群 210 A 1 と、領域 A 2 に設けられたボール群 210 A 2 に分けられる。ボール群 210 A 1 に属するボールは、半導体チップ 100 のパッド列 PL 1 に属するパッドに接続され、ボール群 210 A 2 に属するボールは、半導体チップ 100 のパッド列 PL 2 に属するパッドに接続される。この点は、既に説明したとおりである。本実施形態では半導体チップ 100 として DDR 3 型の DRAM を用いているため、そのボールの配列は、DDR 3 型 DRAM の規格により定められた配列が採用されている。

40

【0023】

図 5 は、基板 200 に設けられた基板配線の一部を示す模式図である。

【0024】

50

図5に示すように、各パッド110と各ボール210は、基板200上の基板配線220によって基本的に一対一に接続される。但し、一部の電源パッド(例えば電源パッド119)については、複数のボールに共通接続されることがある。上述の通り、半導体チップ100は基板200の一方の表面201側に搭載され、各ボール210は基板200の他方の表面202側に設けられることから、図5に示す基板配線220は、いずれも図3に示した基板配線部分221, 222及びスルーホール導体223を含んでいる。また、隣接する2つのボール間に配線可能な基板配線部分222の本数は、例えば3本に制限される。これは、多数の基板配線部分222を隣接するボール間に形成するためには、基板200に対する微細加工が必要となり、コスト増の要因となるからである。

【0025】

図5において、「VDD」又は「VSS」と表記されたボール210は、出力バッファ以外の内部回路に使用する電源電位VDD及び接地電位VSSをそれぞれ供給するためのボールである。また、「VDDQ」又は「VSSQ」と表記されたボール210は、出力バッファに使用する電源電位VDDQ及び接地電位VSSQをそれぞれ供給するためのボールである。特に限定されるものではないが、電源電位VDDQと電源電位VDDは互いに同じレベルである。また、電源電位VDDQ及び電源電位VDDは、接地電位VSSQ及び接地電位VSSよりも高電位である。

【0026】

図5に示す例では、「VDDQ」又は「VSSQ」と表記されたボール210がそれぞれ2つずつ示されている。これら4つのボールは、それぞれ別個の基板配線220を介してそれぞれ別個のパッド110に接続されている。このうち、「VDDQ」と表記されたボール211及び「VSSQ」と表記されたボール212は、データ出力バッファに動作電圧を供給するためのボールである。一方、「VDDQ」と表記されたボール213及び「VSSQ」と表記されたボール214は、ストロープ出力バッファに動作電圧を供給するためのボールである。このように、データ出力バッファに動作電圧を供給する基板配線220と、ストロープ出力バッファに動作電圧を供給する基板配線220は、基板200上において共通化されておらず、互いに絶縁分離されている。

【0027】

その他のボールは、データ信号又はストロープ信号の入出力や、コマンド信号などを入力するためのボールであり、入出力又は入力される信号名がそれぞれ図示されている。パッドについても、入出力又は入力される信号名がそれぞれ図示されている。

【0028】

図6は、出力バッファとボールとの接続関係を示す回路図である。

【0029】

図6において、符号100が付されている領域に示された回路又は配線は、半導体チップ100に設けられた回路又は配線であることを意味し、符号200が付されている領域に示された配線は、基板200に設けられた配線であることを意味する。

【0030】

図6に示すように、半導体チップ100には、 n 個のデータ出力バッファOB0~OB $n-1$ と、ストロープ出力バッファOBdq s が設けられている。これら出力バッファOB0~OB $n-1$, OBdq s は、いずれも高位側の電源ノード v 及び低位側の電源ノード s を有しており、これら電源ノード間に印加される電圧によって動作する。出力バッファOB0は、等価回路図である図7に示すように、電源ノード v と電源ノード s との間に直列接続されたPチャンネル型MOSトランジスタ及びNチャンネル型MOSトランジスタによって構成されている。かかる構成により、入力信号IN0の論理レベルに基づいて電源ノード v 及び電源ノード s のいずれか一方を、これらトランジスタの接続点である出力ノード q に接続し、これにより出力ノード q からデータ信号DQ0を出力する。他の出力バッファOB1~OB $n-1$, OBdq s についても同様の回路構成を有している。

【0031】

データ出力バッファOB0~OB $n-1$ の出力ノード q は、半導体チップ100内のそ

10

20

30

40

50

れぞれ対応するデータ配線 $120dq_0 \sim 120dq_{n-1}$ を介して、それぞれ対応するデータパッド $110dq_0 \sim 110dq_{n-1}$ に接続されている。データパッド $110dq_0 \sim 110dq_{n-1}$ は、基板 200 に設けられた基板配線 $220dq_0 \sim 220dq_{n-1}$ を介して、それぞれ対応するボール $210dq_0 \sim 210dq_{n-1}$ に接続されている。

【0032】

また、ストローク出力バッファ $OBdq_s$ の出力ノード q は、半導体チップ 100 内のストローク配線 $120dq_s$ を介してストロークパッド $110dq_s$ に接続されている。ストロークパッド $110dq_s$ は、基板 200 に設けられた基板配線 $220dq_s$ を介して、ボール $210dq_s$ に接続される。

10

【0033】

データ出力バッファ $OB_0 \sim OB_{n-1}$ の電源ノード v 及び電源ノード s は、それぞれ半導体チップ 100 内の電源配線 $120v_1, 120s_1$ を介して、それぞれ複数の電源パッド $110v_1, 110s_1$ に接続されている。本発明において電源パッド $110v_1, 110s_1$ をそれぞれ複数個設けることは必須でないが、データ出力バッファ $OB_0 \sim OB_{n-1}$ に十分な電力を供給するためには、電源パッド $110v_1, 110s_1$ をそれぞれ複数個設けることが好ましい。これら複数の電源パッド $110v_1$ 及び複数の電源パッド $110s_1$ は、図6に示すように半導体チップ 100 の内部で短絡され、データ出力バッファ $OB_0 \sim OB_{n-1}$ の電源ノード v 及び電源ノード s にそれぞれ接続される。

【0034】

一方、ストローク出力バッファ $OBdq_s$ の電源ノード v 及び電源ノード s は、それぞれ半導体チップ 100 内の電源配線 $120v_2, 120s_2$ を介して、それぞれ電源パッド $110v_2, 110s_2$ に接続されている。電源配線 $120v_2$ は、電源配線 $120v_1$ とは別個の配線であり、半導体チップ 100 の内部において絶縁分離されている。同様に、電源配線 $120s_2$ は、電源配線 $120s_1$ とは別個の配線であり、半導体チップ 100 の内部において絶縁分離されている。

20

【0035】

かかる構成により、データ出力バッファ $OB_0 \sim OB_{n-1}$ 用の電源と、ストローク出力バッファ $OBdq_s$ 用の電源は、半導体チップ 100 の内部において完全に分離される。

30

【0036】

これら電源パッドは、基板 200 に設けられた基板配線を介してそれぞれ対応する電源ボールに接続される。具体的には、データ出力バッファ用の電源パッド $110v_1, 110s_1$ については、それぞれ対応する基板配線 $220v_1, 220s_1$ を介して、それぞれ対応する電源ボール $210v_1, 210s_1$ に接続され、ストローク出力バッファ用の電源パッド $110v_2, 110s_2$ については、それぞれ対応する基板配線 $220v_2, 220s_2$ を介して、それぞれ対応する電源ボール $210v_2, 210s_2$ に接続される。基板配線 $220v_2$ は、基板配線 $220v_1$ とは別個の配線であり、基板 200 上において絶縁分離されている。同様に、基板配線 $220s_2$ は、基板配線 $220s_1$ とは別個の配線であり、基板 200 上において絶縁分離されている。

40

【0037】

かかる構成により、データ出力バッファ $OB_0 \sim OB_{n-1}$ 用の電源と、ストローク出力バッファ $OBdq_s$ 用の電源は、基板 200 上においても完全に分離される。

【0038】

これにより、データ出力バッファ $OB_0 \sim OB_{n-1}$ の動作に伴って発生する電源ノイズは、ストローク出力バッファ $OBdq_s$ には伝搬しないため、ストローク信号 DQ_S の信号品質を高めることが可能となる。これに対し、第1の比較例である図8に示すように、データ出力バッファ $OB_0 \sim OB_{n-1}$ 用の電源とストローク出力バッファ $OBdq_s$ 用の電源を半導体チップ 100 の内部において電氣的に接続したり、第2の比較例である図9に示すように、データ出力バッファ $OB_0 \sim OB_{n-1}$ 用の電源とストローク出力バ

50

バッファOBdq s用の電源を基板200において電氣的に接続したりすると、データ出力バッファOB0~OBn-1の動作に伴って発生する電源ノイズが共通の電源配線を介してストロブ出力バッファOBdq sに伝搬し、ストロブ信号DQSの信号品質に影響を与える可能性がある。このような問題は、本実施形態においては上述の通り解消される。

【0039】

図10は、半導体チップ100内の電源配線の好ましいレイアウトを説明するための模式図である。

【0040】

図10に示す例では、パッド列PL1, PL2にそれぞれ複数の電源パッド110v1, 110s1が設けられており、パッド列PL2に1個の電源パッド110v2と2個の電源パッド110s2が設けられている。上述の通り、電源パッド110v1, 110s1はデータ出力バッファOB0~OBn-1用の電源パッドであり、電源パッド110v2, 110s2はストロブ出力バッファOBdq s用の電源パッドである。

10

【0041】

また、パッド列PL1に設けられた複数の電源パッド110v1, 110s1は、パッド列PL1に沿ってX方向に延在する電源配線131a又は133aによってそれぞれ共通接続され、同様に、パッド列PL2に設けられた複数の電源パッド110v1, 110s1も、パッド列PL2に沿ってX方向に延在する電源配線131b又は133bによってそれぞれ共通接続される。さらに、パッド列PL1に沿った電源配線131a又は133aと、パッド列PL2に沿った電源配線131b又は133bは、パッド列PL1, PL2間に存在する領域A3においてY方向に延在する電源配線132によって短絡されている。

20

【0042】

これにより、パッド列PL1に設けられた複数の電源パッド110v1とパッド列PL2に設けられた複数の電源パッド110v1は、所定の電源配線132によって短絡され、同様に、パッド列PL1に設けられた複数の電源パッド110s1とパッド列PL2に設けられた複数の電源パッド110s1は、別の電源配線132によって短絡されることになる。その結果、データ出力バッファOB0~OBn-1用の電源がより安定化される。例えば、パッド列PL2に配置可能な電源パッドの数が少なく、これによりパッド列PL2側に配置されるデータ出力バッファへの電力供給が不足するような場合であっても、パッド列PL1に配置可能な電源パッドから電源配線132を介して電力供給されるため、各データ出力バッファに十分な電力を供給することが可能となる。

30

【0043】

尚、一方のパッド列に配置可能な電源パッドの数が不足する理由は、既に説明したとおり、パッド列PL1に含まれるパッドについては基板200の領域A1側に設けられた配線に接続する必要があり、パッド列PL2に含まれるパッドについては基板200の領域A2側に設けられた配線に接続する必要があるという制約が存在するからである。しかも、隣接する2つのボール間に配線可能な配線の本数が例えば3本に制限される場合には、領域A1内または領域A2内における基板配線の引き回しにも大きな制約が生じるため、上記のような電力供給不足が生じやすい。このような問題は、Y方向に延在する電源配線132を用いて電源配線131a又は133aと電源配線131b又は133bを短絡することによって解消される。

40

【0044】

特に限定されるものではないが、電源配線131については1層目のアルミニウム配線層(AL1)を用い、電源配線132については2層目のアルミニウム配線層(AL2)を用い、電源配線133については3層目のアルミニウム配線層(AL3)を用いることが好ましい。これは、上層の配線層ほど配線の断面積が大きく低抵抗となるため、電源配線132に最下層の配線層AL1を用いると、電源配線132によって電源配線131a又は133aと電源配線131b又は133bとを接続する効果が少なくなってしまうか

50

らである。

【0045】

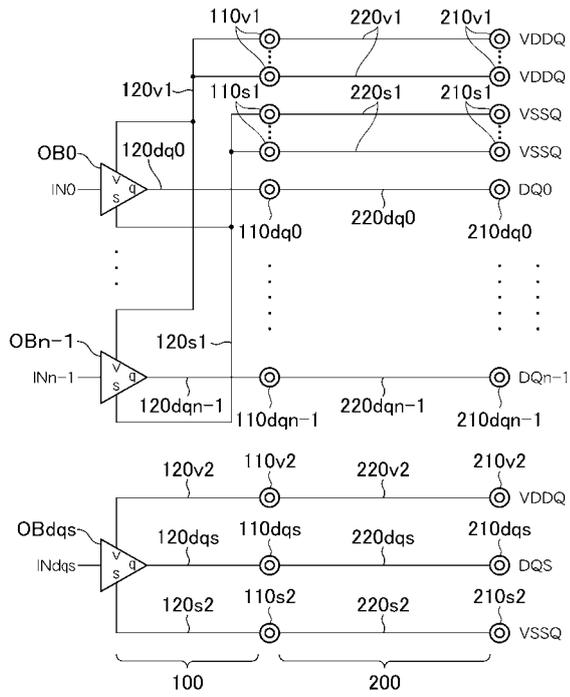
以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

【符号の説明】

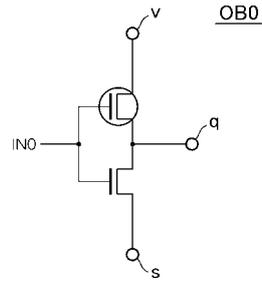
【0046】

10	半導体装置	
100	半導体チップ	
110	パッド	10
110dq0 ~ 110dq n - 1	データパッド	
110dqs	ストロープパッド	
110v1, 110s1	電源パッド (データ出力バッファ用)	
110v2, 110s2	電源パッド (ストロープ出力バッファ用)	
120dq0 ~ 120dq n - 1	データ配線	
120dqs	ストロープ配線	
120v1, 120s1	電源配線 (データ出力バッファ用)	
120v2, 120s2	電源配線 (ストロープ出力バッファ用)	
131 ~ 133	電源配線	
200	基板	20
201, 202	表面の表面	
210, 210dqs, 210dq0 ~ 210dq n - 1	ボール	
210v1, 210s1	電源ボール (データ出力バッファ用)	
210v2, 210s2	電源ボール (ストロープ出力バッファ用)	
220, 220dqs, 220dq0 ~ 220dq n - 1	基板配線	
220v1, 220s1	基板配線 (データ出力バッファ用)	
220v2, 220s2	基板配線 (ストロープ出力バッファ用)	
221, 222	基板配線部分	
223	スルーホール導体	
223a, 223b	スルーホール導体の端部	30
DQ0 ~ DQ n - 1	データ信号	
DQS	ストロープ信号	
OB0 ~ OB n	データ出力バッファ	
OBdqs	ストロープ出力バッファ	
PL1, PL2	パッド列	
VDDQ	電源電位	
VSSQ	接地電位	

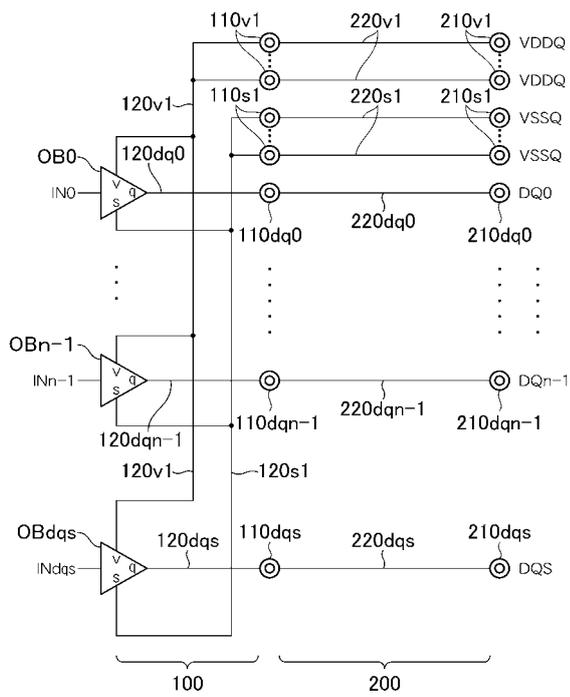
【 図 6 】



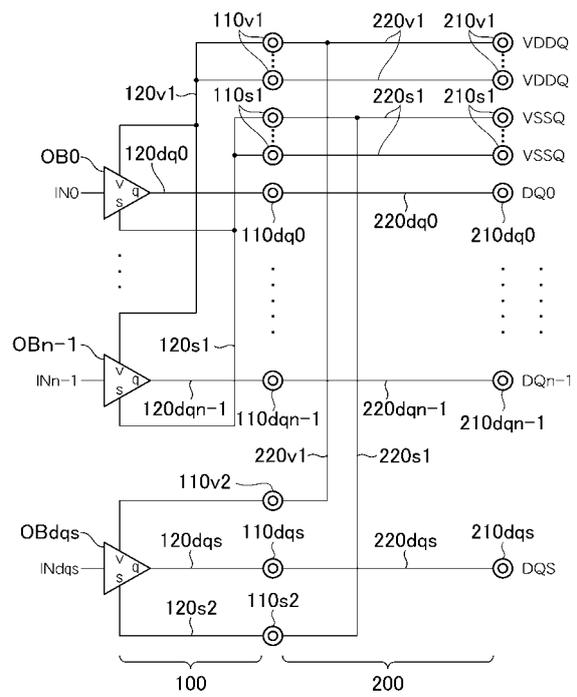
【 図 7 】



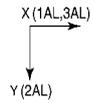
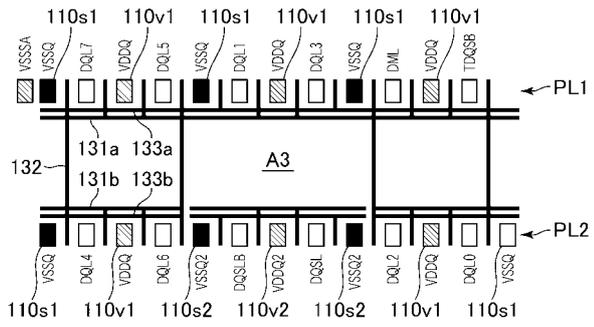
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

(72)発明者 藤澤 宏樹

東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内

Fターム(参考) 5F038 BE07 BE09 BH19 CA10 CD02 CD12 DF05 EZ04 EZ20