



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2015년12월15일  
(11) 등록번호 10-1577829  
(24) 등록일자 2015년12월09일

(51) 국제특허분류(Int. Cl.)  
G09G 3/36 (2006.01) G02F 1/133 (2006.01)  
(21) 출원번호 10-2009-0064628  
(22) 출원일자 2009년07월15일  
심사청구일자 2014년07월11일  
(65) 공개번호 10-2011-0006969  
(43) 공개일자 2011년01월21일  
(56) 선행기술조사문헌  
KR1020080053608 A  
KR1020080054222 A  
KR1020080096907 A  
KR1020090040732 A

(73) 특허권자  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
박만규  
서울특별시 은평구 은평터널로2길 13, 수색아파트  
201호 (수색동)  
홍진철  
경기도 과천시 책향기로 420, 책향기마을 신동아  
아파트 1107동 902호 (동패동)  
(74) 대리인  
특허법인로얄

전체 청구항 수 : 총 9 항

심사관 : 주장희

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 소비전력을 저감함과 아울러 표시품질을 높이도록 한 액정표시장치 및 그 구동방법에 관한 것이다.

이 액정표시장치는 다수의 데이터라인과 다수의 게이트라인이 교차되고, 그 교차영역에 액정셀들이 형성되며, 제 1 영역, 제2 영역 및 제3 영역으로 분할되는 액정표시패널; 상기 제1 영역의 구동을 담당하는 제1 데이터 집적회로; 상기 제2 영역의 구동을 담당하는 제2 데이터 집적회로; 상기 제3 영역의 구동을 담당하는 제3 데이터 집적회로; 및 입력 디지털 비디오 데이터를 분석하여 차지 셰어링 사용 여부에 대한 제1 선택신호 및 제2 선택신호를 생성하고, 상기 제1 및 제2 선택신호를 이용하여 상기 제1 내지 제3 데이터 집적회로를 독립적으로 제어하는 타이밍 컨트롤러를 구비한다.

대표도 - 도6

DIC위치 기능	DIC1	DIC2			DIC3
		BL1	BL2	BL3	
OP1	EN	EN	EN	EN	EN
OP2	EN	EN	EN	DLD	DIS
OP3	EN	DLD	DIS	ILD	EN
OP4	EN	DLD	DIS	DIS	DIS
OP5	DIS	ILD	EN	EN	EN
OP6	DIS	ILD	EN	DLD	DIS
OP7	DIS	DIS	DIS	ILD	EN
OP8	DIS	DIS	DIS	DIS	DIS

EN: C/S사용  
DIS: C/S미사용  
ILD: Increased L/D  
DLD: Decreased L/D

**명세서**

**청구범위**

**청구항 1**

다수의 데이터라인과 다수의 게이트라인이 교차되고, 그 교차영역에 액정셀들이 형성되며, 제1 영역, 제2 영역 및 제3 영역으로 분할되는 액정표시패널;

상기 제1 영역의 구동을 담당하는 제1 데이터 집적회로;

상기 제2 영역의 구동을 담당하는 제2 데이터 집적회로;

상기 제3 영역의 구동을 담당하는 제3 데이터 집적회로; 및

입력 디지털 비디오 데이터를 분석하여 차지 웨어링 사용 여부에 대한 제1 선택신호 및 제2 선택신호를 생성하고, 상기 제1 및 제2 선택신호를 이용하여 상기 제1 내지 제3 데이터 집적회로를 독립적으로 제어하는 타이밍 컨트롤러를 구비하고;

상기 제2 영역은 상기 제1 영역에 이웃한 제1 블록, 상기 제3 영역에 이웃한 제3 블록, 상기 제1 블록과 제3 블록의 사이에 위치한 제2 블록으로 세분화되며;

상기 제1 선택신호는 상기 제1 및 제3 데이터 집적회로의 차지 웨어링 사용 여부를 제어하고, 상기 제2 선택신호는 상기 제2 블록의 차지 웨어링 사용 여부를 제어함과 아울러 상기 제1 또는 제3 블록에서 상기 제2 블록과 상기 제1 영역 간 및 상기 제2 블록과 상기 제3 영역 간 충전 딜레이 편차를 완화시키도록 제어하는 것을 특징으로 하는 액정표시장치.

**청구항 2**

제 1 항에 있어서,

상기 제1 선택신호는 차지 웨어링 사용을 지시하는 인에이블신호와, 차지 웨어링 미사용을 지시하는 디스인에이블신호를 포함하고;

상기 제2 선택신호는 차지 웨어링 사용을 지시하는 인에이블신호와, 차지 웨어링 미사용을 지시하는 디스인에이블신호와, 상기 제1 또는 제3 블록에서의 충전 딜레이량이 점진적으로 증가되도록 제어하는 제1 로드 딜레이신호와, 상기 제1 또는 제3 블록에서의 충전 딜레이량이 점진적으로 감소되도록 제어하는 제2 로드 딜레이신호를 포함하는 것을 특징으로 하는 액정표시장치.

**청구항 3**

제 2 항에 있어서,

상기 제2 데이터 집적회로는,

상기 제1 블록의 데이터라인들을 구동시키기 위한 제1 채널군;

상기 제2 블록의 데이터라인들을 구동시키기 위한 제2 채널군; 및

상기 제3 블록의 데이터라인들을 구동시키기 위한 제3 채널군을 구비하고;

상기 제1 채널군과 제3 채널군은 각각 상기 인에이블신호, 디스인에이블신호, 제1 로드 딜레이신호 및 제2 로드 딜레이신호 중 어느 하나에 의해 제어되며, 상기 제2 채널군은 상기 인에이블신호 및 디스인에이블신호 중 어느 하나에 의해 제어되는 것을 특징으로 하는 액정표시장치.

**청구항 4**

제 3 항에 있어서,

상기 제1 채널군의 동작 상태는 상기 제1 블록에 이웃한 좌측 영역 및 상기 제1 블록에 이웃한 우측 영역의 차지 웨어링 사용 여부에 따라 결정되고;

상기 제3 채널군의 동작 상태는 상기 제3 블록에 이웃한 좌측 영역 및 상기 제1 블록에 이웃한 우측 영역의 차

지 웨어링 사용 여부에 따라 결정되는 것을 특징으로 하는 액정표시장치.

**청구항 5**

제 4 항에 있어서,

상기 제1 및 제3 채널군 각각은 상기 이웃한 영역들이 모두 차지 웨어링을 실시하는 경우 그들과 같이 차지 웨어링을 실시하도록 제어되고, 상기 이웃한 영역들이 모두 차지 웨어링을 미실시하지 않는 경우 그들과 같이 차지 웨어링을 미실시하도록 제어되며, 상기 이웃한 좌측 영역이 차지 웨어링을 실시하고 상기 이웃한 우측 영역이 차지 웨어링을 미실시하는 경우 왼쪽에서 오른쪽으로 갈수록 충전 딜레이량을 완만하게 감소시키도록 제어되고, 상기 이웃한 좌측 영역이 차지 웨어링을 미실시하고 상기 이웃한 우측 영역이 차지 웨어링을 실시하는 경우 왼쪽에서 오른쪽으로 갈수록 충전 딜레이량을 완만하게 증가시키도록 제어되는 것을 특징으로 하는 액정표시장치.

**청구항 6**

제 3 항에 있어서,

상기 제1 및 제3 채널군에 각각 접속된 상기 제2 데이터 집적회로는,  
출력 채널들에 일대일로 접속되는 다수의 버퍼들을 포함하는 출력회로;  
상기 출력 채널들 사이마다 접속된 다수의 제1 스위치들;  
상기 버퍼의 출력단과 출력 채널 사이마다 접속된 다수의 제2 스위치들;  
상기 인에이블신호 또는 디스인에이블신호에 의해 스위칭되어 소스 출력 인에이블신호를 선택적으로 인가하는 제3 스위치;  
상기 소스 출력 인에이블신호를 반전시키는 다수의 인버터들; 및  
상기 제1 및 제2 스위치들에 인가되는 상기 소스 출력 인에이블신호를 지연시키는 SOE 지연기를 구비하는 것을 특징으로 하는 액정표시장치.

**청구항 7**

제 6 항에 있어서,

상기 SOE 지연기는,  
다수의 분압용 저항들을 포함하여 그의 일측단과 타측단 사이의 전압을 분압하는 제1 로드 딜레이부;  
다수의 분압용 저항들을 포함하여 그의 일측단과 타측단 사이의 전압을 분압하는 제2 로드 딜레이부;  
상기 제1 로드 딜레이신호 또는 제2 로드 딜레이신호에 응답하여 상기 제1 및 제2 로드 딜레이부를 선택적으로 동작시키는 제1 및 제2 선택부; 및  
상기 제1 로드 딜레이부 또는 제2 로드 딜레이부로부터 인가되는 분압값을 전원 전압으로 입력받아 상기 소스 출력 인에이블신호를 지연시킨 후 상기 제1 및 제2 스위치들에 인가하는 다수의 디지털 버퍼들을 구비하고;  
상기 제1 및 제2 로드 딜레이부는 분압 방향이 서로 반대되는 것을 특징으로 하는 액정표시장치.

**청구항 8**

제 6 항에 있어서,

상기 SOE 지연기는,  
상기 제1 로드 딜레이신호 또는 제2 로드 딜레이신호에 응답하여 선택신호를 출력하는 선택부;  
상기 선택부의 제어하에 소스 출력 인에이블신호를 지연시켜 상기 제1 및 제2 스위치들에 인가하는 다수의 디지털 버퍼들을 포함하는 제1 SOE 지연부; 및  
상기 선택부의 제어하에 소스 출력 인에이블신호를 지연시켜 상기 제1 및 제2 스위치들에 인가하는 다수의 디지털

털 버퍼들을 포함하는 제2 SOE 지연부를 구비하고;

상기 제1 및 제2 SOE 지연부는 지연 방향이 서로 반대되는 것을 특징으로 하는 액정표시장치.

**청구항 9**

제 7 항 또는 제 8 항에 있어서,

상기 디지털 버퍼는 각각 PMOS와 NMOS로 구성되며 입출력단이 서로 캐스캐이드 접속된 제1 인버터와 제2 인버터를 포함하는 것을 특징으로 하는 액정표시장치.

**발명의 설명**

**발명의 상세한 설명**

**기술 분야**

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 소비전력을 저감함과 아울러 표시품질을 높이도록 한 액정표시장치에 관한 것이다.

**배경 기술**

[0002] 액정표시장치는 비디오신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시한다. 액티브 매트릭스(Active Matrix) 타입의 액정표시장치는 액정셀마다 형성된 박막트랜지스터(Thin Film Transistor, TFT)를 이용하여 액정셀들에 공급되는 데이터전압을 스위칭하여 데이터를 능동적으로 제어하므로 동화상의 표시품질을 높일 수 있다.

[0003] 이와 같은 액정표시장치는 직류 읍셋 성분을 감소시키고 액정의 열화를 줄이기 위하여, 소정의 액정셀들 단위로 충전되는 데이터전압의 극성을 반전시킨다. 그런데, 이러한 인버전 구동방식에 의하는 경우, 데이터전압의 극성이 바뀔때마다 데이터라인들에 공급되는 데이터전압의 스윙폭이 커지고 데이터 구동회로의 발열온도가 높아져 소비전력이 급증하는 단점이 있다.

[0004] 이에, 데이터전압의 스윙폭을 줄이고 데이터 구동회로의 발열온도 및 소비전력을 줄이기 위하여, 도 1a 및 도 1b와 같은 차지 웨어(Charge Share) 방식이 제안된 바 있다. 차지 웨어 방식은 데이터 구동회로의 인접 출력 채널 사이에 접속된 차지 웨어 스위치(SW1)를 소스 출력 인에이블신호(SOE)의 하이논리 구간동안 턴 온 시켜 패널 내 양전하(+ Charge)와 음전하(- Charge)를 웨어링 시킴으로써, 데이터 구동회로의 초기 출력 레벨을 중간 레벨로 변경한다.

[0005] 한편, 차지 웨어 방식에 의한다고 해서 항상 데이터 구동회로의 소비전력이 줄어드는 것은 아니다. 다시 말해, 차지 웨어 방식은 동일 채널을 통해 연속적으로 출력되는 출력 레벨 간 차이가 큰 데이터 패턴 표시시 저 소비전력 구현에 유리한 것으로, 출력 레벨 간 차이가 크지 않은 데이터 패턴 표시시에는 도 2a 및 도 2b와 같이 차지 웨어 방식을 사용하지 않고 그 이전 레벨을 유지한 상태에서 출력을 내보내는 것이 오히려 저 소비전력에 더 효과적이다.

[0006] 그런데, 종래에는 데이터 구동회로에 입력되는 데이터 패턴 특성에 상관없이 차지 웨어 기능 사용 여부를 결정하고, 그 결과를 데이터 구동회로를 구성하는 모든 데이터 집적회로(Integrated Circuit : 이하 'IC'라 함)에 일률적으로 적용하였다. 이와 같이, 차지 웨어링 사용 여부를 일률적으로 적용하는 경우에는, 차지 웨어링 사용 여부에 따라 소비전력에 큰 차이를 보이는 데이터 패턴들이 서로 다른 데이터 IC에 입력될 수 있다. 그 결과, 특정 데이터 IC의 소비전력이 다른 데이터 IC에 비해 크게 증가하는 현상이 발생하게 되고, 이로 인해 종래 방식은 최적의 저 소비전력을 구현할 수 없게 된다. 예컨대, 도 3과 같이, 제1 내지 제3 데이터 IC(TAB1 내지 TAB3)에 각각 차지 웨어링 사용시 소비전력에 유리한 패턴, 복합 패턴, 및 차지 웨어링 미 사용시 소비전력에 유리한 패턴의 데이터가 인가될 때, 차지 웨어링을 일률적으로 사용하는 경우에는 제1 데이터 IC(TAB1)의 소비전력은 감소하나 제3 데이터 IC(TAB1)의 소비전력은 오히려 증가하게 된다. 차지 웨어링을 일률적으로 사용하지 않는 경우에는 그 반대의 결과를 초래한다.

**발명의 내용**

**해결 하고자하는 과제**

- [0007] 따라서, 본 발명의 목적은 입력 데이터 패턴을 분석하여 개별 데이터 IC 각각에 대해 차지 쉐어링 사용 여부를 적용하여 최적의 소비전력을 구현할 수 있도록 한 액정표시장치를 제공하는 데 있다.
- [0008] 본 발명의 다른 목적은 데이터 IC 별로 독립적으로 차지 쉐어링 사용 여부를 적용함으로써 발생하는 데이터 IC 간 ब्ल럭 딤(Block Dim)을 해소할 수 있도록 한 액정표시장치를 제공하는 데 있다.
- [0009]

**과제 해결수단**

- [0010] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 다수의 데이터라인과 다수의 게이트라인이 교차되고, 그 교차영역에 액정셀들이 형성되며, 제1 영역, 제2 영역 및 제3 영역으로 분할되는 액정표시패널; 상기 제1 영역의 구동을 담당하는 제1 데이터 집적회로; 상기 제2 영역의 구동을 담당하는 제2 데이터 집적회로; 상기 제3 영역의 구동을 담당하는 제3 데이터 집적회로; 및 입력 디지털 비디오 데이터를 분석하여 차지 쉐어링 사용 여부에 대한 제1 선택신호 및 제2 선택신호를 생성하고, 상기 제1 및 제2 선택신호를 이용하여 상기 제1 내지 제3 데이터 집적회로를 독립적으로 제어하는 타이밍 컨트롤러를 구비하고; 상기 제2 영역은 상기 제1 영역에 이웃한 제1 ब्ल럭, 상기 제3 영역에 이웃한 제3 ब्ल럭, 상기 제1 ब्ल럭과 제3 ब्ल럭의 사이에 위치한 제2 ब्ल럭으로 세분화되며; 상기 제1 선택신호는 상기 제1 및 제3 데이터 집적회로의 차지 쉐어링 사용 여부를 제어하고, 상기 제2 선택신호는 상기 제2 ब्ल럭의 차지 쉐어링 사용 여부를 제어함과 아울러 상기 제1 또는 제3 ब्ल럭에서 상기 제2 ब्ल럭과 상기 제1 영역 간 및 상기 제2 ब्ल럭과 상기 제3 영역 간 충전 딜레이 편차를 완화시키도록 제어하는 것을 특징으로 한다.

**효과**

- [0011] 본 발명에 따른 액정표시장치는 입력 데이터 패턴을 분석하여 개별 데이터 IC 각각에 대해 차지 쉐어링 사용 여부를 적용하여 최적의 소비전력을 구현할 수 있다.
- [0012] 나아가, 본 발명에 따른 액정표시장치는 데이터 IC 별로 독립적으로 차지 쉐어링 사용 여부를 적용함으로써 데이터 IC 간 급격한 충전 딜레이량 차이를 보이는 해당 경계 ब्ल럭에 대해, 새로운 방식의 차지 쉐어링 방식을 적용하여 충전 딜레이량을 완만하게 변화시킴으로써, 데이터 IC 간 ब्ल럭 딤(Block Dim)을 크게 해소할 수 있다.

**발명의 실시를 위한 구체적인 내용**

- [0013] 이하, 도 4 내지 도 17을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- [0014] 도 4는 본 발명의 실시예에 따른 액정표시장치를 보여준다.
- [0015] 도 4를 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(10), 타이밍 컨트롤러(11), 데이터 구동회로(12), 및 게이트 구동회로(13)를 구비한다.
- [0016] 액정표시패널(10)은 두 장의 유리기판 사이에 적하된 액정분자들을 구비한다. 이 액정표시패널(10)에는 데이터 라인들(DL)과 게이트라인들(GL)의 교차 구조에 의해 매트릭스 형태로 다수의 액정셀들(C1c)이 배치된다.
- [0017] 액정표시패널(10)의 하부 유리기판에는 다수의 데이터라인들(DL), 다수의 게이트라인들(GL), TFT들, TFT들 각각에 접속된 액정셀(C1c)의 화소전극들(1), 화소전극들(1)과 대향하는 공통전극(2) 및 스토리지 커패시터(Cst) 등이 형성된다.
- [0018] 액정표시패널(10)의 상부 유리기판 상에는 블랙매트릭스, 컬러필터 및 공통전극(2)이 형성된다. 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기판 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서

화소전극(1)과 함께 하부 유리기판 상에 형성된다.

- [0019] 액정표시패널(10)의 상부 유리기판과 하부 유리기판 각각에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 내면에 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다.
- [0020] 타이밍 콘트롤러(11)는 수직/수평 동기신호(Vsync, Hsync), 데이터 인에이블(Data Enable), 클럭신호(CLK) 등의 타이밍신호를 입력받아 데이터 구동회로(12)와 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 제어신호들(DDC, GDC)을 발생한다. 게이트 제어신호들(GDC)은 게이트 스타트 펄스(Gate Start Pulse : GSP), 게이트 쉬프트 클럭신호(Gate Shift Clock : GSC), 및 게이트 출력 인에이블신호(Gate Output Enable : GOE)등을 포함한다. 데이터 제어신호들(DDC)은 소스 스타트 펄스(Source Start Pulse : SSP), 소스 샘플링 클럭(Source Sampling Clock : SSC), 소스 출력 인에이블신호(Source Output Enable : SOE), 및 극성제어신호(Polarity : POL)등을 포함한다.
- [0021] 타이밍 콘트롤러(11)는 입력되는 디지털 비디오 데이터(RGB)를 액정표시패널(10)에 맞게 재정렬하여 데이터 구동회로(12)에 공급한다. 특히, 타이밍 콘트롤러(11)는 입력 디지털 비디오 데이터(RGB)를 분석하고, 이 분석 결과에 기초하여 데이터 IC 들에 대한 차지 웨어링 사용 여부를 독립적으로 제어하기 위한 제1 및 제2 선택신호(SEL1, SEL2)를 생성한다. 여기서, 제1 선택신호(SEL1)는 해당 데이터 IC로 하여금 차지 웨어링을 사용하게 할 것인지 또는 미사용하게 할 것인지를 제어하는 데 사용된다. 제2 선택신호(SEL2)는 해당 데이터 IC로 하여금 차지 웨어링을 사용하게 할 것인지 또는 미사용하게 할 것인지를 제어하는 데 사용됨과 아울러, 차지 웨어링이 적용되는 데이터 IC와 차지 웨어링이 적용되지 않는 데이터 IC 간 경계 블럭에서 급격한 충전 딜레이 편차를 완만하게 변화시키는 데 사용된다.
- [0022] 게이트 구동회로(13)는 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 액정셀의 TFT 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터 및 레벨 쉬프터와 게이트라인(G1 내지 Gn) 사이에 접속되는 출력 버퍼를 각각 포함하는 다수의 게이트 IC들로 구성되어 대략 1 수평기간의 펄스폭을 가지는 스캔펄스들을 순차적으로 출력한다. 스캔펄스는 게이트라인(GL)에 공급되어 데이터전압이 인가되는 해당 수평라인을 선택한다.
- [0023] 데이터 구동회로(12)는 타이밍 콘트롤러(11)의 제어 하에 디지털 비디오 데이터(RGB)를 래치하고 그 디지털 비디오 데이터를 아날로그 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 데이터전압을 발생하고 그 데이터전압을 데이터라인들(D1 내지 Dm)에 공급한다.
- [0024] 도 5는 타이밍 콘트롤러(11)로부터 데이터 구동회로(12)에 인가되는 선택신호들(SEL1, SEL2)을 보여준다.
- [0025] 도 5를 참조하면, 데이터 구동회로(12)는 다수의 데이터 IC들(DIC1 내지 DIC3)을 포함한다.
- [0026] 다수의 데이터 IC들(DIC1 내지 DIC3) 각각은 소스 COF(Chip On Film)에 실장된다. 소스 COF는 소스 TCP(Tape Carrier Package)로 대신될 수 있다.
- [0027] 다수의 데이터 IC들(DIC1 내지 DIC3)은 소스 COF에 각각 실장된다. 소스 COF는 소스 TCP(Tape Carrier Package)로 대신될 수 있다. 소스 COF들의 입력단자들은 소스 PCB(미도시)의 출력단자들에 전기적으로 접속되고, 소스 COF들의 출력단자들은 ACF를 통해 액정표시패널(10)의 하부 유리기판에 형성된 데이터 패드들에 전기적으로 접속된다. 액정표시패널(10)은 데이터 IC들(DIC1 내지 DIC3)에 의해 세 개의 영역(AREA1 내지 AREA3)에서 독립적으로 구동된다. 본 발명의 실시예에서는 설명의 편의상 데이터 IC들의 갯수를 3개로 예로 하고 있지만, 본 발명의 기술적 사상은 이에 한정되지 않고, 데이터 IC들의 갯수가 4개 이상인 경우에도 얼마든지 적용가능하다. 액정표시패널(10)의 제2 영역(AREA2)은 제1 영역(AREA1)과 경계를 이루는 제1 블럭(BL1)과, 제3 영역(AREA3)과 경계를 이루는 제3 블럭(BL1)과, 제1 및 제3 블럭(BL1, BL3) 사이에 위치하는 제2 블럭(BL2)으로 세분화되며, 이들 블럭들(BL1 내지 BL3)은 제2 선택신호(SEL2)에 의해 독립적으로 구동된다.
- [0028] 제1 및 제3 데이터 IC(DIC1, DIC3)는 각각 액정표시패널(10)의 제1 및 제3 영역(AREA1, AREA3)의 구동을 담당하며, 제1 및 제3 영역(AREA1, AREA3)에 표시될 데이터의 속성에 따라 인에이블신호(EN), 및 디스인에이블신호(DIS) 중 어느 하나를 제1 선택신호(SEL1)로 인가받는다. 인에이블신호(EN)는 차지 웨어링 사용시 소비전력에 유리한 데이터 패턴에 대응하여 차지 웨어링 사용을 지시하는 제어신호이다. 디스인에이블신호(DIS)는 차지 웨어링 미사용시 소비전력에 유리한 데이터 패턴에 대응하여 차지 웨어링 미사용을 지시하는 제어신호이다. 제1 및 제3 데이터 IC(DIC1, DIC3)는 각각 인에이블신호(EN)에 응답하여 소스 출력 인에이블신호(SOE)의 하이논리 구간동안 n(n은 양의 정수)개의 출력 채널들 모두에 대해 차지 웨어링을 실시하여 초기 출력 레벨을 중간 레벨로 변경한다. 반면, 제1 및 제3 데이터 IC(DIC1, DIC3)는 각각 디스인에이블신호(DIS)에 응답하여 n 개의 출력 채널

널들 모두에 대해 차지 쉐어링을 실시하지 않고 그 이전 레벨을 유지한 상태에서 데이터 출력을 내보낸다.

[0029] 제2 데이터 IC(DIC2)는 액정표시패널(10)의 제1 및 제3 영역(AREA1, AREA3) 사이에 위치하는 제2 영역(AREA2)의 구동을 담당하며, 제2 영역(AREA2)에 표시될 데이터의 속성에 따라 인에이블신호(EN), 디스인에이블신호(DIS), 충전 딜레이량이 점진적으로 증가되도록 제어하는 로드 딜레이신호(이하, '제1 로드 딜레이신호'라 함)(ILD), 및 충전 딜레이량이 점진적으로 감소되도록 제어하는 로드 딜레이신호(이하, '제2 로드 딜레이신호'라 함)(DLD)중 어느 하나를 제2 선택신호(SEL2)로 인가받는다. 제2 데이터 IC(DIC2)의  $n$ ( $n$ 은 양의 정수)개의 출력 채널들 중 왼쪽  $k$ ( $k \leq n/2$ )개의 채널들(제1 채널군)과 오른쪽  $k$ 개의 채널들(제3 채널군)은 각각 제1 및 제3 블럭(BL1, BL3)의 구동을 담당하며, 인에이블신호(EN), 디스인에이블신호(DIS), 제1 로드 딜레이신호(ILD), 및 제2 로드 딜레이신호(DLD) 중 어느 하나를 제2 선택신호(SEL2)로 인가받는다. 제2 데이터 IC(DIC2)의 출력 채널들 중 중간 ( $n-2k$ )개의 채널들(제2 채널군)은 인에이블신호(EN) 및 디스인에이블신호(DIS) 중 어느 하나를 제2 선택신호(SEL2)로 인가받는다. 인에이블신호(EN) 및 디스인에이블신호(DIS)가 의미하는 것은 상술한 바와 같다. 제1 로드 딜레이신호(ILD)는 충전 딜레이량이 급격하게 증가하는 경계 블럭(BL1 또는 BL3)에서, 충전 딜레이량을 완만하게 증가시키게 이용되는 제어신호이다. 제2 로드 딜레이신호(DLD)는 충전 딜레이량이 급격하게 감소하는 경계 블럭(BL1 또는 BL3)에서, 충전 딜레이량을 완만하게 감소시키게 이용되는 제어신호이다. 여기서, 충전 딜레이량이란 데이터 충전시점의 딜레이량으로 정의되며, 스캔필스에 의해 TFT의 게이트 턴 오프 시점은 고정(즉, 1 수평기간은 고정)되기 때문에 이 충전 딜레이량이 클수록 액정셀에 충전되는 데이터 충전량은 줄어들게 된다. 통상, 차지 쉐어링을 사용하는 경우에는 차지 쉐어링을 사용하지 않는 경우에 비해 충전 딜레이량이 커진다. 제2 데이터 IC(DIC2)는 인에이블신호(EN)에 응답하여 소스 출력 인에이블신호(SOE)의 하이논리 구간동안 중간 ( $n-2k$ )개의 채널들에 대해 차지 쉐어링을 실시하여 초기 출력 레벨을 중간 레벨로 변경한다. 반면, 제2 데이터 IC(DIC2)는 디스인에이블신호(DIS)에 응답하여 중간 ( $n-2k$ )개의 채널들에 대해 차지 쉐어링을 실시하지 않고 그 이전 레벨을 유지한 상태에서 데이터 출력을 내보낸다. 제2 데이터 IC(DIC2)는 제1 로드 딜레이신호(ILD)에 응답하여 소스 출력 인에이블신호(SOE)를 점진적으로 딜레이시켜 왼쪽 및/또는 오른쪽의  $k$ 개의 채널들에 대해 왼쪽에서 오른쪽으로 갈수록 충전 딜레이량을 완만하게 증가시킨다. 제2 데이터 IC(DIC2)는 제2 로드 딜레이신호(DLD)에 응답하여 소스 출력 인에이블신호(SOE)를 점진적으로 딜레이시켜 왼쪽 및/또는 오른쪽의  $k$ 개의 채널들에 대해 왼쪽에서 오른쪽으로 갈수록 충전 딜레이량을 완만하게 감소시킨다. 한편, 경계 블럭(BL1 또는 BL3)을 사이에 두고 이웃하는 영역들(예컨대, AREA1와 BL2, 또는 BL2와 AREA2)의 충전 딜레이량이 동일하게 유지되는 경우, 제2 데이터 IC(DIC2)는 인에이블신호(EN)에 응답하여 왼쪽 및/또는 오른쪽의  $k$ 개의 채널들에 대해 차지 쉐어링을 실시하거나, 또는 디스인에이블신호(DIS)에 응답하여 왼쪽 및/또는 오른쪽의  $k$ 개의 채널들에 대해 차지 쉐어링을 미실시함으로써, 경계 블럭(BL1 또는 BL3)의 충전 딜레이량을 이웃하는 영역들과 일치시킨다.

[0030] 이상 설명한 내용을 도 6 및 도 7을 통해 정리하면 다음과 같다.

[0031] 제1 및 제3 데이터 IC(DIC1, DIC3)는 그들에게 인가되는 데이터의 속성에 따라 인에이블신호(EN), 및 디스인에이블신호(DIS) 중 어느 하나에 의해 제어되어, 모든 채널에 대해 차지 쉐어링을 실시하거나 또는 실시하지 않는다.

[0032] 제2 데이터 IC(DIC2)는 그들에게 인가되는 데이터의 속성에 따라 인에이블신호(EN), 및 디스인에이블신호(DIS) 중 어느 하나에 의해 제어되어, 중간 ( $n-2k$ )개의 채널들에 대해 차지 쉐어링을 실시하거나 또는 실시하지 않는다. 또한, 제2 데이터 IC(DIC2)는 인에이블신호(EN), 디스인에이블신호(DIS), 제1 로드 딜레이신호(ILD), 및 제2 로드 딜레이신호(DLD) 중 어느 하나에 의해 제어되어, 왼쪽 및/또는 오른쪽의  $k$ 개의 채널들에 대해 동시에 차지 쉐어링을 실시 또는 미실시하거나, 차지 쉐어링을 실시하되 왼쪽에서 오른쪽으로 갈수록 충전 딜레이량을 완만하게 증가 또는 감소시킨다. 제2 데이터 IC(DIC2)에서, 왼쪽 및 오른쪽의  $k$ 개의 채널들은 각각 제1 및 제3 경계 블럭(BL1, BL3)의 구동을 담당하므로, 이들의 동작 상태는 경계 블럭(BL1 또는 BL3)을 사이에 두고 이웃하는 영역들(예컨대, AREA1와 BL2, 또는 BL2와 AREA2)의 동작 상태에 의해 결정된다. 다시 말해, 왼쪽 및/또는 오른쪽의  $k$ 개의 채널들은 이웃하는 영역들이 모두 차지 쉐어링을 실시하는 경우 그들과 같이 차지 쉐어링을 실시하도록 제어되고(도 6의 OP1, OP2 EN 참조), 이웃하는 영역들이 모두 차지 쉐어링을 실시하지 않는 경우 그들과 같이 차지 쉐어링을 실시하지 않도록 제어된다(도 6의 OP7, OP8 DIS 참조). 또한, 왼쪽 및/또는 오른쪽의  $k$ 개의 채널들은 이웃하는 좌측 영역이 차지 쉐어링을 실시(EN, 충전 딜레이량 큼)하고 이웃하는 우측 영역이 차지 쉐어링을 실시하지 않는 경우(DIS, 충전 딜레이량 작음), 왼쪽에서 오른쪽으로 갈수록 충전 딜레이량을 완만하게 감소시키도록 제어되고(도 6의 OP2, OP3, OP4, OP6 DLD 참조), 이웃하는 좌측 영역이 차지 쉐어링을 실시하지 않고(DIS, 충전 딜레이량 작음)하고 이웃하는 우측 영역이 차지 쉐어링을 실시하는 경우(EN, 충전 딜레이량 큼), 왼쪽

에서 오른쪽으로 갈수록 충전 딜레이량을 완만하게 증가시키도록 제어된다(도 6의 OP3, OP5, OP6, OP7 ILD 참조). 도 8a 내지 도 8d는 도 6을 도 7에 적용했을 때의 도면으로서, 각각 도 6의 OP3 내지 OP6을 도식화한 것이다.

[0033] 도 9 및 도 10은 제1 데이터 IC(DIC1)를 상세히 보여준다. 제3 데이터 IC(DIC3)는 제1 데이터 IC(DIC1)와 실질적으로 동일한 구성을 갖는다.

[0034] 도 9 및 도 10을 참조하면, 제1 데이터 IC(DIC1)는 쉬프트 레지스터(121), 제1 래치 어레이(122), 제2 래치 어레이(123), 감마보상전압 발생부(124), 디지털/아날로그 변환기(이하, "DAC"라 한다)(125), 출력회로(126) 및 차지쉐어회로(Charge Share Circuit)(127)를 포함한다.

[0035] 쉬프트레지스터(121)는 소스 샘플링 클럭(SSC)에 따라 샘플링신호를 쉬프트시킨다. 또한, 쉬프트 레지스터(121)는 제1 래치 어레이(122)의 래치수를 초과하는 데이터가 공급될 때 캐리신호(Carry)를 발생한다.

[0036] 제1 래치 어레이(122)는 쉬프트 레지스터(121)로부터 순차적으로 입력되는 샘플링신호에 응답하여 타이밍 콘트롤러(11)로부터의 디지털 비디오 데이터들(RGB)을 샘플링하고, 그 데이터들(RGB)을 1 수평라인 분씩 래치한 다음, 1 수평라인 분의 데이터를 동시에 출력한다.

[0037] 제2 래치 어레이(123)는 제1 래치 어레이(122)로부터 입력되는 1 수평라인분의 데이터를 래치한 다음, 소스 출력 인에이블신호(SOE)의 로우논리기간 동안 다른 데이터 IC들(DIC2, DIC3)의 제2 래치 어레이와 동시에 래치된 디지털 비디오 데이터들(RGB)을 출력한다.

[0038] 감마보상전압 발생부(124)는 다수의 감마기준전압들을 디지털 비디오 데이터들(RGB)의 비트수로 표현 가능한 계조 수만큼 더욱 세분화하여 각 계조에 해당하는 정극성 감마보상전압들(VGH)과 부극성 감마보상전압들(VGL)을 발생한다.

[0039] DAC(125)는 정극성 감마보상전압(VGH)이 공급되는 P-디코더, 부극성 감마보상전압(VGL)이 공급되는 N-디코더, 극성제어신호들(POL)에 응답하여 P-디코더의 출력과 N-디코더의 출력을 선택하는 멀티플렉서를 포함한다. P-디코더는 제2 래치 어레이(123)로부터 입력되는 디지털 비디오 데이터들(RGB)을 디코드하여 그 데이터의 계조값에 해당하는 정극성 감마보상전압(VGH)을 출력하고, N-디코더는 제2 래치 어레이(123)로부터 입력되는 디지털 비디오 데이터들(RGB)을 디코드하여 그 데이터의 계조값에 해당하는 부극성 감마보상전압(VGL)을 출력한다. 멀티플렉서는 극성제어신호(POL)에 응답하여 정극성의 감마보상전압(VGH)과 부극성의 감마보상전압(VGL)을 선택한다.

[0040] 출력회로(126)는 도 10과 같은 출력 채널들에 일대일로 접속되는 다수의 버퍼(BUF)들을 포함하여 DAC(125)로부터 공급되는 아날로그 데이터전압의 신호감쇠를 최소화한다.

[0041] 차지쉐어회로(127)는 인접하는 출력 채널들 사이마다 접속된 다수의 제1 스위치들(SW1), 버퍼(BUF)의 출력단과 출력 채널 사이마다 접속된 다수의 제2 스위치들(SW2), 제1 선택신호(SEL1)에 의해 스위칭되어 소스 출력 인에이블신호(SOE)를 선택적으로 인가하는 제3 스위치(SW3), 및 소스 출력 인에이블신호(SOE)를 반전시키는 다수의 인버터들(INV)을 구비한다. 제3 스위치(SW3)는 제1 선택신호(SEL1)로서 입력되는 인에이블신호(EN)에 응답하여 턴 온 되어 소스 출력 인에이블신호(SOE)를 차지쉐어회로(127)에 인가한다. 소스 출력 인에이블신호(SOE)의 하이논리기간 동안, 제1 스위치들(SW1)은 턴 온 되어 출력 채널들 사이를 쇼트시켜 차지 쉐어링을 구현하고, 제2 스위치들(SW2)은 턴 오프 되어 데이터전압의 출력을 차단한다. 소스 출력 인에이블신호(SOE)가 로우 논리레벨로 반전되면, 제1 스위치들(SW1)은 턴 오프되어 차지 쉐어링 동작을 해제하고, 제2 스위치들(SW2)은 턴 온 되어 데이터전압의 출력을 허용한다. 한편, 제3 스위치(SW3)는 제1 선택신호(SEL1)로서 입력되는 디스인에이블신호(DIS)에 응답하여 턴 오프 되어 차지쉐어회로(127)로 소스 출력 인에이블신호(SOE)가 인가되는 것을 차단한다. 이 경우, 제2 스위치들(SW2)은 이 전(이전 프레임과 현재 프레임 사이의 블랭크 기간 동안 회로의 리셋을 위해 턴 온)의 턴 온 상태로 유지되고, 제1 스위치들(SW1)은 턴 온 될 수 없으므로, 차지쉐어회로(127)는 차지 쉐어링 없이 동작한다.

[0042] 도 11 내지 도 17은 제2 데이터 IC(DIC2)를 상세히 보여준다.

[0043] 도 11을 참조하면, 제2 데이터 IC(DIC2)는 쉬프트 레지스터(221), 제1 래치 어레이(222), 제2 래치 어레이(223), 감마보상전압 발생부(224), DAC(225), 출력회로(226) 및 차지쉐어회로(227)를 포함한다. 쉬프트 레지스터(221), 제1 래치 어레이(222), 제2 래치 어레이(223), 감마보상전압 발생부(224), 및 DAC(225)는 각각 도 9에 도시된 쉬프트 레지스터(121), 제1 래치 어레이(122), 제2 래치 어레이(123), 감마보상전압 발생부(124), 및 DAC(125)와 실질적으로 동일한 기능을 수행한다. 차지쉐어회로(227)는 액정표시패널(10)의 제2 영역(AREA2) 중

제1 블럭(BL1)을 구동하기 위한 k개의 출력 채널들, 제2 영역(AREA2) 중 제3 블럭(BL3)을 구동하기 위한 k개의 출력 채널들, 및 제2 영역(AREA2) 중 제2 블럭(BL2)을 구동하기 위한 (n-2k)개의 출력 채널들을 서로 독립적으로 구동시킨다. (n-2k)개의 출력 채널들에 대한 차지웨어회로 구성 및 기능은 도 10과 비교하여 출력 채널수만 다를 뿐, 나머지는 도 10과 실질적으로 동일하다.

[0044] 제1 블럭(BL1) 또는 제3 블럭(BL3)을 구동하기 위한 k개의 출력 채널들에 대한 출력회로(226) 및 차지웨어회로(227)의 일 접속 구성은 도 12 내지 도 16과 같다. 도 12를 참조하면, 출력회로(226)는 출력 채널들에 일대일로 접속되는 다수의 버퍼(BUF)들을 포함하여 DAC(225)로부터 공급되는 아날로그 데이터전압의 신호감쇠를 최소화한다.

[0045] 차지웨어회로(227)는 인접하는 출력 채널들 사이마다 접속된 다수의 제1 스위치들(SW1), 버퍼(BUF)의 출력단과 출력 채널 사이마다 접속된 다수의 제2 스위치들(SW2), 제2 선택신호(SEL2(EN/DIS))에 의해 스위칭되어 소스 출력 인에이블신호(SOE)를 선택적으로 인가하는 제3 스위치(SW3), 소스 출력 인에이블신호(SOE)를 반전시키는 다수의 인버터들(INV), 제1 및 제2 스위치들(SW1, SW2)에 인가되는 소스 출력 인에이블신호(SOE)를 지연시키는 SOE 지연기를 구비한다. SOE 지연기는 다수의 분압용 저항들(R)을 포함하여 그의 일측단(Net\_2)과 타측단(Net\_3) 사이의 전압을 분압하는 제1 로드 딜레이부(2271), 다수의 분압용 저항들(R)을 포함하여 그의 일측단(Net\_1)과 타측단(Net\_4) 사이의 전압을 분압하는 제2 로드 딜레이부(2272), 제2 선택신호(SEL2(ILD/DLD))에 응답하여 제1 및 제2 로드 딜레이부(2271, 2272)를 선택적으로 동작시키는 제1 및 제2 선택부(MUX1, MUX2), 및 제1 로드 딜레이부(2271) 또는 제2 로드 딜레이부(2272)로부터 인가되는 분압값을 전원 전압(VCC)으로 입력받아 소스 출력 인에이블신호(SOE)를 지연시킨 후 제1 및 제2 스위치들(SW1, SW2)에 인가하는 다수의 디지털 버퍼들(DBUF)을 포함한다.

[0046] 제1 스위치들(SW1)은 소스 출력 인에이블신호(SOE)의 하이논리기간 동안 턴 온 되고, 소스 출력 인에이블신호(SOE)의 로우논리기간 동안 턴 오프 된다. 제2 스위치들(SW2)은 인버터들(INV)에 의해 제1 스위치들(SW1)과는 반대로 동작한다. 제3 스위치(SW3)는 제2 선택신호(SEL2)로서 입력되는 인에이블신호(EN)에 응답하여 턴 온 되고, 제2 선택신호(SEL2)로서 입력되는 디스인에이블신호(DIS)에 응답하여 턴 오프 된다. 제1 선택부(MUX1)는 제2 선택신호(SEL2)로서 입력되는 제1 로드 딜레이신호(ILD)에 응답하여 고전위 전원전압(Vmax)을 제1 로드 딜레이부(2271)의 일측단(Net\_2)에 공급하고, 제2 선택신호(SEL2)로서 입력되는 제2 로드 딜레이신호(DLD)에 응답하여 저전위 전원전압(Vmin)을 제2 로드 딜레이부(2272)의 일측단(Net\_1)에 공급한다. 제2 선택부(MUX2)는 제2 선택신호(SEL2)로서 입력되는 제1 로드 딜레이신호(ILD)에 응답하여 저전위 전원전압(Vmax)을 제1 로드 딜레이부(2271)의 타측단(Net\_3)에 공급하고, 제2 선택신호(SEL2)로서 입력되는 제2 로드 딜레이신호(DLD)에 응답하여 고전위 전원전압(Vmax)을 제2 로드 딜레이부(2272)의 타측단(Net\_4)에 공급한다. 제1 로드 딜레이부(2271)는 좌측에서 우측으로 갈수록 점점 작아지는 분압값을 디지털 버퍼들(DBUF)의 전원 전압(VCC)으로 발생한다. 제2 로드 딜레이부(2272)는 좌측에서 우측으로 갈수록 점점 커지는 분압값을 디지털 버퍼들(DBUF)의 전원 전압(VCC)으로 발생한다.

[0047] 디지털 버퍼들(DBUF) 각각은 도 13과 같이, 짝수개의 인버터 체인(Chain)(131, 132)으로 구성된다. 제1 및 제2 인버터(131, 132)는 각각 PMOS와 NMOS로 구성되고, 인버터들의 입출력단은 서로 캐스캐이드 접속된다. 각 인버터(131, 132)에서 공통 입력단은 모스캡(MOS Cap)을 형성한다. 디지털 버퍼(DBUF)의 동작을 살펴보면, 하이(High) 입력에 응답하여 제1 인버터(131)의 PMOS는 오픈이 되고 NMOS가 쇼트가 되어 제1 인버터(131)의 출력단과 제2 인버터(132)의 입력단은 로우(Low)가 된다. 이 로우(Low) 입력에 응답하여 제2 인버터(132)의 NMOS는 오픈이 되고 PMOS가 쇼트가 되어 제2 인버터(132)의 출력단은 하이(High)가 된다. 즉, 디지털 버퍼(DBUF)는 이론적으로 입력 신호를 그대로 출력하는 역할을 한다. 다만, 제1 인버터(131)를 구성하는 NMOS의 턴 온 저항(R 성분)과 제2 인버터(132) 입력단의 모스캡(C 성분)이 상호 작용하여 RC 딜레이를 초래하므로, 디지털 버퍼(DBUF)는 도 14와 같이 실제 적용시 입력 신호를 소정 값( $\Delta t$ )만큼 딜레이시켜 출력시킨다. 한편, 전원 전압(VCC)이 낮아지면 제1 인버터(131)를 구성하는 PMOS의 게이트-소스간 전압(Vgs)이 낮아지게 되어 턴 오프 시간에 딜레이가 발생하고, 제2 인버터(132)를 구성하는 PMOS의 턴 온 시간과 NMOS의 턴 오프 시간에 딜레이가 발생하게 된다. 따라서, 전원 전압(VCC)이 낮아질수록 딜레이되는 양이 증가하게 된다.

[0048] 이와 같은 구성을 갖는 차지웨어회로(227)에서, k개의 채널들에 대해 동시에 차지 웨어링을 실시 또는 미실시하거나, k개의 채널들에 대해 차지 웨어링을 실시하되 왼쪽에서 오른쪽으로 갈수록 충전 딜레이량을 완만하게 증가 또는 감소시키도록 하는 동작을 살펴보면 다음과 같다.

[0049] 먼저, k개의 채널들에 대해 차지 웨어링을 실시하되 왼쪽에서 오른쪽으로 갈수록 충전 딜레이량을 완만하게 증

가시킴으로써 하는 동작을 살펴보면, 제3 스위치(SW3)는 제2 선택신호(SEL2)로서 입력되는 인에이블신호(EN)에 응답하여 턴 온 되어 소스 출력 인에이블신호(SOE)를 디지털 버퍼들(DBUF)에 인가한다. 이 상태에서, 제2 선택신호(SEL2)로서 제1 로드 딜레이신호(ILD)가 입력되는 경우 제1 로드 딜레이부(2271)의 일측단(Net\_2)에는 고전위 전원전압(Vmax)이 인가되고, 제1 로드 딜레이부(2271)의 타측단(Net\_3)에는 저전위 전원전압(Vmin)이 인가된다. 이때, 제2 로드 딜레이부(2272)의 양측단(Net\_1, Net\_4)에는 아무런 전원전압이 인가되지 않으므로, 제2 로드 딜레이부(2272)는 플로팅된다. 따라서, 디지털 버퍼들(DBUF)에 입력되는 전원 전압(VCC)의 레벨은 제1 로드 딜레이부(2271)를 구성하는 저항들(R)에 의한 전압 강하로 인해, 소스 출력 인에이블신호(SOE)의 입력단으로부터 멀어질수록 낮아진다. 그 결과, 디지털 버퍼들(DBUF)을 통해 출력되는 소스 출력 인에이블신호(SOE)는 도 15와 같이 그의 입력단으로부터 멀어질수록 점진적으로 많이 딜레이된다. 스캔필스에 의해 TFT의 게이트 턴 오프 시점은 고정되므로, 제1 채널로부터 제k 채널로 갈수록 소스 출력 인에이블신호(SOE)가 점진적으로 많이 딜레이된다는 것은 제1 채널로부터 제k 채널로 갈수록 충전 시간이 점점 줄어든다는 것을 의미하게 된다. 충전 시간이 줄어들면 데이터 충전량이 점점 감소하므로, 결과적으로 채널들의 왼쪽에서 오른쪽으로 갈수록 충전 딜레이량이 완만하게 증가하게 되어, 충전 딜레이량이 급격하게 증가하는 경계 블록에서의 블럭딤은 제거될 수 있게 된다.

[0050] 다음으로, k개의 채널들에 대해 차지 쉐어링을 실시하되 왼쪽에서 오른쪽으로 갈수록 충전 딜레이량을 완만하게 감소시키도록 하는 동작을 살펴보면, 제3 스위치(SW3)는 제2 선택신호(SEL2)로서 입력되는 인에이블신호(EN)에 응답하여 턴 온 되어 소스 출력 인에이블신호(SOE)를 디지털 버퍼들(DBUF)에 인가한다. 이 상태에서, 제2 선택신호(SEL2)로서 제2 로드 딜레이신호(DLD)가 입력되는 경우 제2 로드 딜레이부(2272)의 일측단(Net\_1)에는 저전위 전원전압(Vmin)이 인가되고, 제2 로드 딜레이부(2272)의 타측단(Net\_4)에는 고전위 전원전압(Vmax)이 인가된다. 이때, 제1 로드 딜레이부(2271)의 양측단(Net\_2, Net\_3)에는 아무런 전원전압이 인가되지 않으므로, 제1 로드 딜레이부(2271)는 플로팅된다. 따라서, 디지털 버퍼들(DBUF)에 입력되는 전원 전압(VCC)의 레벨은 제2 로드 딜레이부(2272)를 구성하는 저항들(R)에 의한 전압 강하로 인해, 소스 출력 인에이블신호(SOE)의 입력단으로부터 가까워질수록 낮아진다. 그 결과, 디지털 버퍼들(DBUF)을 통해 출력되는 소스 출력 인에이블신호(SOE)는 도 16과 같이 그의 입력단으로부터 멀어질수록 점진적으로 적게 딜레이된다. 스캔필스에 의해 TFT의 게이트 턴 오프 시점은 고정되므로, 제1 채널로부터 제k 채널로 갈수록 소스 출력 인에이블신호(SOE)가 점진적으로 적게 딜레이된다는 것은 제1 채널로부터 제k 채널로 갈수록 충전 시간이 점점 늘어난다는 것을 의미하게 된다. 충전 시간이 늘어나면 데이터 충전량이 점점 증가하므로, 결과적으로 채널들의 왼쪽에서 오른쪽으로 갈수록 충전 딜레이량이 완만하게 감소하게 되어, 충전 딜레이량이 급격하게 감소하는 경계 블록에서의 블럭딤은 제거될 수 있게 된다.

[0051] 다음으로, k개의 채널들에 대해 동시에 차지 쉐어링을 실시되도록 하기 위해, 소스 출력 인에이블신호(SOE)는 디지털 버퍼들(DBUF)을 거치지 않고, 도 10과 같이 직접 제1 및 제2 스위치들(SW1, SW2)에 인가될 수 있다. 한편, k개의 채널들에 대해 동시에 차지 쉐어링이 미실시되도록 하기 위해, 제3 스위치(SW3)는 제2 선택신호(SEL2)로서 입력되는 디스인에이블신호(DIS)에 응답하여 턴 오프 되어 차지쉐어회로(227)로 소스 출력 인에이블신호(SOE)가 인가되는 것을 차단한다. 이 경우, 제2 스위치들(SW2)은 이 전(이전 프레임과 현재 프레임 사이의 블랭크 기간 동안 회로의 리셋을 위해 턴 온)의 턴 온 상태로 유지되고, 제1 스위치들(SW1)은 턴 온 될 수 없으므로, 차지쉐어회로(227)는 차지 쉐어링 없이 동작한다.

[0052] 도 17은 제1 블록(BL1) 또는 제3 블록(BL3)을 구동하기 위한 k개의 출력 채널들에 대한 출력회로(226) 및 차지 쉐어회로(227)의 다른 접속 구성을 보여준다.

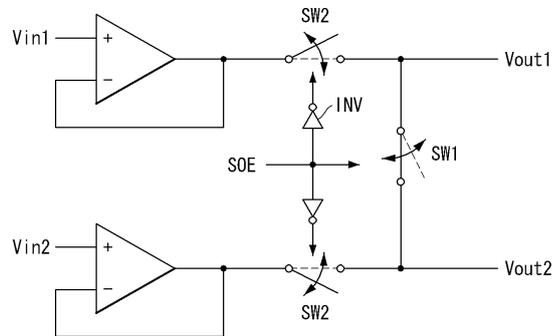
[0053] 도 17을 참조하면, 출력회로(226)는 출력 채널들에 일대일로 접속되는 다수의 버퍼(BUF)들을 포함하여 DAC(225)로부터 공급되는 아날로그 데이터전압의 신호감쇠를 최소화한다.

[0054] 차지쉐어회로(227)는 제1 스위치들(SW1), 제2 스위치들(SW2), 제3 스위치(SW3), 인버터들(INV), 및 SOE 지연기를 구비한다. 제1 스위치들(SW1), 제2 스위치들(SW2), 제3 스위치(SW3), 및 인버터들(INV)은 도 12와 실질적으로 동일하다. SOE 지연기는 선택부(MUX1), 선택부(MUX1)의 제어하에 소스 출력 인에이블신호(SOE)를 왼쪽에서 오른쪽으로 갈수록 점진적으로 많이 지연시켜 제1 및 제2 스위치들(SW1, SW2)에 인가하는 다수의 디지털 버퍼들(DBUF)을 포함하는 제1 SOE 지연부(3271), 및 선택부(MUX1)의 제어하에 소스 출력 인에이블신호(SOE)를 오른쪽에서 왼쪽으로 갈수록 점진적으로 많이 지연시켜 제1 및 제2 스위치들(SW1, SW2)에 인가하는 다수의 디지털 버퍼들(DBUF)을 포함하는 제2 SOE 지연부(3272)를 구비한다. 제1 및 제2 SOE 지연부(3271, 3272)를 구성하는 디지털 버퍼들(DBUF)로는 모두 동일 레벨의 전원 전압(VCC)이 인가되며, 디지털 버퍼들(DBUF)은 도 13 및 도 14에서 설명한 턴 온 저항과 모스캡 간의 RC 딜레이 현상을 이용하여 소스 출력 인에이블신호(SOE)를 소정 값씩 지연시킨다. 도 17의 차지쉐어회로(227)는 도 12에 비해 소스 출력 인에이블신호(SOE)를 지연시키기 위한 구성만이

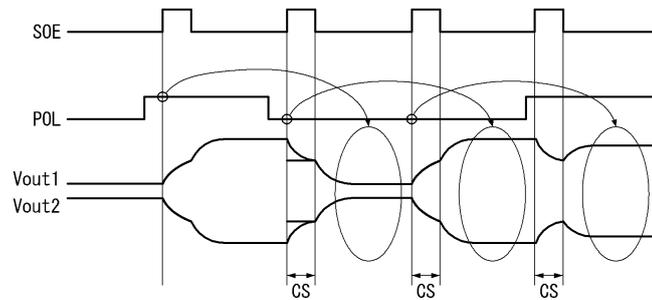


도면

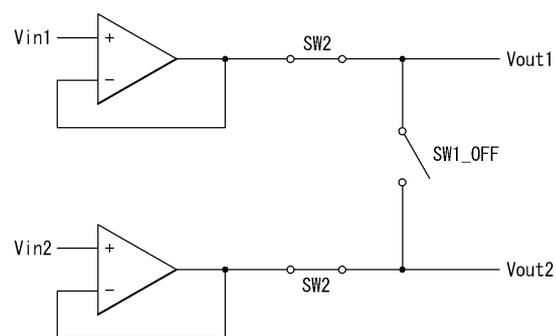
도면1a



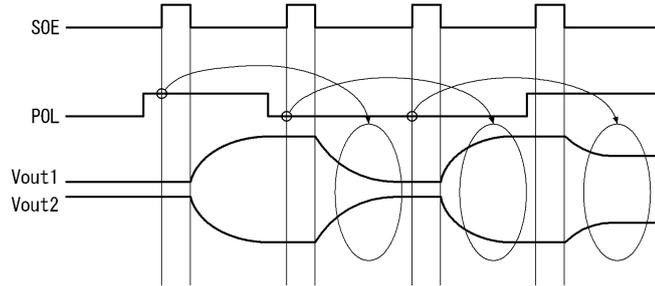
도면1b



도면2a



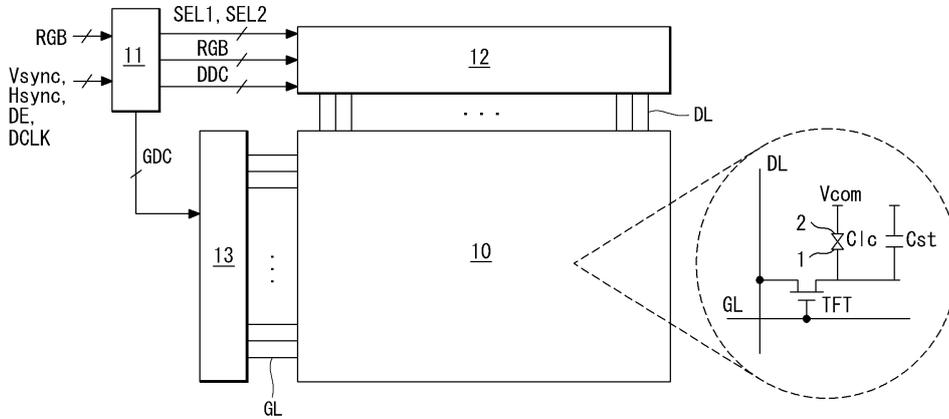
도면2b



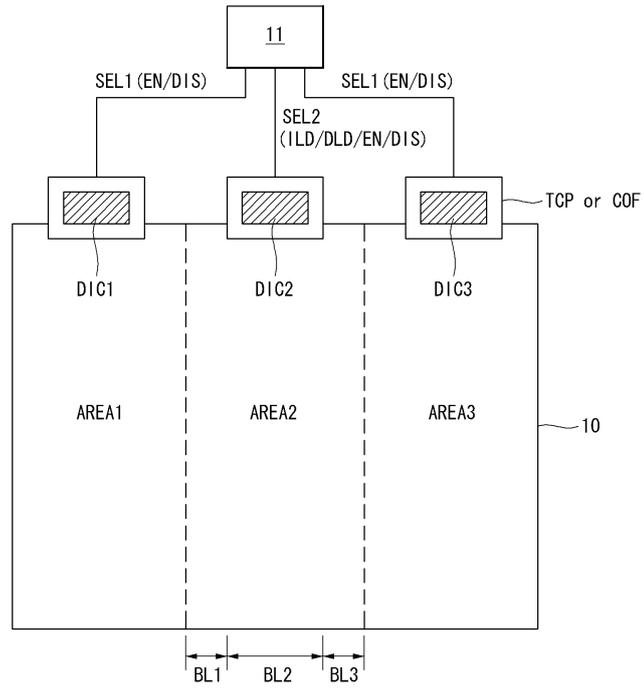
도면3

D-IC위치		TAB1	TAB2	TAB3
Pattern		C/S사용시 유리한 Pattern	C/S에 유리/불리한 복합 Pattern	C/S미사용시 유리한 Pattern
소비 전력	C/S사용	감소	-	증가
	C/S미사용	증가	-	감소

도면4



도면5

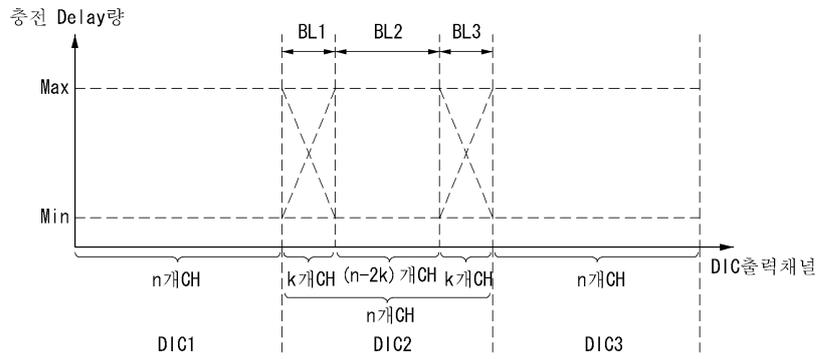


도면6

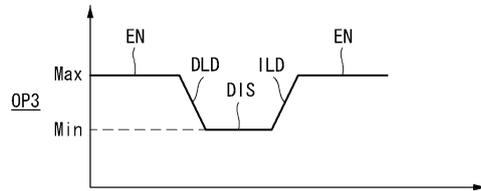
기능 \ DIC위치	DIC1	DIC2			DIC3
		BL1	BL2	BL3	
OP1	EN	EN	EN	EN	EN
OP2	EN	EN	EN	DLD	DIS
OP3	EN	DLD	DIS	ILD	EN
OP4	EN	DLD	DIS	DIS	DIS
OP5	DIS	ILD	EN	EN	EN
OP6	DIS	ILD	EN	DLD	DIS
OP7	DIS	DIS	DIS	ILD	EN
OP8	DIS	DIS	DIS	DIS	DIS

EN: C/S사용  
 DIS: C/S미사용  
 ILD: Increased L/D  
 DLD: Decreased L/D

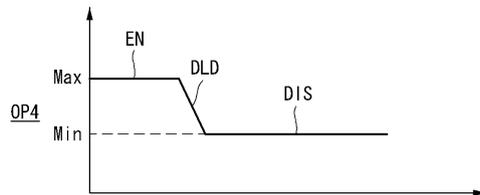
도면7



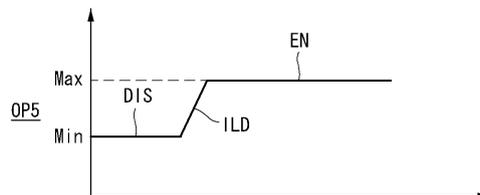
도면8a



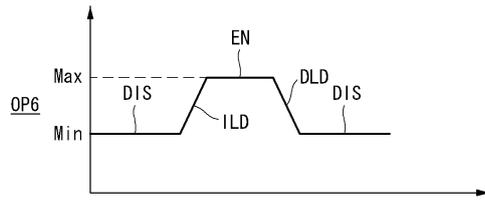
도면8b



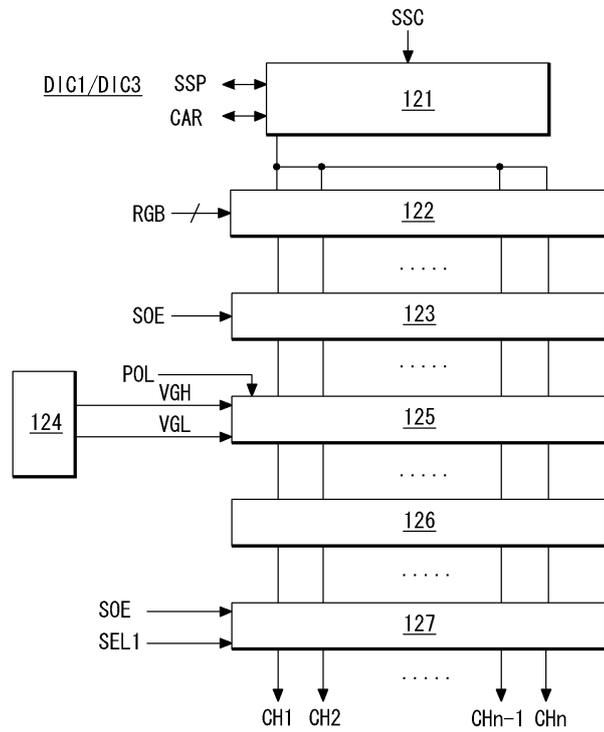
도면8c



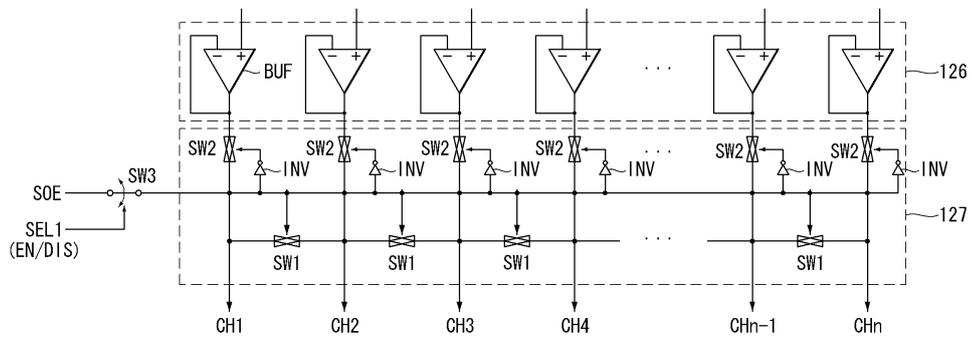
도면8d



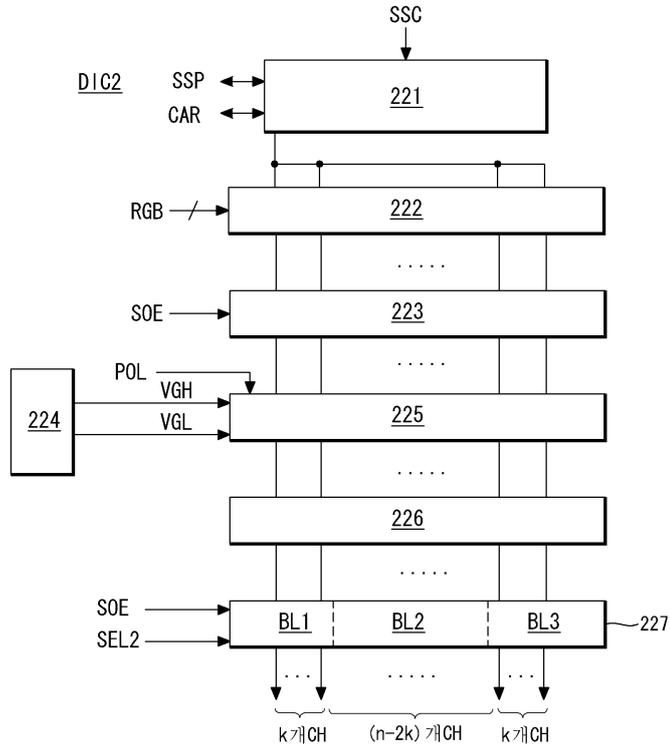
도면9



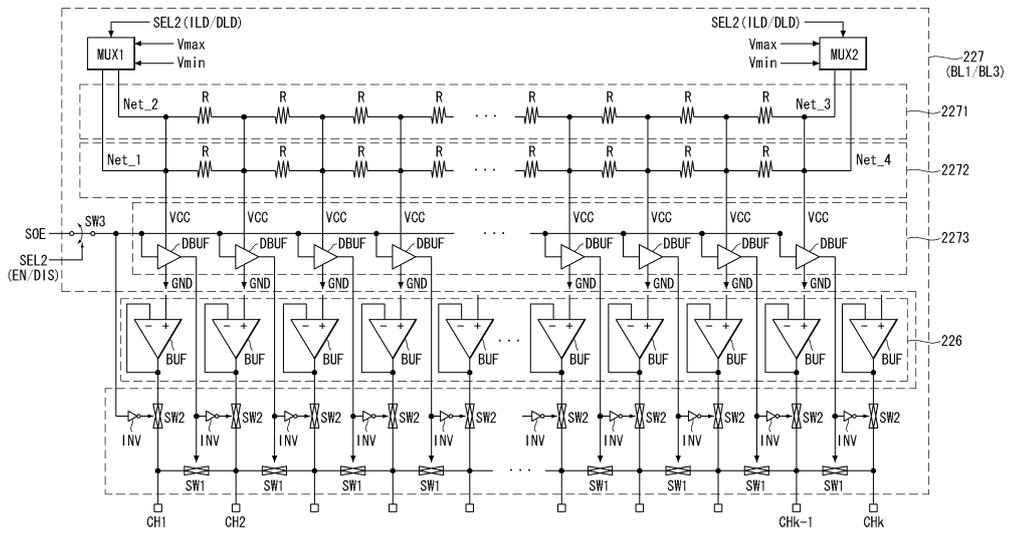
도면10



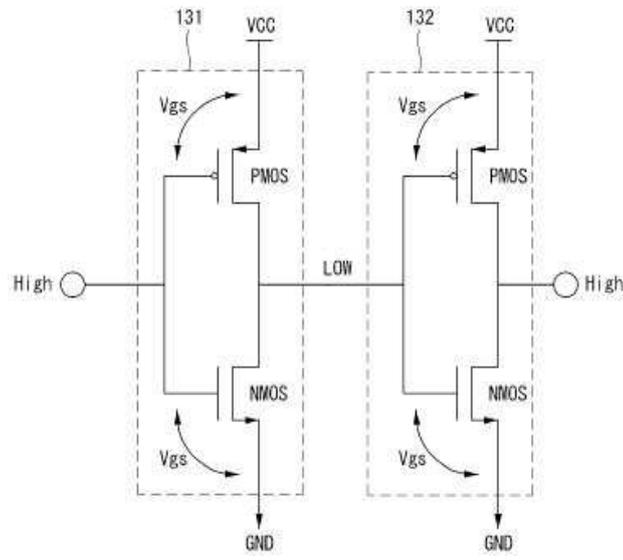
도면11



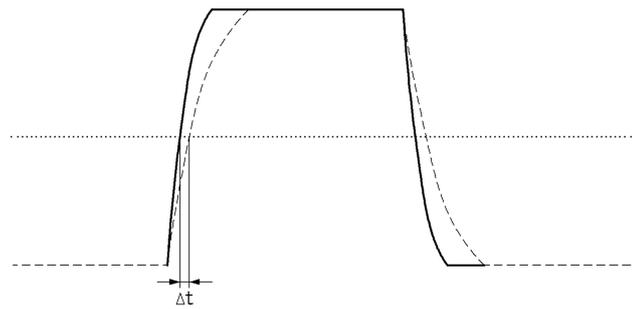
도면12



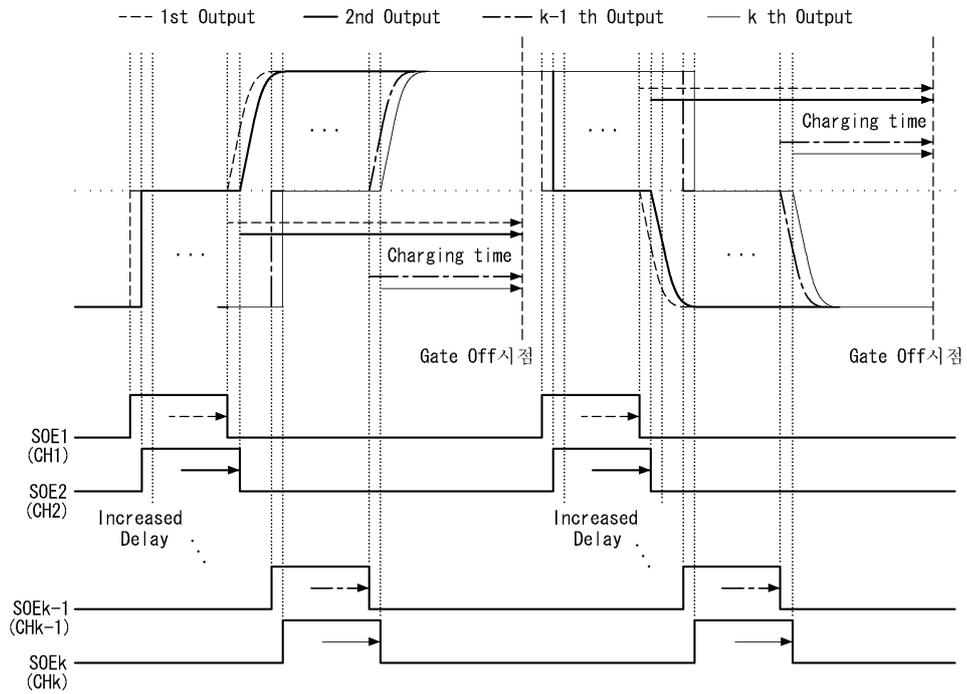
도면13



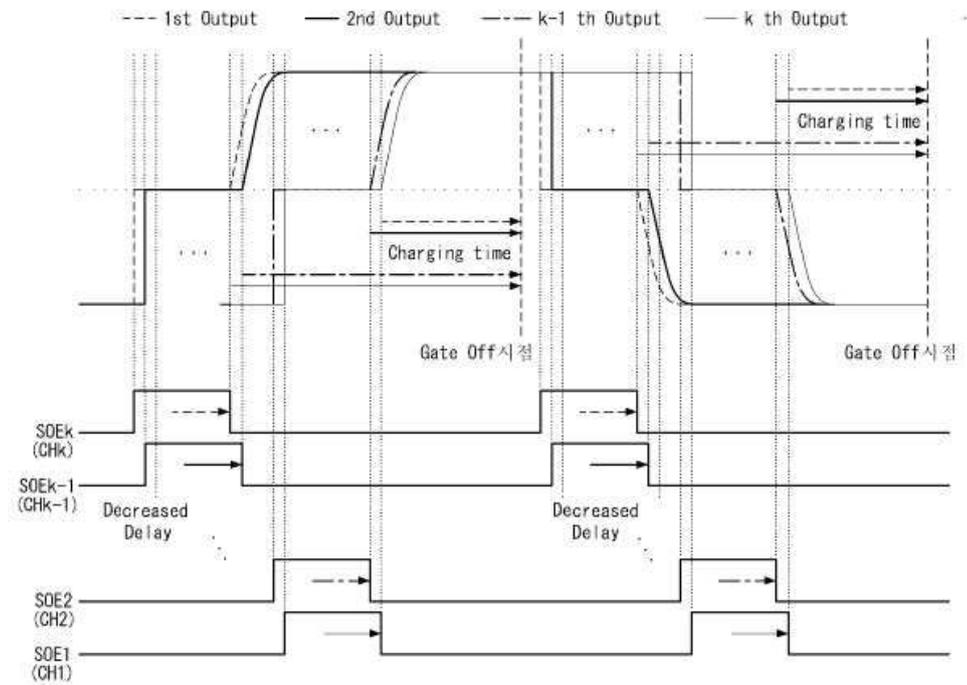
도면14



도면15



도면16



도면17

