



(12)发明专利申请

(10)申请公布号 CN 110853684 A

(43)申请公布日 2020.02.28

(21)申请号 201910762375.4

(22)申请日 2019.08.19

(30)优先权数据

16/107,998 2018.08.21 US

(71)申请人 美光科技公司

地址 美国爱达荷州

(72)发明人 何源 近藤力 外山大吾

(74)专利代理机构 北京律盟知识产权代理有限
责任公司 11287

代理人 王龙

(51)Int.Cl.

G11C 5/14(2006.01)

G11C 11/4074(2006.01)

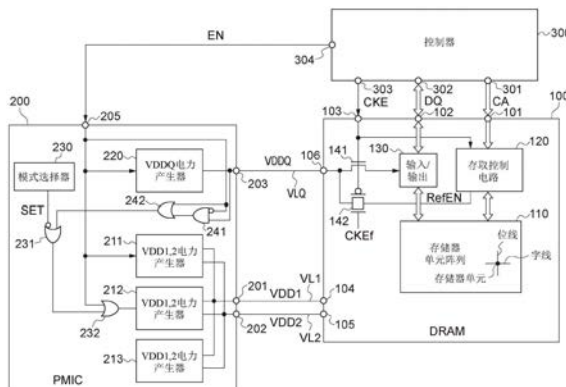
权利要求书2页 说明书5页 附图4页

(54)发明名称

用于向包含易失性存储器单元的半导体芯片
供应电力供应电压的设备

(57)摘要

本申请案涉及一种用于将电力供应电压供应到包含易失性存储器单元的半导体芯片的设备。本文公开一种设备，其包含：第一半导体芯片，所述第一半导体芯片包含存储器单元阵列，其具有易失性存储器单元和存取控制电路，所述存取控制电路经配置以对所述易失性存储器单元执行刷新操作；以及第二半导体芯片，其包含电力产生器，所述电力产生器经配置以将第一电力供应电压供应到所述第一半导体芯片。所述存取控制电路经配置以在所述刷新操作期间激活第一启用信号。所述第二半导体芯片经配置以基于所述第一启用信号来改变所述电力产生器的能力。



1. 一种设备,其包括:

第一半导体芯片,其包含存储器单元阵列,其具有易失性存储器单元和存取控制电路,所述存取控制电路经配置以对所述易失性存储器单元执行刷新操作;以及

第二半导体芯片,其包含电力产生器,所述电力产生器经配置以将第一电力供应电压供应到所述第一半导体芯片,

其中所述存取控制电路经配置以在所述刷新操作期间激活第一启用信号,且其中所述第二半导体芯片经配置以基于所述第一启用信号来改变所述电力产生器的能力。

2. 根据权利要求1所述的设备,

其中所述电力产生器包含并联耦合的第一和第二电力产生器,且

其中所述第二电力产生器经配置以在所述第一启用信号被激活时激活。

3. 根据权利要求2所述的设备,其中所述第一和第二电力产生器经配置以在第二启用信号被激活时激活,不管所述第一启用信号如何。

4. 根据权利要求3所述的设备,其进一步包括第三半导体芯片,所述第三半导体芯片经配置以产生所述第二启用信号。

5. 根据权利要求4所述的设备,其中所述第一电力产生器具有比所述第二电力产生器大的能力。

6. 根据权利要求5所述的设备,

其中所述电力产生器进一步包含与所述第一和第二电力产生器并联耦合的第三电力产生器,

其中所述第三电力产生器经配置以激活,而不管所述第一和第二启用信号如何,且

其中所述第二电力产生器具有比所述第三电力产生器大的能力。

7. 根据权利要求1所述的设备,其中所述第二半导体芯片进一步包含使所述第一启用信号无效的模式选择器。

8. 根据权利要求4所述的设备,

其中所述第二半导体芯片进一步包含额外电力产生器,其经配置以经由电力供应线将第二电力供应电压供应到所述第一半导体芯片,且

其中所述第一启用信号经由所述电力供应线从所述第一半导体芯片传送到所述第二半导体芯片。

9. 根据权利要求8所述的设备,其中所述额外电力产生器经配置以在所述第二启用信号去活时,停止产生所述第二电力供应电压。

10. 根据权利要求9所述的设备,

其中所述第一半导体芯片进一步包含I/O电路,其经配置以将从所述存储器单元阵列读取的数据输出到所述第三半导体芯片,且

其中所述I/O电路经配置以对所述第二电力供应电压操作。

11. 根据权利要求10所述的设备,

其中所述第一半导体芯片进一步包含耦合在所述电力供应线与所述I/O电路之间的第一开关电路,以及耦合在所述电力供应线与所述存取控制电路之间的第二开关电路,且

其中所述第一和第二开关经配置以基于从所述第三半导体芯片发布的命令信号独占地接通。

12. 一种设备,其包括:

存储器单元阵列,其包含易失性存储器单元;以及
存取控制电路,其对所述易失性存储器单元执行刷新操作,
其中所述存取控制电路经配置以在所述刷新操作期间将启用信号输出到外部。

13. 根据权利要求12所述的设备,其进一步包括:

I/O电路,其经配置以将从所述存储器单元阵列读取的数据输出到外部;以及
电力供应端子,其供应有电力供应电压,
其中所述I/O电路经配置以对所述电力供应电压操作,且
其中经由所述电力供应端子将所述启用信号输出到外部。

14. 根据权利要求13所述的设备,其进一步包括:

第一开关电路,其耦合在所述电力供应端子与所述I/O电路之间;以及
第二开关电路,其耦合在所述电力供应端子与所述存取控制电路之间,其中所述第一
和第二开关经配置以基于命令信号独占地接通。

15. 根据权利要求12所述的设备,其中当所述设备处于自刷新模式时,周期性地激活所
述启用信号。

16. 一种设备,其包括:

第一外部端子电极,其耦合到第一电力供应线;
第二外部端子电极,其耦合到第二电力供应器线;
第一电力产生器,其经配置以将第一电力供应电压供应到所述第一外部端子电极;以
及
第二电力产生器,其经配置以将第二电力供应电压供应到所述第二外部端子电极,
其中当从所述第一外部端子电极供应的第一启用信号激活时,所述第二电力产生器经
配置以激活。

17. 根据权利要求16所述的设备,其进一步包括供应有第二启用信号的第三外部端子
电极,

其中所述第一电力产生器经配置以在所述第二启用信号激活时激活,且经配置以在所
述第二启用信号去活时去活。

18. 根据权利要求17所述的设备,其中所述第二电力产生器经配置以在所述第二启用
信号激活时激活,且经配置以在所述第一和第二启用信号两者去活时去活。

19. 根据权利要求18所述的设备,其进一步包括第三电力产生器,所述第三电力产生器
经配置以将所述第二电力供应电压供应到所述第二外部端子电极,

其中所述第三电力产生器经配置以在所述第二启用信号激活时激活,且经配置以在所
述第二启用信号去活时去活。

20. 根据权利要求16所述的设备,其进一步包括使所述第一启用信号无效的模式选择
器。

用于向包含易失性存储器单元的半导体芯片供应电力供应电压的设备

技术领域

[0001] 本发明涉及存储器装置,更具体地说,涉及例如用从电力管理IC供应的电力供应电压来操作的DRAM等存储器装置。

背景技术

[0002] 用从电力管理IC供应的电力供应电压来操作例如DRAM的存储器装置。电力管理IC通过根据DRAM的当前操作状态改变电力供应电压的供应能力来最小化功耗。举例来说,在其中DRAM正执行读取操作或写入操作的周期期间,电力管理IC的电力供应电压的供应能力被设定成相对较大,且当DRAM处于待机模式时,电力管理IC的电力供应电压的供应能力被设定成相对较小。

[0003] 然而,因为DRAM的存储器单元是易失性的,所以即使在DRAM处于待机模式时,有必要通过周期性地执行刷新操作来恢复保持在存储器单元中的信息。因此,当DRAM处于待机模式时,电力管理IC的电力供应能力设定为刷新操作所需的电力供应能力。

发明内容

[0004] 本公开的一方面涉及一种设备,其包括:第一半导体芯片,其包含存储器单元阵列,其具有易失性存储器单元和存取控制电路,所述存取控制电路经配置以对易失性存储器单元执行刷新操作;以及第二半导体芯片,其包含电力产生器,所述电力产生器经配置以将第一电力供应电压供应到所述第一半导体芯片,其中所述存取控制电路经配置以在所述刷新操作期间激活第一启用信号,且其中所述第二半导体芯片经配置以基于所述第一启用信号来改变所述电力产生器的能力。

[0005] 本公开的另一方面涉及一种设备,其包括:存储器单元阵列,其包含易失性存储器单元;以及存取控制电路,其对所述易失性存储器单元执行刷新操作,其中所述存取控制电路经配置以在所述刷新操作期间将启用信号输出到外部。

[0006] 本公开的另一方面涉及一种设备,其包括:第一外部端子电极,其耦合到第一电力供应线;第二外部端子电极,其耦合到第二电力供应器线;第一电力产生器,其经配置以将第一电力供应电压供应到所述第一外部端子电极;以及第二电力产生器,其经配置以将第二电力供应电压供应到所述第二外部端子电极,其中当从所述第一外部端子电极供应的第一启用信号激活时,所述第二电力产生器经配置以激活。

附图说明

[0007] 图1是示出根据第一实施例的存储器系统的配置的框图。

[0008] 图2是用于阐述电力管理IC的操作的时序图。

[0009] 图3是用于阐述DRAM中的刷新周期与电力管理IC中的增强型周期之间的关系时序图。

[0010] 图4是示出根据第二实施例的存储器系统的配置的框图。

具体实施方式

[0011] 下文将具体参考附图来阐述本发明的各种实施例。以下详细描述参考借助于说明示出其中可实践本发明的特定方面和实施例的附图。这些实施例通过足够的细节描述来使所属领域的技术人员能够实践本发明。应理解,在不脱离本发明的范围的情况下,可利用其它实施例并且可进行结构、逻辑和电性改变。本文所公开的各种实施例不一定相互排斥,因为一些所公开的实施例可与一或多个其它所公开的实施例组合以形成新的实施例。

[0012] 图1所示的存储器系统包含DRAM 100;电力管理IC 200,其向DRAM 100供应电力供应电压;以及控制器300,其控制DRAM 100和电力管理IC 200。DRAM 100、电力管理IC 200和控制器300分别集成到不同半导体芯片中。

[0013] DRAM 100包含存储器单元阵列110;存取控制电路120,其用于存取存储器单元阵列110;以及I/O电路130,其输入和输出读取数据和写入数据。存储器单元阵列110包含多个字线WL、多个位线BL和多个存储器单元MC,其分别布置在字线WL与位线BL的交点上。存储器单元MC是易失性DRAM单元,且需要定期刷新操作来将数据保持在其中。刷新操作由存取控制电路120执行。基于经由命令地址端子101从控制器300供应的命令地址信号CA来操作存取控制电路120。举例来说,当读取命令和对应于所述读取命令的地址信号包含于命令地址信号CA中时,存取控制电路120在存储器单元阵列110上执行读取操作。归因于此操作,从由所述地址信号指示的存储器单元MC读取读取数据DQ。经由I/O电路130和数据端子102,将读取数据DQ供应到控制器300。当写入命令和对应于所述写入命令的地址信号包含于命令地址信号CA中时,存取控制电路120在存储器单元阵列110上执行写入操作。归因于此操作,经由数据端子102和I/O电路130从控制器300供应的写入数据DQ写入在由所述地址信号指示的存储器单元MC中。

[0014] DRAM 100包含向其供应时钟启用信号CKE的CKE端子103。将时钟启用信号CKE输入到存取控制电路120。当时钟启用信号CKE处于作用中状态(例如高电平)时,DRAM100在正常操作模式下操作,且当时钟启用信号CKE处于非作用中状态(例如低电平)时,DRAM 100在待机模式下操作。当DRAM 100进入待机模式时,DRAM 100处于低功耗状态,其中DRAM 100保持存储器单元阵列110的数据,而不执行读取操作或写入操作。然而,因为存储器单元MC是易失性的,所以即使处于待机模式,也有必要通过周期性地执行刷新操作来恢复保持在存储器单元MC中的信息。通过使用包含于存取控制电路120中的振荡器电路,来在预定循环中执行处于待机模式下的刷新操作。在其中刷新操作实际在待机模式下执行的周期期间,启用信号RefEN从存取控制电路120输出。

[0015] DRAM 100包含:电力供应端子104,向其供应电力供应电压VDD1;电力供应端子105,向其供应电力供应电压VDD2;以及电力供应端子106,向其供应电力供应电压VDDQ。将电力供应电压VDD1和VDD2供应到存储器单元阵列110和存取控制电路120,且用作包含于存储器单元阵列110中的字驱动器和感测放大器和包含于存取控制电路120中的各种逻辑电路的操作电压。同时,经由晶体管141将电力供应电压VDDQ供应到I/O电路130。I/O电路130包含输出缓冲器,其将从存储器单元阵列110读取的读取数据DQ输出到数据端子102。将电力供应电压VDDQ用作包含于存储器单元阵列110中的输出缓冲器的操作电压。将时钟启用

信号CKE供应到晶体管141的栅极电极。归因于此配置,在其中时钟启动信号CKE处于高电平(即,处于正常操作模式)的周期期间,将供应到电力供应端子106的电力供应电压VDDQ恰当地给予I/O电路130。同时,在其中时钟启动信号CKE处于低电平(即,处于待机模式)的周期期间,晶体管141断开,使得耦合电力供应端子106和I/O电路130的路径阻断。当时钟启动信号CKE处于低电平时,启用信号RefEN经由转移栅极142供应到电力供应端子106。转移栅极142具有其中P沟道MOS晶体管和N沟道MOS晶体管彼此并联连接的配置,其中时钟启动信号CKE供应到P沟道MOS晶体管的栅极电极,且信号CKEf,其为时钟启动信号CKE的反转信号,供应到N沟道MOS晶体管的栅极电极。因此,晶体管141和转移栅极142独占地接通。

[0016] 电力管理IC 200包含:电力产生器211、212和213,其产生电力供应电压VDD1和VDD2;以及电力产生器220,其产生电力供应电压VDDQ。电力产生器211、212和213彼此并联耦合,由电力产生器211、212和213产生的电力供应电压VDD1供应到电力供应输出端子201,且由电力产生器211、212和213产生的电力供应电压VDD2供应到电力供应输出端子202。电力供应输出端子201经由电力供应线VL1耦合到DRAM 100的电力供应端子104。电力供应输出端子202经由电力供应线VL2耦合到DRAM 100的电力供应端子105。同时,电力产生器220产生的电力供应电压VDDQ供应到电力供应输出端子203。电力供应输出端子203经由电力供应线VLQ耦合到DRAM 100的电力供应端子106。

[0017] 电力产生器211响应经由外部端子205从控制器300供应的启用信号EN被激活。因此,当启用信号EN处于不在作用中的电平(例如低电平)时,电力产生器211停止电力供应电压VDD1和VDD2的产生操作。电力产生器211具有电力产生器211、212和213之中的最高电流供应能力。因此,电力产生器211具有电力产生器211、212和213之中的最大功耗。

[0018] 当设置信息SET处于高层级时,电力产生器212响应启用信号EN或启用信号RefEN被激活。因此,在设置信息SET处于高电平的情况下,当启用信号EN和启用信号RefEN两者均处于不在作用中电平(例如低电平)时,电力产生器212停止电力供应电压VDD1和VDD2的产生操作。电力管理IC 200经由耦合到电力供应线VLQ的电力供应输出端子203,从DRAM 100接收启用信号RefEN。电力管理IC 200包含“与”门电路241和“或”门电路242。将启用信号RefEN和反相启用信号EN供应到“与”门电路241。将“与”门电路241的输出信号和启用信号EN供应到“或”门电路242。另外,电力管理IC 200包含模式选择器230。模式选择器230通过使用寄存器或熔断电路来保持用于设置启用信号RefEN对电力产生器212的控制是否经验证的设置信息SET。举例来说,当启用信号RefEN对电力产生器212的控制经验证时,处于高电平的设置信息SET保持在模式选择器230中,且当启用信号RefEN对电力产生器212的控制失效时,处于低电平的设置信息SET保持在模式选择器230中。设置信息SET和“或”门242的输出信号供应到“与”门电路231。将“与”门电路231的输出信号和启用信号EN供应到“或”门电路232。当“或”门电路232的输出信号处于高电平时,电力产生器212产生电力供应电压VDD1和VDD2,且当“或”门电路232的输出信号处于低电平时,电力产生器212停止电力供应电压VDD1和VDD2的产生操作。

[0019] 电力产生器213的电流供应能力是用于在其中电力产生器211和212停止电力供应电压VDD1和VDD2的产生操作的周期期间维持电力供应电压VDD1和VDD2的电平的所需最小电流供应能力。

[0020] 电力产生器220响应经由外部端子205从控制器300供应的启用信号EN被激活。因

此,当启用信号EN处于不在作用中电平(例如低电平)时,电力产生器220停止电力供应电压VDDQ的产生操作。电力产生器220产生的电力供应电压VDDQ经由电力供应输出端子203和电力供应线VLQ供应到DRAM 100的电力供应端子106。因此,在其中启用信号EN处于高电平(即,处于正常操作模式)的周期期间,经由电力供应线VLQ将电力供应电压VDDQ恰当地给予电力供应端子106。同时,在其中启用信号EN处于低电平(即,处于待机模式)的周期期间,电力产生器220的输出节点处于高阻抗状态。因此,电力产生器220进入其中有可能从DRAM 100接收启用信号RefEN的状态。

[0021] 控制器300是控制DRAM 100和电力管理IC 200的操作的半导体芯片,且包含外部端子301到304。外部端子301是输出命令地址信号CA的端子,且耦合到DRAM 100的命令地址端子101。外部端子302是输入和输出数据DQ的端子,且耦合到DRAM 100的数据端子102。外部端子303是输出时钟启动信号CKE的端子,且耦合到DRAM 100的CKE端子103。外部端子304是输出启用信号EN的端子,且耦合到电力产生器IC 200的外部端子205。

[0022] 如图2所示,容许启用信号EN和时钟启用信号CKE具有相同的波形。在其中时钟启用信号CKE处于高电平的周期期间,DRAM 100在正常操作模式下操作。在正常操作模式下,因为启用信号EN在高电平下激活,所以所有的电力产生器211、212和213处于作用中状态。因此,电力管理IC 200的电力供应电压VDD1和VDD2的供应能力变为高电平,且读取操作和写入操作所需的充足电流从电力管理IC 200供应到DRAM100。在正常操作模式下,电力产生器220也处于作用中状态,且电力供应电压VDDQ供应到DRAM 100的I/O电路130。此时,转移栅极142断开。

[0023] 在图2所示的时间 t_0 处,当时钟启用信号CKE从高电平移位到低电平时,DRAM 100从正常操作模式切换到待机模式。在待机模式下,启用信号EN在低电平下不激活,电力产生器211进入非作用中状态。因此,电力管理IC 200的电力供应电压VDD1和VDD2的供应能力降低,且因此电力管理IC 200的功耗减小。在待机模式下,电力产生器220也进入非作用中状态。另外,因为时钟启用信号CKE处于低电平,所以晶体管141断开,且转移栅极142接通。因此,电力供应线VLQ改变到用于传送启用信号RefEN的路径中。电力供应线VLQ是用于为I/O电路130供应电力供应电压VDDQ的电力供应线,且在待机模式下不使用。因此,在本实施例中,电力供应线VLQ用作启用信号RefEN的传送路径。

[0024] 在待机模式下,为了将数据保持在存储器单元MC中,DRAM 100执行自刷新操作。自刷新操作是用于通过在预定循环中激活包含于存储器单元阵列110中的字线WL来恢复存储器单元MC中的数据的操作。自刷新操作由存取控制电路120执行,且在其中实际执行刷新操作的周期期间,启用信号RefEN从存取控制电路120输出。启用信号RefEN从DRAM 100经由电力供应线VLQ供应到电力管理IC 200。如图2所示,在此期间启用信号RefEN在待机模式下激活的周期 T_1 较短且周期性地出现。

[0025] 在待机模式下,在其中启用信号RefEN处于低电平的周期期间,电力产生器211和212处于非作用中状态,且仅电力产生器213处于作用中状态,且因此电力管理IC 200的电力供应电压VDD1和VDD2的供应能力变为低电平。因此,操作一些电路(例如在存取控制电路120中操作的振荡器电路)所需的电流以及用于补偿泄漏电流的所需最小电流从电力管理IC 200供应到DRAM 100。

[0026] 如图2所示,当启用信号RefEN激活时,电力产生器212临时进入作用中状态,且电

力管理IC 200的电力供应电压VDD1和VDD2的供应能力增加到中间电平。中间电平是电流供应能力的介于低电平与高电平之间的电平,且基于刷新操作所需的电流来设计实际电流供应能力。

[0027] 归因于此配置,在待机模式下,在其中不执行刷新操作的周期期间,仅电力产生器213处于作用中状态,且在其中执行刷新操作的周期期间,电力产生器212和213处于作用中状态。在一般存储器系统中,关于当DRAM正在待机模式下执行刷新操作时无法被电力管理IC辨识时,且因此有必要总是将电力供应电压VDD1和VDD2的供应能力设定在中间电平。另一方面,在本实施例中,从DRAM 100向电力管理IC 200通知处于待机模式的刷新操作的执行时序,且因此当执行刷新操作时,电力管理IC 200可将电力供应电压VDD1和VDD2的供应能力设定为中间电平,且在其它周期期间,可将电力供应电压VDD1和VDD2的供应能力设定为低电平。因此,在待机模式下,有可能进一步降低电力管理IC 200的功耗。

[0028] 虽然其中激活启用信号RefEN的周期与其中实际执行刷新操作的周期匹配是容许的,但如图3所示,早于当刷新操作由周期T2启动的时序激活启用信号RefEN,且迟于当刷新操作由周期T3结束的时序不激活启用信号RefEN也是容许的。归因于此配置,电力供应电压VDD1和VDD2的供应能力在刷新操作期间并未变得不足。

[0029] 在图1所示的存储器系统中,因为电力供应线VLQ用于传送启用信号RefEN,所以不必添加任何新的外部端子来将启用信号RefEN输出到DRAM 100,并且也不必添加任何新的外部端子来将启用信号RefEN输入到电力管理IC 200。

[0030] 另外,如在图4中所示的存储器系统中,提供用于耦合DRAM 100的外部端子107和电力管理IC 200的外部端子204的信号线SL来将启用信号RefEN从DRAM 100经由信号线SL供应到电力管理IC 200是容许的。在此情况下,不必使用晶体管141或转移栅极142。DRAM 100的外部端子107可为专用外部端子,或可为待机模式下未使用的外部端子的一部分,例如命令地址端子101中的任一者,或数据端子102中的任一者。

[0031] 使用图1到4中介绍的这些实施例,电力管理IC的裸片大小和功耗可较小,因为在这些实施例中,不需要用于电压线的大电容器来支持稳定电流。即使在电力管理IC包含用于覆盖模式选择器所控制的两个操作模式的大电容器的情况下,所述大电容器可从电压线电断开,以禁止大电容器中的泄漏电流,因此可抑制功耗。

[0032] 尽管已经在某些优选实施例和实例的上下文中公开了本发明,但所属领域的技术人员将理解,本发明延伸超出具体公开的实施例到其它替代实施例和/或本发明以及其显而易见的修改和等效物的使用。另外,基于本公开,在本发明的范围内的其它修改对于所属领域的技术人员将是显而易见的。还预期可进行实施例的具体特征和方面的各种组合或子组合,并仍然落入本发明的范围内。应理解,所公开的实施例的各种特征和方面能够彼此组合或替代彼此以便形成本发明的变化模式。因此,希望本文所公开的本发明的范围不应受下文所描述的特定公开实施例的限制。

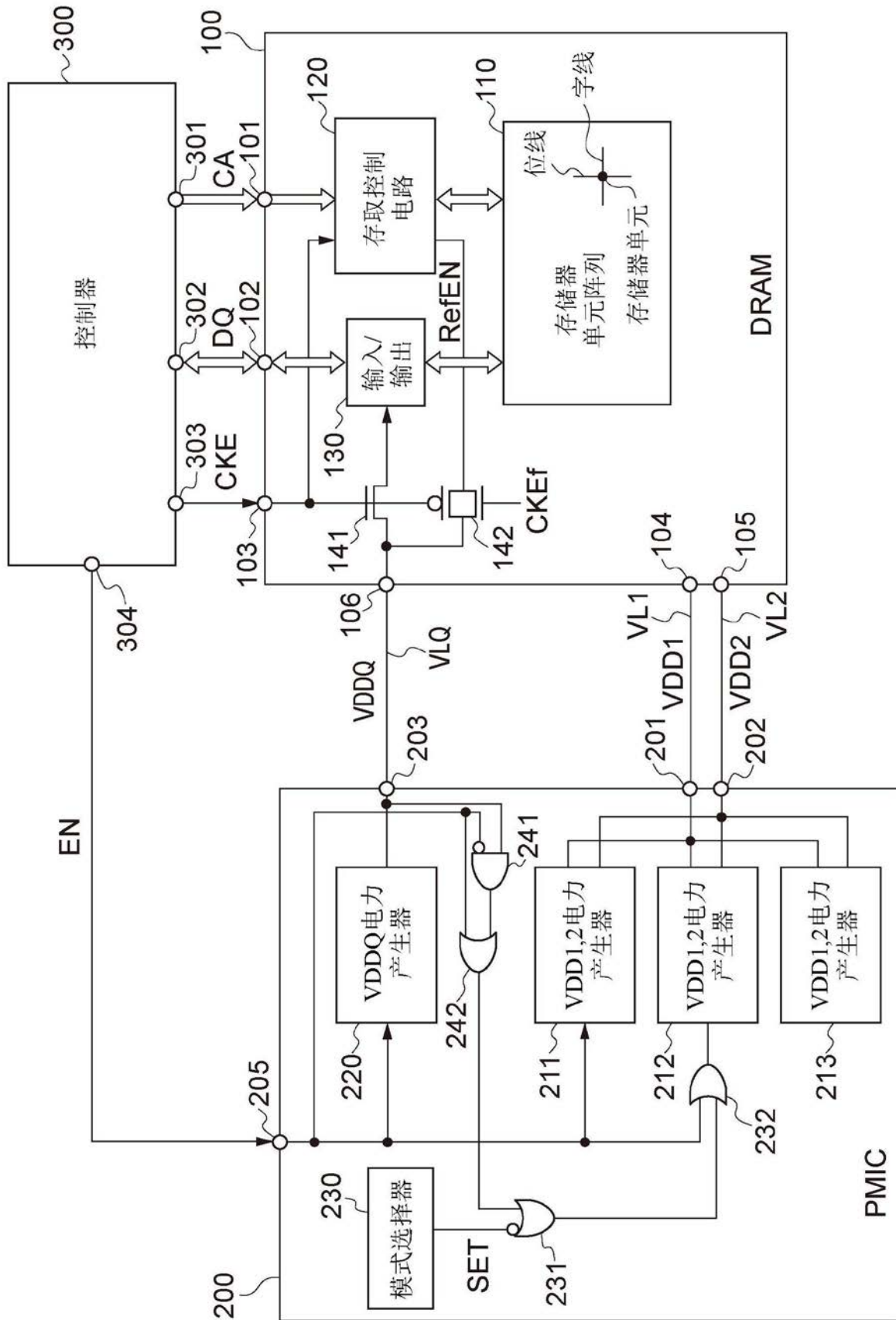


图1

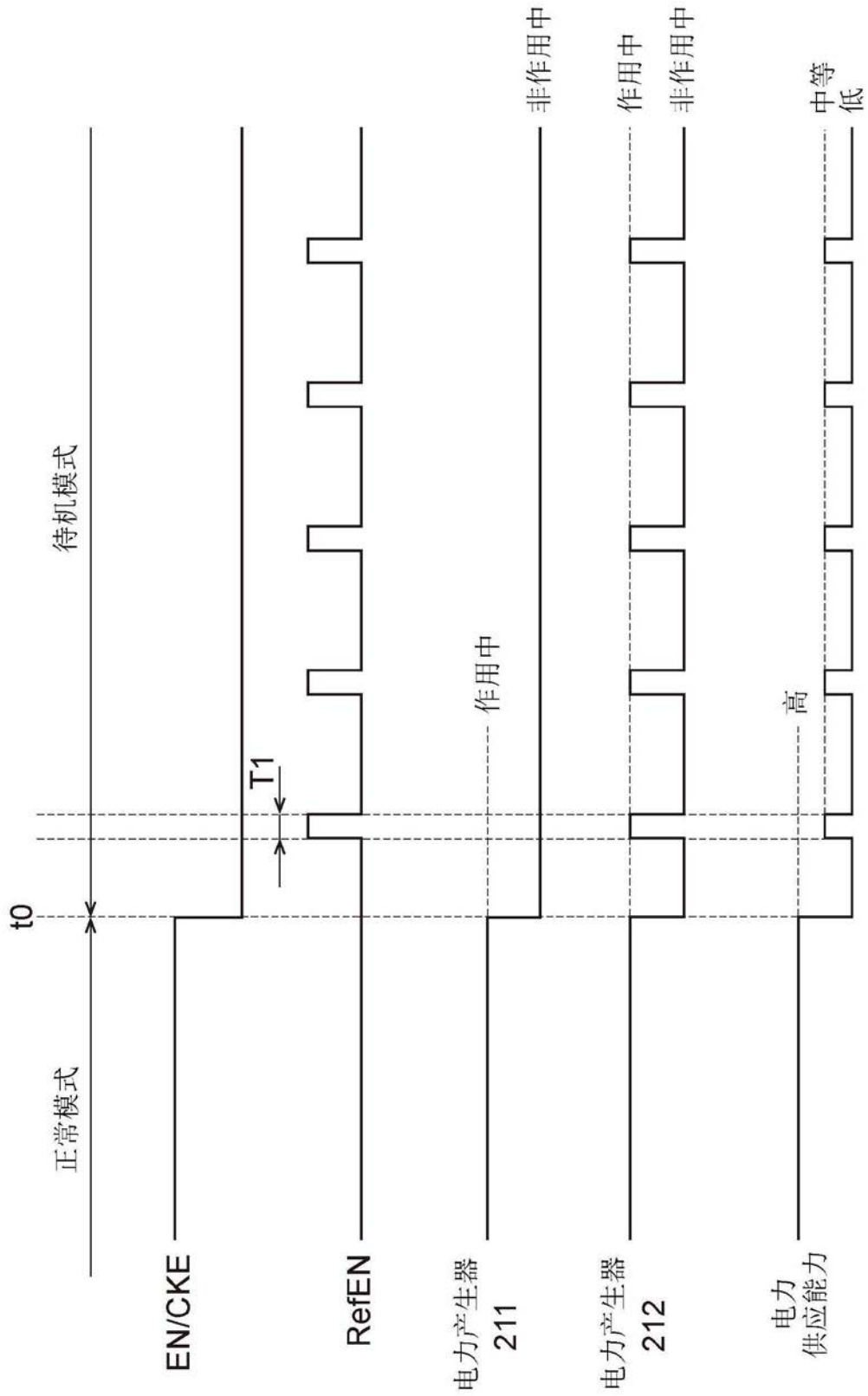


图2

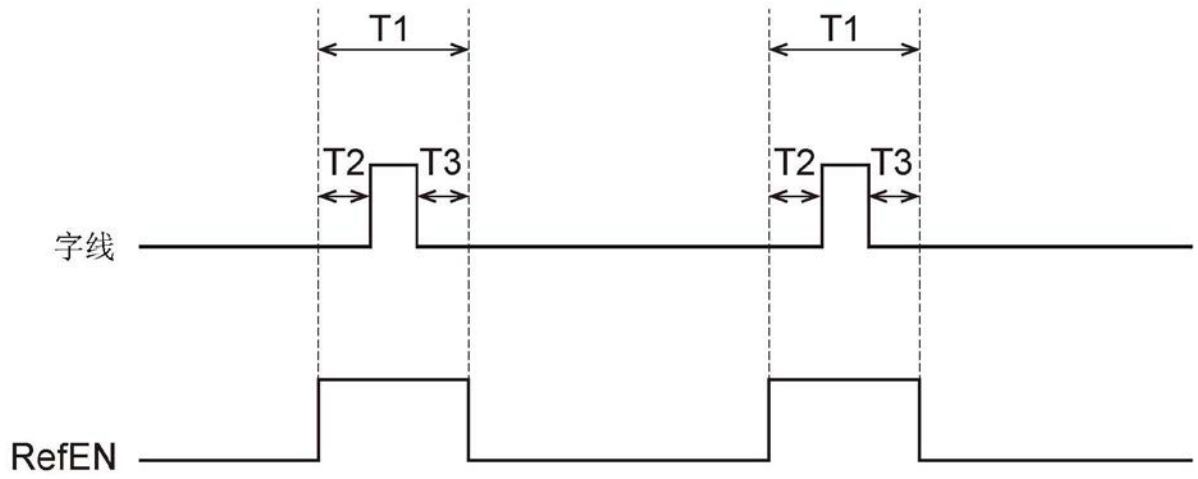


图3

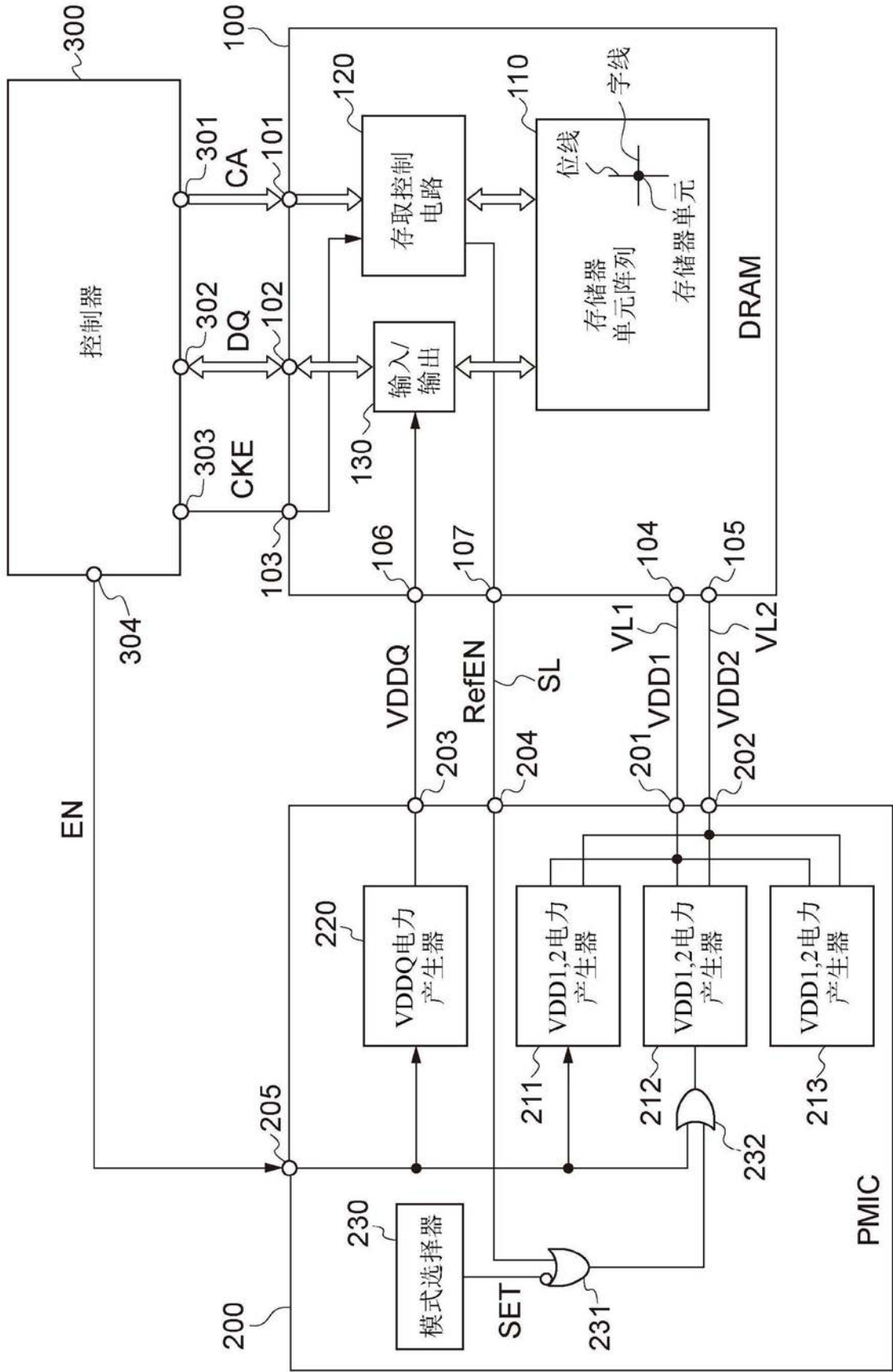


图4