

發明專利說明書

99年9月8日修正替換頁

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95114527

※申請日期：95.4.24

※IPC 分類：G11C 16/02 (2006.01)

一、發明名稱：(中文/英文)

具輔助閘之非揮發性半導體記憶裝置/NONVOLATILE SEMICONDUCTOR
MEMORY DEVICE HAVING ASSIST GATE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

瑞薩電子股份有限公司/RENESAS ELECTRONICS CORPORATION

代表人：(中文/英文) 赤尾泰/AKAO, YASUSHI

住居所或營業所地址：(中文/英文)

日本國神奈川縣川崎市中原區下沼部 1753 番地

國籍：(中文/英文) 日本/JAPAN

三、發明人：(共 3 人)

姓名：(中文/英文)

1. 河野隆司/TAKASHI KONO

2. 九里勇一/YUICHI KUNORI

3. 伊賀裕倫/HIRONORI IGA

國籍：(中文/英文)

1. 日本/JAPAN

2. 日本/JAPAN

3. 日本/JAPAN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本、2005/04/28、2005-130939

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

AG-AND(輔助閘-及)型快閃記憶體中，採用階層位元線結構，其中分割記憶陣列(MA)為複數的子區塊(SB)，對應各子區塊(SB)分配新的主位元線(MBL)，以及主位元線(MBL)經由切換器選擇性地連接至上位階層的通用位元線(GBL)，並在2條主位元線(MBL)間執行共用電荷寫入。因此，可以以低消耗功率執行資料寫入至快閃記憶體，並可以以高準確度控制臨界電壓(V_{THC})。

六、英文發明摘要：

In this AG-AND type flash memory, a layered bit line configuration where a memory array is divided into a plurality of sub blocks, new main bit lines are allocated so as to correspond to each sub block, and a main bit line is selectively connected to a global bit line in an upper layer via a switch is adopted, so that charge sharing write-in is carried out between two main bit lines. Accordingly, write-in of data into the flash memory can be carried out with low power consumption, and the threshold voltage can be controlled with precision.

七、指定代表圖：

(一)本案指定代表圖為：第(7)圖。

(二)本代表圖之元件符號簡單說明：

AG0~AG3~輔助閘；

AGT0~AGT3~輔助閘電晶體；

BL~反轉層位元線；

MC0~MC3~記憶單元電晶體；

Q0~Q3~N通道MOS電晶體；

MBL~主位元線；

GBL~通用位元線；

VWW~寫入電壓；

WL~字元線；

STD、STS、TRM、FRPCM、RPCM~信號。

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

本發明係有關於非揮發性半導體記憶裝置，且特別有關於浮閘與輔助閘交互配設的 AG-AND 型(輔助閘-及型)快閃記憶體。

【先前技術】

近年來，隨著數位相機畫素增高而記憶卡容量增大等，對於資料儲存快閃記憶體的增大容量的規格要求非常強烈。已開發 AG-AND 型快閃記憶體作為上述資料儲存快閃記憶體的一種。AG-AND 型快閃記憶體中，浮閘與輔助閘交互配設，且藉由施加電場至輔助閘而形成強反轉層作為下層，此反轉層係用作位元線(例如，H. Kurata et al., 2004 Symposium on VLSI Circuits Digest of Technical Papers, pp. 72-73)。

第 32 圖係一方塊圖，顯示上述的 AG-AND 型快閃記憶體中的 1 組的主要部分。第 32 圖中，上述組具有記憶陣列 MA、感應閘鎖器 SL、以及 X 解碼器 XD。記憶陣列 MA 包括 N 個字串 ST0 至 ST(N-1)(而 N 為自然數)。配置通用位元線 GBL，以橫切 N 個字串 ST0 至 ST(N-1)。通用位元線 GBL 係全字串 ST0 至 ST(N-1)所共用的上位的位元線，具有連接感應閘鎖器 SL 及記憶單元電晶體的功能。

感應閘鎖器 SL，回應來自外部的位址信號與寫入資料，控制是否在通用位元線 GBL 上傳送必要的資訊以執行

寫入至記憶單元電晶體，同時，感測對應來自外部的位址信號的記憶單元電晶體中通用位元線 GBL 上所讀出的資料以轉送資料至外部 I/O。X 解碼器 XD 回應外部供應的位址信號而選擇字元線 WL。

各字串 ST，如第 33 圖所示，包括複數（圖中 256 條）的字元線 WL、對應各字元線 WL 設置的複數的記憶單元電晶體 MC、以及複數的輔助閘電晶體 AGT。各記憶單元電晶體 MC 具有控制閘與浮閘，並根據其臨界電壓的變化儲存資訊。各記憶單元電晶體 MC 的控制閘連接至對應的字元線 WL。與字元線 WL 相交的方向上配置一系列的複數（在此情況下為 256 個）的輔助閘電晶體 AGT 在與字元線 WL 相交的方向上具有 1 字串寬度的通道長度，其閘極的輔助閘 AG 也具有對應 1 字串的長度。各行中複數的記憶單元電晶體 MC 以每 4 個分群，而對應於此，輔助閘電晶體 AGT 也以每 4 個分群，且輔助閘 AG 也以每 4 個分群。即，各記憶單元電晶體群包括 4 個記憶單元電晶體 MC0-MC3，各輔助閘電晶體群包括 4 個輔助閘電晶體 AGT0-AGT3，而各輔助閘群包括 4 個輔助閘 AG0-AG3。

對應 4 條的輔助閘 AG 所形成的各群，設置 2 條的通用位元線 GBL。輔助閘 AG0 的下層經由 N 通道 MOS 電晶體 Q0 連接至通用位元線 $GBL\langle 2*m \rangle$ （而 m 為 0 以上的整數）。輔助閘 AG2 的下層經由 N 通道 MOS 電晶體 Q2 連接至通用位元線 $GBL\langle 2*m+1 \rangle$ 。N 通道 MOS 電晶體 Q0、Q2 的閘極都接收信號 STS。

輔助閘 AG1 的下層經由 N 通道 MOS 電晶體 Q1 連接至共同汲極線 CD。輔助閘 AG3 的下層經由 N 通道 MOS 電晶體 Q3 連接至共同汲極線 CD。N 通道 MOS 電晶體 Q1、Q3 的閘極共同接收信號 STD。施加既定的電壓於輔助閘 AG 時，輔助閘 AG 的下方形成強反轉層而成為反轉層位元線 BL。

其次，說明關於 AG-AND 型快閃記憶體的讀出動作。第 34 圖係顯示讀出動作時的各信號的電壓，而第 35 圖係顯示各信號的動作波形的時序圖。在此，假設讀出對應第 1 字元線 WL0 的各記憶單元電晶體群中的記憶單元電晶體 MC2 內儲存的資料。

為了讀出記憶單元電晶體 MC2 的資料至通用位元線 GBL，提供輔助閘 AG1、AG2 既定的電壓（第 34、35 圖都是 3.5V），因而在輔助閘 AG1、AG2 下方形成反轉層位元線 BL。藉此，對應記憶單元電晶體 MC2 的汲極的輔助閘 AG2 下方的反轉層位元線 BL 經由接收信號 STS 的電晶體 Q2 連接至奇數號的通用位元線 GBL。另一方面，輔助閘 AG1 下方的反轉層位元線 BL 經由接收信號 STD 的電晶體 Q1 連接至共同汲極線 CD，以用作記憶單元電晶體 MC2 的源極功能。

第 35 圖中，奇數號的通用位元線 GBL 預先充電至 1.2V，作為信號 STD 從 L 準位至 H 準位的上昇緣觸發，因此記憶單元電晶體 MC2 的臨界電壓 V_{THC} 比字元線 WL0 的選擇電壓 V_{RW} 低時，奇數號的通用位元線 GBL 的電荷經由記憶單元電晶體 MC2 放電至共同汲極線 CD，奇數號的通用位元線 GBL 的電壓逐漸降低。

相反地，記憶單元電晶體 MC2 的臨界電壓 VTHC 比字元線 WL0 的選擇電壓 VRW 高時，記憶單元電晶體 MC2 不導通，因此奇數號的通用位元線 GBL 的電壓維持在 1.2V。經過適當的時間，例如 $VRW > VTHC$ 時，奇數號的通用位元線 GBL 的電壓擺動至 0.6V 的時間，第 35 圖中的信號 SENSE 變成 H 準位，並根據此時奇數號的通用位元線 GBL 的電壓，資料最後閃鎖在感應鎖閃器 SL 內的感應放大器內。

接著，說明關於上述 AG-AND 型快閃記憶體的寫入動作。2 位元以上的資料對應 1 個記憶單元電晶體 MC 的多值記憶單元電晶體 MC 中，必須升高臨界電壓 VTHC，使臨界電壓 VTHC 從最低消去狀態至複數的寫入狀態。此時，臨界電壓 VTHC 的移位量即注入浮閘 FG 的全電荷量根據寫入狀態而不同。因此，可以對應臨界電壓 VTHC 的移位量而運用不同的寫入動作。

第 36 圖係顯示習知的寫入動作時的目標字串 ST 內的各信號的電位關係圖，而第 37 圖係顯示各信號的動作波形的時序圖。假設各記憶單元電晶體群的記憶單元電晶體 MC2 為寫入目標。又，係以根據上述非專利文件所揭露的“通過單元寫入方式”為前提。

第 36 圖中，輔助閘 AG2 下方的反轉層位元線 BL 作為記憶單元電晶體 MC2 的汲極，而輔助閘 AG0 下方的反轉層位元線 BL 作為記憶單元電晶體 MC2 的源極。奇數號的通用位元線 GBL 經由電晶體 Q2 供給 4.5V 至源極側的反轉層位元線 BL，而偶數號的通用位元線 GBL 經由電晶體 Q0 供給

0V 或約 2V 至源極側的反轉層位元線 BL。上述源極側的反轉層位元線 BL 的電壓反映是否執行寫入至記憶單元電晶體 MC2 的資訊，並以儲存在感應門鎖器 SL 的資料為依據。具體地，如果想要寫入時，源極側的反轉層位元線 BL 設定為 0V，而如果想要阻止寫入時，源極側的反轉層位元線 BL 設定為約 2V。藉此，根據供應至源極側的反轉層位元線 BL 的電壓，決定是否執行寫入至記憶單元電晶體 MC 的方式在以下稱作源極選擇寫入方式。

參考第 37 圖，施加於輔助閘 AG1 的電壓觸發開始寫入記憶單元電晶體 MC2。此時，施加於輔助閘 AG1 的電壓約 1V 低，且形成於輔助閘 AG1 下方的反轉層係弱反轉狀態。如果源極側反轉層位元線 BL 為 0V 時，電流經由記憶單元電晶體 MC1 下方從奇數號側的通用位元線 GBL 流至偶數號側的通用位元線 GBL，寫入目標的記憶單元電晶體 MC2 下方的通道與輔助閘 AG1 下方的弱反轉層之間的邊界附近產生電場集中，並在基板表面上產生由電場加速的高能量電子(熱電子)。施加於字元線 WL 的高電壓 V_{WW} 所產生的縱方向的電場拉引上述熱電子而到達寫入目標記憶單元電晶體 MC2 的浮閘。此稱作源極側熱電子注入(SSI)。如果源極側反轉層位元線 BL 為 2V 時，由於提供輔助閘 AG1 的電壓 V_{AG1} 為 1V，輔助閘 AG1 被切斷，且記憶單元電晶體 MC2 內不流過寫入電流。又，第 36 圖中的電流路徑的箭頭係表示電子流動的方向。

又，由於奇數號側與偶數號側的通用位元線 GBL 都在

寫入時成為浮動狀態，因此汲極側通用位元線 GBL 上儲存的電荷流入源極側通用位元線 GBL，所以電荷在兩者間再分配直到輔助閘 AG1 切斷(電荷共用方式)。結果，藉由維持 1 次寫入的消耗電荷在一定量，改善了寫入控制性(記憶單元電晶體 MC 間的臨界電壓 V_{THC} 移位量的均一性)。

其次，說明上述 AG-AND 型快閃記憶體的其他寫入動作。第 38 圖係顯示習知其他寫入動作時的目標字串 ST 內各信號的電位關係圖，而第 39 圖係顯示各信號的動作波形的時序圖。寫入目標係假設為各記憶單元電晶體群的記憶單元電晶體 MC2。

第 38 圖中，源極側及汲極側反轉層位元線 BL 與輔助閘 AG 的關係與第 36 圖相同，且在源極選擇寫入方式方面也相同。不過，供應至汲極側反轉層位元線 BL 的電壓不同於以下所述的“自行升壓”方式。參考第 39 圖動作波形，信號 STS 從“H”準位降至“L”準位後，輔助閘 AG2 的電壓從 0V 上昇至 8V 時，由於電容耦合，輔助閘 AG2 下方的反轉層位元線 BL 的電壓上昇。輔助閘 AG2 下方的反轉層位元線 BL 的最終電壓係由輔助閘 AG2 下方的閘極氧化膜電容與輔助閘 AG2 下方形成的強反轉層的空乏層電容的比決定，並上昇至例如 4.5V。

輔助閘 AG1 的電壓上昇至 1V 時，開始寫入。由於信號 STS 維持“L”準位，源極側及汲極側反轉位元線 BL 係浮動狀態，以兩者內儲存的電荷再分配的電荷共用方式執行寫入。

如上所述，由源極側電壓決定是否寫入的源極選擇方式、再分配浮動狀態的源極/汲極內儲存的一定電荷而加強控制性的電荷共用方式、以及將輔助閘 AG 升壓以局部產生汲極電壓的自行升壓方式係併用作為寫入方式。特別是電荷共用方式中通用位元線 GBL 間的電荷共用方式與反轉層位元線 BL 間電荷共用方式，可以對應想要的 VTHC 移位量來選擇使用。

電荷共用方式的 VTHC 移位量係依據配線寄生電容內儲存的電荷量，且汲極電壓相同時，配線寄生電容 0.8pF 大的通用位元線 GBL 間的電荷共用方式比配線寄生電容 0.2pF 小的反轉層位元線 BL 間電荷共用方式可以期待較大的 VTHC 移位。另一方面，由於 VTHC 分佈的狹帶化，當執行超出位元的 VTHC 微調整時，反轉層位元線 BL 間電荷共用方式適用。又，執行寫入前的設定時間也是負荷輕的反轉層位元線 BL 自行升壓的反轉層位元線 BL 間電荷共用方式較短。運用上述特性，特別是分別寫入多值準位時的寫入時間可以達到最優化。

第 38 圖所示的寫入方式，由於併用自行升壓方式與反轉層位元線 BL 間電荷共用方式，在寫入控制性與設定時間方面極佳。但是，隨著記憶單元電晶體 MC 的微細化的進展，可能引起以下的問題點。

由於記憶單元電晶體 MC 的微細化，輔助閘 AG 的閘極寬度也縮小了。結果，在輔助閘 AG 下方形成的反轉層的空乏層電容的成分中，不取決於輔助閘 AG 的閘極寬度的邊緣

成分(一種線成分)比例增加。因此，空乏層電容的表面成分與閘極電容都是依輔助閘 AG 的閘極寬度而成比例地變小，而含有邊緣成分的空乏層電容全體比閘極寬度的縮小率更緩地變小。因此，為了確保自行升壓後的汲極電壓與習知一樣的準位，輔助閘 AG 的電壓必須上升或是構成輔助閘 AG 的閘極氧化膜必須薄膜化。另一方面，電荷共用後汲極電壓降低(參考第 39 圖)，並且如果如上述使用比習知高的電壓於或是比習知薄的閘極氧化膜時，電荷共用後施加於輔助閘氧化膜的電場強度變高，因而產生了可靠性的問題。

為了避免上述的問題，雖然可以只以通用位元線 GBL 間電荷共用方式執行寫入，但是，如上述，通用位元線 GBL 與反轉層位元線 BL 的寄生電容分別為 0.8pF 、 0.02pF 的大差異，從 VTHC 位移量的控制性觀點看來，只藉由通用位元線 GBL 間電荷共用方式可能很難產生夠小的寫入後臨界電壓 VTHC 分佈。又，由於通用位元線 GBL 間電荷共用方式係以每寫入周期充電及放電負荷重的通用位元線 GBL，寫入前的通用位元線 GBL 的充電時間變長，因而寫入時間變長，而有消耗功率增大的顧慮。

又，寫入時間內包括判定寫入後的 VTHC 位移量的超過與不足の確認動作。這是一種記憶單元電晶體 MC 的讀出動作，而如同習知，如果提供大的振幅給負荷重的通用位元線 GBL 而讀出時，會耗費時間。

【發明內容】

因此，本發明的主要目的係提供比通用位元線 GBL 間電荷共用方式更佳的可靠性、並具有寫入控制性及寫入速度的低消耗功率的非揮發性半導體記憶裝置。

又，本發明的另一目的係提供讀出時間快的非揮發性半導體記憶裝置。

本發明的非揮發性半導體記憶裝置具有記憶陣列部，而記憶陣列部由複數的子區塊所構成，且各子區塊的結構包括：複數的字元線；複數的局部位元線，在與字元線相交的方向上延伸；以及記憶單元，對應字元線與局部位元線的各交點而配置，並根據臨界電壓的變化而儲存資訊。記憶陣列部更具有設置給各子區塊的複數的主位元線、以及共同設置給複數的子區塊的複數的通用位元線。各主位元線可以選擇性地連接至對應的子區塊內的 1 局部位元線。各通用位元線可以選擇性地連接至對應的複數的主位元線中的 1 主位元線。又，設置電壓控制電路，獨立控制各主位元線的電壓，與而通用位元線的電壓分開。

因此，上述非揮發性半導體記憶裝置中，可以在各主位元線群的 2 條主位元線間執行電荷共用寫入。可以改善可靠性、寫入控制性、以及寫入速度，並達到降低消耗功率。

又，根據本發明的另一非揮發性半導體記憶裝置，具有記憶陣列部，而記憶陣列部由複數的子區塊所構成，且各子區塊的結構包括：複數的字元線；複數的局部位元線，

在與字元線相交的方向上延伸；以及記憶單元，對應字元線與局部位元線的各交點而配置，並根據臨界電壓的變化而儲存資訊。記憶陣列部更具有共同設置給複數的子區塊的複數的通用位元線。各通用位元線包括分別對應複數的子區塊的複數的分割通用位元線。各分割通用位元線可以選擇性地連接至延伸方向上鄰接的分割通用位元線，同時，可以選擇性地連接至對應的子區塊內的 1 局部位元線。又，設置電壓控制電路，用以獨立控制各分割通用位元線的電壓。

因此，上述非揮發性半導體記憶裝置中，在分割通用位元線之間可以執行電荷共用寫入，並達到改善可靠性、寫入控制性及寫入速度，以及降低消耗功率。又，與設置主位元線相比，可以減少配線層。

又，根據本發明的再另一非揮發性半導體記憶裝置，具有記憶陣列部，而記憶陣列部由複數的子區塊所構成，且各子區塊的結構包括：複數的字元線；複數的局部位元線，在與字元線相交的方向上延伸；以及記憶單元，對應字元線與局部位元線的各交點而配置，並根據臨界電壓的變化而儲存資訊。記憶陣列部更具有設置給各子區塊的複數的主位元線、以及共同設置給複數的子區塊的複數通用位元線。各主位元線可以選擇性地連接至對應的子區塊內的 1 局部位元線。讀出時，各鄰接的 2 條通用位元線的一方選擇性地連接至對應的複數的主位元線中的 1 主位元線。又，從記憶單元讀出資料之前，各鄰接的 2 條通用位

元線之一方預充電至第 1 電壓，而另一方通用位元線預充電至與第 1 電壓相異的第 2 電壓。更設置了讀出控制電路，當開始從記憶單元讀出且各鄰接的 2 條通用位元線之一方的電壓對應記憶單元資料而變化時，在一定時間後其電壓與另一方通用位元線上的第 2 電壓相比而讀出記憶單元資料。

因此，上述非揮發性半導體記憶裝置中，可以降低通用位元線的振幅電壓，並達到提高讀出速度。

又，根據本發明的再另一非揮發性半導體記憶裝置，具有記憶陣列部，而記憶陣列部由複數的子區塊所構成，且各子區塊的結構包括：複數的字元線；複數的局部位元線，在與字元線相交的方向上延伸；以及記憶單元，對應字元線與局部位元線的各交點而配置，並根據臨界電壓的變化而儲存資訊。記憶陣列部更具有共同設置給各子區塊的複數的通用位元線。各通用位元線包括分別對應複數的子區塊的複數的分割通用位元線。各分割通用位元線可以選擇性地連接至延伸方向上鄰接的分割通用位元線，同時，可以選擇性地連接至對應的子區塊內的 1 局部位元線。讀出時，分割通用位元線間的所有連接裝置接通，各鄰接的 2 條通用位元線中的一方連接至選擇的子區塊內的 1 局部位元線，而從記憶單元讀出資料之前，各鄰接的 2 條通用位元線之一方預充電至第 1 電壓，另一方通用位元線預充電至與第 1 電壓相異的第 2 電壓。更設置了讀出控制電路，當開始從記憶單元讀出且各鄰接的 2 條通用位元

線之一的電壓對應記憶單元資料而變化時，在一定時間後其電壓與另一方通用位元線上的第 2 電壓相比而讀出記憶單元資料。

因此，上述非揮發性半導體記憶裝置中，可以降低通用位元線的振幅電壓，並達到提高讀出速度。

又，根據本發明的再另一非揮發性半導體記憶裝置，具有記憶陣列部，而記憶陣列部由複數的字串所構成，且各字串的結構包括：複數的字元線；複數的局部位元線，在與字元線相交的方向上延伸；以及記憶單元，對應字元線與局部位元線的各交點而配置，並根據臨界電壓的變化而儲存資訊。記憶陣列部更具有複數的通用位元線。各通用位元線由全部字串所共有，同時可以選擇性地連接至 1 字串內的 1 局部位元線。讀出時，從記憶單元讀出資料之前，各鄰接的 2 條通用位元線之一方預充電至第 1 電壓，另一方通用位元線預充電至與第 1 電壓相異的第 2 電壓。更設置了讀出控制電路，當開始從記憶單元讀出且各鄰接的 2 條通用位元線之一方的電壓對應記憶單元資料而變化時，在一定時間後其電壓與另一方通用位元線上的第 2 電壓相比而讀出記憶單元資料。

因此，上述非揮發性半導體記憶裝置中，可以降低通用位元線的振幅電壓，並達到提高讀出速度。

各鄰接的 2 通用位元線最好以既定位置繞轉以抑制來自其他通用位元線的耦合雜訊。藉此，可以達到提高抗雜訊能力。

如上所述，根據本發明，分割記憶單元為複數的子區塊，且各子區塊中準備的新的位元線用於在寫入時供給汲極電壓，藉此，可以期待寫入前的預充電時間縮短，藉由最優化提供於寫入的電荷而改善臨界值控制性，提高寫入速度，以及低消耗功率。

又，藉由使全體記憶單元陣列所共有的位元線（最上位階層，或是互相連接的上述位元線）可以比習知振幅小的互補化，以及繞轉位元線以改善抗雜訊能力，可以提高從記憶單元電晶體讀出的動作速度。

【實施方式】

[第一實施例]

第 1 圖，係顯示根據本發明第一實施例的 AG-AND 型快閃記憶體的主要部分圖。第 1 圖中，AG-AND 型快閃記憶體中，半導體基板的表面上記憶單元電晶體 MC 的浮閘 FG 與輔助閘電晶體 AGT 的輔助閘 AG 在字元線 WL 的延伸方向交互配置。浮閘 FG 儲存的電荷決定記憶單元電晶體 MC 的臨界值 V_{THC} 。字元線 WL 兼作記憶單元電晶體 MC 的控制閘 CG。

在與字元線 WL 相交的方向上配置的輔助閘電晶體 AGT 群用作位元線 BL 與元件分離兩種功能。也就是說，如果提供給輔助閘 AG 的電壓是足夠的值，輔助閘 AG 的下方形成強反轉層，上述強反轉層作為位元線，連接記憶單元電晶體 MC 的源極或汲極至上位階層的通用位元線 GBL。相反地，當提供 0V 或負電壓時給輔助閘 AG 時，輔助閘 AG 下方

的反轉層消失，且輔助閘電晶體 AGT 群用作字元線 WL 延伸方向的元件分離功能。輔助閘電晶體 AGT 群如上所述地用作位元線與元件分離的兩功能，藉此位元線間距也縮小至 $2F$ (而 F 為記憶單元電晶體 MC 內的最小單位尺寸)，係對記憶單元電晶體 MC 高積體化的有利構造。又，寫入時源極側輔助閘 AG 下方轉變為弱反轉狀態，因此寫入目標的記憶單元電晶體 MC 下方的通道的邊界產生高電場，藉此執行通道熱電子的有效注入，有助於提高寫入速度。

第 2 圖係顯示 AG-AND 型快閃記憶體的全體結構的方塊圖。第 2 圖中，上述 AG-AND 型快閃記憶體，為了提高寫入速度，具有複數 (圖中 4 個) 的組 BA0~BA3。組 BA0~BA3 分別包括：記憶陣列 MA，用以儲存資料；X 解碼器 XD，根據行位址信號以指定記憶陣列 MA 的行位址；Y 解碼器 YD，根據列位址信號以指定記憶陣列 MA 的列位址；Y 閘 YG，用以執行與記憶陣列 MA 間的資料收送；資料暫存器 DR，用以暫時保持資料；以及感應門鎖器 SL，用以檢測、放大和保持資料。

讀出/程式/消去控制電路 2，根據經由控制信號緩衝器 1 提供的控制信號 /CE、/RE、/WE、...，控制 AG-AND 型快閃記憶體全體，行位址信號經由多工器 3、頁位址緩衝器 4 提供至組 BA0~BA3 內的各 X 解碼器 XD。列位址計數器 5 內所產生的列位址信號提供至組 BA0~BA3 內的各 Y 解碼器 YD。

寫入資料信號，經由多工器 3、資料輸入緩衝器 6 及

輸入資料控制電路 7，提供至組 BA0~BA3 內的各 Y 閘 YG，更經由資料暫存器 DR 及感應閘鎖器 SL，寫入至記憶陣列 MA 的指定位址。從記憶陣列 MA 的指定位址讀出的資料信號，經由感應閘鎖器 SL、資料暫存器 DR、Y 閘 YG、資料輸出緩衝器 8、以及多工器 3，輸出至外部。

第 3 圖係顯示記憶陣列 MA 結構的方塊圖，係第 32 圖的比較圖。第 3 圖的記憶陣列 MA 與第 32 圖的記憶陣列 MA 的相異點係記憶陣列 MA 分割為複數(第 3 圖中 4 個)的子區塊 SB0~SB3，並設置全字串 ST0~ST(N-1)間共有的通用位元線 GBL，再加上子區塊 SB 內複數的字串 ST 所共有的主位元線 MBL，以及子區塊 SB0 及 SB1、SB2 及 SB3 的各邊界上配置具有選擇性連接通用位元線 GBL 與主位元線 MBL 功能的 GBL-MBL 連接區域 CA。

第 4 圖係顯示第 3 圖所示的字串 ST 的結構的電路圖，係第 33 圖的比較圖。第 4 圖的字串 ST 與第 33 圖的字串 ST 的相異點係以主位元線 MBL 置換通用位元線 GBL。也就是說，比習知增加 1 個位元線階層的結構，最上位的通用位元線 GBL 變成習知的 1/2 數量。對於增加 1 階層，物理上係對應追加 1 層的配線層。

第 5A、5B 圖係顯示第 3 圖所示的 GBL-MBL 連接區域 CA 的結構的電路方塊圖。第 5A、5B 圖中，子區塊 SB0 與 SB1 之間的 GBL-MBL 連接區域 CA 分割為分別對應子區塊 SB0、SB1 的 2 個子連接區域 SCA0、SCA1，而子區塊 SB2 與 SB3 之間的 GBL-MBL 連接區域 CA 分割為分別對應子區塊

SB2、SB3 的 2 個子連接區域 SCA2、SCA3。

子連接區域 SCA 中有 2 項功能。第 1 項功能，如文字所示，係選擇性連接通用位元線 GBL 至 2 主位元線 MBL 中之一，並由閘極接收信號 $TRM_x\langle y \rangle$ 的 N 通道 MOS 電晶體 10~13 執行（而 x 為子區塊 SB 的號碼， y 為 0 到 3 的任一整數）。即，電晶體 10 在通用位元線 $GBL\langle m \rangle$ 與主位元線 $MBL_x\langle 2*m \rangle$ 之間連接，且其閘極接收信號 $TRM_x\langle 0 \rangle$ 。電晶體 11 在通用位元線 $GBL\langle m \rangle$ 與主位元線 $MBL_x\langle 2*m+1 \rangle$ 之間連接，且其閘極接收信號 $TRM_x\langle 1 \rangle$ 。信號 $TRM_x\langle 0 \rangle$ 或 $TRM_x\langle 1 \rangle$ 轉變為“H”準位時，電晶體 10 或 11 導通，而通用位元線 $GBL\langle m \rangle$ 連接至主位元線 $MBL_x\langle 2*m \rangle$ 或 $MBL_x\langle 2*m+1 \rangle$ 。

電晶體 12 在通用位元線 $GBL\langle m+1 \rangle$ 與主位元線 $MBL_x\langle 2*m+2 \rangle$ 之間連接，且其閘極接收信號 $TRM_x\langle 2 \rangle$ 。電晶體 13 在通用位元線 $GBL\langle m+1 \rangle$ 與主位元線 $MBL_x\langle 2*m+3 \rangle$ 之間連接，且其閘極接收信號 $TRM_x\langle 3 \rangle$ 。信號 $TRM_x\langle 2 \rangle$ 或 $TRM_x\langle 3 \rangle$ 轉變為“H”準位時，電晶體 12 或 13 導通，而通用位元線 $GBL\langle m+1 \rangle$ 連接至主位元線 $MBL_x\langle 2*m+2 \rangle$ 或 $MBL_x\langle 2*m+3 \rangle$ 。

子連接區域 SCA 的第 2 項功能係預充電功能，提供適當的電壓至電晶體 10~13 所切離的主位元線，並由閘極接收信號 $RPCM_x\langle z \rangle$ 且源極接收信號 $FRPCM_x\langle z \rangle$ 的 N 通道 MOS 電晶體 14~17 所執行（而 z 為 0 或 1）。

即，電晶體 14、15 的閘極接收信號 $RPCM_x\langle 0 \rangle$ ，其源極接收信號 $FRPCM_x\langle 0 \rangle$ ，而其汲極分別連接至主位元線 $MBL_x\langle 2*m \rangle$ 、 $MBL_x\langle 2*m+2 \rangle$ 。電晶體 16、17 的閘極接收信號

RPCM_x<1>，其源極接收信號 FRPCM_x<1>，而其汲極分別連接至主位元線 MBL_x<2*m+1>、MBL_x<2*m+3>。當信號 RPCM_x<0>或 RPCM_x<1>轉變為”H”準位時，電晶體 14、15 或電晶體 16、17 導通，而提供信號 FRPCM_x<0>或 FRPCM_x<1>的電壓至主位元線 MBL_x<2*m>、MBL_x<2*m+2>或 MBL_x<2*m+1>、MBL_x<2*m+3>。

感應門鎖器 SL 包括對應各通用位元線 GBL 設置的感應門鎖器單位電路 SLU。感應門鎖器單位電路 SLU，如第 6 圖所示，包括 N 通道 MOS 電晶體 20~30 以及 P 通道 MOS 電晶體 31、32。

在讀出動作時，信號 STR 轉變為”H”準位，對應的通用位元線 GBL<m>的電壓供應至電晶體 29 的閘極。在此，當信號 SENSE 轉變成”H”準位時，電晶體 29 對應通用位元線 GBL<m>的電壓而導通或斷開，並由電晶體 25~28、31、32 所構成的次段交叉耦合型感應放大器放大結果。

寫入動作時，當想要執行寫入至記憶單元電晶體 MC 時，感應放大器的一輸出節點 SLS 轉變為”H”準位，同時，另一輸出節點 SLR 轉變為”L”準位，而當不想執行寫入至記憶單元電晶體 MC 時，一輸出節點 SLS 轉變為”L”準位，同時，另一輸出節點 SLR 轉變為”H”準位，輸出節點 SLS、SLR 之間的電壓門鎖在感應放大器內。

在此，提高記憶單元電晶體 MC 的臨界電壓 V_{THC} 以寫入至記憶單元電晶體 MC，也就是說，寫入後施加適當的電壓至對應的字元線 WL 以讀出記憶單元電晶體 MC 的資料。

時，成為電流不流過記憶單元電晶體 MC(通用位元線 GBL 不放電)的狀態。

信號 TR 在 "L" 準位的狀態下，信號 PC、FPC、STR 都轉變為 "H" 準位時，對應感應放大器內保持的狀態，通用位元線 GBL $\langle m \rangle$ 選擇性地預充電。具體而言，輸出節點 SLR 為 "H" 準位時，通用位元線 GBL $\langle m \rangle$ 充電至只比信號 PC 的電壓低電晶體 22 的臨界電壓的電壓(約 2V)，輸出節點 SLR 為 "L" 準位時，通用位元線 GBL $\langle m \rangle$ 保持在重設的初期狀態(=GND)。之後，信號 TR 變成 "H" 準位(與信號 PC 的 "H" 準位的電壓相同)，由感應放大器保持通用位元線的狀態。

其次，說明上述 AG-AND 型快閃記憶體的寫入動作。第 7 圖顯示開始寫入至記憶單元電晶體 MC2 時的各信號狀態圖。字串 ST 內部的狀態與第 36 圖相同。組 BA、子區塊 SB、字串 ST、通用位元線 GBL、主位元線 MBL、記憶單元 MC、字元線 WL 的選擇係根據位址信號由第 2 圖的 X 解碼器 XD 執行。源極側反轉層位元線 BL 的電壓，與習知相同，係由感應門鎖器 SL 經由通用位元線 GBL $\langle m \rangle$ 、GBL $\langle m+1 \rangle$ 所供應。對應寫入目標的記憶單元電晶體 MC2 的信號 TRM $\langle 0 \rangle$ 、TRM $\langle 2 \rangle$ 變成 "H" 電位，選擇性地連接對應通用位元線 GBL 的 2 條主位元線 MBL 中的任一條至通用位元線 GBL。第 7 圖係顯示通用位元線 GBL $\langle m \rangle$ 、GBL $\langle m+1 \rangle$ 分別連接至主位元線 MBL $\langle 2*m \rangle$ 、MBL $\langle 2*m+2 \rangle$ ，而主位元線 MBL $\langle 2*m \rangle$ 、MBL $\langle 2*m+2 \rangle$ 分別充電至 2V、0V 的狀態。

另一方面，汲極側的反轉層位元線 BL 的電壓 (4.5V)，經由在閘極接收信號 RPCM 的電晶體，由信號 FRPCM 的節點供給。第 7 圖中，汲極側的反轉層位元線 BL 的電壓，經由在閘極接收信號 RPCM<1>的電晶體 16、17，由信號 FRPCM<1>的節點供給。此時，只有主位元線 MBL (0.2pF)，長度只有通用位元線 GBL (電容 0.8pF) 的 1/4，充電至 4.5V，因此消耗功率變小。又，輔助閘 AG0、AG2 分別設定為 4.5V 及 8V，輔助閘 AG0、AG2 的下層形成反轉層位元線 BL。又，字元線 WL0 從 -2V 上升至寫入電壓 VW。

作為寫入方式，提供適當的電壓後變成浮動狀態的主位元線 MBL 間保持定電荷，且在電荷共用寫入中，信號 TRM<0>、TRM<2>的轉變係 4.5V→0V，且信號 RPCM<1>的轉變係 8V→0V，藉此源極側主位元線 MBL<2*m>，MBL<2*m+2>以及汲極側主位元線 MBL<2*m+1>，MBL<2*m+3>轉變成浮動狀態 (1)，接著輔助閘 AG1 的電壓上升至 1V 而開始寫入 (2)。由於主位元線 MBL 的配線長為通用位元線 GBL 的配線長的 1/4，因此與第 36 圖的通用位元線 GBL 間的電荷共用方式相比，變成以較少的電荷寫入，改善了每一次寫入的 VTHC 位移量的控制性。

又，讀出動作係以如下的順序執行。參考第 8 圖，採用讀出記憶單元電晶體 MC2 的資料時的情況。首先，讀出記憶單元電晶體 MC2 的全體的一半的資料至偶數號側通用位元線 GBL<m>，只有信號 TRM<1>設定為 4V，因此電晶體 11 導通，且通用位元線 GBL<m>與主位元線 MBL<2*m+1>連

接並充電至 1.2V。又，通用位元線 $GBL\langle m+1 \rangle$ 設為 0V 以用作屏蔽線。又，輔助閘 AG1、AG2 都設為 3.5V，而在輔助閘 AG1、AG2 的下層形成反轉層位元線 BL。又，字元線 WL0 從 -2V 上升至讀出電壓 VRW。又，通用位元線 GBL 的預充電及電位固定係由第 6 圖的電晶體 20 執行。

之後，信號 STD 上升至 3V，因此電晶體 Q1 和 Q3 導通。因此，對應字元線 WL0 的讀出電壓 VRW 與記憶單元電晶體 MC2 的臨界電壓 VTHC 的大小關係，通用位元線 $GBL\langle m \rangle$ 的電壓改變，且上述電壓變化由感應閘鎖器 SL 感測。之後，通用位元線 $GBL\langle m \rangle$ 的電壓以及主位元線 $MBL\langle 2*m \rangle$ 、 $MBL\langle 2*m+1 \rangle$ 的電壓重置，且以相同的方法讀出後半的記憶單元電晶體 MC2 的資料至奇數號側通用位元線 $GBL\langle m+1 \rangle$ 。以此方式，1 頁分 2 次讀出，藉此通用位元線 GBL 的一半變成可以用作屏蔽，並擴大了讀出資料的雜訊幅度。

如上所述，第一實施例中，由於具有階層位元線結構，其中分割記憶陣列 MA 為複數的子區塊 SB，分配對應各子區塊 SB 的新主位元線 MBL，以及主位元線 MBL 經由切換器選擇性地連接至上位階層的通用位元線 GBL，可以以低消耗功率執行資料寫入至快閃記憶體，以及以高精密度控制臨界電壓 VTHC。

[第二實施例]

第一實施例的讀出動作中，從記憶陣列 MA 讀出的資料，前後半分開，並執行連續的動作。在此方式中，雖然可以避免通用位元線 GBL 間的耦合雜訊問題，但產生讀出

率變成一半的問題。

在此，以本第二實施例說明可以更快速讀出的讀出方法。第 9-13 圖中顯示具體的順序。又，第 9-13 圖中，假設存取各記憶單元電晶體群的記憶單元電晶體 MC2。

第 9 圖係顯示本第二實施例的讀出方法的第 1 階段。通用位元線 GBL 預充電至比第 6 圖的電晶體 29 的臨界電壓（也就是感應門鎖器 SL 的邏輯臨界電壓 V_{THL} ） $0.65V$ 稍微低的 $0.6V$ 。藉由預先設定信號 $RPCM<1>$ 至 $4V$ 以及信號 $FRPCM<1>$ 至 $1.3V$ ，預充電主位元線 $MBL<2*m+1>$ 、 $MBL<2*m+3>$ 至 $1.3V$ 。在此階段，全部的信號 TRM 設定為“L”準位，因而全部的主位元線 MBL 與對應的通用位元線 GBL 分離。輔助閘 AG1、AG2 設定為 $3.5V$ ，因此在輔助閘 AG1、AG2 的下層形成反轉層位元線 BL。於是，字元線 WL0 從 $-2V$ 上升至選擇電壓 VRW，同時，信號 STD 上升至“H”準位，藉此，根據記憶單元電晶體 MC2 的臨界電壓 V_{THC} ，主位元線 MBL 放電。

在此應注意的是，不同於第一實施例，在同一行位址選擇的記憶單元電晶體 MC2 (=1 頁) 中係執行一次讀出資料至主位元線 MBL。主位元線 MBL 的數量係讀出資料數的 2 倍，而每隔一條載有資料。也就是說，其餘的主位元線 MBL 可以固定在適當的電壓，因此具有屏蔽效果（第 9 圖中信號 $RPCM<0>$ 設為“H”準位，而主位元線 $MBL<2*m>$ 、 $MBL<2*m+2>$ 固定在接地電壓 GND）。繼續讀出直到連接至具有比字元線 WL0 的電壓 VRW 低的臨界電壓 V_{THC} 的記憶單元電晶體 MC2

之主位元線 MBL 的電壓變成 0.5V。

第 10 圖係顯示本第二實施例中的讀出方法的第 2 階段。經過連接至 VRW>VTHC 的記憶單元電晶體 MC 之主位元線 MBL 擺動至 5V 的時間後，信號 STD 變成”L”準位，而記憶單元電晶體 MC 為斷開。同時，信號 STS 也設定為”L”準位，且主位元線 MBL 和記憶單元電晶體 MC 互相分離。結果，讀出資料保持在主位元線 MBL 上。

第 11 圖係顯示本第二實施例中的讀出方法的第 3 階段。第 3 階段中，在主位元線 MBL 上讀出的 1 頁資料轉送至通用位元線 GBL 上，且由感應門鎖器 SL 感測及門鎖住。首先，為了全部讀出半頁資料至通用位元線 GBL<m>，設定信號 TRM<1>至”H”準位，並連接至對應的主位元線 MBL<2*m+1>與通用位元線 GBL<m>。此時，通用位元線 GBL<m>上的讀出電壓係由信號 TRM<1>即將變成”H”準位之前儲存在主位元線 MBL<2*m+1>與通用位元線 GBL<m>內的電荷再分配來決定。

當主位元線 MBL<2*m+1>與通用位元線 GBL<m>的寄生電容分別為 Cmb1 及 Cgb1 時，主位元線 MBL<2*m+1>與通用位元線 GBL<m>的電壓在 TRM<1>即將變成”H”準位之前分別為 Vmb1 及 Vgb1，且 TRM<1>變成”H”準位而主位元線 MBL<2*m+1>與通用位元線 GBL<m>間執行電荷再分配後，兩者的電壓為 Vread，而以下公式(1)成立。

$$Cmb1*Vmb1+Cgb1*Vgb1=(Cmb1+Cgb1)*Vread \cdots (1)$$

改變公式(1)而導出以下公式(2)。

$$V_{read} = (C_{mb1} * V_{mb1} + C_{gb1} * V_{gb1}) / (C_{mb1} + C_{gb1}) \dots$$

(2)

第 11 圖的範例中， $C_{mb1} = 0.2 \text{ pF}$ 、 $C_{gb1} = 0.5 \text{ pF}$ 、 $V_{gb1} = 0.6 \text{ V}$ ，因此如果 $VRW > V_{THC}$ 時， $V_{mb1} = 0.5 \text{ V}$ ， $V_{read} = (0.2 \text{ pF} * 0.5 \text{ V} + 0.5 \text{ pF} * 0.6 \text{ V}) / (0.2 \text{ pF} + 0.5 \text{ pF}) = 0.57 \text{ V}$ 。又，如果 $VRW < V_{THC}$ 時， $V_{mb1} = 1.3 \text{ V}$ ， $V_{read} = (0.2 \text{ pF} * 1.3 \text{ V} + 0.5 \text{ pF} * 0.6 \text{ V}) / (0.2 \text{ pF} + 0.5 \text{ pF}) = 0.8 \text{ V}$ 。在此，由於感應門鎖器 SL 的邏輯臨界電壓 V_{THC} 為 0.65 V ，因此當 $VRW > V_{THC}$ 時， $V_{THL} > V_{read}$ ，相反地，如果 $VRW < V_{THC}$ 時， $V_{THL} < V_{read}$ 。也就是說，在感應門鎖器 SL 內可以識別兩者。

第 12 圖係顯示本第二實施例中的讀出方法的第 4 階段。為了讀出 1 頁的前半之後繼續讀出後半，必須重置前半的讀出狀態一次。因此，信號 $TRM < 1 >$ 轉變為 "L" 準位，而對應的主位元線 $MBL < 2 * m + 1 >$ 與通用位元線 $GBL < m >$ 分離，同時，清除殘存的讀出資料，且用作讀出後半的屏蔽功能而用於讀出前半的通用位元線 $GBL < m >$ 係固定在 0.6 V 。

第 13 圖係顯示本第二實施例中的讀出方法的第 5 階段。在此，為了讀出 1 頁的後半，信號 $TRM < 1 >$ 轉變為 "L" 準位，而對應的主位元線 $MBL < 2 * m + 3 >$ 與通用位元線 $GBL < m + 1 >$ 連接。以下，讀出的概念與參考第 12 圖的說明相同。

其次，驗證目前為止所說明的 "集體讀出 1 頁至主位元線 $MBL \rightarrow$ 電荷再分配轉送至前半資料的通用位元線 $GBL \rightarrow$ 重置通用位元線 $GBL \rightarrow$ 電荷再分配轉送至後半資料的通

用位元線 GBL”的讀出方式比起第一實施例有多快速。如果 $VRW > V_{THC}$ 時的記憶單元電晶體 MC 的單元電流為 I_{cell} ，且忽略通用位元線 GBL 的重置時間，第一實施例的方式的讀出時間 T_{read1} 以下式(3)表示。

$$\begin{aligned} T_{read1} &\cong 2 * C_{gb1} * (V_{gb1} - V_{THL}) / I_{cell} \\ &= 2 * 0.8 \text{pF} * (1.2\text{V} - 0.65\text{V}) / I_{cell} \\ &= 0.88 \text{pC} / I_{cell} \dots (3) \end{aligned}$$

另一方面，當主位元線 MBL 與通用位元線 GBL 間的電荷轉送時間為 T_{chs} 時，本第二實施例中的讀出時間 T_{read2} 可以以下列公式(4)表示。

$$\begin{aligned} T_{read2} &\cong C_{mb1} * (V_{mb1} - V_{read}) / I_{cell} + 2 * T_{chs} \\ &= 0.2 \text{pF} * (1.3\text{V} - 0.5\text{V}) / I_{cell} + 2 * T_{chs} \\ &= 0.16 \text{pC} / I_{cell} + 2 * T_{chs} \dots (4) \end{aligned}$$

主位元線 MBL 與通用位元線 GBL 係電阻值不很高的金屬配線，電荷轉送以最高 100ns 的狀況完成。當 I_{cell} 為 $0.1 \mu\text{A}$ 的狀況時，與 T_{read2} 的最終式中的第 1 項相比，第 2 項可以忽略。因此， T_{read2} 以下式(5)表示。

$$T_{read2} \cong 0.16 \text{pF} / I_{cell} \dots (5)$$

當比較公式(3)及(5)時，明顯地第二實施例的讀出方式壓倒性的快得多(增加 5 倍以上的速度)。又，當考慮到讀出動作時的消耗功率時，習知中通用位元線 GBL 的擺動雖然消耗功率很大，本第二實施例中，由於位元線 MBL 同程度擺動，可以大幅降低消耗功率。

如上所述，第二實施例中，具有記憶陣列 MA 分割成複

數的子區塊 SB，分配對應各子區塊 SB 的新的主位元線 MBL，以及主位元線 MBL 經由切換器選擇性地連接至上位階層的通用位元線 GBL 的階層位元線結構的快閃記憶體中，資料讀出時從記憶單元電晶體 MC 所讀出的資訊一次保持在主位元線 MBL 內，並經由電荷再分配，選擇性地轉送至對應的通用位元線 GBL，藉此可以達成高速且低消耗功率的讀出動作。

[第三實施例]

如果更發展第一實施例及第二實施例中所示的階層位元線結構時，可以使用各記憶陣列 MA 作為複數的獨立擬似組。

第 14 圖係方塊圖，顯示根據第三實施例的 AG-AND 型快閃記憶體的記憶陣列 MA 的結構。雖然通用位元線 GBL、主位元線 MBL、及 GBL-MBL 連接區域 CA 與第一實施例的第 3 圖相同，但相異處為子區塊 SB0、SB1 分配至組 BA#0，而子區塊 SB2、SB3 分配至組 BA#1。

通用位元線 GBL 與主位元線 MBL 的連接關係如第 15A、15B 圖所示。基本上與第一實施例的第 5A、5B 圖為相同的結構，但對應之後說明的多組寫入，加入資料閃鎖器 DL 至各感應閃鎖器單元電路 SLU。又，字串 ST 的結構與第 4 圖相同。

以下說明第 14、15 圖的結構中的多組動作。首先，說明多組讀出動作。第 16A~16C 圖中的多組讀出動作時的 GBL-MBL 連接區域 CA 的狀態以第 17 圖的動作波形表示。

在此，存取組 BA#0 內的子區塊 SB1 與組 BA#1 內的子區塊 SB3，並假設讀出各子區塊 SB 內的外部位址所指示的字串 ST 的記憶單元電晶體 MC2。又，為了簡化符號，說明 $m=0$ 的基本單位。

假設第 16A~16C 圖所示的資料圖案係集體讀出至主位元線 MBL。在此，“集體”係指同時以 2 個組 BA#0、BA#1 從記憶單元電晶體 MC 讀出至主位元線 MBL，而比較第一實施例與第二實施例，係指以組數並列讀出的資料數（頁數）變多。此動作只有主位元線 MBL 對各子區塊 SB 獨立配置才有可能。

其次，以第 17 圖說明主位元線 MBL 上共同讀出的資料由組 BA#0、BA#1 間共有的通用位元線 GBL 及至感應門鎖器單位電路 SLU 讀出的順序。首先，信號 TRM<1>轉變為“H”準位，且組 BA#0 的子區塊 SB1 內的頁前半部的資料讀出至通用位元線 GBL<0>。讀出方法與第二實施例相同，係藉由主位元線 MBL 與通用位元線 GBL 之間的電荷再分配。

回應感應門鎖器 SL 內的感測動作完成，信號 TRM1<1>變成“L”準位，通用位元線 GBL<0>重置一次（圖中未顯示，係以感應門鎖器 SL 內的信號 RPC 轉變為“H”準位，且信號 FRPC 的節點變成 0.6V 來實行）。接著，信號 TRM1<3>變成“H”準位，組 BA#0 的子區塊 SB1 的頁後半部的資料讀出至通用位元線 GBL<1>。同樣地，依序 TRM3<1>變成“H”準位，信號 TRM3<3>變成“H”準位，並且也讀出組 BA#1 的子區塊 SB3 的頁前後半的資料。

其次，驗證上述多組讀出的效果。比較從第二實施例中的 2 個子區塊 SB 讀出資料的情況，雖然第 17 圖所示的電荷再分配轉送時間係兩者相同，第三實施例中成為目標的 2 子區塊 SB 的總共 2 頁的資料同時並列讀出至主位元線 MBL，因此速度快。也就是說，根據第二實施例的 Tread2 的數學式(4)，縮短了 $0.16pC/I_{cell}$ 的時間。

其次，說明有關多組寫入動作。第 18A~18C 中多組寫入動作時的 GBL-MBL 連接區域 CA 的狀態以第 19 圖的動作波形表示。在此，存取組 BA#0 內的子區塊 SB1 與組 BA#1 內的子區塊 SB3，並且假設寫入各子區塊 SB 內的外部位址所指示的字串 ST 的記憶單元電晶體 MC2。又，又，為了簡化符號，說明 $m=0$ 的基本單位。

首先，由於從組 BA#0 內的子區塊 SB1 開始寫入，因此信號 DTR0 變成 "H" 準位，且寫入光罩資料(是否寫入)從對應的資料閘鎖器 DL 轉送至感應閘鎖器單位電路 SLU。因此，感應閘鎖器單位電路 SLU 提供 0V 至對應寫入目標的記憶單元電晶體 MC2 的通用位元線 GBL，而提供 2V 至對應不想寫入的記憶單元電晶體 MC2 的通用位元線 GBL。在第 18A-18C 圖的情況中，通用位元線 GBL<0>、GBL<1>內載入資訊。當信號 TRM1<0>、TRM1<2>變成 "H" 準位時，通用位元線 GBL<0>、GBL<1>上的寫入資料，經由對應的主位元線 MBL1<0>、MBL1<2>，送至字串 ST 內的源極側反轉層位元線 BL。其次，信號 RPCM1<1>變成 "H" 準位，並且寫入汲極電壓從信號 ERPCM1<1>的節點經由主位元線

MBL1<1>、MBL1<3>送至字串 ST 內的汲極側反轉層位元線 BL。之後，當輔助閘極 AG1 變成”H”準位時，開始寫入。

寫入至組 BA#1 的子區塊 SB3，不需要等組 BA#0 的子區塊 SB1 的寫入動作完成。如第 19 圖所示，在寫入光罩資料轉送至組 BA#0 的子區塊 SB1 結束的時間點，也就是說，信號 TRM1<0>、TRM1<2>變成準位”L”時，信號 DTR1 會轉變為”H”準位，所以感應門鎖器單元電路 SLU 內的寫入光罩資料對應組 BA#1 的子區塊 SB3 而更新，並從感應門鎖器單元電路 SLU 送至通用位元線 GBL。之後，反覆與組 BA#0 的子區塊 SB1 相同的順序，而開始寫入至組 BA#1 的子區塊 SB3。

其次，驗證上述多組寫入的效果。習知範例的第 36 圖及第 37 圖所示的寫入方式中，由於通用位元線 GBL 上載有寫入汲極電壓，直到 1 字串 ST 的寫入結束(至少到輔助閘 AG1 下降)後才能開始下一寫入。相對地，第三實施例的多組寫入中，第 19 圖的 Tol 所示的期間內不同的子區塊 SB 內的字串 ST 中的寫入動作係並行的。因此，如果是執行 2 頁寫入時，縮短了 Tol 部分的寫入時間。又，與完全獨立的 2 組結構相較，雖然縮短時間的效果小，但由於組之間共用感應門鎖器 SL，削減晶片面積的效果很大。

如上所述，第三實施例中，具有階層位元線結構的快閃記憶體中，其中分割記憶陣列 MA 成複數的子區塊 SB，分配對應各子區塊 SB 的新的主位元線 MBL，以及主位元線 MBL 經由切換器選擇性地連接至上位階層的通用位元線

GBL，而藉由同時存取複數的子區塊 SB 的擬似的多組動作，對應各子區塊 SB 的動作可以並列執行，並且與習知的記憶陣列結構相比，可以實現高速的讀出/寫入動作。

[第四實施例]

第一～三實施例所示的階層位元線結構，與習知結構相較，具有可以輕易實現快速且低消耗功率的動作的優點。另一方面，由於追加了新的位元線階層的主位元線 MBL，位元線中變成必須增加 1 層配線層。考慮到必須增加新的步驟，而可能增加了晶片成本。因此，在第四實施例中說明不需要增加新的配線層而可以享受相同優點的結構。

第 20 圖係一方塊圖，顯示根據本發明第四實施例的 AG-AND 型快閃記憶體的記憶陣列 MA 的結構。第 20 圖中，記憶陣列 MA 由複數的子區塊 SB 構成，各子區塊 SB 中配置複數的字串 ST 所共有的分割通用位元線 DGBL。分割通用位元線 DGBL，經由配置於子區塊 SB 邊界的 DGBL 連接區域 CA，與鄰接子區塊 SB 內的分割通用位元線 DGBL 互相連接。因此，當在所有子區塊 SB 內的分割通用位元線 DGBL 經由 DGBL 連接區域 CA 互相連接時，係用作對應習知通用位元線 GBL 的一條配線。換句話說，分割通用位元線 DGBL 係由分割習知通用位元線 DGBL 而得，且在這些分割點上有 DGBL 連接區域 CA，因此，不需要增加配線層。

第 21 圖係顯示第 20 圖所示的字串 ST 的結構。與習知範例的第 33 圖比較，只是置換通用位元線 GBL 為分割通用

位元線 DGBL。又，以下圖中未顯示，並未變更習知範例中讀出/寫入動作時的字串內的各信號狀態。

第 22A、22B 係電路方塊圖，顯示第 20 圖所示的 DGBL 連接區域 CA 的結構。雖然結構與第一實施例的第 5 圖類似，但第 5 圖中的最小單位為 4 條主位元線 MBL，也就是 8 條反轉層位元線 BL，而第 22A、22B 圖中最小單位為 2 條分割通用位元線 DGBL，也就是 4 條反轉層位元線 BL。因此，信號 TRM 從 4 條減至 2 條，使接收信號 TRM 的電晶體的配置面積可以變小。

更詳細的說明係 DGBL 連接區域 CA 中有 2 個功能。第 1 功能，如字面上的意義，係連接鄰接的 2 個子區塊 SB 的分割通用位元線 DGBL，並由閘極接收信號 $TRM_{x\langle y \rangle}$ 的 N 通道 MOS 電晶體 10、13 來實現（但， x 為子區塊 SB 的號碼， y 為 0 或 1）。即，電晶體 10 連接分割通用位元線 $DGBL_{x\langle m \rangle}$ 與 $DGBL_{(x+1)\langle m \rangle}$ 之間，其閘極接收信號 $TRM_{x\langle 0 \rangle}$ 。電晶體 13 連接分割通用位元線 $DGBL_{x\langle m+1 \rangle}$ 與 $DGBL_{(x+1)\langle m+1 \rangle}$ 之間，其閘極接收信號 $TRM_{x\langle 1 \rangle}$ 。當信號 $TRM_{x\langle 0 \rangle}$ 或 $TRM_{x\langle 1 \rangle}$ 轉變為“H”準位時，電晶體 10 或 13 導通，且連接分割通用位元線 $DGBL_{x\langle m \rangle}$ 與 $DGBL_{x\langle m+1 \rangle}$ 或分割通用位元線 $DGBL_{x\langle m+1 \rangle}$ 與 $DGBL_{(x+1)\langle m+1 \rangle}$ 。

DGBL 連接區域 CA 的第 2 功能係預充電功能，用以提供適當的電壓至電晶體 10、13 所切離的分割通用位元線 DGBL。而由在閘極接收信號 $RPCM_{x\langle z \rangle}$ 、在源極接收信號 $FRPCM_{x\langle z \rangle}$ 的 N 通道 MOS 電晶體 14、17 所實現（但， z 為 0

或 1)。

即，電晶體 14 的閘極接收信號 $RPCM_x<0>$ ，其源極接收信號 $FRPCM_x<0>$ ，而其汲極連接至分割通用位元線 $DGBL(x+1)<m>$ 。電晶體 17 的閘極接收信號 $RPCM_x<1>$ ，其源極接收信號 $FRPCM_x<1>$ ，而其汲極連接至分割通用位元線 $DGBL(x+1)<m+1>$ 。信號 $RPCM_x<0>$ 或 $RPCM_x<1>$ 轉變為“H”準位時，電晶體 14 或電晶體 17 導通，且提供信號 $FRPCM_x<0>$ 或 $FRPCM_x<1>$ 的電壓至分割通用位元線 $DGBL(x+1)<m>$ 或 $DGBL(x+1)<m+1>$ 。又，第 22 圖中，對每一個分割通用位元線 $DGBL$ 設置 1 個預充電電晶體（例如 14），但也可以對每一個分割通用位元線 $DGBL$ 設置複數個預充電電晶體。

感應閃鎖器 SL 包括對應各 2 條分割通用位元線 $DGBL_x<m>$ 、 $DGBL_x<m+1>$ 而設置的感應閃鎖器單位電路 SLU 。第 23 圖係顯示第 22A、22B 所示的感應閃鎖器單位電路 SLU 的結構電路圖。第 23 圖的感應閃鎖器單位電路 SLU 與第 6 圖的感應閃鎖器單位電路 SLU 的相異點為，對應通用位元線 $GBL<m>$ 而設置的 N 通道 MOS 電晶體 20、21 置換為對應分割通用位元線 $DGBL<m>$ 而設置的 N 通道 MOS 電晶體 41、42 以及對應分割通用位元線 $DGBL<m+1>$ 而設置的 N 通道 MOS 電晶體 43、44。

其次，利用第 24 圖說明關於上述 AG-AND 型快閃記憶體的讀出動作。在此，假設存取子區塊 $SB3$ 內的適當的字串 ST 的記憶單元電晶體 $MC2$ 。因此，分割通用位元線

DGBL3<m>用作屏蔽功能，且分割通用位元線 DGBL3<m+1>在汲極側。全部 DGBL 連接區域 CA 的信號 TRMz<0>及 TRMz<1>(z=0、1、2、3)轉變成”H”準位，且 4 條分割通用位元線 DGBL 全部互相連接，相當於習知的通用位元線 GBL。變成屏蔽的分割通用位元線 DGBL 的各 DGBL 連接區域 CA 中，信號 RPCMz<0>變成”H”準位，且信號 ERPCMz<0>的節點轉變成接地電壓 GND 並固定在 0V。另一方面，汲極側的分割通用位元線 DGBL 由感應門鎖器單位電路 SLU 預充電至 1.2V，之後，信號 STD 轉變成”H”準位，讀出記憶單元電晶體的資料。

又，上述 AG-AND 型快閃記憶體中，可以執行第 16A-16C 圖及第 17 圖中所示的多組動作。即，只有信號 TRM2<1>從第 24 圖的狀態轉變成準位”L”，因此分割通用位元線 DGBL0<M+1>、DGBL1<M+1>與分割通用位元線 DGBL2<M+1>、DGBL3<M+1>互相分離，首先，子區塊 SB1 內的記憶單元電晶體 MC 的資料讀出至分割通用位元線 DGBL0<M+1>、DGBL1<M+1>上，以由感應門鎖器電路檢出和放大。其次，信號 TRM2<1>轉變成準位”H”，因此分割通用位元線 DGBL0<m+1>~DGBL3<m+1>預充電至 1.2V，之後，子區塊 SB3 內的記憶單元電晶體 MC 的資料讀出至分割通用位元線 DGBL0<m+1>~DGBL3<m+1>上，以由感應門鎖器電路檢出和放大。上述多組動作中，分割通用位元線的連接單元對應選擇子區塊而變化以達成快速的讀出。也就是說，讀出子區域 SB1 時的分割通用位元線的負荷大約讀出子區域 SB3

時的 $1/2$ ，以及讀出時間也大約 $1/2$ ，因此可以期待比習知結構中同樣的多組動作更快速的動作。

其次，利用第 25 圖說明上述 AG-AND 型快閃型記憶體
的寫入動作。在此，假設存取子區塊 SB3 內的適當的字串
ST 的記憶單元電晶體 MC2。在此情況下，分割通用位元線
DGBL3<m>在源極側，而分割通用位元線 DGBL3<m+1>在汲極
側。由於寫入光罩資料從感應門鎖器單位電路 SLU 載入源
極側的分割通用位元線 DGBL，全部的 DGBL 連接區域 CA 中，
信號 TRMz<0>變成”H”準位。另一方面，汲極側的分割通
用位元線 DGBL 中，由於只充電分割通用位元線 DGBL3，信
號 TRM3<1>轉變為”L”而與其他 DGBL3<m+1>分開獨立。之
後，源極側的分割通用位元線 DGBL 決定為 DGBL3<m>，使
信號 TRM3<0>從 6V 變成 0V，因而執行電荷共用寫入。

又，上述 AG-AND 閘型快閃型記憶體中，也可以執行第
18A~18C 圖及第 19 圖所示的多組寫入。即，信號 TRM2<0>、
TRM2<1>、TRM1<1>從第 25 圖的狀態變成”L”準位，以分
離分割通用位元線 DGBL0<m+1>~DGBL3<m+1>，同時，只連
接分割通用位元線 DGBL0<m>、DGBL1<m>至感應門鎖器單位
電路 SLU。其次，對應是否執行資料寫入，提供 0V 或 2V
至分割通用位元線 DGBL0<m>、DGBL1<m>後，信號 TRM1<0>
轉變為”L”準位，因此分割通用位元線 DGBL0<m>與
DGBL1<m>分離。其次，信號 RPCM1<1>只在既定時間上升至
8V，同時，信號 FRPCM1<1>轉變為 4.5V 而分割通用位元線
DGBL1<m+1>充電至 4.5V，之後，分割通用位元線 DGBL1<m>

與 $DGBL1\langle m+1 \rangle$ 之間執行電荷共用寫入。又，上述的多組寫入中，執行對子區塊 SB1 之外還有子區塊 SB2 的同時寫入。

如上所述，第四實施例中，記憶陣列 MA 分割為複數的子區塊 SB，分配對應各子區塊 SB 的新的分割通用位元線 DGBL，以及具有其中分割通用位元線 DGBL 經由切換器選擇性地連接至鄰接的子區塊 SB 的分割通用位元線 DGBL 之位元線結構，因此可以不增加配線階層而達成比習知更高的寫入控制性以及更低的消耗功率。又，經由適合的切換控制，可以對應擬似的多組動作。

[第五實施例]

習知與第一～三實施例的通用位元線 GBL 以及第四實施例的分割通用位元線 DGBL 係用作讀出時單端點的資料匯流排。因此，為了控制成為資料匯流排的通用位元線 GBL 之間或分割通用位元線 DGBL 之間的耦合雜訊，變成屏蔽且固定在 0V 的通用位元線 GBL 或分割通用位元線 DGBL 在通用位元線 GBL 間或分割通用位元線 DGBL 間走線。也就是說，為了讀出 1 頁的資料至感應門鎖器 SL，使用數量為資料的位元數的 2 倍的配線。又，參考第 23 圖所示的感應門鎖器單位電路 SLU，資料匯流排的電壓進入電晶體 29 的閘極。也就是說，資料匯流排的電壓係擺動至約電晶體 29 的臨界電壓，變成較大的振幅的讀出電壓。這由讀出時間的觀點來看是不利的。

於是，第五實施例中，為了讀出 1 個記憶單元電晶體 MC 的資料，使用 2 條通用位元線 GBL 或分割通用位元線

DGBL 的互補匯流排，藉此讀出不取決於電晶體 29 的臨界電壓的小振幅電壓。

第 26 圖係顯示根據本發明第五實施例的 AG-AND 型快閃記憶體的感應門鎖器單位電路 SLU 的結構電路圖，係與第 23 圖對比的圖。分割通用位元線 DGBL 改成通用位元線 GBL 的話，仍可以適用於習知範例與第一～三實施例。與第 23 圖的電路相較，沒有接收分割通用位元線 DGBL 的電壓的電晶體 29、以及與電晶體 29 串聯的電晶體 30，也沒有用以設定交叉耦合型感應放大器的輸出入節點的初期值的電晶體 25、28。

另一方面，取代電晶體 42、44，為了切換由成對的分割通用位元線 DGBL 與交叉耦合型感應放大器的 2 輸出入節點 SLS、SLR 間的對應，追加信號 STR_E<0>、STR_E<1>、STR_0<0>、STR_0<1>所控制的用以切換路徑的 N 通道 MOS 電晶體 45～48。這是因為讀出時偶數號側的分割通用位元線 DGBL 與奇數號側的分割通用位元線 DGBL 中的任一成為汲極，感應門鎖器單位電路 SLU 的輸出電壓變成相同極性，以及因為寫入時偶數號側的分割通用位元線 DGBL 與奇數號側的分割通用位元線 DGBL 中的任一成為源極，可以從感應門鎖器單位電路 SLU 轉送寫入光罩資料。又，追加用以控制感應放大器的 N 通道 MOS 電晶體 49。N 通道 MOS 電晶體 49 的閘極接收信號 AMP，其汲極接收信號 SLN，且其源極連接至 N 通道 MOS 電晶體 26、27 的汲極。

接著，說明關於第 26 圖的感應門鎖器單位電路 SLU 中

的讀出動作。第 27 圖顯示分割通用位元線 DGBL 在預充電時的狀態。習知係充電汲極側的分割通用位元線 DGBL 至 1.2V。以直流提供 0V 至其餘的分割通用位元線 DGBL 以作為屏蔽。不過，第 27 圖中，分別提供電壓 VRD1、VRD2 至信號 RPC<0>、RPC<1>的節點，同時，提供適當的電源電壓 VDD 至 FRPC<0>、FRPC<1>的節點，藉此，在汲極側的偶數號側分割通用位元線 DGBL(從記憶單元電晶體 MC 轉送讀出資料側)充電至 $VRD1-V_{th}$ ，且與偶數號側分割通用位元線 DGBL 成對的奇數號側分割通用位元線 DGBL 充電至成為基準電壓的 $VRD2-V_{th}$ 。

VRD1 與 VRD2 間的關係為 $VRD1 > VRD2$ ，並設定兩者的差以確保電晶體 26、27、31、32 所形成的感應放大器的感應度有充分的幅度。路徑切換電晶體 45~48 以適當的組合接通/斷開，且在第 27 圖的情況下，偶數號側分割通用位元線 $DGBL<m>$ 連接至節點 SLR，而奇數號側分割通用位元線 $DGBL<m+1>$ 連接至節點 SLS。也就是說，預設節點 SLR 至 $VRD1-V_{th}$ ，及預設節點 SLS 至 $VRD2-V_{th}$ 。電晶體 49 接通，感應放大器的電源全變成 $VRD2-V_{th}$ ，使感應放大器變成非活性狀態。

其次，第 28 圖顯示的狀態係讀出目標的字串 ST 中信號 STD 變成 "H" 準位後，分割通用位元線 DGBL 根據記憶單元電晶體 MC2 的臨界電壓放電。此時，信號 RPC<0>的節點變為 0V 且電晶體 41 斷開，而信號 AMP 變為 0V 且電晶體 49 斷開。假設 $VRW > V_{THC}$ ，偶數號側分割通用位元線 $DGBL<m>$

的電壓逐漸下降，在一定時間之後降至 V_{dsch} 。 V_{dsch} 增加至滿足條件 $V_{dsch} < V_{DR2} - V_{th}$ 以及兩者之差 $V_{DR2} - V_{th} - V_{dsch}$ 對感應放大器的感應度夠大的時間成為分割通用位元線 DGBL 的放電時間。

最後，第 29 圖中顯示感測時的狀態。分割通用位元線 DGBL 充分擺動以滿足上述條件後，信號 $STR_E<0>$ 、 $STR_E<1>$ 、 $STR_0<0>$ 、 $STR_0<1>$ 全部變成“L”準位，電晶體 45~48 斷開，而分割通用位元線 $DGBL<m>$ 、 $DGBL<m+1>$ 與感應放大器切離。此時，節點 SLR 為 V_{dsch} ，節點 SLS 為 $V_{DR2} - V_{th}$ ，而當信號 SLP、VSA、AMP 遷移至 VDD 且信號 SLN 遷移至 0V 時，此電位差由感應放大器放大。

習知範例中，通用位元線 GBL 的振幅電壓係 0.55V。不過，藉由注意到構成交叉耦合型感應放大器的感應度的電晶體 26、27、31、32 的尺寸選擇及配置，可以在 0.1V 以下，所以如果設定為 $VRD1 - VRD2 = V_{dsch} - (V_{DR2} - V_{th}) = 0.15V$ 的話，可以讀出 0.3V 的放大電壓。也就是說，只要習知約一半的振幅電壓，就可達到讀出時間的快速化。

但是，隨著讀出的互補化，對於通用位元線 GBL 之間或分割通用位元線 DGBL 之間的耦合雜訊的新對策變得有必要。特別是，載有基準電壓 $VRD2 - V_{th}$ 的通用位元線 GBL 暫時由電晶體固定電壓，且接收的雜訊依讀出至鄰接的其他通用位元線 GBL 的資料圖案而改變。在此，應用互補化於習知及第一~三實施例時，可以採用第 30 圖所示的繞轉

通用位元線 GBL。

即，鄰接的 2 條通用位元線 $GBL\langle 2*m\rangle$ 與 $GBL\langle 2*m+1\rangle$ 在記憶陣列 MA 的長度 MAT 的 $1/2$ 的位置繞轉。通用位元線 $GBL\langle 2*m+2\rangle$ 與 $GBL\langle 2*m+3\rangle$ 在記憶陣列 MA 的長度 MAT 的 $1/4$ 的位置繞轉，且在記憶陣列 MA 的長度 MAT 的 $3/4$ 的位置再次繞轉。通用位元線 $GBL\langle 2*m+4\rangle$ 與 $GBL\langle 2*m+5\rangle$ 在記憶陣列 MA 的長度 MAT 的 $1/2$ 的位置繞轉。通用位元線 $GBL\langle 2*m+6\rangle$ 與 $GBL\langle 2*m+7\rangle$ 在記憶陣列 MA 的長度 MAT 的 $1/4$ 的位置繞轉，且在記憶陣列 MA 的長度 MAT 的 $3/4$ 的位置再次繞轉。以下相同。結果，成對的通用位元線 GBL 接收周圍等量的雜訊，於是根據兩者的電位差，有效地抵消了雜訊。

又，讀出的互補化應用於第四實施例時，如第 31A~31C 圖所示，藉由在 DGB L 連接區域 CA 繞轉分割通用位元線 DGBL，抑制了面積增加。第 31A~31C 圖中係例示構成鄰接的 4 條通用位元線 $GBL\langle 2*m\rangle \sim GBL\langle 2*m+3\rangle$ 的 16 條分割通用位元線 $DGBLx\langle y\rangle$ 。在此，x 指子區塊 SB 的號碼，y 指通用位元線的號碼。分割通用位元線 $DGBL0\langle 2*m\rangle \sim DGBL3\langle 2*m\rangle$ 所構成的通用位元線 $GBL\langle 2*m\rangle$ 與分割通用位元線 $DGBL0\langle 2*m+1\rangle \sim DGBL3\langle 2*m+1\rangle$ 所構成的通用位元線 $GBL\langle 2*m+1\rangle$ ，在子區塊 SB0 和 SB1 之間以及子區塊 SB2 和 SB3 之間的 2 個 DGBL 連接區域 CA 繞轉。

又，分割通用位元線 $DGBL0\langle 2*m+2\rangle \sim DGBL3\langle 2*m+2\rangle$ 所構成的通用位元線 $GBL\langle 2*m+2\rangle$ 與分割通用位元線 $DGBL0\langle 2*m+3\rangle \sim DGBL3\langle 2*m+3\rangle$ 所構成的通用位元線

GBL $\langle 2*m+3 \rangle$ ，在子區塊 SB1 和 SB2 之間的 DGBL 連接區域 CA 繞轉。

如上所述，本第五實施例中，快閃記憶體中的單端點型的位元線結構可以不增加配線數而互補化，且通用位元線 GBL 的振幅電壓在讀出時維持在很小，藉此，從記憶單元電晶體 MC 至感應門鎖器 SL 的資料讀出可以快速增加。又，可以展開至第四實施例的分割通用位元線 DGBL 結構，此時使繞轉區域與 DGBL 連接區域 CA 一致也可以抑制面積增加。

又，以上的第一～五實施例中，雖然使用具有浮閘的記憶單元電晶體 MC，也可以使用不具有浮閘的 MONOS 型記憶單元電晶體。

又，以上的第一～五實施例中，字串 ST 內的位元線 BL 全體由輔助閘 AG 下方的反轉層所構成，但結構並不限於此。例如，可以只有位元線的一部分由輔助閘 AG 下方的反轉層所構成，也可以全體位元線由擴散層構成。

雖然已詳細說明並圖示本發明，但應了解上述僅用於例示，並非用於限定本發明，本發明的精神與範圍係由所附的申請專利範圍所限定。

經由理解相關的附加圖面而詳細說明本發明，可以了解本發明的上述及其他目的特徵、形態以及優點。

【圖式簡單說明】

第 1 圖係顯示根據本發明第一實施例的 AG-AND 型快閃

記憶體的記憶單元電晶體及輔助閘的結構圖。

第 2 圖係方塊圖，顯示使用第 1 圖示的記憶電晶體及輔助閘的 AG-AND 快閃型記憶體的全體結構。

第 3 圖係顯示第 2 圖所示的組的主要部分的方塊圖。

第 4 圖係顯示第 3 圖所示的字串的結構的電路圖。

第 5A、5B 圖係電路方塊圖，顯示第 3 圖所示的 GBL-MBL 連接區域的結構。

第 6 圖係顯示第 5A、5B 圖所示的感應門鎖器單位電路的結構的電路圖。

第 7 圖係顯示第 1~6 圖所示的 AG-AND 型快閃記憶體的寫入動作的電路圖。

第 8 圖係顯示第 1~6 圖所示的 AG-AND 型快閃記憶體的讀出動作的電路圖。

第 9 圖係顯示根據本發明第二實施例的 AG-AND 型快閃記憶體的讀出動作的電路圖。

第 10 圖係顯示第 9 圖所示的 AG-AND 型快閃記憶體的讀出動作的其他電路圖。

第 11 圖係顯示第 9 圖所示的 AG-AND 型快閃記憶體的讀出動作的又其他電路圖。

第 12 圖係顯示第 9 圖所示的 AG-AND 型快閃記憶體的讀出動作的又其他電路圖。

第 13 圖係顯示第 9 圖所示的 AG-AND 型快閃記憶體的讀出動作的又其他電路圖。

第 14 圖係顯示根據本發明第三實施例的 AG-AND 型快

閃記憶體組的主要部分的方塊圖。

第 15A、15B 圖係電路方塊圖，顯示第 14 圖所示的 GBL-MBL 連接區域的結構。

第 16A~16C 圖係電路方塊圖，顯示第 14 圖及第 15A、15B 圖所示的 AG-AND 型快閃記憶體的讀出動作。

第 17 圖係時序圖，顯示第 14 圖及第 15A、15B 圖所示的 AG-AND 型快閃記憶體的讀出動作。

第 18A~18C 圖係電路方塊圖，顯示第 14 圖及第 15A、15B 圖所示的 AG-AND 型快閃記憶體的寫入動作。

第 19 圖係時序圖，顯示第 14 圖及第 15A、15B 圖所示的 AG-AND 型快閃記憶體的寫入動作。

第 20 圖係顯示根據本發明第四實施例的 AG-AND 型快閃記憶體組的主要部分的方塊圖。

第 21 圖係顯示第 20 圖所示的字串的結構的電路圖。

第 22A、22B 圖係電路方塊圖，顯示第 20 圖所示的 GBL-MBL 連接區域的結構。

第 23 圖係顯示第 22A、22B 圖所示的感應門鎖器單位電路的結構的電路圖。

第 24 圖係顯示第 20~23 圖所示的 AG-AND 型快閃記憶體的讀出動作的電路圖。

第 25 圖係顯示第 20~23 圖所示的 AG-AND 型快閃記憶體的寫入動作的電路圖。

第 26 圖顯示根據本發明第五實施例的 AG-AND 型快閃記憶體的感應門鎖器單位電路的結構。

第 27 圖係顯示第 26 圖所示的 AG-AND 型快閃記憶體的讀出動作的電路圖。

第 28 圖係顯示第 26 圖所示的 AG-AND 型快閃記憶體的讀出動作的其他電路圖。

第 29 圖係顯示第 26 圖所示的 AG-AND 型快閃記憶體的讀出動作的又其他電路圖。

第 30 圖係顯示本發明的第五實施例的變形例的方塊圖。

第 31A~31C 圖係顯示本發明的第五實施例的其他變形例的方塊圖。

第 32 圖係顯示習知的 AG-AND 型快閃記憶體組的主要部分的方塊圖。

第 33 圖係顯示第 32 圖所示的字串的結構的電路圖。

第 34 圖係顯示第 32 圖及第 33 圖所示的 AG-AND 型快閃記憶體的讀出動作的電路圖。

第 35 圖係顯示第 32 圖及第 33 圖所示的 AG-AND 型快閃記憶體的讀出動作的時序圖。

第 36 圖係顯示第 32 圖及第 33 圖所示的 AG-AND 型快閃記憶體的寫入動作的電路圖。

第 37 圖係顯示第 32 圖及第 33 圖所示的 AG-AND 型快閃記憶體的寫入動作的時序圖。

第 38 圖係顯示第 32 圖及第 33 圖所示的 AG-AND 型快閃記憶體的其他寫入動作的電路圖

第 39 圖係顯示第 32 圖及第 33 圖所示的 AG-AND 型快

閃記憶體的其他寫入動作的時序圖。

【主要元件符號說明】

- 10-13～電晶體；
- 2～讀出/程式/消去控制電路；
- 20-30～N通道 MOS 電晶體；
- 3～多工器；
- 31-32～P通道 MOS 電晶體；
- 4～頁位址緩衝器；
- 41、42～N通道 MOS 電晶體；
- 43、44～N通道 MOS 電晶體；
- 45-48～路徑切換電晶體；
- 5～列位址計數器；
- 6～資料輸入緩衝器；
- 7～輸入資料控制電路；
- 8～資料輸出緩衝器；
- AG～輔助閘；
- AGT～輔助閘電晶體；
- BA#0、BA#1～組；
- BA～組；
- BL～反轉層位元線；
- CA～連接區域；
- CD～共同汲極線；
- CG～控制閘；

DGBL ~ 分割通用位元線；
DR ~ 資料暫存器；
FG ~ 浮閘；
FRPCM_x<z> ~ 信號；
GBL ~ 通用位元線；
GND ~ 接地電壓；
MA ~ 記憶陣列；
MAT ~ 記憶陣列 MA 的長度；
MBL ~ 主位元線；
MBL_x<2*m>、MBL_x<2*m+1> ~ 主位元線；
MC ~ 記憶單元電晶體；
MC2 ~ 記憶單元電晶體；
Q1 ~ N 通道 MOS 電晶體；
Q3 ~ N 通道 MOS 電晶體；
RPCM_x<z> ~ 信號；
SB ~ 子區塊；
SB0-SB3 ~ 子區塊；
SCA0、SCA1 ~ 子連接區域；
SCA2、SCA3 ~ 子連接區域；
SENSE ~ 信號；
SL ~ 感應門鎖器；
SLR ~ 輸出入節點；
SLS ~ 輸出入節點；
SLU ~ 感應門鎖器單位電路；

ST~字串；
STD~信號；
STR~信號；
STS~信號；
TR~信號；
TRM_x<y>~信號；
VRD1、VRD2~電壓；
VRW~讀出電壓；
VTHL~邏輯臨界值電壓；
VWW~寫入電壓；
WL~字元線；
WLO~字元線；
XD~X解碼器；
YD~Y解碼器；
YG~Y閘。

十、申請專利範圍：

1. 一種非揮發性半導體記憶裝置，包括：一記憶陣列部；

上述記憶陣列部由複數的子區塊構成；

上述各子區塊的結構，包括：複數條字元線；複數條區域位元線，在與字元線相交的方向上延伸；以及記憶單元，對應字元線與區域位元線的各交點而配置，並根據臨界電壓的變化而儲存資訊；

上述記憶陣列部更具有：複數條主位元線，設置於各子區塊；以及複數條通用位元線，由上述複數的子區塊共用而設置；

上述各主位元線可以選擇性地連接至對應的子區塊內的1條區域位元線；

上述各通用位元線可以選擇性地連接至對應的複數條主位元線中的1條主位元線；以及

設置一電壓控制電路，用以獨立控制各主位元線的電壓，而與通用位元線的電壓無關。

2. 如申請專利範圍第1項所述的非揮發性半導體記憶裝置，其中，選擇的子區塊內的全部主位元線中，一部分的主位元線連接至通用位元線，而其餘的主位元線的電壓由上述電壓控制電路控制。

3. 如申請專利範圍第2項所述的非揮發性半導體記憶裝置，其中，寫入時，選擇的子區塊內的全部主位元線分別選擇性地連接至對應的區域位元線；以及

第 1 群主位元線分別連接至通用位元線，並傳達上述記憶陣列部外部提供的寫入選擇資訊至對應的區域位元線，以及第 2 群主位元線分別傳達上述電壓控制電路提供的電壓至對應的區域位元線。

4. 如申請專利範圍第 2 項所述的非揮發性半導體記憶裝置，其中，在讀出時，選擇的子區塊內的第 1 群主位元線分別選擇性地連接至對應的區域位元線，並接收對應記憶單元內儲存的資訊的讀出電壓；以及

上述的主位元線分割為複數的子群，且以子群依序連接至通用位元線，藉此，傳達上述讀出電壓至上述記憶陣列部的外部，而第 2 群主位元線固定在上述電壓控制電路所供給的電壓。

5. 如申請專利範圍第 4 項所述的非揮發性半導體記憶裝置，其中，選擇性連接至區域位元線的一選擇的子區塊內的第 1 群主位元線以及與其選擇性連接的通用位元線，在一記憶單元內儲存的資訊讀出前，預充電至互不相同的電壓；以及

記憶單元內儲存的資訊經由區域位元線 1 次讀出至與其選擇性連接的上述第 1 群主位元線。

6. 如申請專利範圍第 5 項所述的非揮發性半導體記憶裝置，其中，讀出時選擇性連接至區域位元線的一選擇的子區塊內的第 1 群主位元線的預充電，在未連接至與其對應的通用位元線的狀態下，由上述電壓控制電路執行。

7. 如申請專利範圍第 2 項所述的非揮發性半導體記憶

裝置，其中，上述記憶陣列部各分割為 1 或 2 個以上的子區塊所構成的複數的組；

上述複數的組共用複數條通用位元線；以及

依序選擇上述複數的組中的任意組，且與各組內的選擇的子區塊內的一部分的主位元線同步依序連接/不連接至上述複數條通用位元線。

8. 如申請專利範圍第 7 項所述的非揮發性半導體記憶裝置，其中，寫入時，在連接至通用位元線期間，經由通用位元線，提供寫入資訊至選擇的各組內的一部分的主位元線；

提供上述寫入資訊的寫入電路連接至通用位元線；以及

上述寫入電路中設置有提供寫入資訊給各組的資料保持電路。

9. 如申請專利範圍第 7 項所述的非揮發性半導體記憶裝置，其中，讀出時，選擇的各組內的一部分的主位元線從記憶單元同時載送讀出資料，並依序與通用位元線連接而傳送至連接至通用位元線的讀出電路。

10. 如申請專利範圍第 9 項所述的非揮發性半導體記憶裝置，其中，在讀出時，從記憶單元讀出資料的主位元線與通用位元線之間的預充電準位不同。

11. 如申請專利範圍第 1 項所述的非揮發性半導體記憶裝置，其中，各子區塊更具有一輔助閘電晶體，配置於與上述複數的字元線相交的方向上，並具有與區域位元線

大約相同的一通道長度；

提供一適當的電壓至上述輔助閘電晶體的閘極，而在閘極下方形成的反轉層用作區域位元線的一部分或全部。

12. 如申請專利範圍第 11 項所述的非揮發性半導體記憶裝置，其中，寫入時，提供一既定的電壓至寫入目標的記憶單元的源極側鄰接的一輔助閘，以在上述輔助閘下方成一弱反轉層，而上述弱反轉層端產生的通道熱電子注入上述記憶單元的浮閘。

13. 如申請專利範圍第 12 項所述的非揮發性半導體記憶裝置，其中，利用區域位元線電容或主位元線電容或通用位元線電容所決定的固定電荷以執行寫入至記憶單元。

14. 如申請專利範圍第 1 項所述的非揮發性半導體記憶裝置，其中，1 條通用位元線可以選擇性連接至 2 條主位元線；以及

1 條主位元線可以連接至 1 條區域位元線。

15. 如申請專利範圍第 1 項所述的非揮發性半導體記憶裝置，其中，各子區塊由複數的字串所構成；

上述各字串的結構係：複數條字元線；複數條區域位元線，在與字元線相交的方向上延伸；以及記憶單元，對應字元線與區域位元線的各交點而配置並根據臨界電壓的變化而儲存資訊；以及

上述各主位元線由對應的子區塊內的全部字串所共用，而且可以選擇性地連接至 1 字串內的 1 條區域位元線。

16. 一種非揮發性半導體記憶裝置，包括：一記憶陣列

部；

上述記憶陣列部由複數的子區塊構成；

上述各子區塊的結構，包括：複數條字元線；複數條區域位元線，在與字元線相交的方向上延伸；以及記憶單元，對應字元線與區域位元線的各交點而配置，並根據臨界電壓的變化而儲存資訊；

上述記憶陣列部更具有：複數條通用位元線，由上述複數的子區塊所共用而設置；

上述各通用位元線包括分別對應上述複數的子區塊的複數的分割通用位元線；

上述各分割通用位元線可以選擇性地連接至其延伸方向上鄰接的分割通用位元線，並且可以選擇性地連接至對應的子區塊內的1條區域位元線；以及

設置一電壓控制電路，用以獨立控制各分割通用位元線的電壓。

17.如申請專利範圍第16項所述的非揮發性半導體記憶裝置，其中，寫入時，選擇的子區塊內的全部的分割通用位元線選擇性地連接至對應的區域位元線；以及

第1群分割通用位元線選擇性地連接至對應其延伸方向上的非選擇子區塊的分割通用位元線，以傳送上述記憶陣列部的外部所提供的寫入擇擇資訊至上述區域位元線，同時，上述電壓控制電路選擇性地提供至第2群分割通用位元線的電壓也傳達至對應的通用位元線。

18.如申請專利範圍第16項所述的非揮發性半導體記

憶裝置，其中，讀出時，選擇的子區塊內的第1群分割通用位元線選擇性地連接至對應的區域位元線，並載送對應記憶單元內儲存的資訊的讀出電壓；

上述第1群分割通用位元線連接至對應其延伸方向上的非選擇子區塊的分割通用位元線，以傳達上述讀出電壓至上述記憶陣列部的外部；以及

第2群分割通用位元線固定在上述電壓控制電路所供給的電壓。

19. 如申請專利範圍第16項所述的非揮發性半導體記憶裝置，其中，記憶陣列部分割為分別由1或2個以上的子區塊所構成的複數的組；

上述複數的組共用以子區塊單位所分割的分割通用位元線所構成的複數條通用位元線；

依序選擇上述複數的組中的任意組，且各組內選擇的子區塊內的一部分的分割通用位元線選擇性地連接至其延伸方向上的非選擇子區塊內的分割通用位元線，並且，上述電壓控制電路與組選擇同步依序供給既定電壓至選擇的子區塊內的其餘的分割通用位元線。

20. 如申請專利範圍第19項所述的非揮發性半導體記憶裝置，其中，寫入時，選擇的各組內的選擇的子區塊內的一部分的分割通用位元線選擇性地連接至在既定期間其延伸方向上的非選擇子區塊內的分割通用位元線，並有寫入資訊供應；

連接供給上述寫入資訊的電路至包括上述一部分的分

割通用位元線的通用位元線；以及

設置資料保持電路，用以供給選擇的每組的寫入資訊至上述電路。

21. 如申請專利範圍第 19 項所述的非揮發性半導體記憶裝置，其中，讀出時，從最靠近連接至通用位元線的讀出電路的組開始依序選擇；

讀出資料從選擇的組內的對應記憶單元送至讀出電路；以及

選擇的組內的分割通用位元線與離上述讀出電路最遠側的非選擇子區塊內的對應通用位元線切離。

22. 如申請專利範圍第 16 項所述的非揮發性半導體記憶裝置，其中，各子區塊由複數的字串構成；

上述各字串的結構包括：複數條字元線；複數條區域位元線，在與字元線相交的方向上延伸；以及記憶單元，對應字元線與局部位元線的各交點而配置，並根據臨界電壓的變化而儲存資訊；以及

上述各主位元線由對應的子區塊內的全部字串所共用，並且可以選擇性連接至一字串內的一條區域位元線。

23. 一種非揮發性半導體記憶裝置，包括：一記憶陣列部；

上述記憶陣列部由複數的子區塊構成；

上述各子區塊的結構，包括：複數條字元線；複數條區域位元線，在與字元線相交的方向上延伸；以及記憶單元，對應字元線與區域位元線的各交點而配置，並根據臨

界電壓的變化而儲存資訊；

上述記憶陣列部更具有：複數條主位元線，設置於各子區塊；以及複數條通用位元線，由上述複數的子區塊共用而設置；

上述各主位元線可以選擇性地連接至對應的子區塊內的 1 條區域位元線；

讀出時，各鄰接的 2 條通用位元線的一條選擇性地連接至對應的複數條主位元線中的一條主位元線；

從記憶單元讀出資料之前，各鄰接的 2 條通用位元線之一條預充電至第 1 電壓，而另一條通用位元線預充電至與第 1 電壓相異的第 2 電壓；

更設置了讀出控制電路，當開始從記憶單元讀出且各鄰接的 2 條通用位元線之一條的電壓對應記憶單元資料而變化時，在一定時間後其電壓與另一條通用位元線上的第 2 電壓相比而讀出記憶單元資料。

24. 如申請專利範圍第 23 項所述的非揮發性半導體記憶裝置，其中，各鄰接的 2 條通用位元線以既定位置繞轉。

25. 如申請專利範圍第 23 項所述的非揮發性半導體記憶裝置，其中，各子區塊由複數的字串構成；

上述各字串的結構包括：複數條字元線；複數條區域位元線，在與字元線相交的方向上延伸；以及記憶單元，對應字元線與區域位元線的各交點而配置，並根據臨界電壓的變化而儲存資訊；以及

上述各主位元線由對應的子區塊內的全部字串所共

用，並且可以選擇性連接至一字串內的一區域位元線。

26. 一種非揮發性半導體記憶裝置，包括：一記憶陣列部；

上述記憶陣列部由複數的子區塊構成；

上述各子區塊的結構包括：複數條字元線；複數條區域位元線，在與字元線相交的方向上延伸；以及記憶單元，對應字元線與區域位元線的各交點而配置，並根據臨界電壓的變化而儲存資訊；

上述記憶陣列部更具有：複數的通用位元線，由上述複數的子區塊所共用而設置；

上述各通用位元線包括分別對應上述複數的子區塊的複數的分割通用位元線；

上述各分割通用位元線可以選擇性地連接至其延伸方向上鄰接的分割通用位元線，並且可以選擇性地連接至對應的子區塊內的1條區域位元線；以及

讀出時，分割通用位元線間的全部連接裝置導通，各鄰接的2條通用位元線的一條與選擇的子區塊內的1條區域位元線連接，而從記憶單元讀出資料之前，上述各鄰接的2條通用位元線之一條預充電至第1電壓，而另一條通用位元線預充電至與第1電壓相異的第2電壓；

更設置了讀出控制電路，當開始從記憶單元讀出且各鄰接的2條通用位元線之一條的電壓對應記憶單元資料而變化時，在一定時間後其電壓與另一條通用位元線上的第2電壓相比而讀出記憶單元資料。

27. 如申請專利範圍第 26 項所述的非揮發性半導體記憶裝置，其中，各鄰接的 2 條通用位元線在上述複數的子區塊間以既定位置繞轉。

28. 如申請專利範圍第 26 項所述的非揮發性半導體記憶裝置，其中，各子區塊由複數的字串所構成；

上述各字串的結構包括：複數條字元線；複數條區域位元線，在與字元線相交的方向上延伸；以及記憶單元，對應字元線與區域位元線的各交點而配置，並根據臨界電壓的變化而儲存資訊；

上述各主位元線由對應的子區塊內的全部字串所共用，並且可以選擇性連接至一字串內的一條區域位元線。

29. 一種非揮發性半導體記憶裝置，包括：一記憶陣列部；

上述記憶陣列部由複數的字串構成；

上述各字串的結構包括：複數條字元線；複數條區域位元線，在與字元線相交的方向上延伸；以及記憶單元，對應字元線與區域位元線的各交點而配置，並根據臨界電壓的變化而儲存資訊；

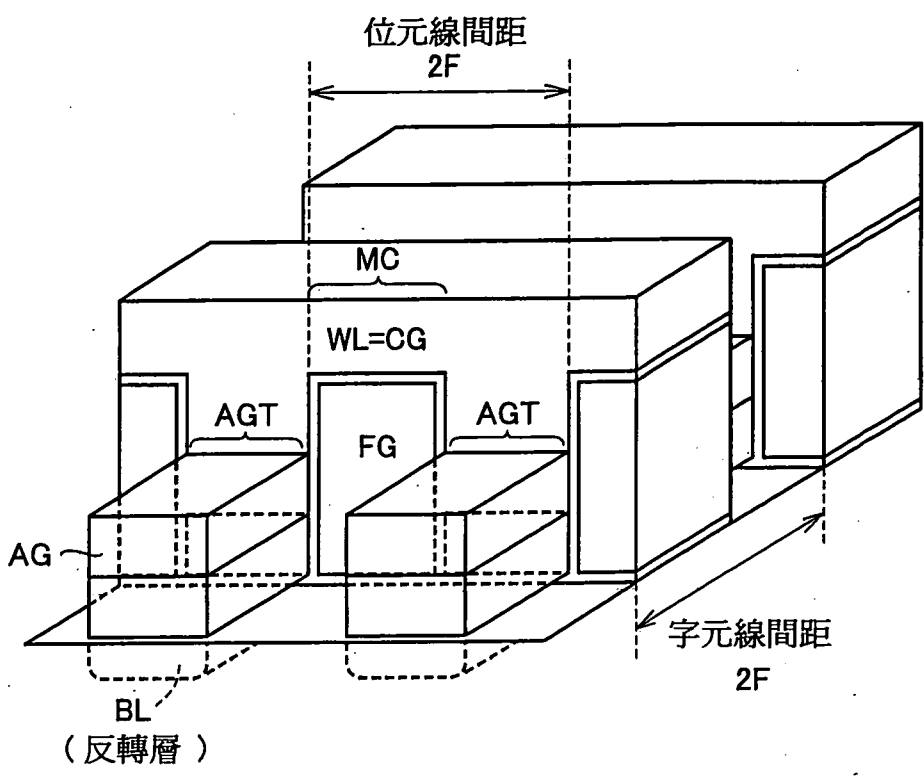
上述記憶陣列部更具有：複數條通用位元線；

上述各通用位元線由全部的字串所共用，並且可以選擇性連接至一字串內的一條區域位元線；

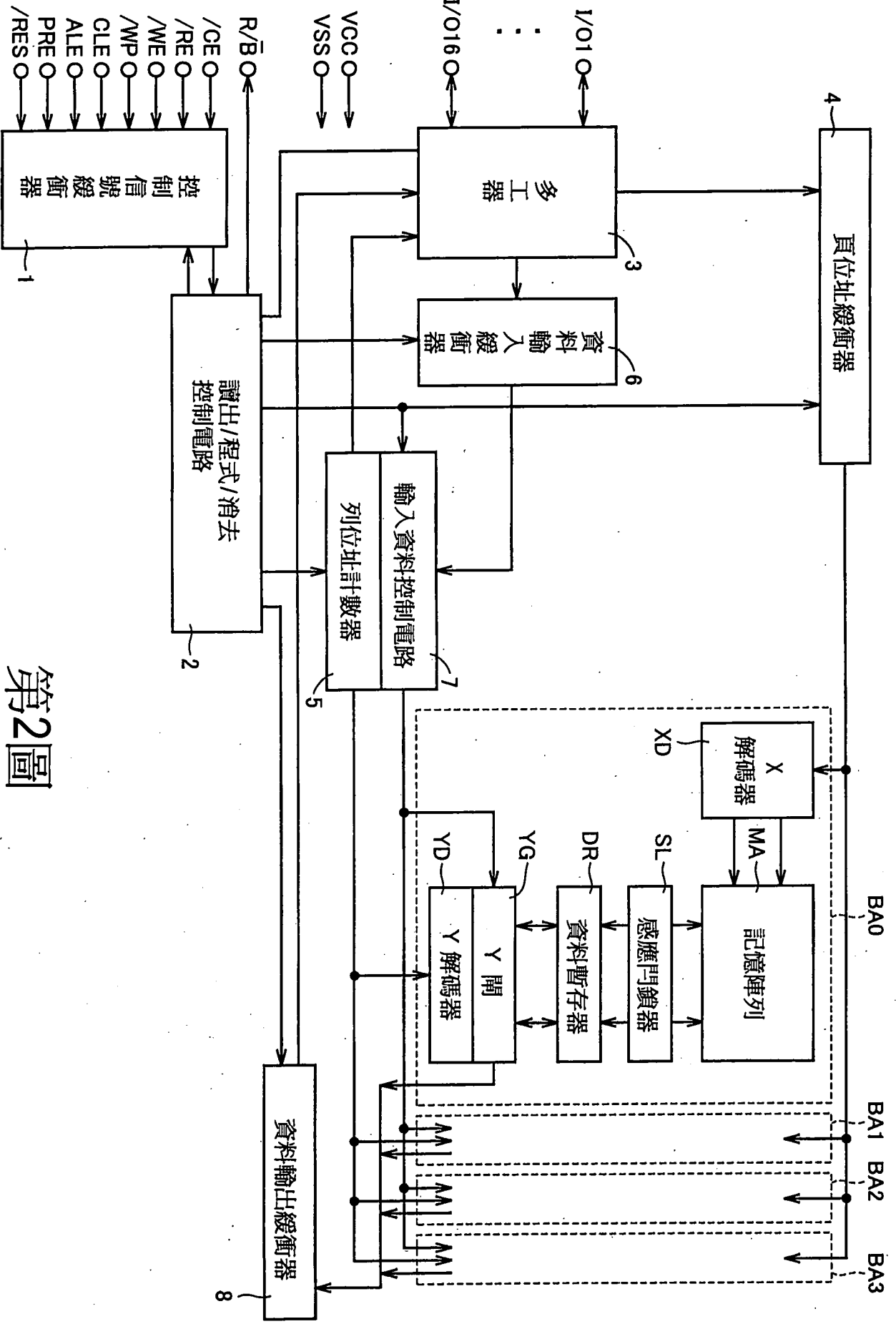
讀出時，從記憶單元讀出資料之前，上述各鄰接的 2 條通用位元線之一條預充電至第 1 電壓，而另一條通用位元線預充電至與第 1 電壓相異的第 2 電壓；以及

更設置了讀出控制電路，當開始從記憶單元讀出且各鄰接的 2 條通用位元線之一條的電壓對應記憶單元資料而變化時，在一定時間後其電壓與另一條通用位元線上的第 2 電壓相比而讀出記憶單元資料。

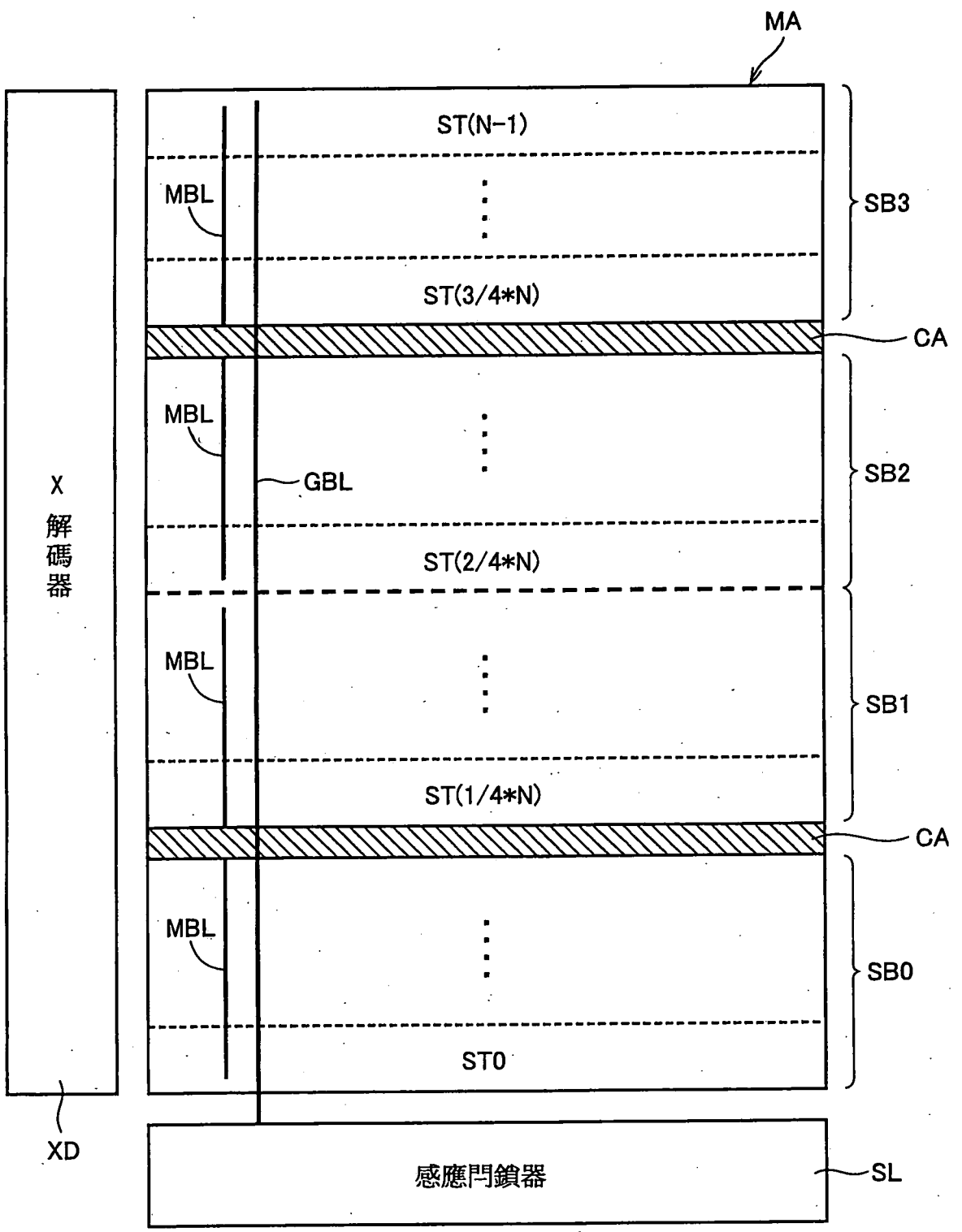
30. 如申請專利範圍第 29 項所述的非揮發性半導體記憶裝置，其中，各鄰接的 2 條通用位元線在上述複數的子區塊間以既定位置繞轉。



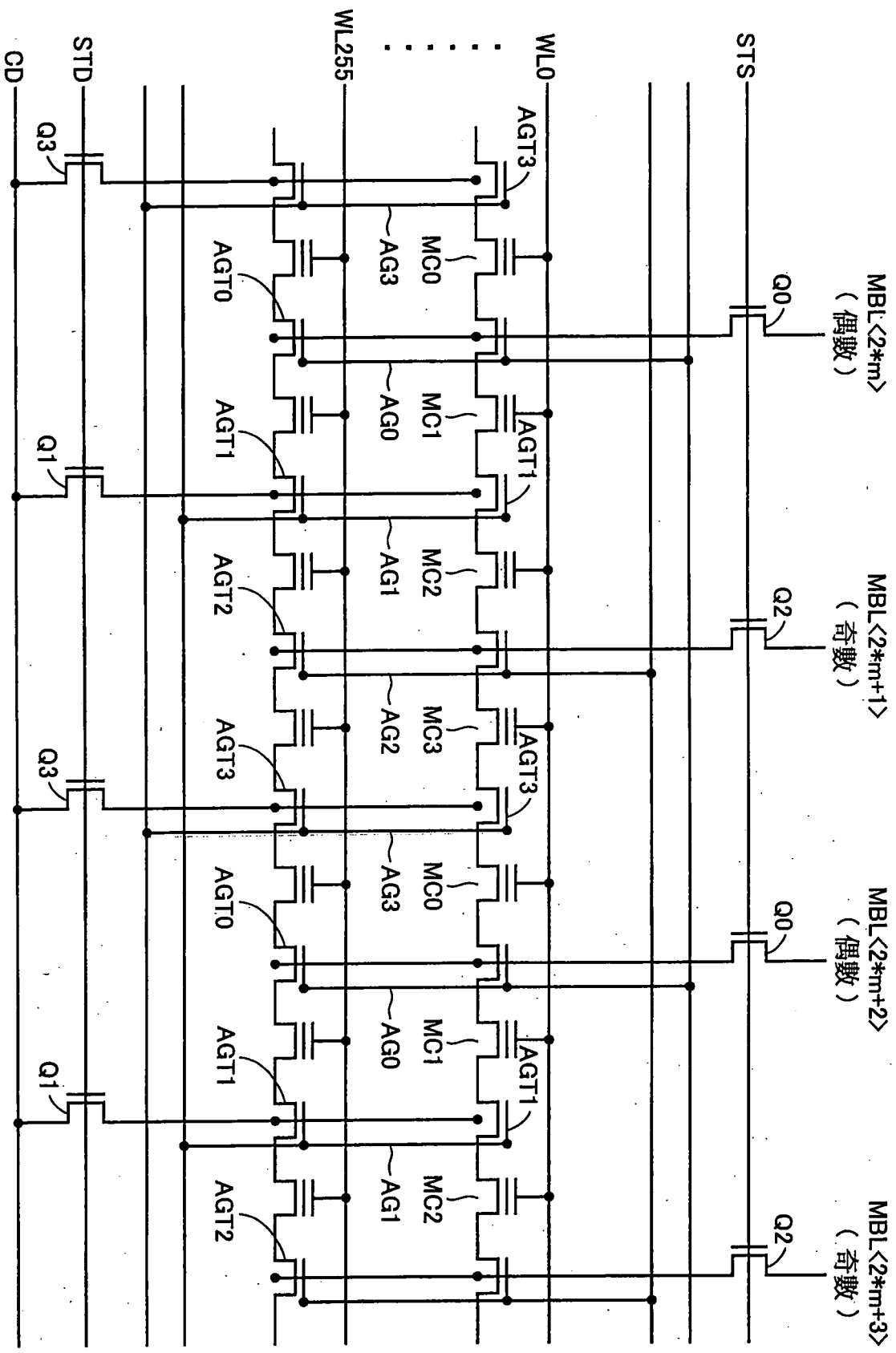
第1圖



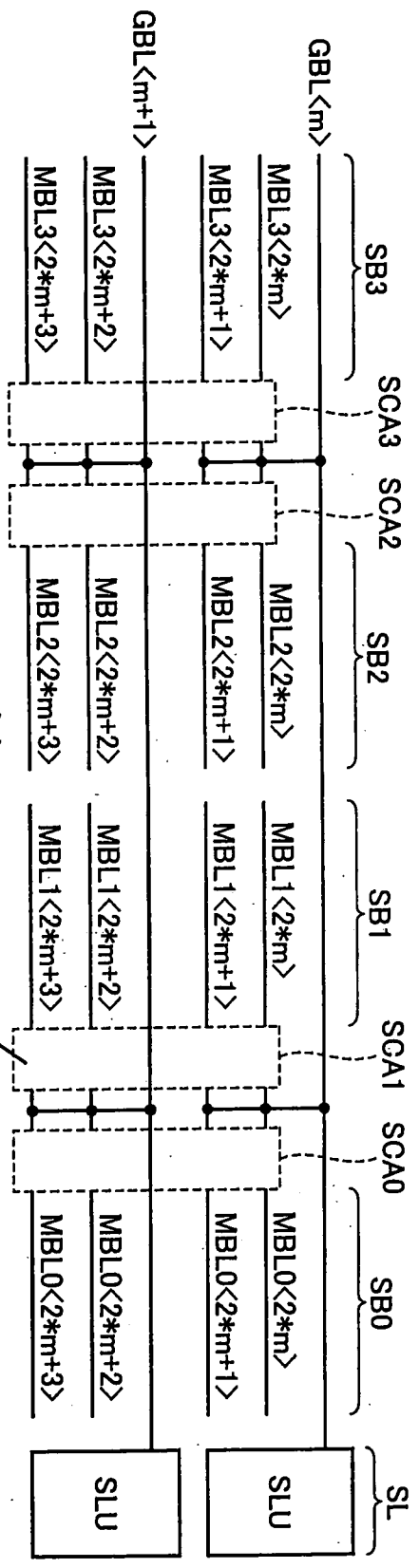
第2圖



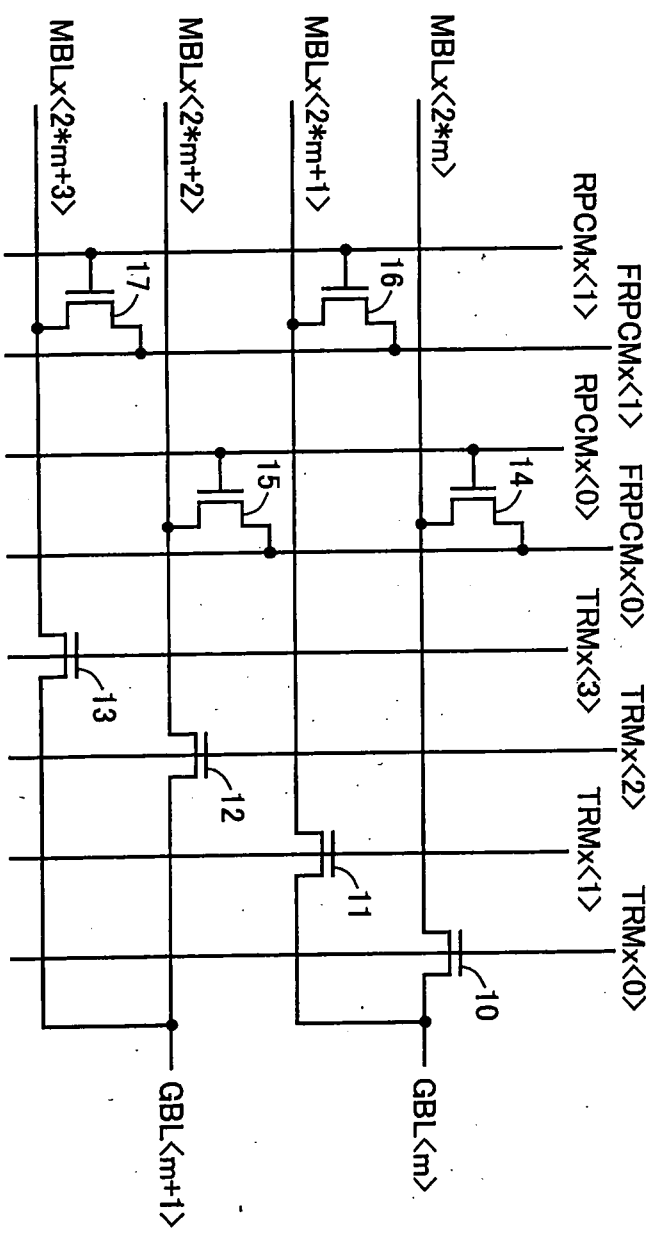
第3圖



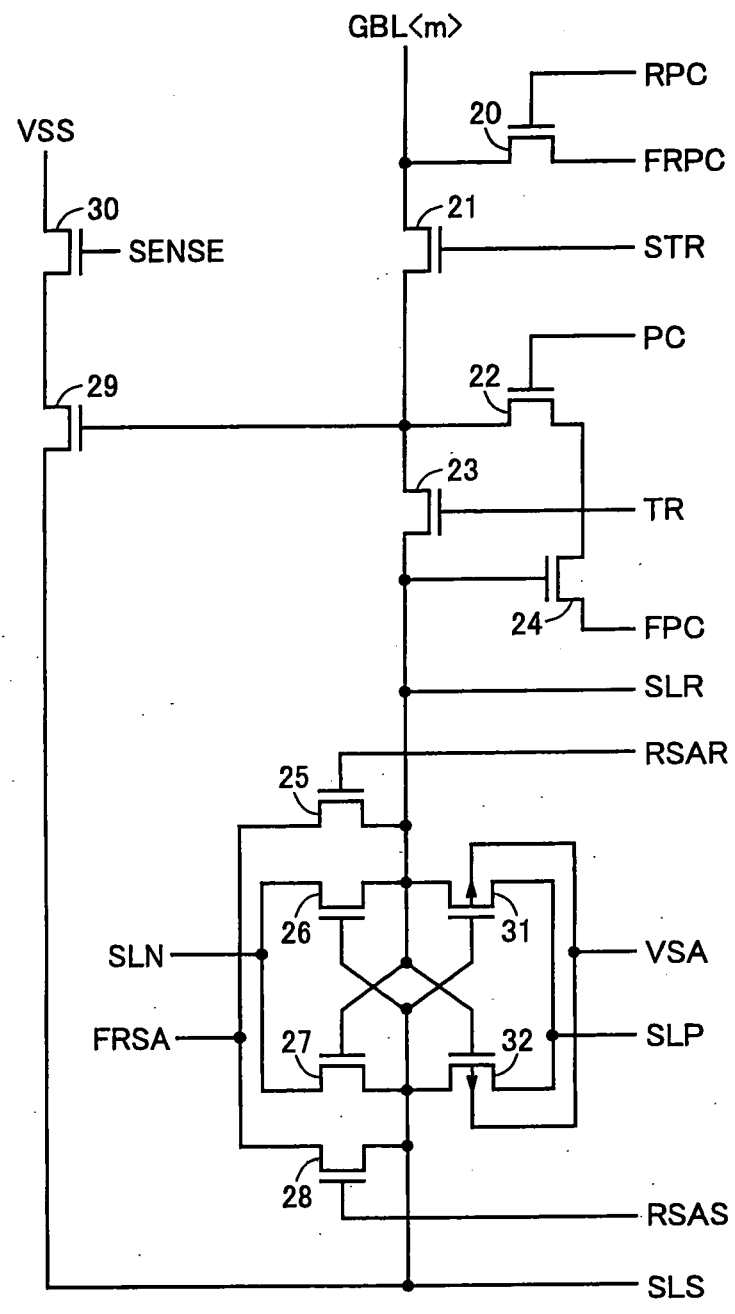
第4圖



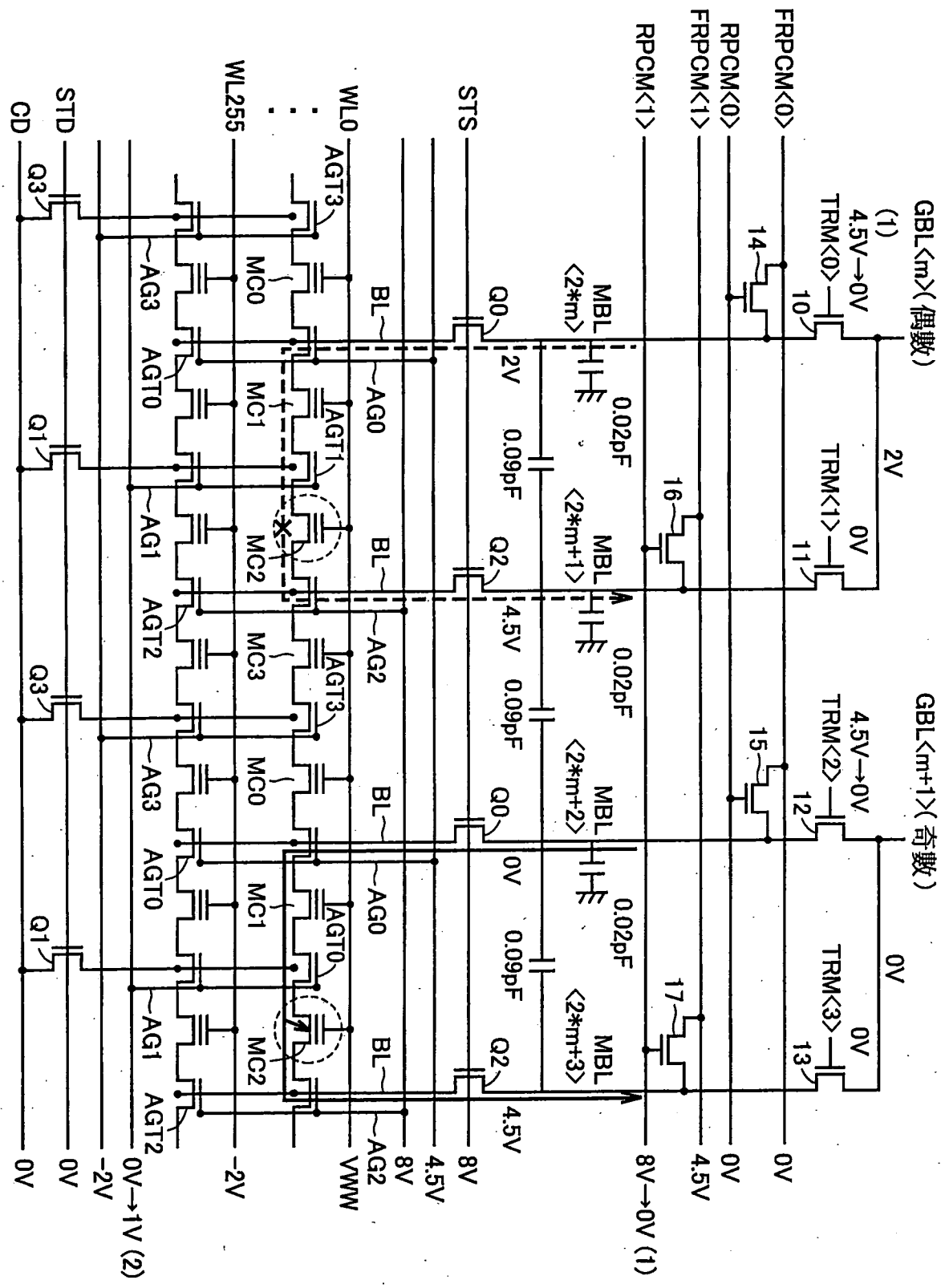
第5A圖



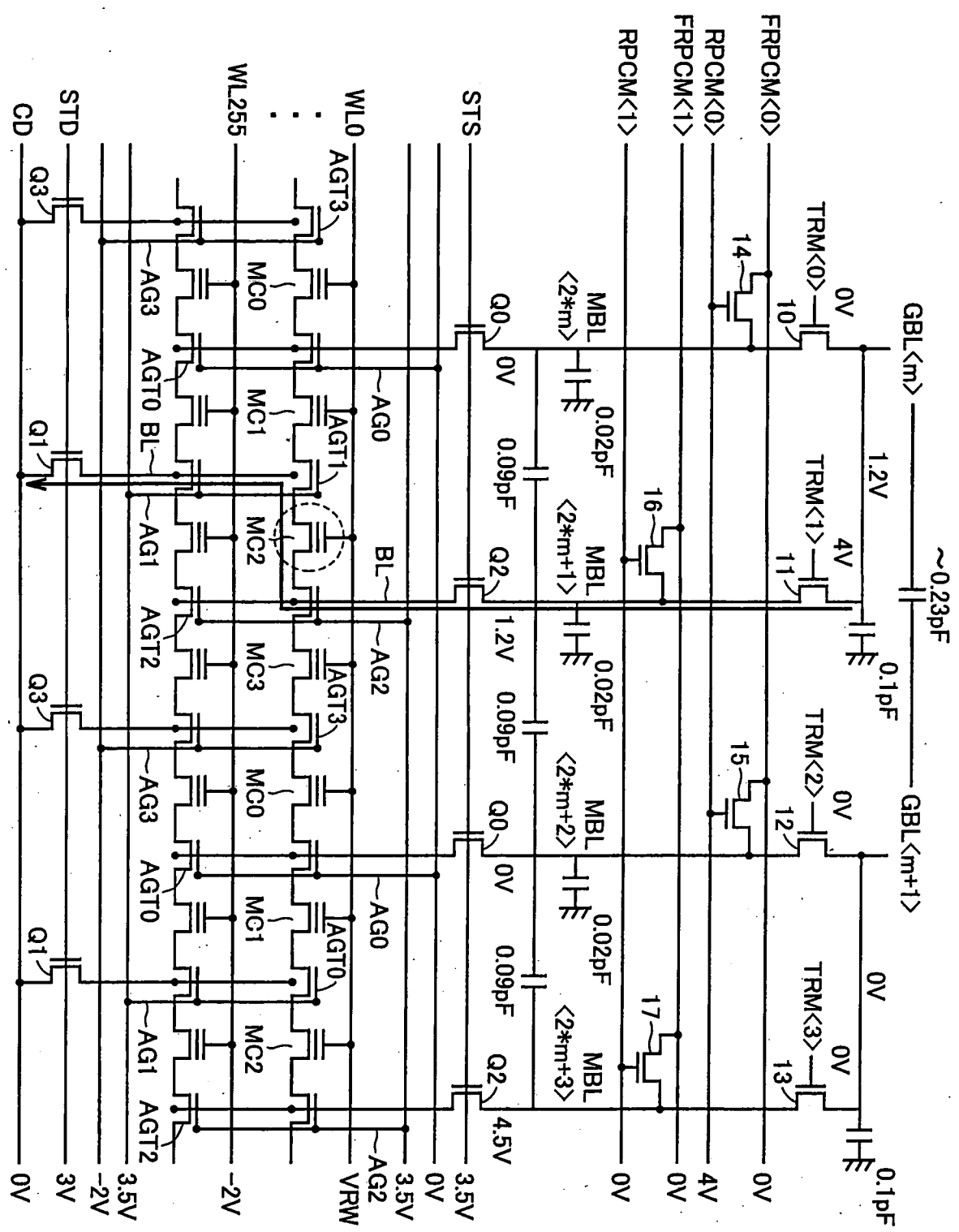
第5B圖



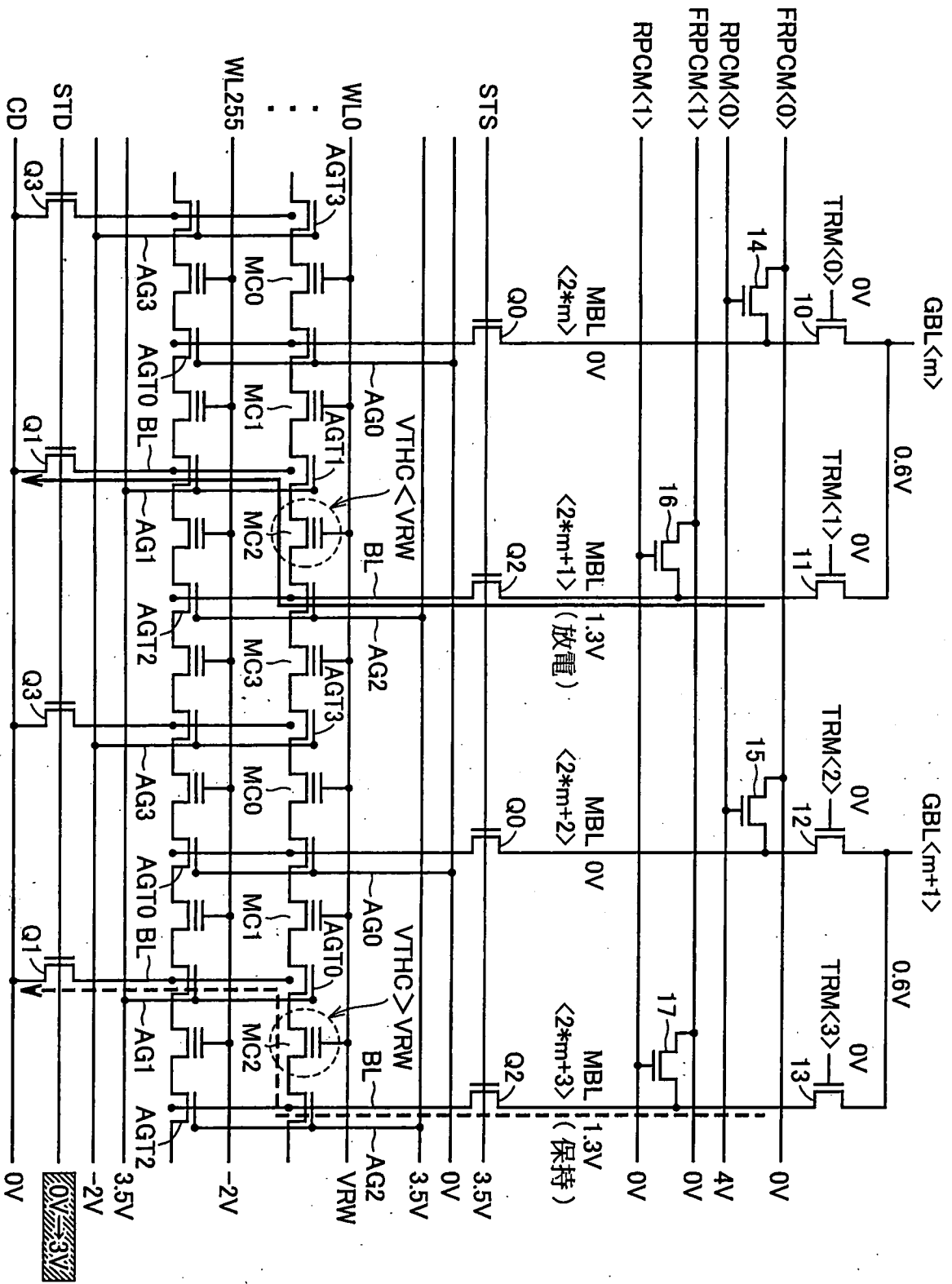
第6圖



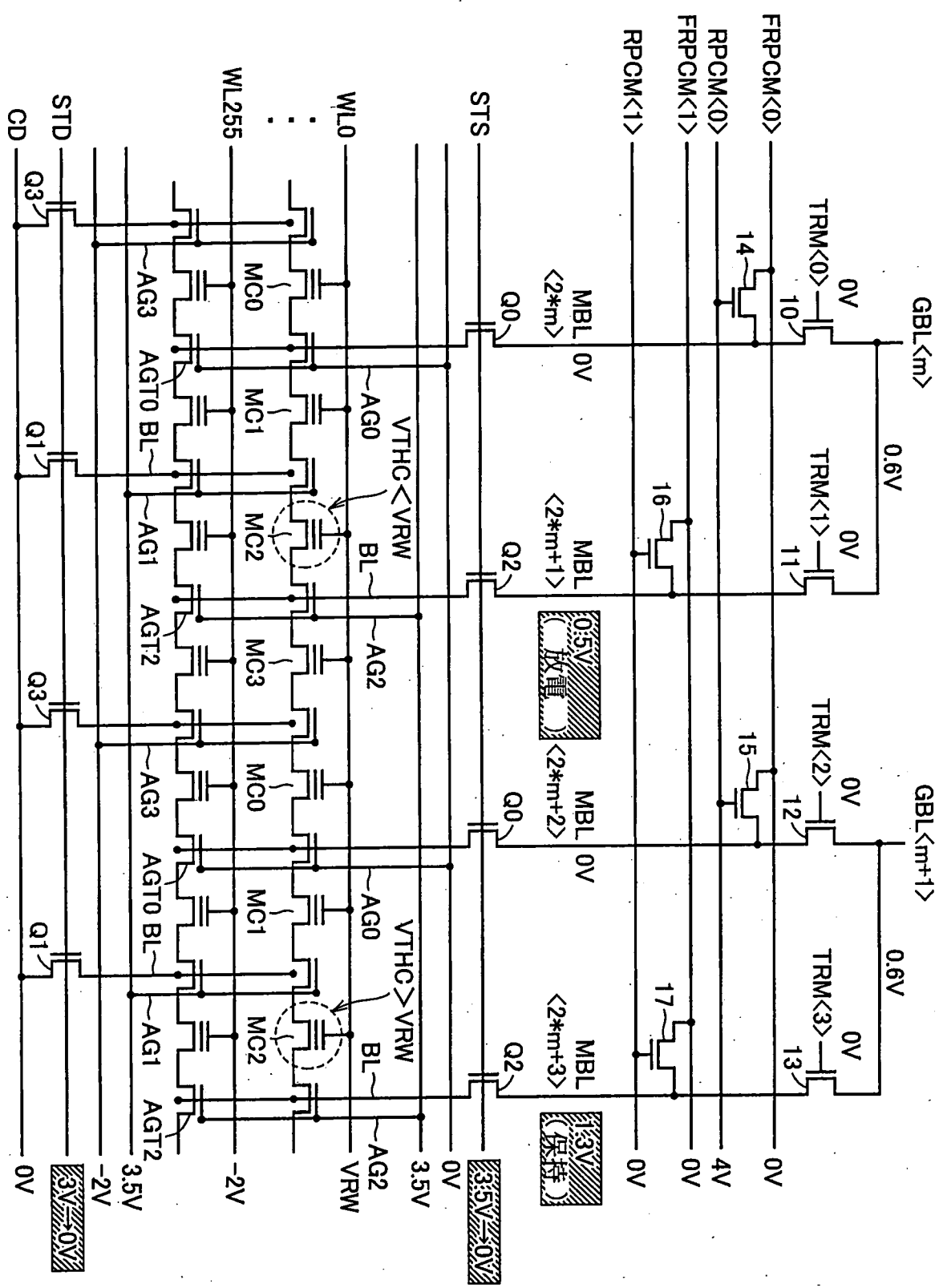
第7圖



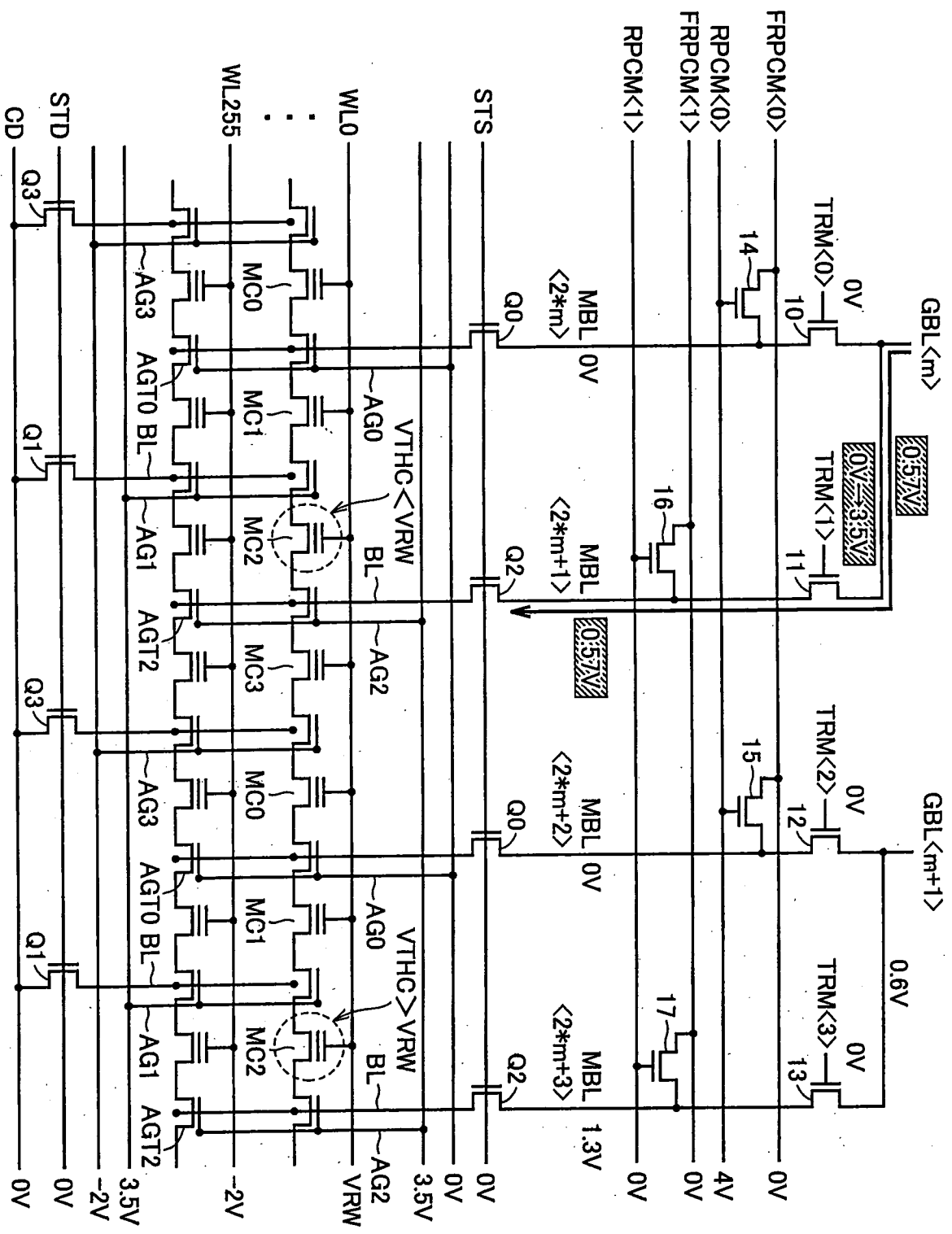
第8圖



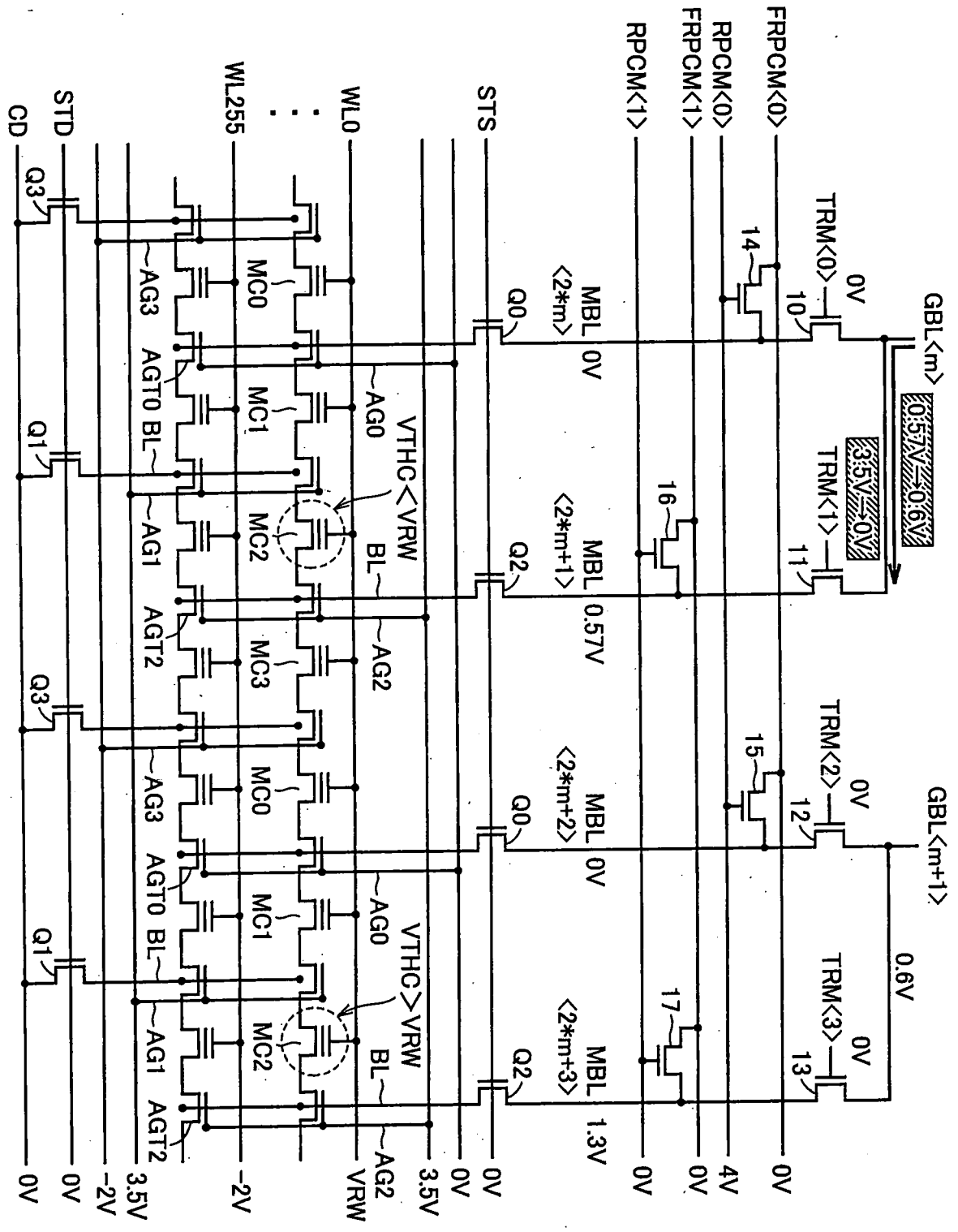
第9圖



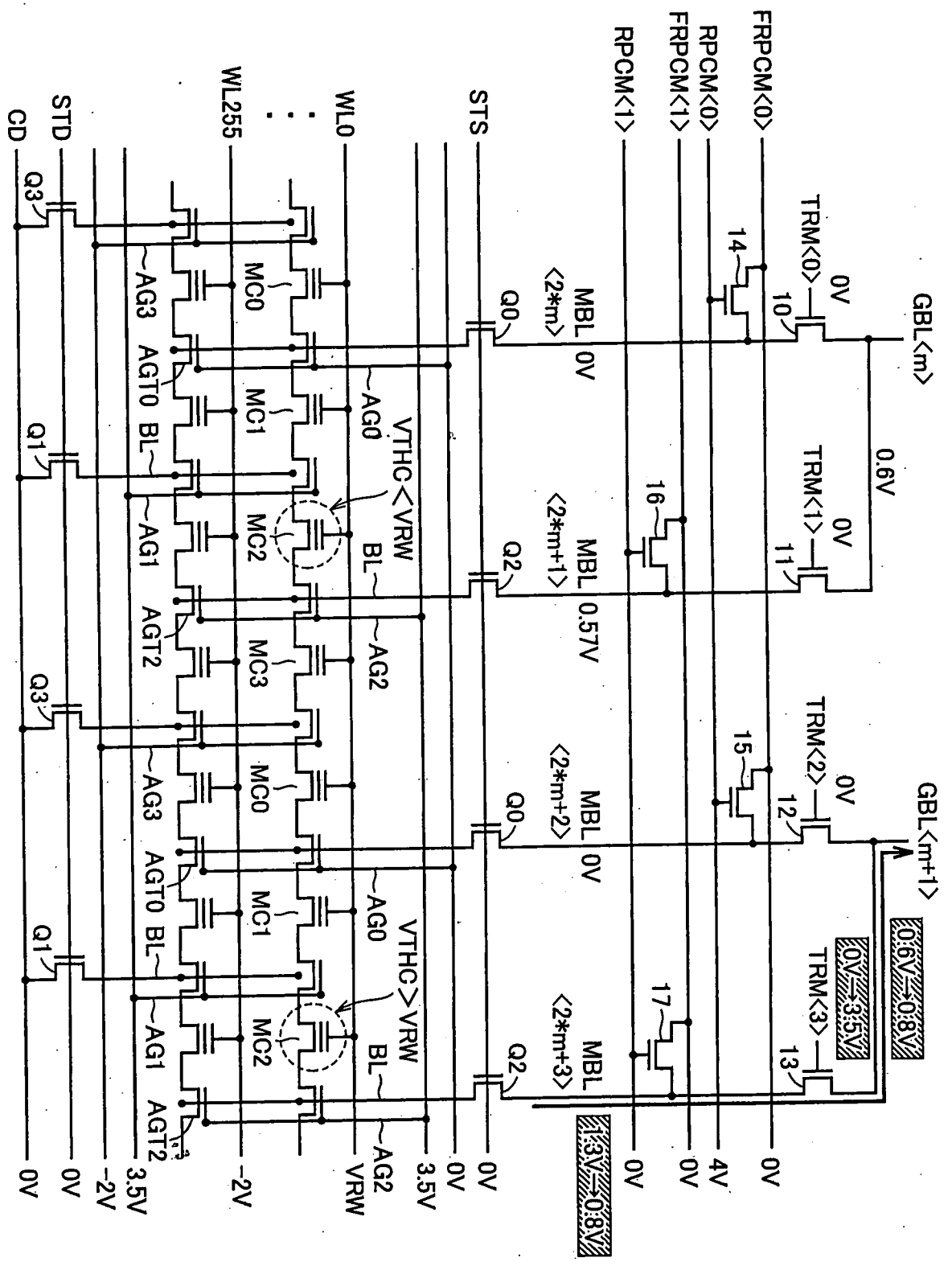
第10圖



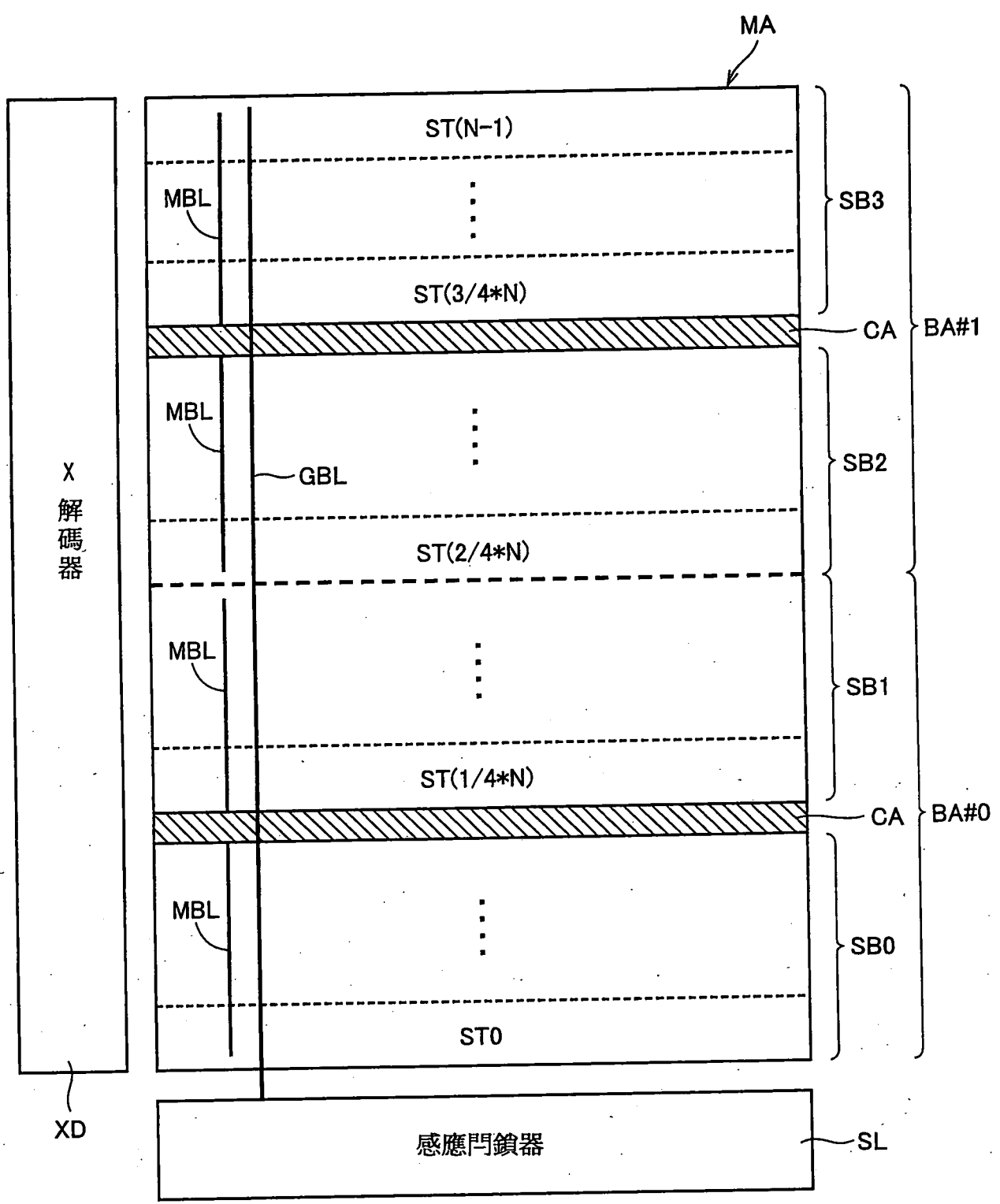
第11圖



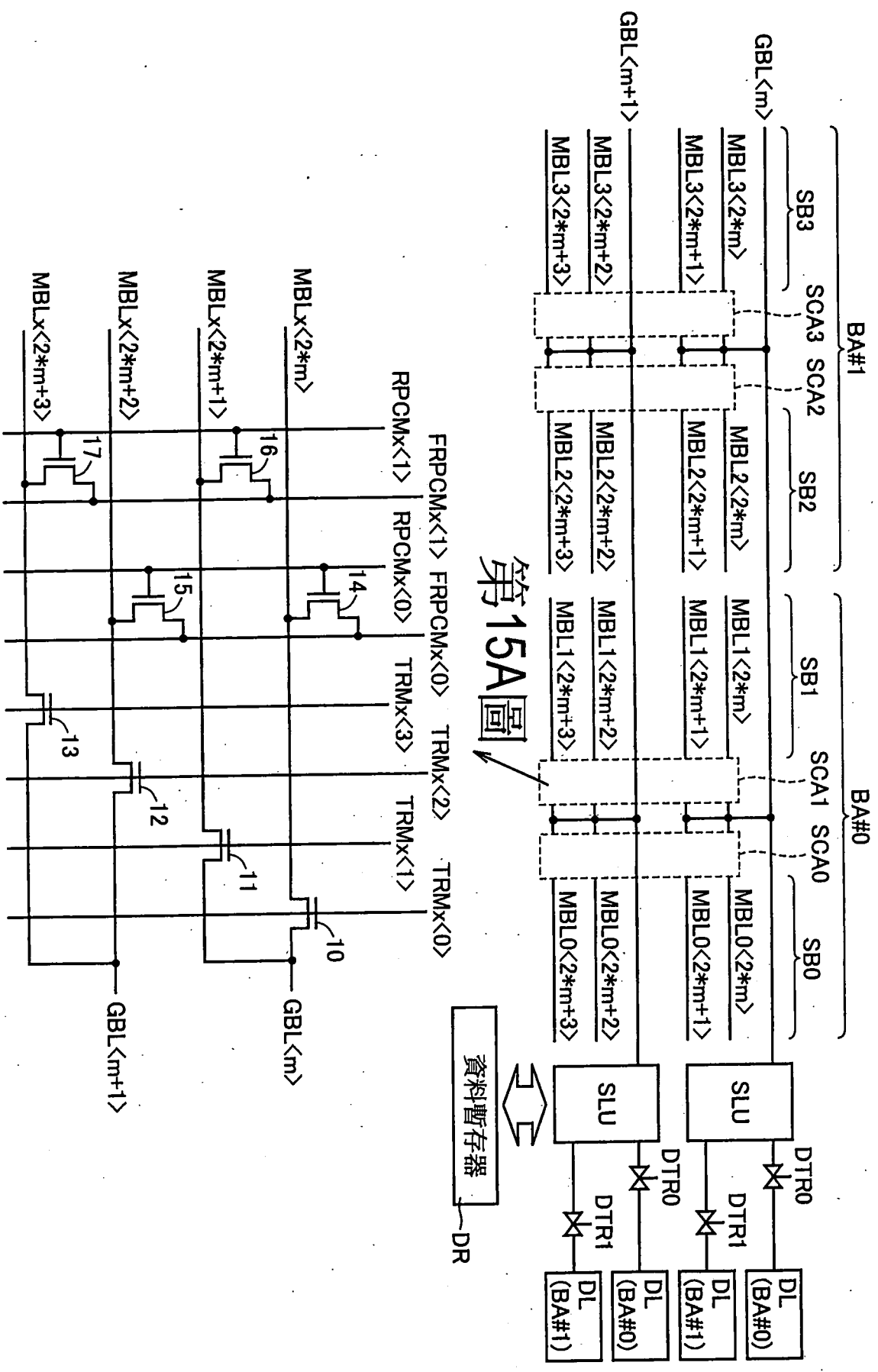
第12圖



第13圖

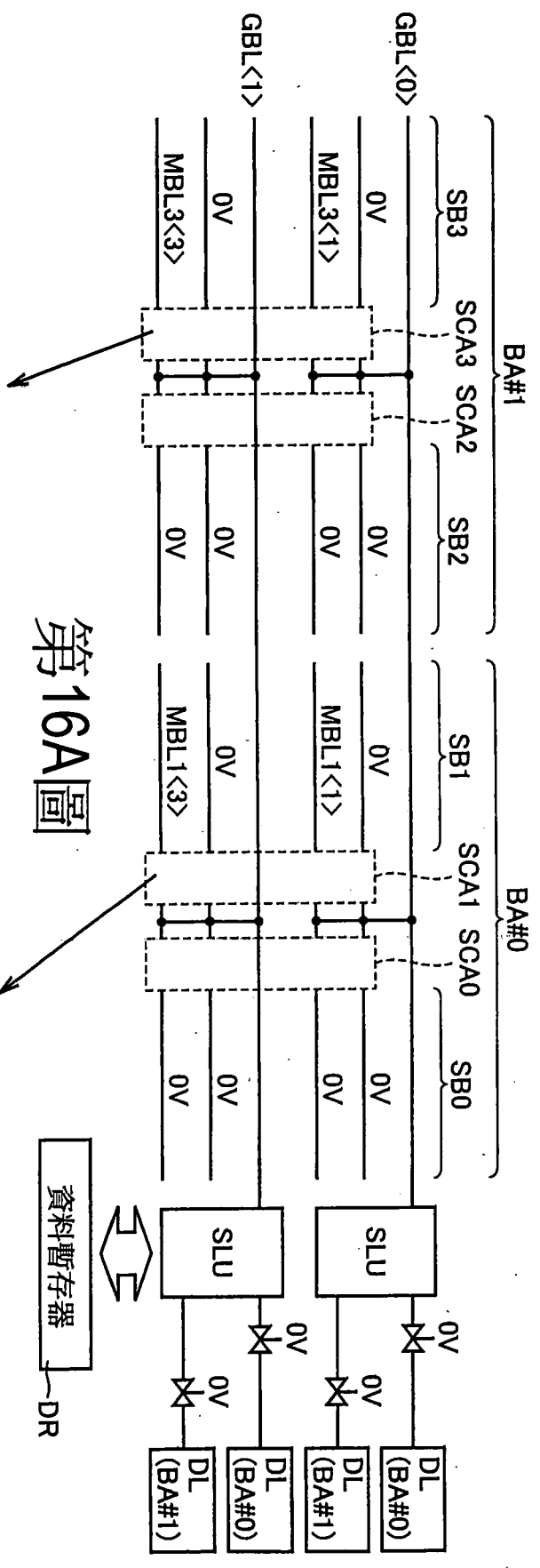


第14圖

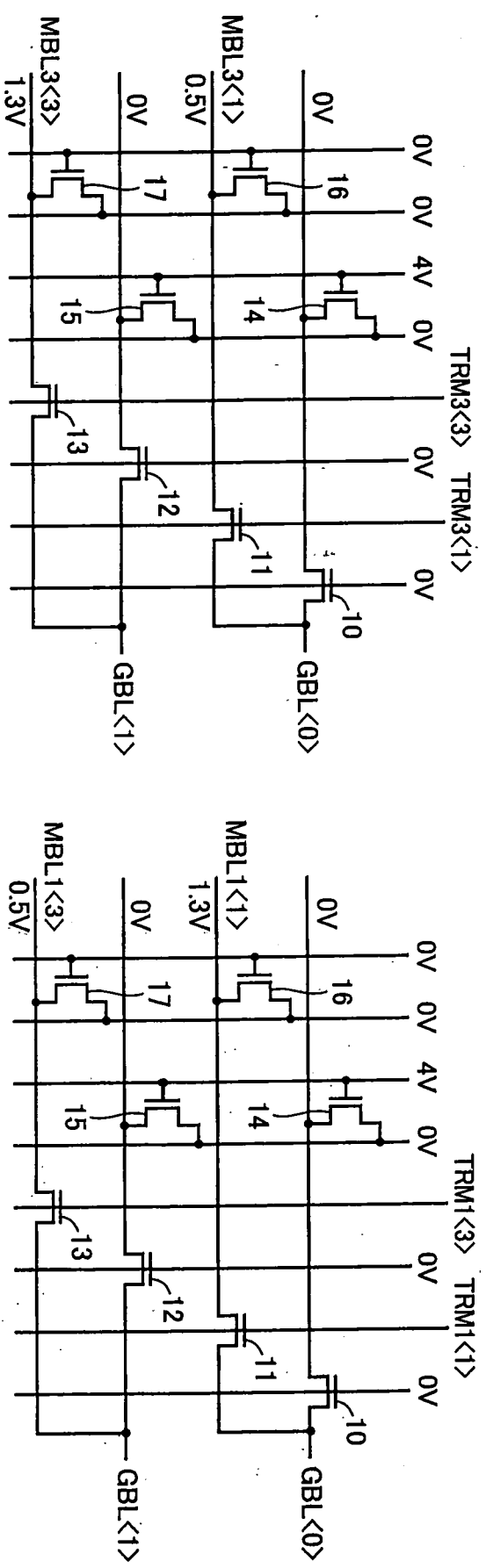


第15A圖

第15B圖

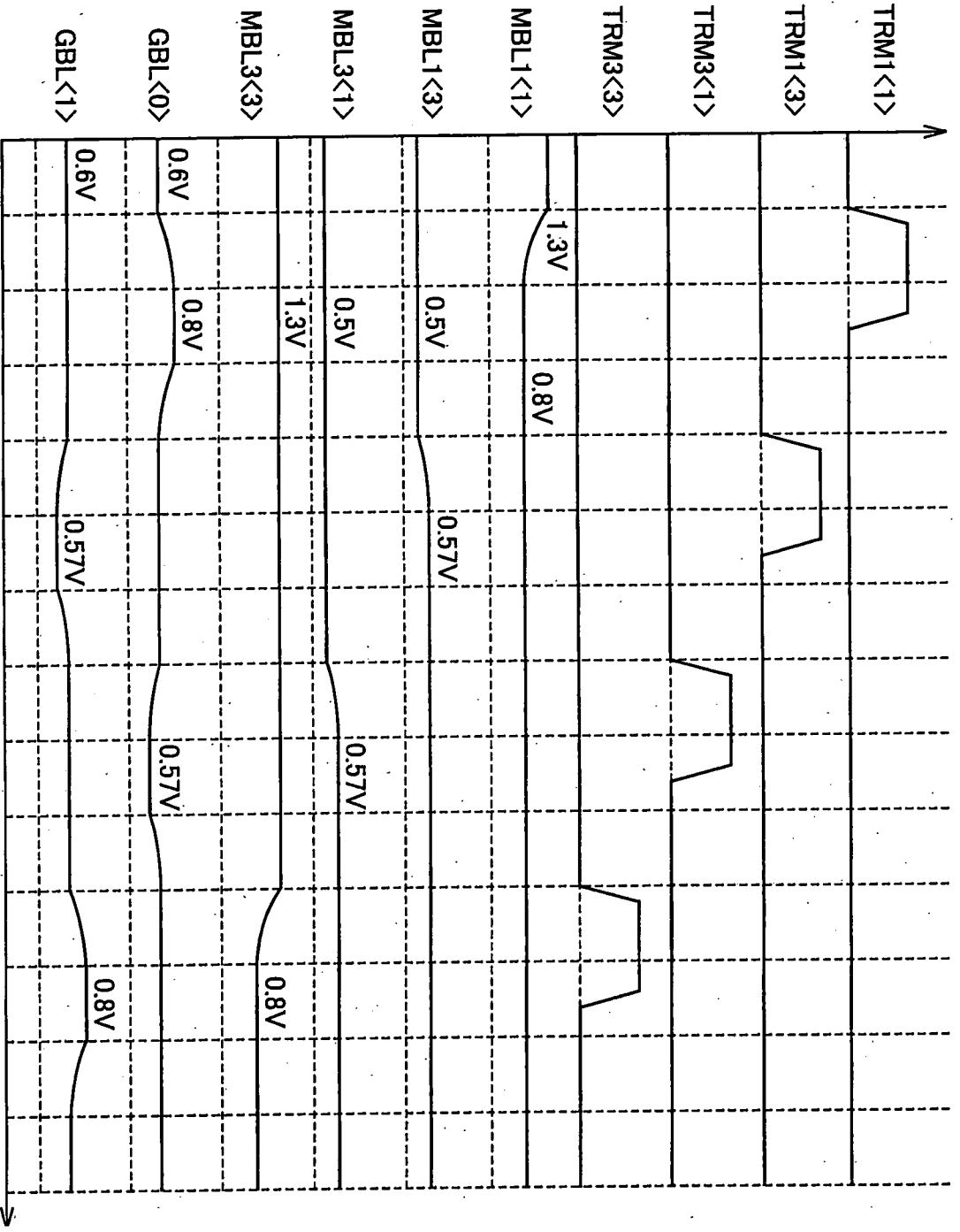


第16A圖

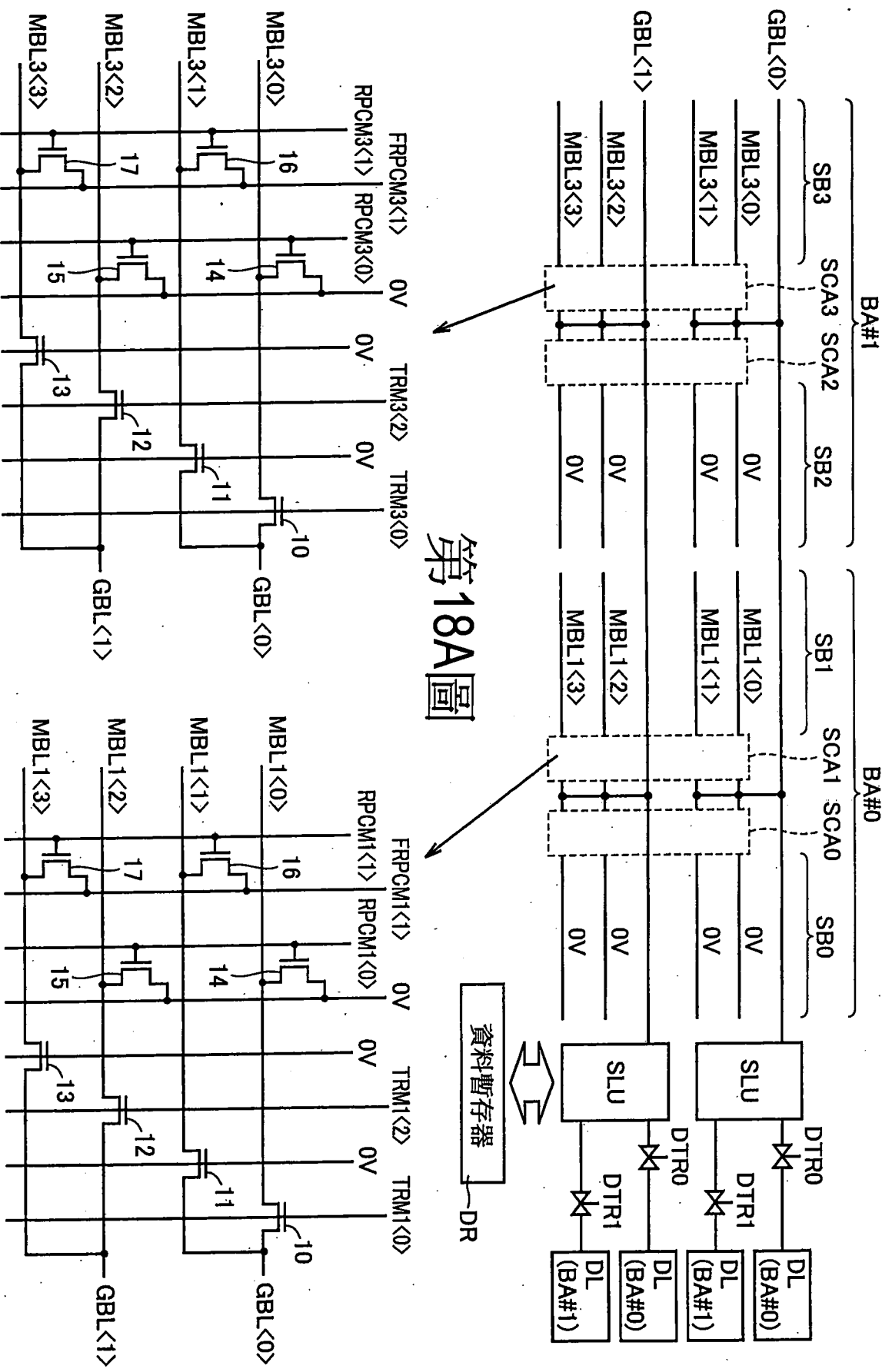


第16B圖

第16C圖



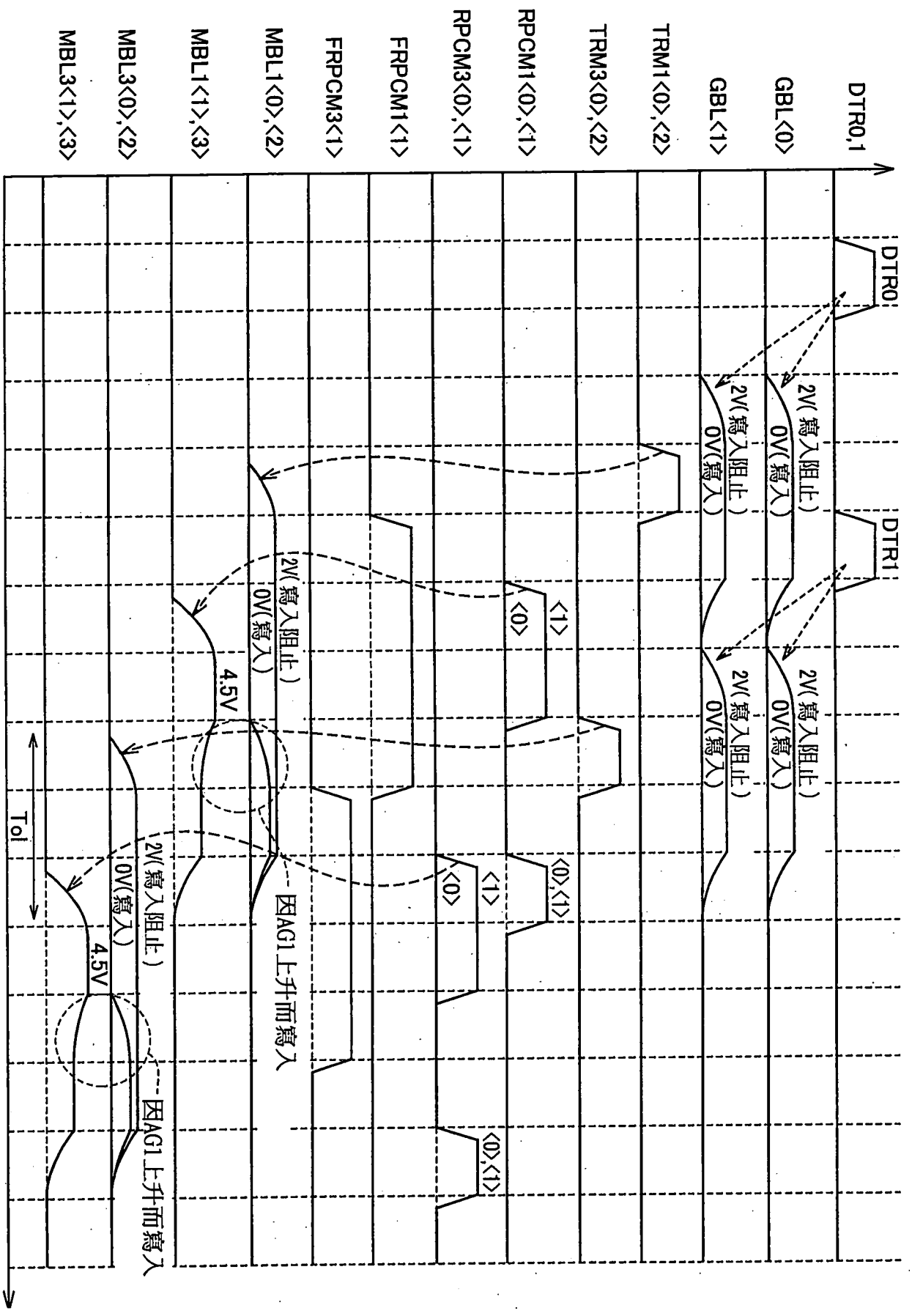
第17圖



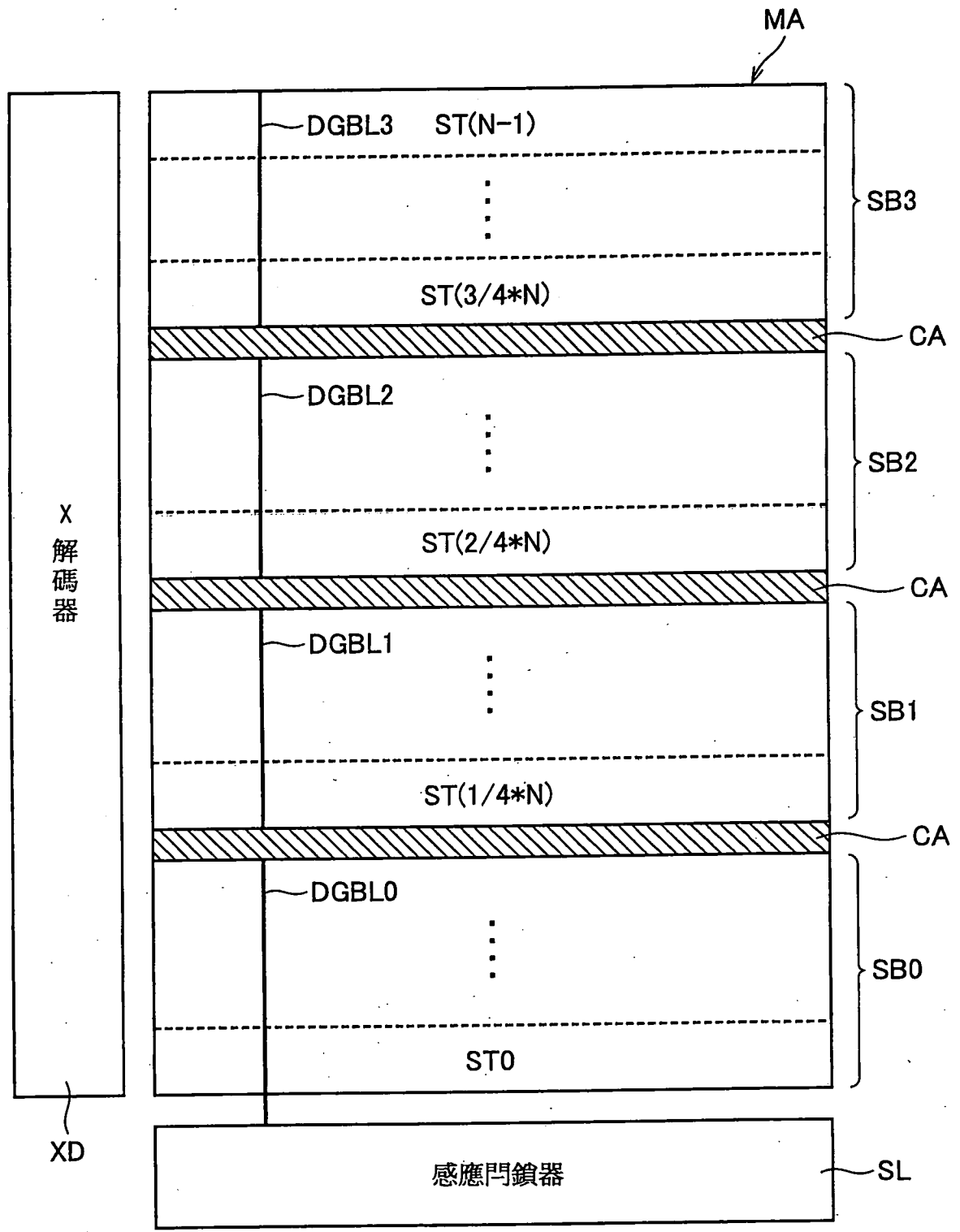
第18A圖

第18B圖

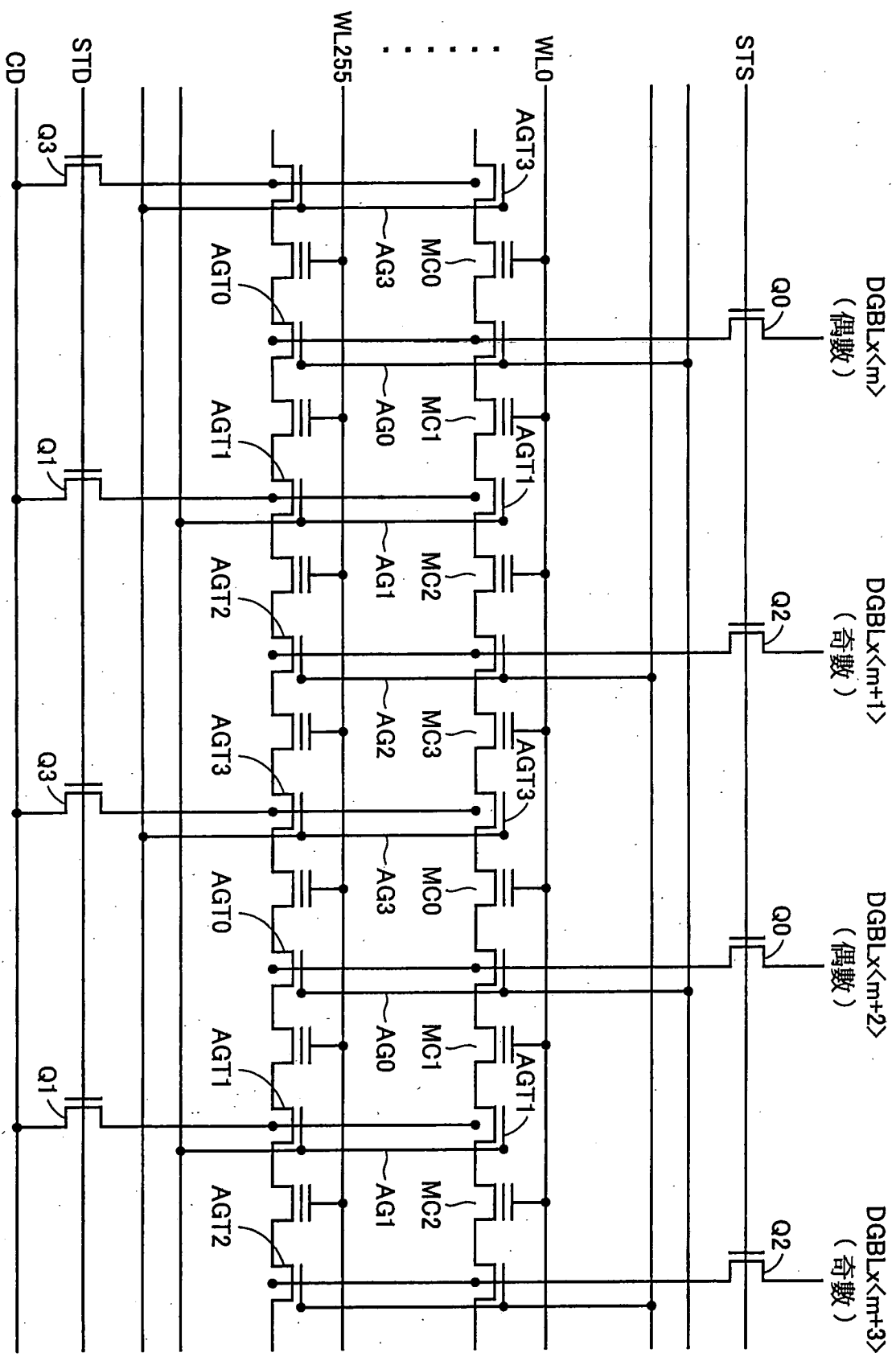
第18C圖



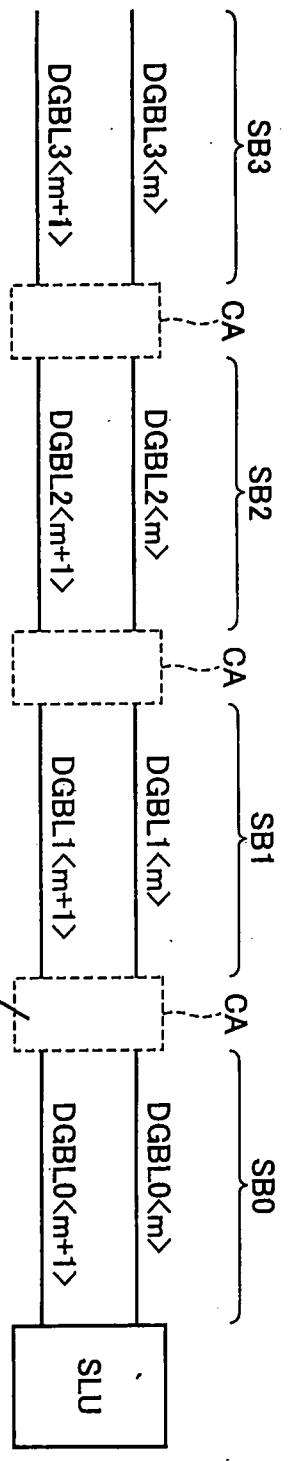
第19圖



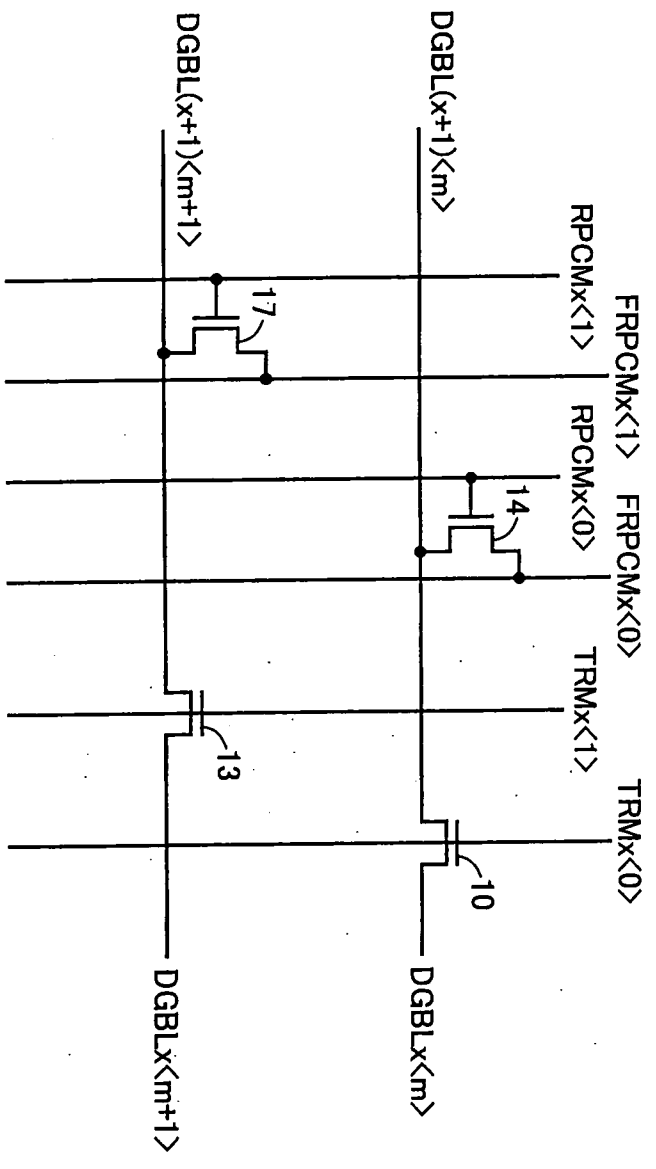
第20圖



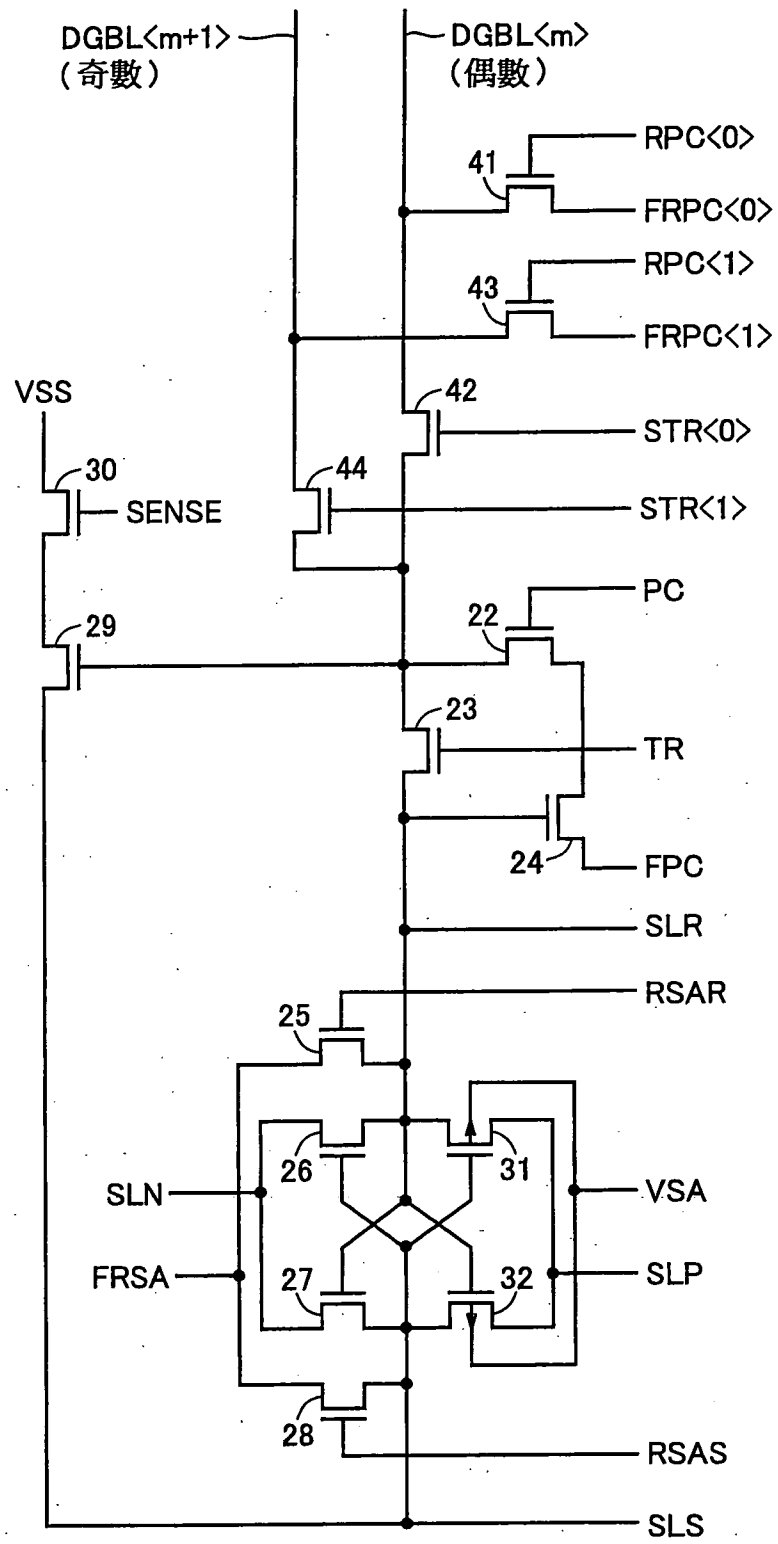
第21圖



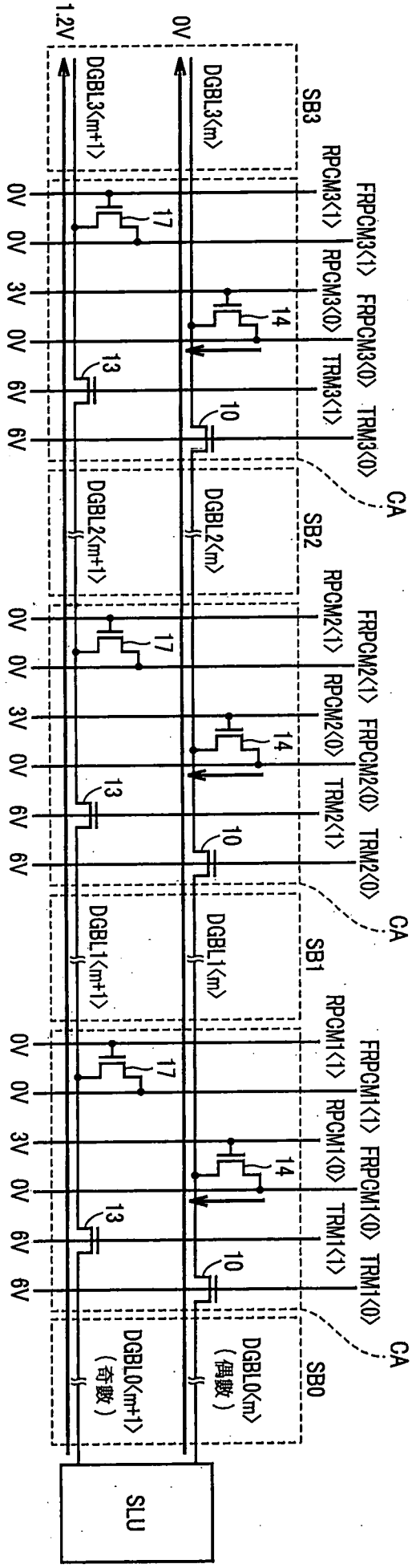
第22A圖



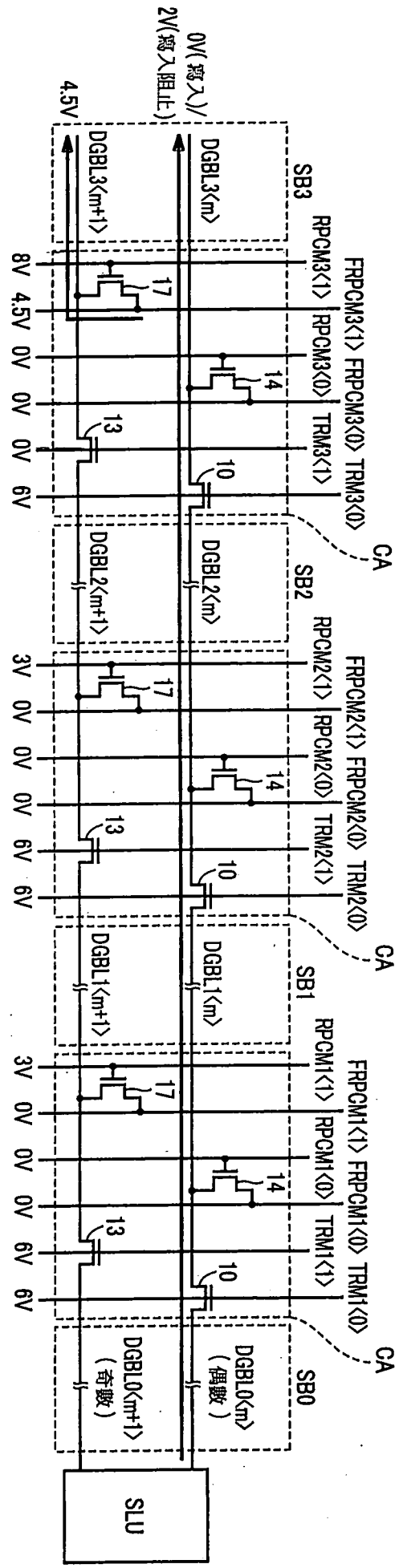
第22B圖



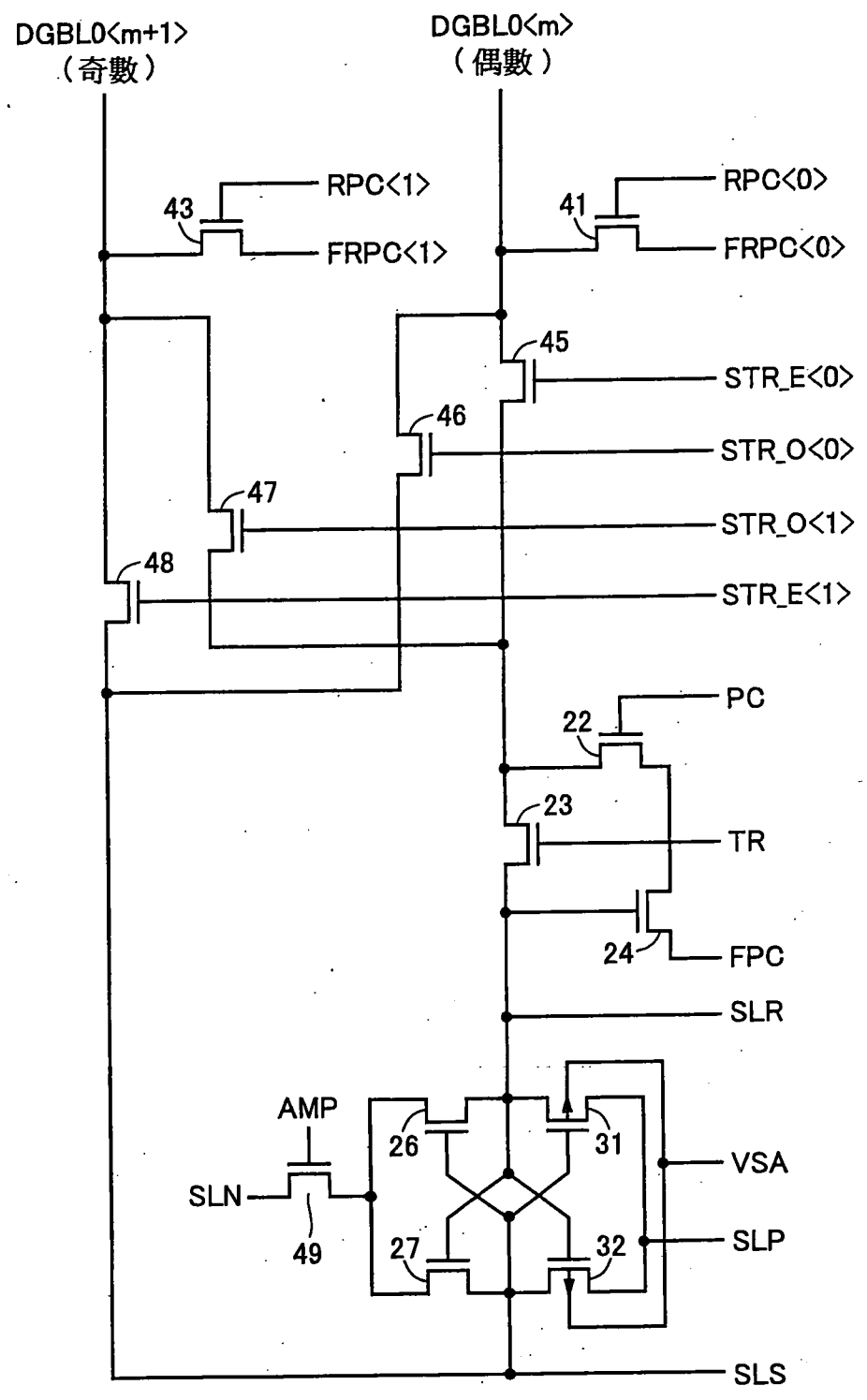
第23圖



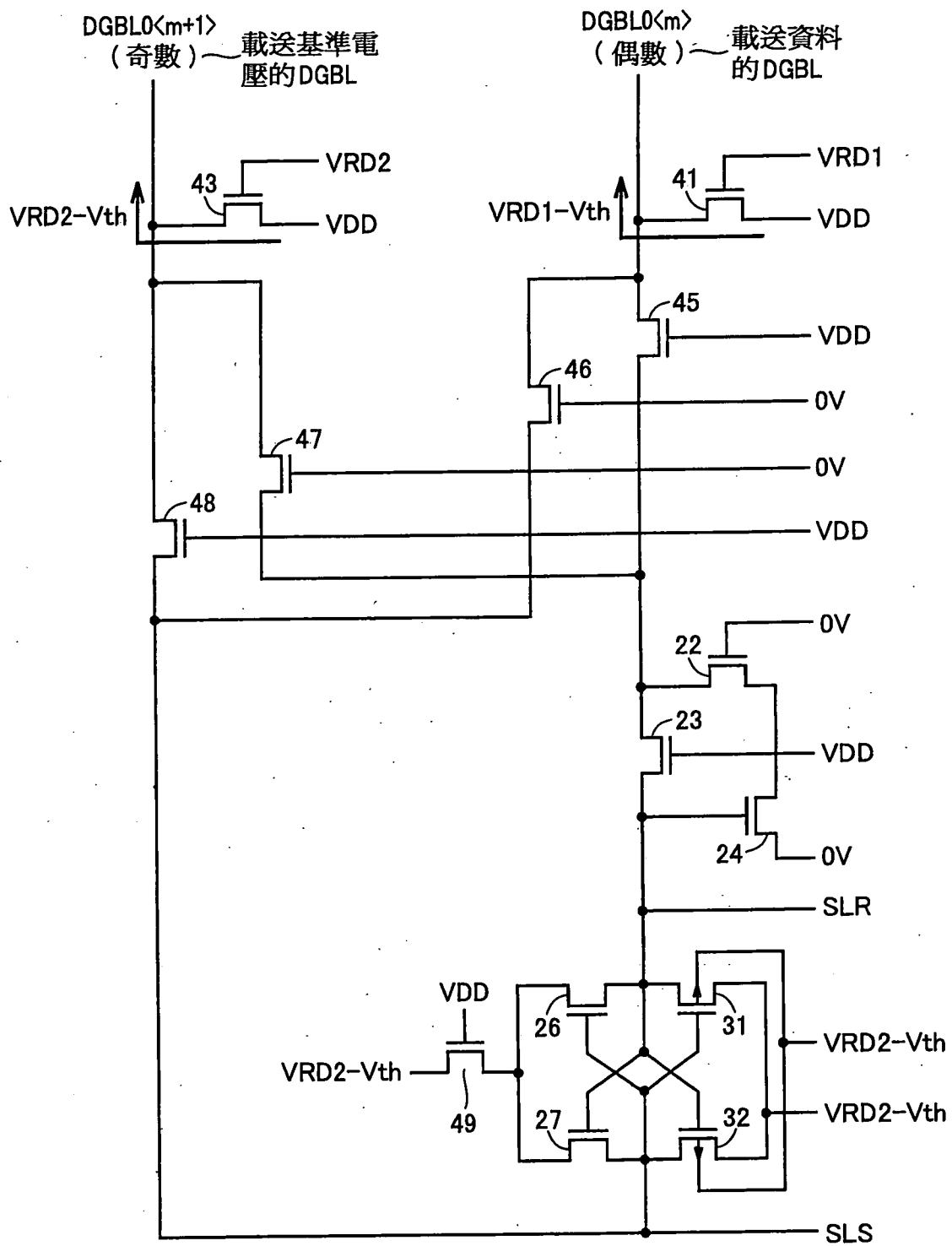
第24圖



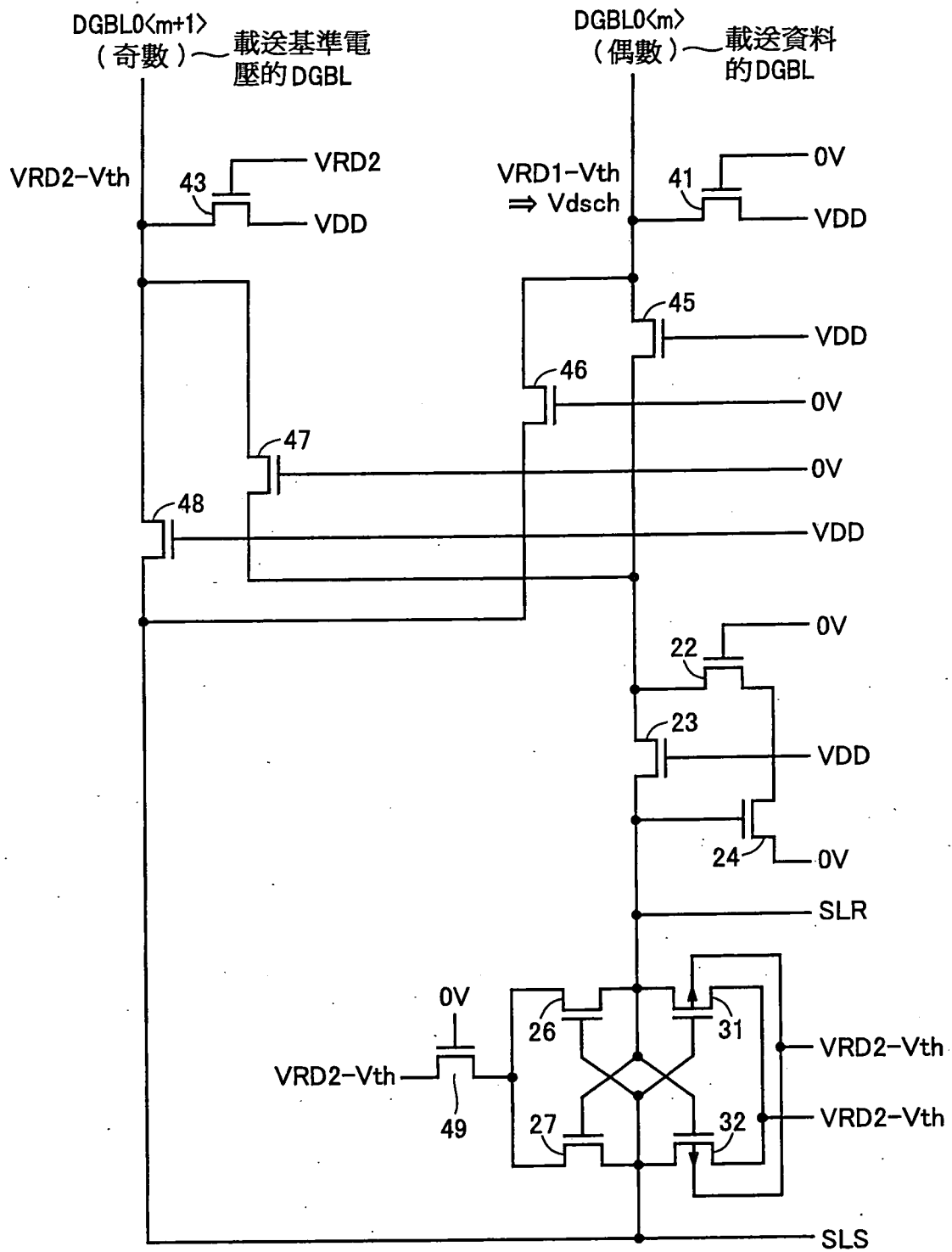
第25圖



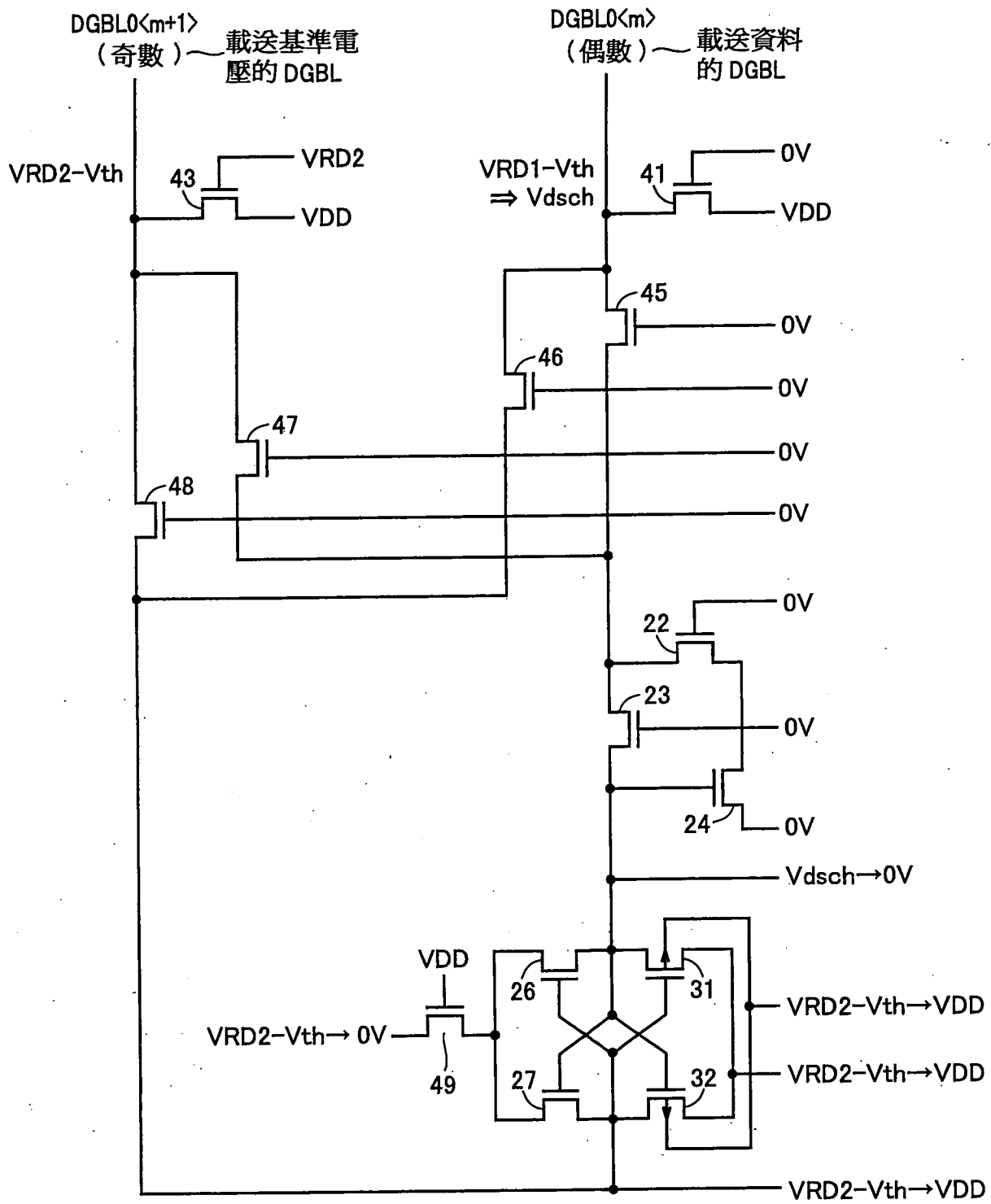
第26圖



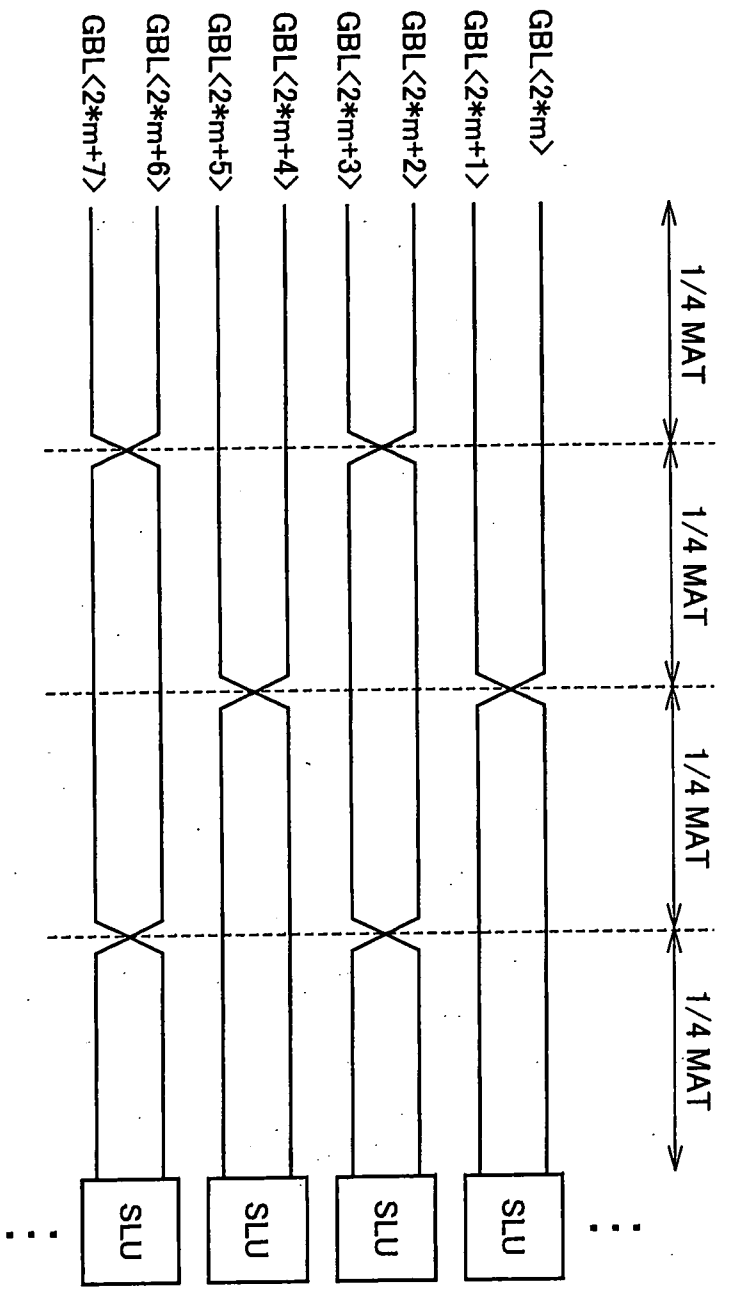
第27圖



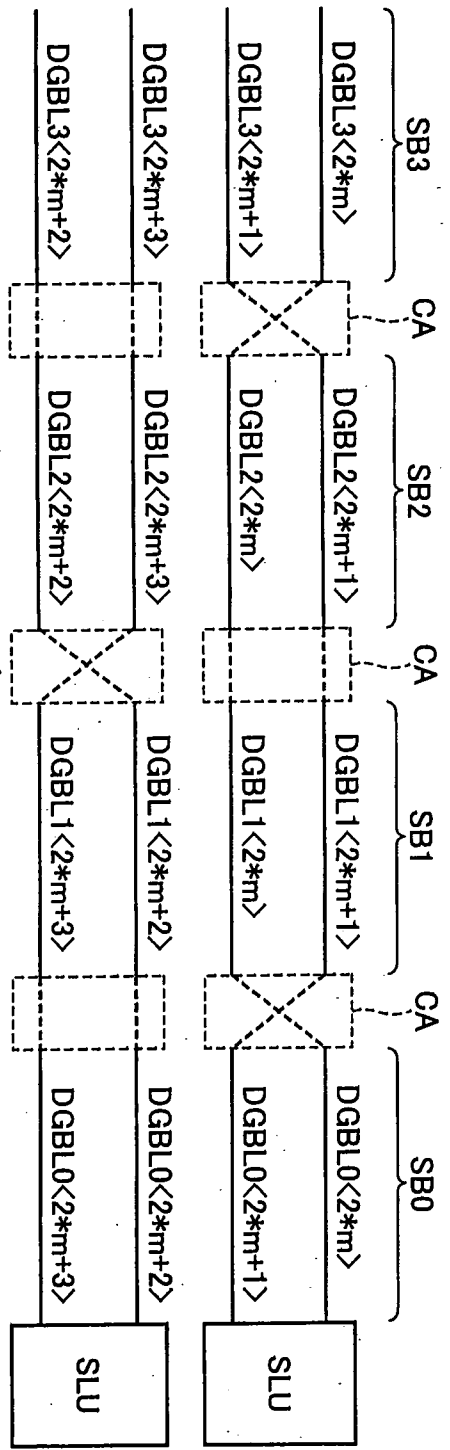
第28圖



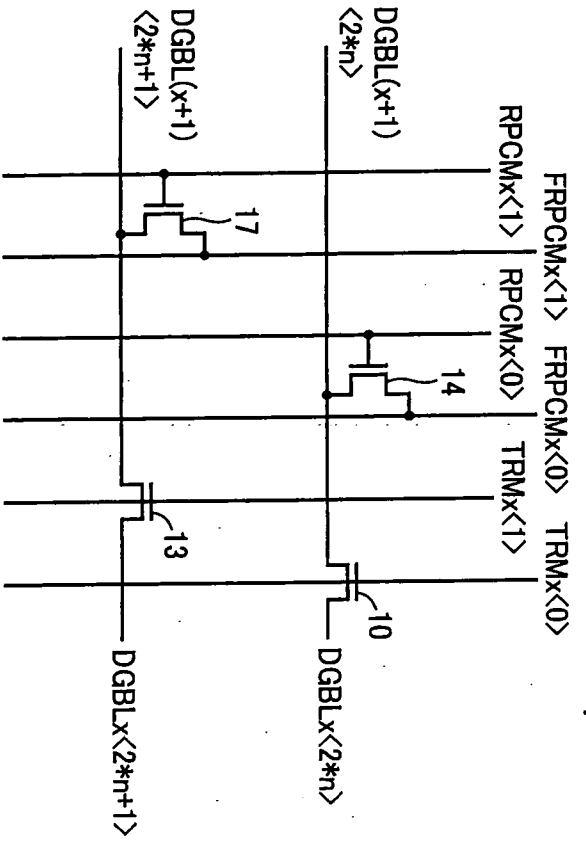
第29圖



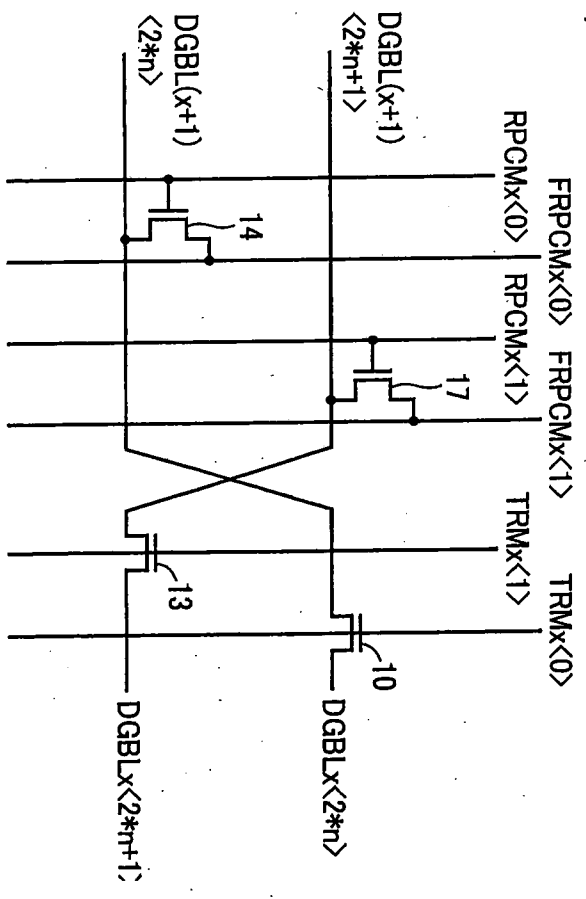
第30圖



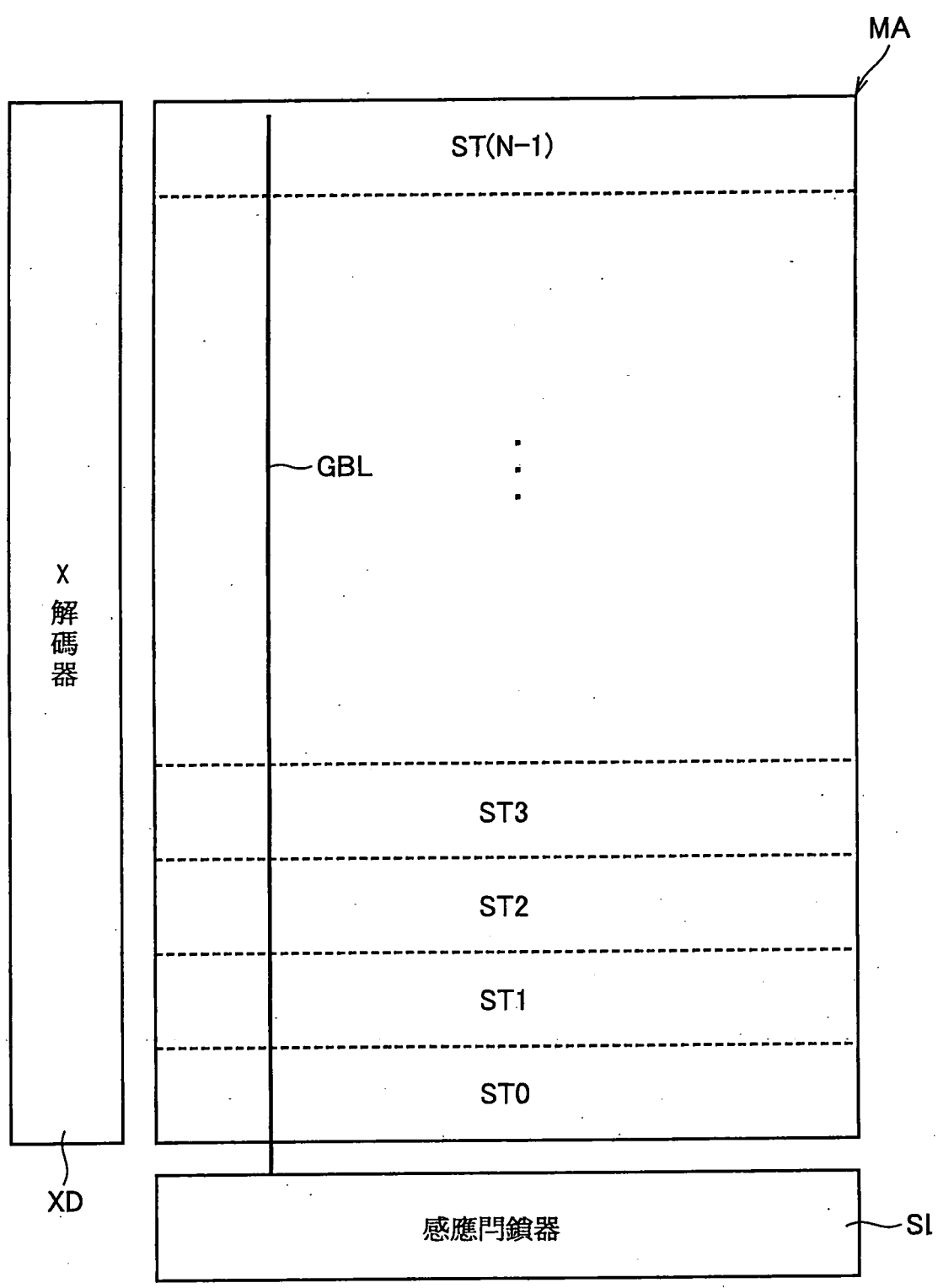
第31A圖



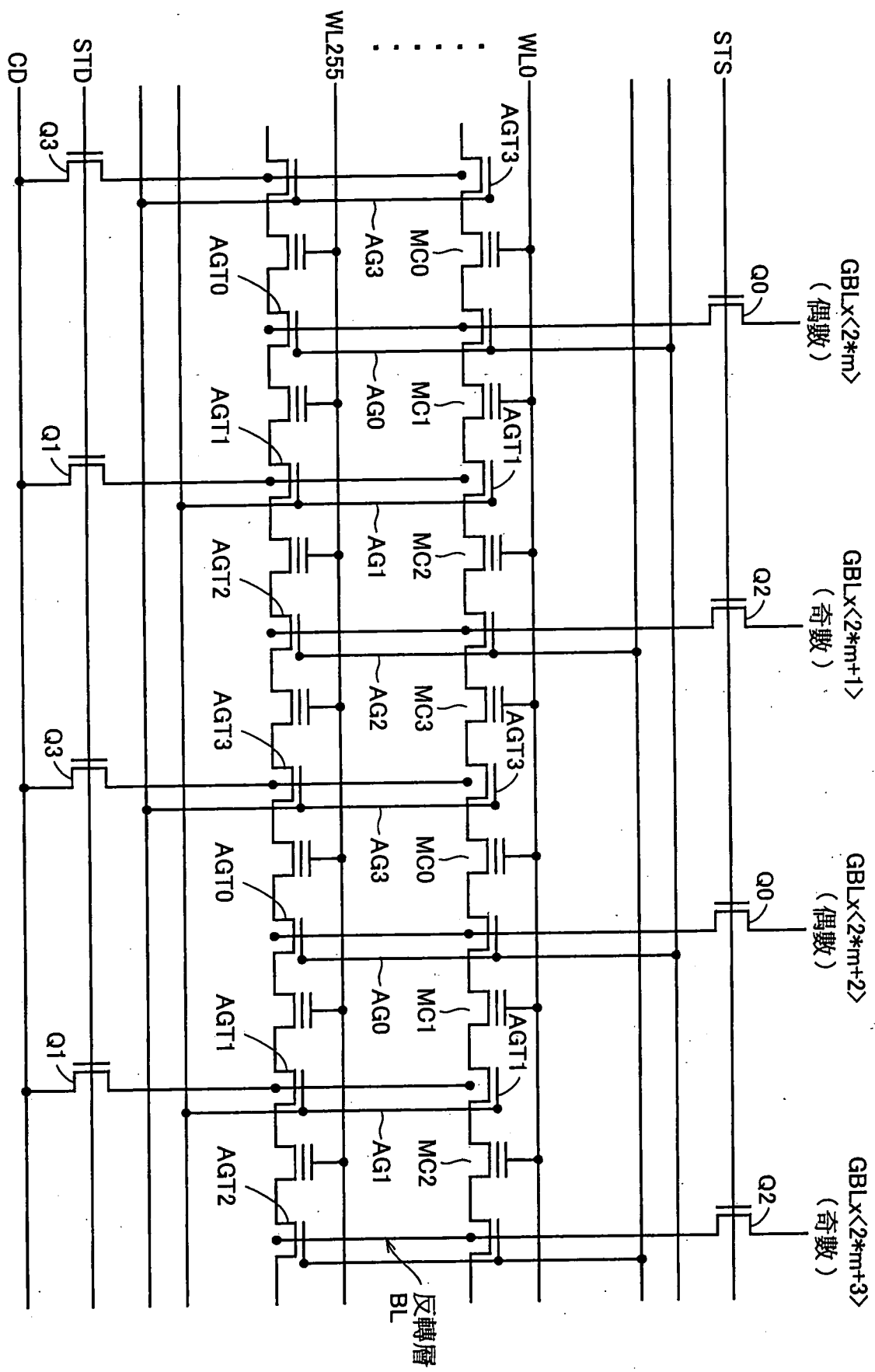
第31B圖



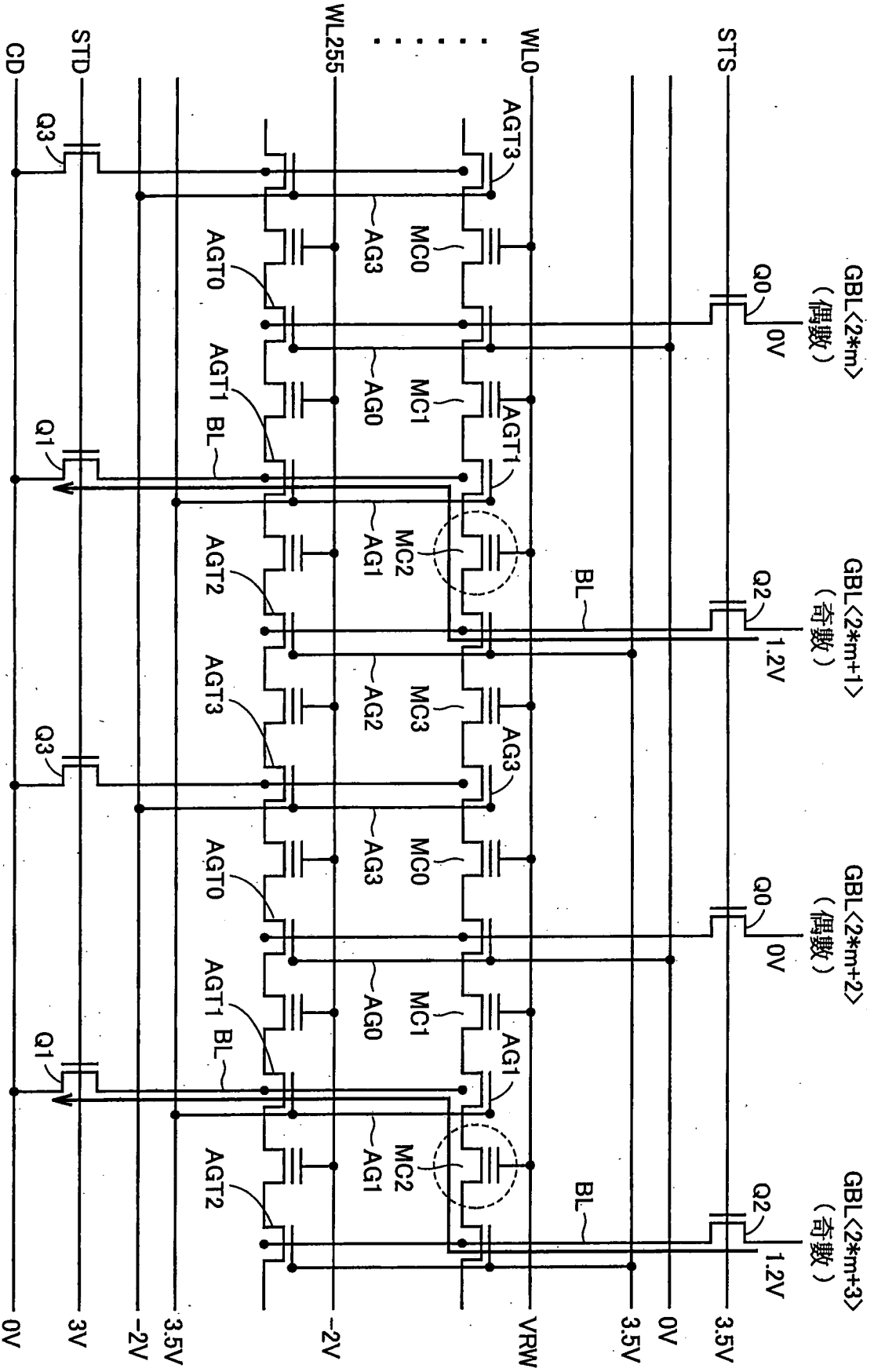
第31C圖



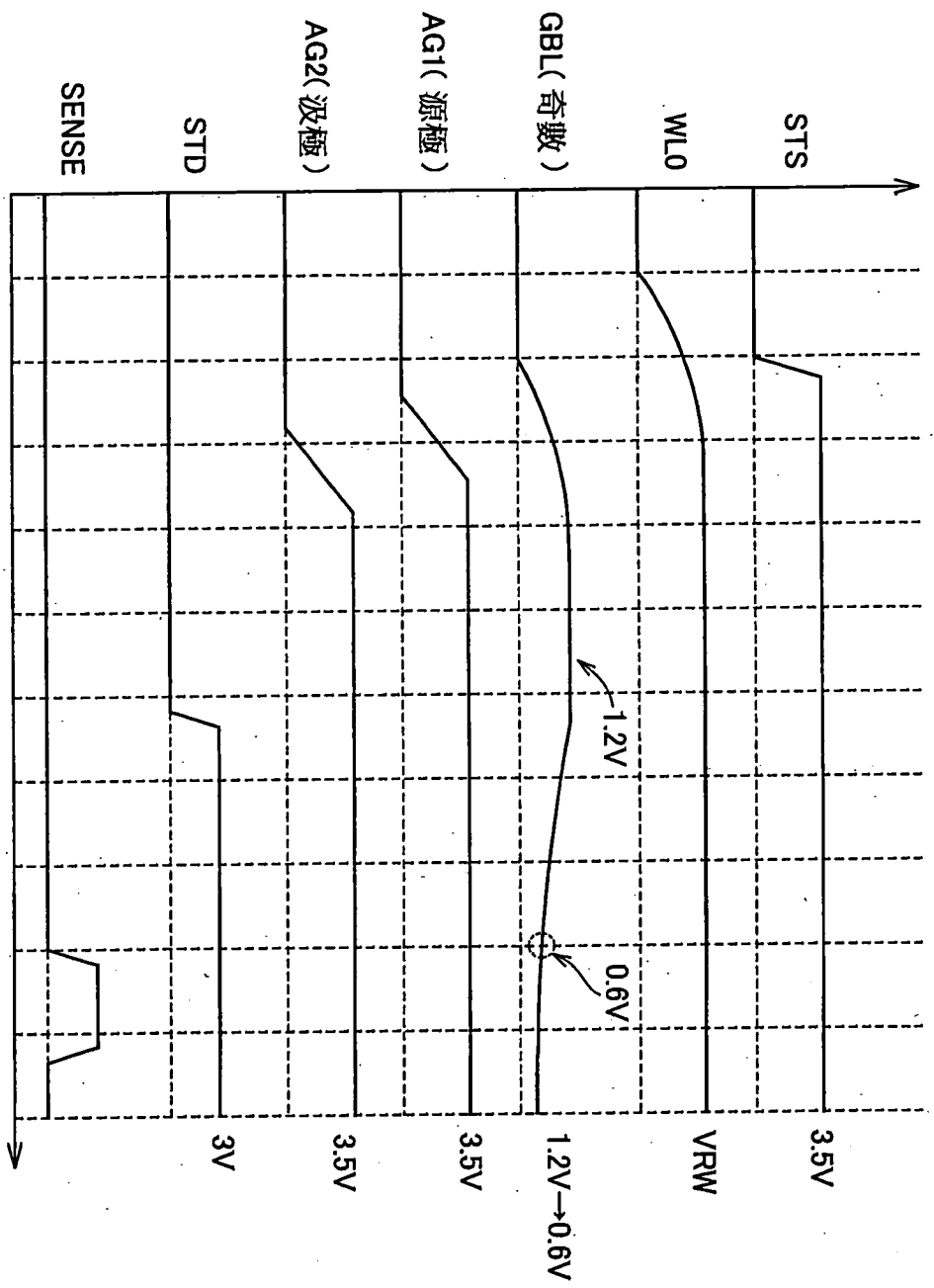
第32圖



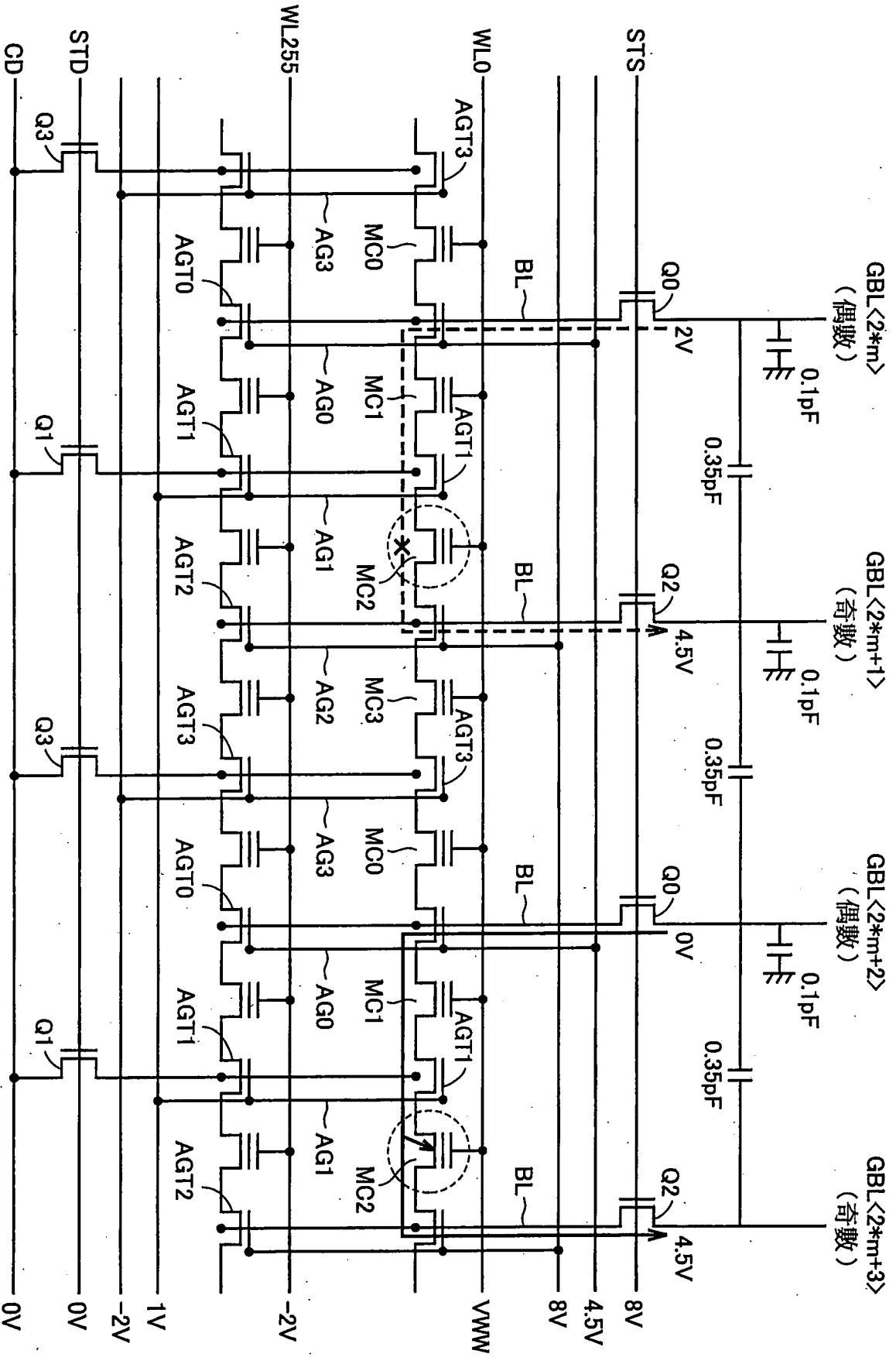
第33圖



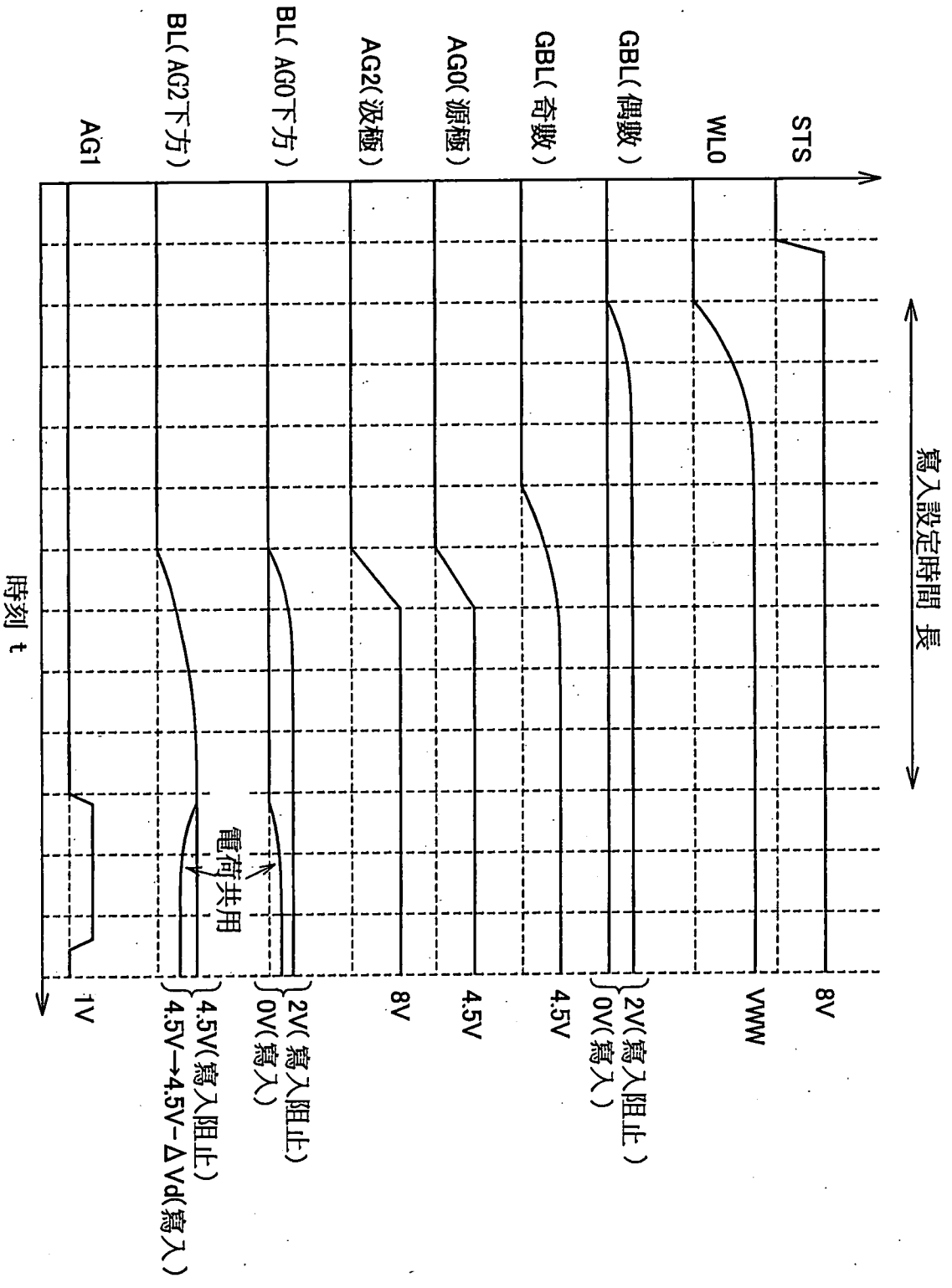
第34圖



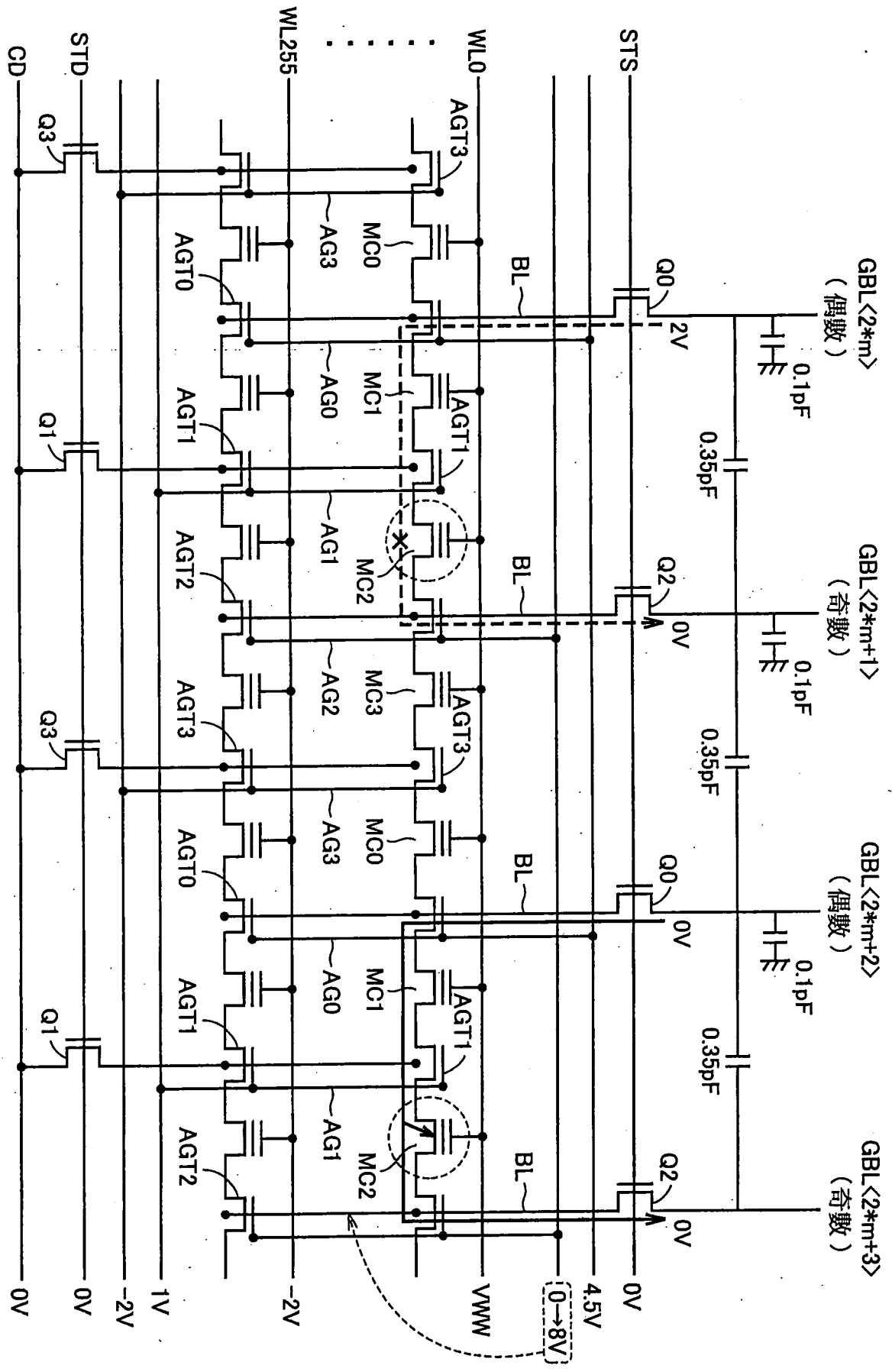
第35圖



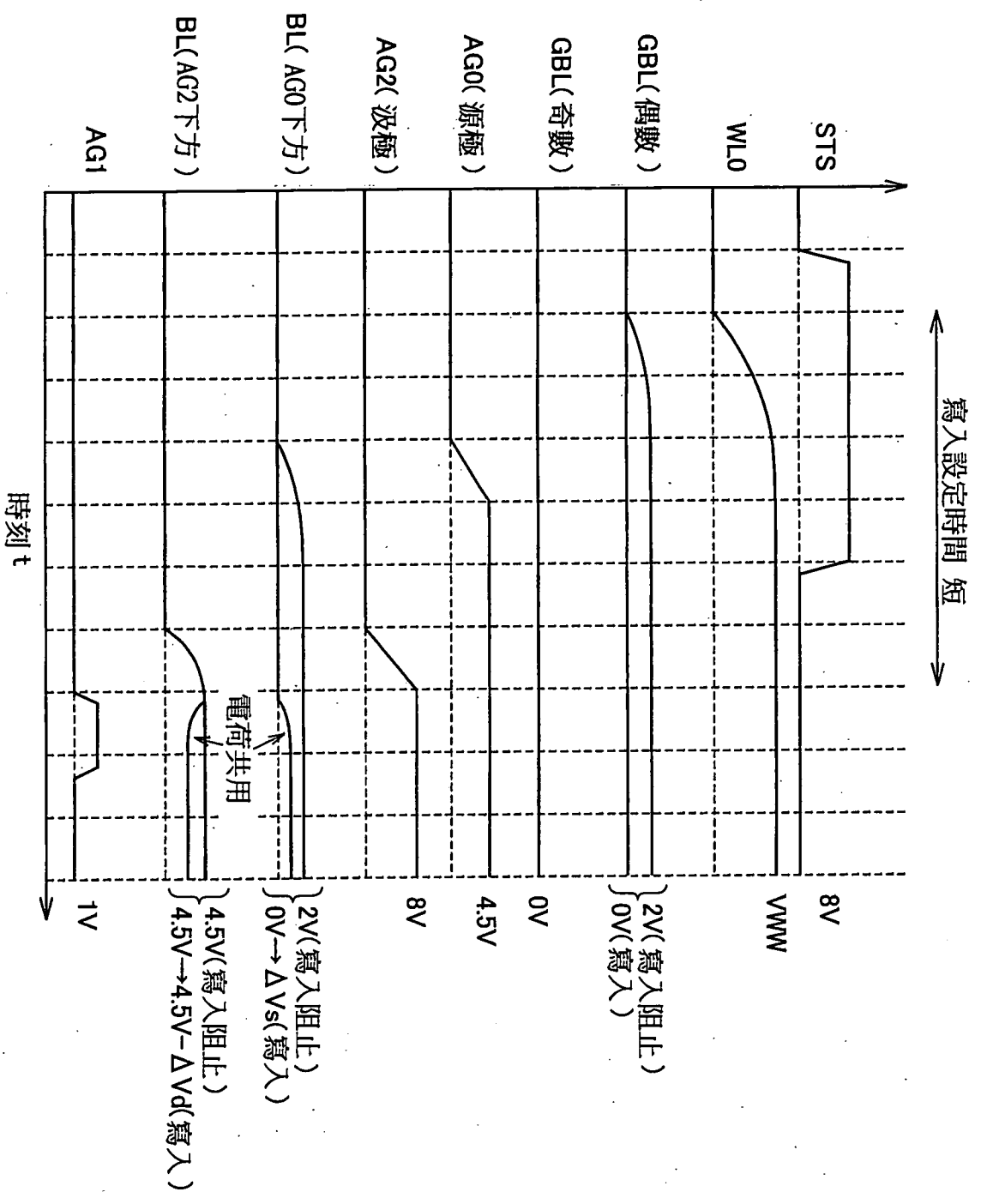
第36圖



第37圖



第38圖



第39圖