

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 27/108

(11) 공개번호 특2000-0045274
(43) 공개일자 2000년07월 15일

(21) 출원번호	10-1998-0061832
(22) 출원일자	1998년12월30일
(71) 출원인	현대전자산업 주식회사 김영환
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 곽노열 경기도 이천시 대월면 사동리 441-1 현대전자사원아파트 104-1501 김경민 경기도 안양시 만안구 안양5동 708 현대아파트 101-1112
(74) 대리인	최흥순

심사청구 : 없음

(54) 캐패시터 제조 방법

요약

본 발명은 캐패시터 제조 방법을 개시한다. 개시된 본 발명은, 스토리지 노드 전극인 폴리실리콘(11)상에 장벽 금속막인 제 1 티타늄질화막(21)을 증착한다. 제 1 티타늄질화막(21)과 폴리실리콘(11) 계면에 고에너지로 산소 이온을 주입하여, 확산 방지막인 제 1 티타늄질산화막(31)을 형성한다. 이어서, 제 1 티타늄질화막(21)상에 저에너지로 산소 이온을 다시 주입하여, 확산 방지막인 제 2 티타늄질산화막(32)을 형성한다. 제 2 티타늄질산화막(32)상에 유전체인 탄탈륨산화막(40)을 증착하고, 그 상부에 장벽 금속막인 제 2 티타늄질화막(22)을 형성한다. 플레이트 전극인 폴리실리콘을 제 2 티타늄질화막상(22)에 형성한다.

대표도

도7

명세서

도면의 간단한 설명

도 1 및 도 2는 종래의 2가지 캐패시터 구조를 나타낸 단면도

도 3 내지 도 7은 본 발명에 따른 캐패시터 제조 방법을 순차적으로 나타낸 단면도

- 도면의 주요 부분에 대한 부호의 설명 -

11 ; 스토리지 노드 전극	21 ; 제 1 장벽 금속막
22 ; 제 2 장벽 금속막	31 ; 제 1 확산 방지막
32 ; 제 2 확산 방지막	40 ; 탄탈륨산화막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 캐패시터 제조 방법에 관한 것으로서, 보다 구체적으로는 탄탈륨산화막(Ta_2O_5)을 유전체로 갖는 캐패시터를 제조하는 방법에 관한 것이다.

최근 반도체 제조 기술의 발달과 더불어 메모리 소자의 수요가 급증함에 따라 좁은 면적에 높은 캐패시턴스를 요구하게 되었다.

이러한 디램의 캐패시터 용량을 극대화하기 위한 방법으로는, 전극간의 유전체를 고유전율을 갖는 절연체를 이용하거나, 전극의 면적을 확대시키는 방법 등이 제안되었다. 이에 반도체 메모리 소자의 고집적화에 대한 고용량을 제공하기 위하여 유전체로서 ONO(Oxide-Nitride-Oxide) 또는 Ta_2O_5 등이 이용되고, 전극 면적을 확장시키는 방법으로는 플래너 캐패시터 셀에서 스택형 또는 트렌치 형의 3차원적 구조가 제안되었다.

한편, 주지된 사실대로 캐패시터의 정전용량(capacitance)은 유전체의 유전율과 면적에 비례하고, 두께에 반비례한다. 그런데, 소자가 고집적화되어 감에 따라 면적을 확장시키는데는 한계가 있고, 따라서 두께를 줄이는 방안이 다각적으로 시도되고 있다.

도 1은 탄탈륨산화막을 이용한 기존의 캐패시터 구조를 나타낸 것으로서, 도시된 바와 같이, 스토리지 노드 전극인 폴리실리콘(1), 유전체인 탄탈륨산화막(3), 및 플레이트 전극인 폴리실리콘(2)이 순차적으로 적층된 구조로 이루어져 있다.

그런데, 탄탈륨산화막(3)과 각 폴리실리콘(1,2)간의 밴드갭(bandgap)은 자체의 물성으로 인해서 그다지 크지 않다. 이로 인하여, 상하 폴리실리콘(1,2)간에 전자가 이동될 가능성이 매우 높아서, 누설 전류가 발생하는 문제점이 있다.

이를 방지하기 위해서, 종래에는 금속 장벽막을 사용하였고, 도 2에 그 구조가 도시되어 있다. 도시된 바와 같이, 하부 폴리실리콘(1)에 금속 장벽막인 티타늄질화막(4)을 먼저 형성하고, 티타늄질화막(4)상에 탄탈륨산화막(3)을 형성하였다. 티타늄질화막(4)이 밴드갭을 크게 하므로써, 누설 전류가 발생하는 것을 억제하였다.

발명이 이루고자 하는 기술적 과제

그러나, 티타늄질화막을 사용해서 폴리실리콘간의 전자 이동을 억제시키는 것은 어느 정도 효과가 있지만, 다음과 같은 새로운 문제점이 유발되었다. 즉, 티타늄질화막상에 탄탈륨산화막을 증착할 때, 탄탈륨산화막의 탄탈륨 원자나 산소 원자가 티타늄질화막으로 확산되어서, 그 계면에서 반응을 일으키는 문제점이 유발되었다. 이 계면 반응은 누설 전류를 유발시킨다.

따라서, 본 발명은 종래의 캐패시터 제조 방법이 안고 있는 문제점을 해소하기 위해 안출된 것으로서, 티타늄질화막과 탄탈륨산화막간에 계면 반응이 일어나는 것을 억제하여 누설 전류를 방지할 수 있는 캐패시터 제조 방법을 제공하는데 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여, 본 발명에 따른 캐패시터 제조 방법은 다음과 같다.

스토리지 노드 전극인 폴리실리콘상에 장벽 금속막인 제 1 티타늄질화막을 증착한다. 제 1 티타늄질화막과 폴리실리콘 계면에 고에너지로 산소 이온을 주입하여, 확산 방지막인 제 1 티타늄질산화막을 형성한다. 이어서, 제 1 티타늄질화막상에 저에너지로 산소 이온을 다시 주입하여, 확산 방지막인 제 2 티타늄질산화막을 형성한다. 제 2 티타늄질화막상에 유전체인 탄탈륨산화막을 증착하고, 그 상부에 장벽 금속막인 제 2 티타늄질화막을 형성한다. 플레이트 전극인 폴리실리콘을 제 2 티타늄질화막상에 형성한다.

상기된 본 발명의 구성에 의하면, 티타늄질화막 상하에 탄탈륨산화막의 원자들이 확산되는 것을 방지하는 티타늄질산화막이 형성되므로써, 탄탈륨산화막이 증착되면서 폴리실리콘과 티타늄질화막으로 탄탈륨 및 산소 원자가 확산되어 누설 전류가 발생하는 것이 방지된다.

이하, 본 발명의 바람직한 실시예를 첨부도면에 의거하여 설명한다.

도 3 내지 도 7은 본 발명에 따른 캐패시터 제조 방법을 순차적으로 나타낸 도면이다.

먼저, 도 3에 도시된 바와 같이, 폴리실리콘인 스토리지 노드 전극(11) 표면을 HF나 B0E(Buffer Oxide Etchant)로 식각하여, 표면에 증착된 자연 산화막을 먼저 제거한다. 이어서, $TiCl_4$ 가스를 400 내지 750°C 온도, 0.1 내지 2 Torr의 압력 조건에서 열분해하여 티타늄 질화막(TiN)인 제 1 장벽 금속막(21)을 스토리지 노드 전극(11) 표면에 증착한다.

그런 다음, 도 4에 도시된 바와 같이, 스토리지 노드 전극(11)과 제 1 장벽 금속막(21)의 계면에 산소 원자를 고에너지로 이온 주입하여, 티타늄질산화막인 제 1 확산 방지막(31)을 형성한다. 이때, 산소 원자는 5 내지 10 keV의 에너지로 1×10^{16} 내지 1×10^{19} ions/cm² 정도의 양으로 주입한다.

다시, 저에너지로 산소 원자를 제 1 장벽 금속막(21)의 표면에 이온 주입하여, 도 5에 도시된 바와 같이 티타늄질산화막인 제 2 확산 방지막(32)을 형성한다. 이때의 산소 원자는 고에너지 주입 조건보다 낮은 에너지인 0.5 내지 5 keV의 에너지로 1×10^{16} 내지 1×10^{19} ions/cm² 정도의 양으로 주입한다.

이어서, 도 6과 같이 제 2 확산 방지막(32)상에 유전체인 탄탈륨산화막(40)을 350 내지 450°C의 온도, 0.2 내지 2 Torr의 압력으로 증착한다. 그런 다음, 결과물을 300 내지 500°C의 온도에서 N₂O 가스를 이용한 플라즈마로 어닐링하고, 이어서 750 내지 900°C의 온도에서 급속 열산화처리(Rapid Thermal Oxydation)한다.

마지막으로, 도 7에 도시된 바와 같이, 탄탈륨산화막(40)상에 400 내지 750°C의 온도에서 티타늄질화막인 제 2 확산 방지막(22)을 증착하고, 플레이트 전극인 폴리실리콘(미도시)을 제 2 확산 방지층(22)에 형성하면, 본 발명에 따른 캐패시터가 완성된다.

발명의 효과

이상에서 설명한 바와 같이 본 발명에 의하면, 장벽 금속막인 티타늄질화막 상하에 티타늄질산화막이 이온 주입되어 형성되므로써, 유전체인 탄탈륨산화막을 증착할 때 그의 산소 및 탄탈륨 원자가 티타늄질화막으로 확산되는 것이 티타늄질산화막에 의해 방지된다. 따라서, 캐패시터에서 누설 전류가 발생하는 것이 억제된다.

이상에서는 본 발명의 바람직한 실시예에 대하여 도시하고 또한 설명하였으나, 본 발명은 상기한 실시예에 한정되지 않고, 이하 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

(57) 청구의 범위

청구항 1

스토리지 노드 전극상에 제 1 장벽 금속막을 증착하는 단계;

상기 제 1 장벽 금속막과 스토리지 노드 전극 계면에 산소 원자를 고에너지로 이온 주입하여, 상기 계면에 제 1 확산 방지막을 형성하는 단계;

상기 제 1 장벽 금속막 표면에 산소 원자를 저에너지로 이온 주입하여, 상기 제 1 장벽 금속막 표면에 제 2 확산 방지막을 형성하는 단계;

상기 제 2 확산 방지막 표면에 유전체인 탄탈륨산화막을 증착하는 단계;

상기 탄탈륨 산화막상에 제 2 장벽 금속막을 증착하는 단계; 및

상기 제 2 장벽 금속막상에 플레이트 전극을 증착하는 단계를 포함하여,

상기 탄탈륨산화막 증착시, 그의 산소 및 탄탈륨 원자가 제 1 장벽 금속막과 스토리지 노드 전극으로 확산되는 것이 상기 제 1 및 제 2 확산 방지막에 의해 방지되는 것을 특징으로 하는 캐패시터 제조 방법.

청구항 2

제 1 항에 있어서, 상기 제 1 및 제 2 장벽 금속막은 티타늄질화막이고, 상기 제 1 및 제 2 확산 방지막은 티타늄질산화막인 것을 특징으로 하는 캐패시터 제조 방법.

청구항 3

제 2 항에 있어서, 상기 제 1 확산 방지막은 5 내지 10 keV의 에너지를 갖는 산소 원자를 1×10^{16} 내지 1×10^{19} ions/cm²의 양으로 주입하여 형성하는 것을 특징으로 하는 캐패시터 제조 방법.

청구항 4

제 2 항에 있어서, 상기 제 2 확산 방지막은 0.5 내지 5 keV의 에너지를 갖는 산소 원자를 1×10^{16} 내지 1×10^{19} ions/cm²의 양으로 주입하여 형성하는 것을 특징으로 하는 캐패시터 제조 방법.

청구항 5

제 2 항에 있어서, 상기 제 1 및 제 2 장벽 금속막은 TiCl₄ 가스를 400 내지 750℃ 온도, 0.1 내지 2 Torr의 압력 조건하에서 증착하는 것을 특징으로 하는 캐패시터 제조 방법.

청구항 6

제 1 항에 있어서, 상기 탄탈륨산화막은 350 내지 450℃의 온도, 0.2 내지 2 Torr의 압력 조건으로 증착하는 것을 특징으로 하는 캐패시터 제조 방법.

청구항 7

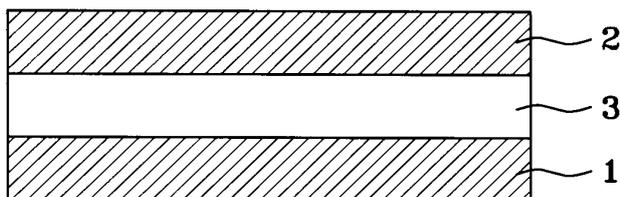
제 1 항에 있어서, 상기 탄탈륨산화막을 증착한 후, 결과물 전체를 300 내지 500℃의 온도에서 N₂O 가스를 이용한 플라즈마로 어닐링하는 것을 특징으로 하는 캐패시터 제조 방법.

청구항 8

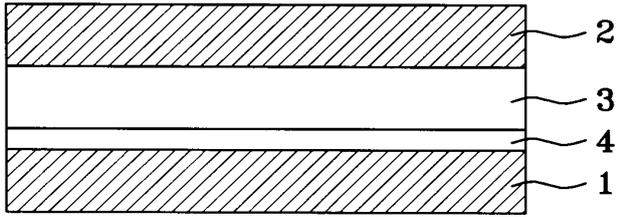
제 7 항에 있어서, 상기 어닐링 공정 후에, 결과물 전체를 750 내지 900℃의 온도에서 급속 열산화처리하는 것을 특징으로 하는 캐패시터 제조 방법.

도면

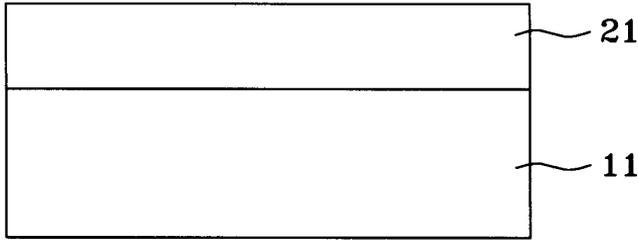
도면1



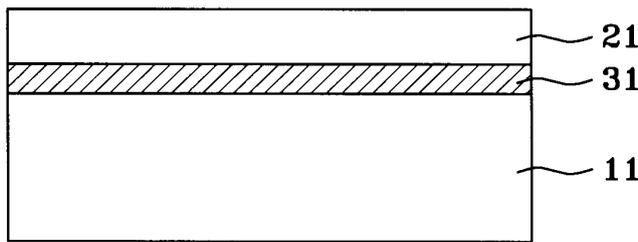
도면2



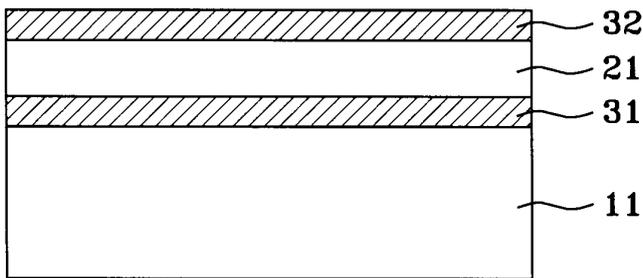
도면3



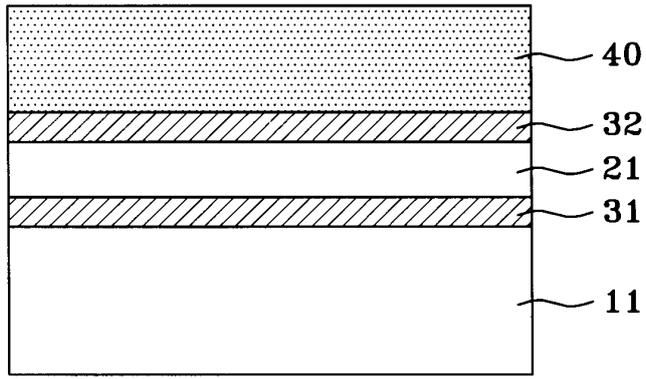
도면4



도면5



도면6



도면7

