

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-272577

(P2009-272577A)

(43) 公開日 平成21年11月19日(2009.11.19)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 2 7 G	2 H 0 9 2
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 6 T	3 K 1 0 7
HO 1 L 21/20 (2006.01)	HO 1 L 29/78 6 1 7 K	5 C 0 9 4
GO 2 F 1/1368 (2006.01)	HO 1 L 29/78 6 1 2 D	5 F 1 1 0
GO 9 F 9/30 (2006.01)	HO 1 L 21/20	5 F 1 5 2

審査請求 有 請求項の数 6 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2008-124197 (P2008-124197)  
 (22) 出願日 平成20年5月12日 (2008.5.12)

(71) 出願人 000002185  
 ソニー株式会社  
 東京都港区港南1丁目7番1号  
 (74) 代理人 100086298  
 弁理士 船橋 國則  
 (72) 発明者 吉村 裕介  
 東京都港区港南1丁目7番1号 ソニー株式会社内  
 Fターム(参考) 2H092 JA26 JA42 JA44 JA47 MA30  
 NA24  
 3K107 AA01 BB01 CC11 CC33 EE03  
 FF15  
 5C094 AA03 AA25 AA53 AA55 BA03  
 BA27 DA13 DB01 FB14 JA08

最終頁に続く

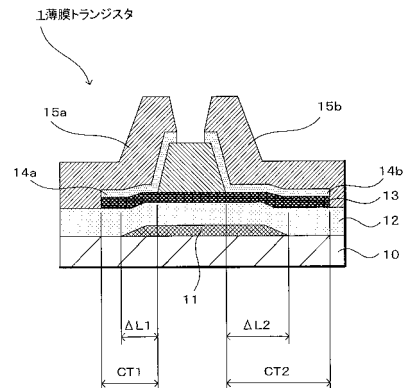
(54) 【発明の名称】 薄膜トランジスタ、薄膜トランジスタの製造方法および表示装置

(57) 【要約】

【課題】 結晶化半導体層をチャネル領域に用いた薄膜トランジスタにおいて、トランジスタ特性の不均一性を低減すること。

【解決手段】 本発明は、結晶化半導体層 1 3 におけるドレイン電極 1 5 b と接する端部からゲート電極 1 1 のドレイン電極 1 5 a 側の端部と対応する位置までの距離を L 1、結晶化半導体層 1 3 におけるソース電極 1 5 b と接する端部からゲート電極 1 1 のソース電極 1 5 b 側の端部と対応する位置までの距離を L 2、ドレイン電極 1 5 a 側の不純物ドーブ層 1 4 a における結晶化半導体層 1 3 と接する長さをドレイン側コンタクト長 C T 1、ソース電極 1 5 b 側の不純物ドーブ層 1 4 b における結晶化半導体層 1 3 と接する長さをソース側コンタクト長 C T 2 とした場合、L 2 が L 1 より長く、ソース側コンタクト長 C T 2 がドレイン側コンタクト長 C T 1 より長い薄膜トランジスタ 1 である。

【選択図】 図 1



## 【特許請求の範囲】

## 【請求項 1】

ゲート電極と、

前記ゲート電極上のゲート絶縁膜を介して形成される結晶化半導体層と、

前記結晶化半導体層の両端側に設けられ、前記結晶化半導体層と接する不純物ドーブ層を介して設けられるドレイン電極およびソース電極とを有し、

前記結晶化半導体層における前記ドレイン電極と接する端部から前記ゲート電極の前記ドレイン電極側の端部と対応する位置までの距離をドレイン側  $L$ 、前記結晶化半導体層における前記ソース電極と接する端部から前記ゲート電極の前記ソース電極側の端部と対応する位置までの距離をソース側  $L$ 、前記ドレイン電極側の不純物ドーブ層における前記結晶化半導体層と接する長さをドレイン側コンタクト長、前記ソース電極側の不純物ドーブ層における前記結晶化半導体層と接する長さをソース側コンタクト長とした場合、

前記ソース側  $L$  は前記ドレイン側  $L$  より長く、前記ソース側コンタクト長は前記ドレイン側コンタクト長より長い

薄膜トランジスタ。

## 【請求項 2】

前記ソース側  $L$  は、 $2 \mu\text{m}$  以上設けられている

請求項 1 記載の薄膜トランジスタ。

## 【請求項 3】

前記ソース側コンタクト長は、 $5 \mu\text{m}$  以上設けられている

請求項 1 記載の薄膜トランジスタ。

## 【請求項 4】

基板上にゲート電極を形成する工程と、

少なくとも前記ゲート電極を覆うゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に非晶質半導体層を形成し、当該非晶質半導体層にレーザ光を照射して結晶化半導体層を形成する工程と、

前記結晶化半導体層の両端側に不純物ドーブ層を介してドレイン電極およびソース電極を形成する工程とを有し、

前記結晶化半導体層における前記ドレイン電極と接する端部から前記ゲート電極の前記ドレイン電極側の端部と対応する位置までの距離をドレイン側  $L$ 、前記結晶化半導体層における前記ソース電極と接する端部から前記ゲート電極の前記ソース電極側の端部と対応する位置までの距離をソース側  $L$ 、前記ドレイン電極側の不純物ドーブ層における前記結晶化半導体層と接する長さをドレイン側コンタクト長、前記ソース電極側の不純物ドーブ層における前記結晶化半導体層と接する長さをソース側コンタクト長とした場合、

前記ソース側  $L$  を前記ドレイン側  $L$  より長く形成し、

前記ソース側コンタクト長を前記ドレイン側コンタクト長より長く形成する

薄膜トランジスタの製造方法。

## 【請求項 5】

前記非晶質半導体層に連続のレーザ光を照射して前記結晶化半導体層を形成する

請求項 4 記載の薄膜トランジスタの製造方法。

## 【請求項 6】

複数の画素によって構成される表示領域と、

前記表示領域の各画素を駆動する薄膜トランジスタとを有し、

前記薄膜トランジスタが、

ゲート電極と、

前記ゲート電極上のゲート絶縁膜を介して形成される結晶化半導体層と、

前記結晶化半導体層の両端側に設けられ、前記結晶化半導体層と接する不純物ドーブ層を介して設けられるドレイン電極およびソース電極とを有し、

前記結晶化半導体層における前記ドレイン電極と接する端部から前記ゲート電極の前記ドレイン電極側の端部と対応する位置までの距離をドレイン側  $L$ 、前記結晶化半導体層

10

20

30

40

50

における前記ソース電極と接する端部から前記ゲート電極の前記ソース電極側の端部と対応する位置までの距離をソース側 L、前記ドレイン電極側の不純物ドーブ層における前記結晶化半導体層と接する長さをドレイン側コンタクト長、前記ソース電極側の不純物ドーブ層における前記結晶化半導体層と接する長さをソース側コンタクト長とした場合、前記ソース側 Lは前記ドレイン側 Lより長く、前記ソース側コンタクト長は前記ドレイン側コンタクト長より長い

表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ、薄膜トランジスタの製造方法および表示装置に関する。

【背景技術】

【0002】

近年、フラットパネルディスプレイの1つとして注目されている有機EL (Electro-Luminescence) ディ스플레이は、有機材料に電流を流したときの発光現象を利用しており、自発光であるため高い色再現性・高コントラスト・高速応答性・薄型等表示装置として大きな可能性を秘めている。

【0003】

有機ELディスプレイの駆動方式のうち、薄膜トランジスタを画素内に持ったアクティブマトリックス方式は高精細大画面化においてパッシブマトリックス方式よりも優れており、有機ELディスプレイに必要な不可欠な技術である。

【0004】

ここで、アクティブマトリックス型の有機ELディスプレイを構成する薄膜トランジスタとしては、少なくとも画素の明暗を制御するスイッチングトランジスタと有機EL素子の発光を制御する駆動トランジスタとが必要である。そのうちの駆動トランジスタはトランジスタを流れる電流量がそのまま輝度に反映されるため、良好なON特性が必要であると同時に、発光期間中トランジスタに電圧を印加し続ける必要があるため高い信頼性が必要である。

【0005】

この高いON特性と高信頼性を実現するため、結晶化したシリコンを用いるプロセスの導入が進んでいる。一般的な結晶シリコンプロセスとしては、既に液晶ディスプレイにおいて導入されているエキシマレーザを用いた多結晶シリコンプロセスが広く知られている(例えば、特許文献1参照。 )。

【0006】

【特許文献1】特開平10-242052号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかし、エキシマレーザはガスレーザを用いたパルスレーザであり、ライン状のレーザ光を長軸と垂直な方向にずらしながら照射し、アモルファスシリコンを溶融する。パルスレーザであるため、パルス間の強度バラツキがそのまま結晶化のバラツキに結びつき、引いては特性のバラツキとなる。このような特性差が有機ELディスプレイの場合はそのまま輝度差となり、ムラとして視認される。これについては、照射時のオーバーラップ量等の条件で特性バラツキの抑制は行えるが、根本的な解決は困難である。

【0008】

一方で、固体レーザを用いた連続発振のレーザ光をスキャンさせることによりアモルファスシリコンを結晶化方法も開発されている。この方法は、連続した照射となるためにエキシマレーザで問題となるパルス間バラツキによる特性ムラがでないという利点があり、開発が進められている。

【0009】

10

20

30

40

50

しかしながら、このようにレーザをスキャン照射する場合は、スキャン速度がシリコンまたは金属の熱伝導に対して非常に遅いため、レーザがゲート電極端に到達したときに急激にゲート電極の金属に熱を奪われ、ゲート電極端から距離が短い部分に関して十分な結晶性が得られない。一方で、ゲート電極端から十分な距離が確保できている領域においては、ゲート電極に充分熱が蓄積され、結晶性は良好になる。結晶性の悪い領域がチャネル領域にかかる場合はもちろんであるが、かからない場合でもソース電極とのコンタクトの悪化による特性劣化と特性差が生じてしまう。

#### 【0010】

本発明は、結晶化半導体層をチャネル領域に用いた薄膜トランジスタにおいて、トランジスタ特性の不均一性を低減することを目的とする。

10

#### 【課題を解決するための手段】

#### 【0011】

本発明は、ゲート電極と、ゲート電極上のゲート絶縁膜を介して形成される結晶化半導体層と、結晶化半導体層の両端側に設けられ、結晶化半導体層と接する不純物ドーブ層を介して設けられるドレイン電極およびソース電極とを有し、結晶化半導体層におけるドレイン電極と接する端部からゲート電極のドレイン電極側の端部と対応する位置までの距離をドレイン側  $L_1$ 、結晶化半導体層におけるソース電極と接する端部からゲート電極のソース電極側の端部と対応する位置までの距離をソース側  $L_2$ 、ドレイン電極側の不純物ドーブ層における結晶化半導体層と接する長さをドレイン側コンタクト長、ソース電極側の不純物ドーブ層における結晶化半導体層と接する長さをソース側コンタクト長とした場合、ソース側  $L_2$  がドレイン側  $L_1$  より長く、ソース側コンタクト長がドレイン側コンタクト長より長い薄膜トランジスタである。

20

#### 【0012】

このような本発明では、薄膜トランジスタにおいて、ソース側  $L_2$  をドレイン側  $L_1$  より長く、ソース側コンタクト長をドレイン側コンタクト長より長く設けることで、ソース側ゲート電極端におけるチャネル領域の結晶性の悪化の影響を軽減できるようになる。

#### 【0013】

また、本発明は、基板上にゲート電極を形成する工程と、少なくとも前記ゲート電極を覆うゲート絶縁膜を形成する工程と、ゲート絶縁膜上に非晶質半導体層を形成し、当該非晶質半導体層にレーザ光を照射して結晶化半導体層を形成する工程と、結晶化半導体層の両端側に不純物ドーブ層を介してドレイン電極およびソース電極を形成する工程とを有し、結晶化半導体層におけるドレイン電極と接する端部からゲート電極のドレイン電極側の端部と対応する位置までの距離をドレイン側  $L_1$ 、結晶化半導体層におけるソース電極と接する端部からゲート電極のソース電極側の端部と対応する位置までの距離をソース側  $L_2$ 、ドレイン電極側の不純物ドーブ層における結晶化半導体層と接する長さをドレイン側コンタクト長、ソース電極側の不純物ドーブ層における結晶化半導体層と接する長さをソース側コンタクト長とした場合、ソース側  $L_2$  をドレイン側  $L_1$  より長く形成し、ソース側コンタクト長をドレイン側コンタクト長より長く形成する薄膜トランジスタの製造方法である。

30

#### 【0014】

このような本発明では、非晶質半導体層を結晶化半導体層にする薄膜トランジスタの製造方法において、ソース側  $L_2$  をドレイン側  $L_1$  より長く、ソース側コンタクト長をドレイン側コンタクト長より設けることで、ソース側ゲート電極端におけるチャネル領域の結晶性の悪化の影響を軽減できるようになる。

40

#### 【0015】

また、本発明は、複数の画素によって構成される表示領域と、表示領域の各画素を駆動する薄膜トランジスタとを有し、薄膜トランジスタが、ゲート電極と、ゲート電極上のゲート絶縁膜を介して形成される結晶化半導体層と、結晶化半導体層の両端側に設けられ、結晶化半導体層と接する不純物ドーブ層を介して設けられるドレイン電極およびソース電極とを有し、結晶化半導体層におけるドレイン電極と接する端部からゲート電極のドレイ

50

ン電極側の端部と対応する位置までの距離をドレイン側  $L$ 、結晶化半導体層におけるソース電極と接する端部からゲート電極のソース電極側の端部と対応する位置までの距離をソース側  $L$ 、ドレイン電極側の不純物ドーブ層における結晶化半導体層と接する長さをドレイン側コンタクト長、ソース電極側の不純物ドーブ層における結晶化半導体層と接する長さをソース側コンタクト長とした場合、ソース側  $L$  がドレイン側  $L$  より長く、ソース側コンタクト長がドレイン側コンタクト長より長い表示装置である。

【0016】

このような本発明では、表示装置の各画素を駆動する薄膜トランジスタにおいて、ソース側  $L$  をドレイン側  $L$  より長く、ソース側コンタクト長をドレイン側コンタクト長より設けることで、ソース側ゲート電極端におけるチャンネル領域の結晶性の悪化の影響を軽減できるようになる。

10

【発明の効果】

【0017】

本発明によれば、チャンネル領域の結晶化にあたり、ソース側ゲート電極端における結晶性の悪化の影響を軽減できることから、トランジスタ特性のバラツキを抑制することが可能となる。

【発明を実施するための最良の形態】

【0018】

以下、本発明の実施の形態を図に基づき説明する。

【0019】

20

< 薄膜トランジスタの構造 >

図1は、本実施形態の薄膜トランジスタを説明する模式断面図である。本実施形態に係る薄膜トランジスタ1では、レーザスキャン方式でチャンネル領域の結晶化を行う場合に、トランジスタの特性に寄与するソース/ドレインコンタクトの差異を極小化し、トランジスタ特性のバラツキを抑制する点に特徴がある。

【0020】

図1に示すように、本実施形態の薄膜トランジスタ1は、絶縁性の基板10上に形成されるゲート電極11と、ゲート電極11上のゲート絶縁膜12を介して形成される結晶化半導体層13と、結晶化半導体層13の両端側に設けられ、結晶化半導体層13と接する不純物ドーブ層14a、14bを介して設けられるドレイン電極15aおよびソース電極15bとを有している。

30

【0021】

本実施形態の薄膜トランジスタ1では、結晶化半導体層13におけるドレイン電極15aと接する端部からゲート電極11のドレイン電極15a側の端部と対応する位置までの距離を  $L1$ 、結晶化半導体層13におけるソース電極15bと接する端部からゲート電極11のソース電極15b側の端部と対応する位置までの距離を  $L2$ 、ドレイン電極15a側の不純物ドーブ層14aにおける結晶化半導体層13と接する長さをドレイン側コンタクト長  $CT1$ 、ソース電極15b側の不純物ドーブ層14bにおける結晶化半導体層13と接する長さをソース側コンタクト長  $CT2$  とした場合、 $L2$  が  $L1$  より長く、ソース側コンタクト長  $CT2$  がドレイン側コンタクト長  $CT1$  より長く設けられている。

40

【0022】

ここで、 $L2$  としては、後述するように  $2\mu\text{m}$  以上が好ましい。また、ソース側コンタクト長  $CT2$  としては、後述するように  $5\mu\text{m}$  以上が好ましい。

【0023】

このような本実施形態の薄膜トランジスタ1では、 $L2$  を  $L1$  より長く、さらにソース側コンタクト長  $CT2$  をドレイン側コンタクト長  $CT1$  より長く設けることで、ソース側ゲート電極端における結晶化半導体層13の結晶性の悪化、すなわち、レーザ光照射による結晶化半導体層13の結晶性の影響を軽減できるようになり、安定した特性の薄膜トランジスタを構成できるようになる。

【0024】

50

具体的には、本実施形態の薄膜トランジスタ 1 を製造するにあたり、結晶化半導体層 1 3 をレーザ光照射によって結晶化している。このレーザ光照射を行う際に、レーザ光がゲート電極端までくると、レーザ光によって熱せられたシリコンからゲート絶縁膜 1 2 を介してゲート電極 1 1 へと熱が拡散する。これによってシリコンを結晶化すべき熱量が失われ、結晶性の悪化を招く。

#### 【 0 0 2 5 】

さらに、レーザ光が進行した場合、ゲート電極 1 1 は充分熱せられ熱量が飽和しているため、ゲート電極 1 1 への熱の逃げは無くなる。これにより、安定した結晶性が得られるようになる。これらの現象により、ゲート電極端とその他の場所とで結晶性に差ができ、薄膜トランジスタの特性バラツキという問題が発生する。

10

#### 【 0 0 2 6 】

ここで、薄膜トランジスタの ON 特性に大きな影響を及ぼすのはソース側のみであるため、ソース電極 1 5 b 側のゲート電極 1 1 端から結晶化半導体層 1 3 までの距離 (  $L_2$  ) やソース電極 1 5 b 側の結晶化半導体層 1 3 と不純物ドーブ層 1 4 b との接触長である  $CT_2$  を十分に確保することや、ソース電極 1 5 b 側の結晶化半導体層 1 3 と不純物ドーブ層 1 4 b との接触面積を十分に確保することにより結晶性の悪化したゲート電極端の影響を限りなく小さくすることができるようになる。その結果、バラツキの少ないトランジスタ特性を得ることができる。

#### 【 0 0 2 7 】

なお、 $L$  に関しては、大きくすることによりゲート電極 1 1 とソース電極 1 5 b との間の寄生容量  $C_{gs}$  およびゲート電極 1 1 とドレイン電極 1 5 a との間の寄生容量  $C_{gd}$  が増加することになる。この場合、寄生容量に関しては、増加すると駆動電圧の変化をもたらす、輝度差となり、ムラとして視認されるが、後述するように、薄膜トランジスタにおける ON 特性のドレイン側の  $L_1$  に対する依存性は見られないため、ドレイン側の  $L_1$  を製造上作成可能な大きさ (  $1 \mu m$  程度 ) とすることで、寄生容量を小さくする。また、寄生容量として問題となる部分をドレイン部分に接続することにより、寄生容量の問題を抑えつつ、特性バラツキの改善を行うことができる。

20

#### 【 0 0 2 8 】

< 薄膜トランジスタの製造方法 >

図 2 ~ 図 3 は、本実施形態に係る薄膜トランジスタの製造方法を順に説明する模式断面図である。まず、図 2 ( a ) に示すように、絶縁性の基板 1 0 の表面にスパッタ法等によってモリブデンを成膜し、例えばフォトリソグラフィとエッチングとによってゲート電極 1 1 を形成する。

30

#### 【 0 0 2 9 】

続いて、例えばプラズマ CVD ( Chemical Vapor Deposition ) 法により、窒化シリコンと酸化シリコンとの積層から成るゲート絶縁膜 1 2 を形成する。さらに、ゲート絶縁膜 1 2 上にアモルファスシリコン層 1 3 ' およびアモルファスシリコン層 1 3 ' への金属核酸を防止するためのバッファ層としてシリコン酸化膜 2 1 を連続的に成膜する。次に、レーザ光を吸収し熱へと変換するための金属層 ( 熱変換層 ) としてモリブデン 2 2 をスパッタ法により成膜する。

40

#### 【 0 0 3 0 】

次いで、図 2 ( b ) に示すように、固体レーザなどによる連続のレーザ光を、最終的に得る薄膜トランジスタにおける例えばソース領域側からスキャン照射して、アモルファスシリコン層 1 3 ' の結晶化を行う。この結晶化によって結晶化半導体層 1 3 が形成される。

#### 【 0 0 3 1 】

アモルファスシリコン層 1 3 ' の結晶化後は、不要となるモリブデン 2 2 とシリコン酸化膜 2 1 とをエッチングし、図 2 ( c ) に示すように、エッチングストッパ 1 6 となるシリコン窒化膜を例えばプラズマ CVD 法により形成する。

#### 【 0 0 3 2 】

50

エッチングストップパ 16 の形成に際しては、前述のようにソース側の L2 とドレイン側の L1 との関係が  $L2 > L1$  となるように形成する。結晶化半導体層 13 では、エッチングストップパ 16 の直下にチャネル領域が形成され、その両側にソース領域およびドレイン領域が形成される。

【0033】

続いて、図 3 (a) に示すように、エッチングストップパ 16 と周辺の結晶化半導体層 13 の露出部とに渡って、n+アモルファスシリコンから成る不純物ドーブ層 14 を形成する。さらに、不純物ドーブ層 14 の上に金属層 15 を形成する。

【0034】

その後、エッチングストップパ 16 上の金属層 15 および不純物ドーブ層 14 をエッチングすると、図 3 (b) に示すように、エッチングストップ 16 で金属層と不純物ドーブ層とが分割され、ドレイン側の不純物ドーブ層 14 a とドレイン電極 15 a およびソース側の不純物ドーブ層 14 b とソース電極 15 b とが形成される。その後は、全面に図示しないパッシベーション膜となる窒化シリコン膜等を形成して、逆スタガ型トランジスタを完成させる。

10

【0035】

このような製造方法によって、L2 が L1 より長く、ソース側コンタクト長 CT2 がドレイン側コンタクト長 CT1 より長く設けられる薄膜トランジスタ 1 を得ることができる。

【0036】

< 薄膜トランジスタの特性 >

図 4 は、L2 を変えたときのトランジスタ特性の変化を説明する図である。この図では、薄膜トランジスタにおける特性の一つである ON 特性について、横軸をソース側の L2、縦軸を ON 特性として示したもので、ドレイン側の L1 をグラフのパラメータとしている。

20

【0037】

この図から分かるように、薄膜トランジスタにおける ON 特性のドレイン側の L1 に対する依存性は見られない一方、ソース側の L2 に関しては大きくすることにより ON 特性の向上が見られる。特に、ソース側の L2 を  $2 \mu\text{m}$  以上確保すると ON 特性は飽和傾向となり、バラツキを抑えるには充分といえる。

30

【0038】

図 5 は、ドレイン側およびソース側のコンタクト長の変化によるトランジスタの ON 特性の変化を説明する図である。グラフの一方はドレイン側のコンタクト長 CT1 の変化に対応したものの、グラフの他方はソース側のコンタクト長 CT2 の変化に対応したものである。なお、ドレイン側およびソース側の各コンタクト長についてのグラフでは、他方の側のコンタクト長を  $3 \mu\text{m}$  にして測定したものである。いずれの側のコンタクト長であっても長くすると ON 特性の向上が見られるが、ソース側のコンタクト長 CT2 の変化の方が顕著に表れている。

【0039】

図 6 は、ドレイン側のコンタクト長 CT1 の変化による ON 特性の変化と、ソース側のコンタクト長 CT2 の変化による ON 特性の変化との差を示す図である。図 5、図 6 から分かるように、コンタクト長が長くなってくると結晶性悪化による特性バラツキは抑制される方向になり、 $5 \mu\text{m}$  以上取れば充分と言える。

40

【0040】

図 7 は、有機 EL 表示装置向けの画素回路例を示す等価回路図である。駆動トランジスタのドレインには電源が供給され、ソース側から有機 EL に電圧が供給される。駆動トランジスタのゲートには書き込みトランジスタからの信号が供給される。この書き込みトランジスタには画像信号が供給され、書き込みトランジスタのゲートを走査信号で制御することにより、画像信号が書き込みトランジスタから蓄積容量に画像信号が書き込まれ、駆動トランジスタのゲートを制御する。これにより、駆動トランジスタは画像信号に応じた

50

電圧を有機ELに供給することになる。

【0041】

このような画素回路における駆動トランジスタとして本実施形態の薄膜トランジスタを適用する。具体的には、駆動トランジスタにおいてドレイン側の  $L1 = 1 \mu\text{m}$ 、ドレイン側のコンタクト長  $CT1 = 3 \mu\text{m}$  を維持しつつ、有機ELおよび蓄積容量に接続されているソース側の  $L2 = 2 \mu\text{m}$ 、ソース側のコンタクト長  $CT2 = 5 \mu\text{m}$  で設計する。これによりレーザのスキャン方向や画素の配列に依存することなく、良好なトランジスタ特性を達成することができる。

【0042】

<実施形態の効果>

スキャンレーザによって非晶質半導体層を結晶化することで製造する薄膜トランジスタにおいて、ソース側の  $L2$  およびコンタクト長  $CT2$  をドレイン側より大きく取ることによって、ゲート電極端における結晶性の悪化の影響を軽減し、バラツキの少ないトランジスタ特性を得ることが可能となる。したがって、例えば有機EL表示装置における画素回路中の閾値変動回路に関わる容量をドレイン側に配置することによって、寄生容量による有機EL表示装置の表示特性への悪影響を排除しつつ、レーザのスキャン方向や画素配置に依存せずに、良質な表示パネル作製を実現できる。

【0043】

次に、本実施形態に係る表示装置の適用例について説明する。

【0044】

<表示装置>

本実施形態に係る薄膜トランジスタは、図8に示すようにフラット型のモジュール形状の表示装置に適用される。例えば絶縁性の基板上2002に、表示領域、本実施形態の薄膜トランジスタ等からなる画素をマトリクス状に集積形成した画素アレイ部2002aを設ける。この画素アレイ部(画素マトリクス部)2002aを囲むように接着剤20021を配し、ガラス等の対向基板2006を貼り付けて表示モジュールとする。この透明な対向基板2006には必要に応じて、カラーフィルタ、保護膜、遮光膜等を設けてもよい。表示モジュールには、外部から画素アレイ部2002aへの信号等を入出力するためのコネクタとして例えばFPC(フレキシブルプリントサーキット)20023を設けてもよい。

【0045】

本実施形態に係る表示装置は、表示領域として液晶を用いた液晶表示装置や、表示領域として有機ELを用いた有機EL表示装置のほか、表示画像を拡大投影する投射型表示装置など、種々の適用が可能である。

【0046】

<電子機器への適用例>

以上説明した本実施形態に係る表示装置は、図9～図13に示す様々な電子機器、例えば、テレビ、プロジェクション装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置、ビデオカメラなど、電子機器に入力された映像信号、若しくは、電子機器内で生成した映像信号を、画像若しくは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。以下に、本実施形態が適用される電子機器の一例について説明する。

【0047】

図9は、本実施形態が適用されるテレビを示す斜視図である。本適用例に係るテレビは、フロントパネル102やフィルターガラス103等から構成される映像表示画面部101を含み、その映像表示画面部101として本実施形態に係る表示装置を用いることにより作成される。

【0048】

図10は、本実施形態が適用されるデジタルカメラを示す斜視図であり、(A)は表側から見た斜視図、(B)は裏側から見た斜視図である。本適用例に係るデジタルカメラは

10

20

30

40

50



、フラッシュ用の発光部 1 1 1、表示部 1 1 2、メニュースイッチ 1 1 3、シャッターボタン 1 1 4 等を含み、その表示部 1 1 2 として本実施形態に係る表示装置を用いることにより作製される。

【 0 0 4 9 】

図 1 1 は、本実施形態が適用されるノート型パーソナルコンピュータを示す斜視図である。本適用例に係るノート型パーソナルコンピュータは、本体 1 2 1 に、文字等を入力するとき操作されるキーボード 1 2 2、画像を表示する表示部 1 2 3 等を含み、その表示部 1 2 3 として本実施形態に係る表示装置を用いることにより作製される。

【 0 0 5 0 】

図 1 2 は、本実施形態が適用されるビデオカメラを示す斜視図である。本適用例に係るビデオカメラは、本体部 1 3 1、前方を向いた側面に被写体撮影用のレンズ 1 3 2、撮影時のスタート/ストップスイッチ 1 3 3、表示部 1 3 4 等を含み、その表示部 1 3 4 として本実施形態に係る表示装置を用いることにより作製される。

10

【 0 0 5 1 】

図 1 3 は、本実施形態が適用される携帯端末装置、例えば携帯電話機を示す図であり、( A ) は開いた状態での正面図、( B ) はその側面図、( C ) は閉じた状態での正面図、( D ) は左側面図、( E ) は右側面図、( F ) は上面図、( G ) は下面図である。本適用例に係る携帯電話機は、上側筐体 1 4 1、下側筐体 1 4 2、連結部(ここではヒンジ部) 1 4 3、ディスプレイ 1 4 4、サブディスプレイ 1 4 5、ピクチャーライト 1 4 6、カメラ 1 4 7 等を含み、そのディスプレイ 1 4 4 やサブディスプレイ 1 4 5 として本実施形態に係る表示装置を用いることにより作製される。

20

【 0 0 5 2 】

< 表示撮像装置 >

本実施形態に係る表示装置は、以下のような表示撮像装置に適用可能である。また、この表示撮像装置は、先に説明した各種電子機器に適用可能である。図 1 4 には、表示撮像装置の全体構成を表すものである。この表示撮像装置は、I/Oディスプレイパネル 2 0 0 0 と、バックライト 1 5 0 0 と、表示ドライブ回路 1 2 0 0 と、受光ドライブ回路 1 3 0 0 と、画像処理部 1 4 0 0 と、アプリケーションプログラム実行部 1 1 0 0 とを備えている。

【 0 0 5 3 】

I/Oディスプレイパネル 2 0 0 0 は、複数の画素が全面に渡ってマトリクス状に配置された液晶パネルからなり、線順次動作をしながら表示データに基づく所定の図形や文字などの画像を表示する機能(表示機能)を有すると共に、後述するようにこのI/Oディスプレイ 2 0 0 0 に接触または近接する物体を撮像する機能(撮像機能)を有するものである。また、バックライト 1 5 0 0 は、例えば複数の発光ダイオードが配置されてなるI/Oディスプレイパネル 2 0 0 0 の光源であり、I/Oディスプレイ 2 0 0 0 の動作タイミングに同期した所定のタイミングで、高速にオン・オフ動作を行うようになっている。

30

【 0 0 5 4 】

表示ドライブ回路 1 2 0 0 は、I/Oディスプレイパネル 2 0 0 0 において表示データに基づく画像が表示されるように(表示動作を行うように)、このI/Oディスプレイパネル 2 0 0 0 の駆動を行う(線順次動作の駆動を行う)回路である。

40

【 0 0 5 5 】

受光ドライブ回路 1 3 0 0 は、I/Oディスプレイパネル 2 0 0 0 において受光データが得られるように(物体を撮像するように)、このI/Oディスプレイパネル 2 0 0 0 の駆動を行う(線順次動作の駆動を行う)回路である。なお、各画素での受光データは、例えばフレーム単位でフレームメモリ 1 3 0 0 A に蓄積され、撮像画像として画像処理部 1 4 へ出力されるようになっている。

【 0 0 5 6 】

画像処理部 1 4 0 0 は、受光ドライブ回路 1 3 0 0 から出力される撮像画像に基づいて所定の画像処理(演算処理)を行い、I/Oディスプレイ 2 0 0 0 に接触または近接する

50

物体に関する情報（位置座標データ、物体の形状や大きさに関するデータなど）を検出し、取得するものである。なお、この検知する処理の詳細については後述する。

【0057】

アプリケーションプログラム実行部1100は、画像処理部1400による検知結果に基づいて所定のアプリケーションソフトに応じた処理を実行するものであり、例えば検知した物体の位置座標を表示データに含むようにし、I/Oディスプレイパネル2000上に表示させるものなどが挙げられる。なお、このアプリケーションプログラム実行部1100で生成される表示データは表示ドライブ回路1200へ供給されるようになっている。

【0058】

次に、図15を参照してI/Oディスプレイパネル2000の詳細構成例について説明する。このI/Oディスプレイパネル2000は、表示エリア（センサエリア）2100と、表示用Hドライバ2200と、表示用Vドライバ2300と、センサ読み出し用Hドライバ2500と、センサ用Vドライバ2400とを有している。

【0059】

表示エリア（センサエリア）2100は、有機電界発光素子からの光を変調して表示光を出射すると共にこのエリアに接触または近接する物体を撮像する領域であり、発光素子（表示素子）である有機電界発光素子と後述する受光素子（撮像素子）とがそれぞれマトリクス状に配置されている。

【0060】

表示用Hドライバ2200は、表示ドライブ回路1200から供給される表示駆動用の表示信号および制御クロックに基づいて、表示用Vドライバ2300と共に表示エリア2100内の各画素の有機電界発光素子を駆動するものである。

【0061】

センサ読み出し用Hドライバ2500は、センサ用Vドライバ2400と共にセンサエリア2100内の各画素の受光素子を線順次駆動し、受光信号を取得するものである。

【0062】

次に、図16を参照して、表示エリア2100内の各画素とセンサ読み出し用Hドライバ2500との接続関係について説明する。この表示エリア2100では、赤（R）用の画素3100と、緑（G）用の画素3200と、青（B）用の画素3300とが並んで配置されている。

【0063】

各画素の受光センサ3100c, 3200c, 3300cに接続されたコンデンサに蓄積された電荷は、それぞれのバッファアンプ3100f, 3200f, 3300fで増幅され、読み出しスイッチ3100g, 3200g, 3300gがオンになるタイミングで、信号出力用電極を介してセンサ読み出し用Hドライバ2500へ供給される。なお、各信号出力用電極には定電流源4100a, 4100b, 4100cがそれぞれ接続され、センサ読み出し用Hドライバ2500で感度良く受光量に対応した信号が検出されるようになっている。

【図面の簡単な説明】

【0064】

【図1】本実施形態の薄膜トランジスタを説明する模式断面図である。

【図2】本実施形態に係る薄膜トランジスタの製造方法を順に説明する模式断面図（その1）である。

【図3】本実施形態に係る薄膜トランジスタの製造方法を順に説明する模式断面図（その2）である。

【図4】L2を変えたときのトランジスタ特性の変化を説明する図である。

【図5】ドレイン側およびソース側のコンタクト長の変化によるトランジスタのON特性の変化を説明する図である。

【図6】ドレイン側のコンタクト長CT1の変化によるON特性の変化と、ソース側のコ

10

20

30

40

50

ンタクト長CT2の変化によるON特性の変化との差を示す図である。

【図7】有機EL表示装置向けの画素回路例を示す等価回路図である。

【図8】フラット型のモジュール形状の例を示す模式図である。

【図9】本実施形態が適用されるテレビを示す斜視図である。

【図10】本実施形態が適用されるデジタルカメラを示す斜視図である。

【図11】本実施形態が適用されるノート型パーソナルコンピュータを示す斜視図である。

【図12】本実施形態が適用されるビデオカメラを示す斜視図である。

【図13】本実施形態が適用される携帯端末装置、例えば携帯電話機を示す図である。

【図14】表示撮像装置の構成を表すブロック図である。

【図15】I/Oディスプレイパネルの構成例を表すブロック図である。

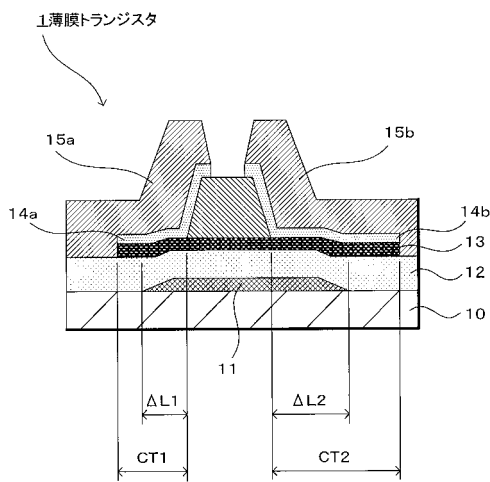
【図16】各画素とセンサ読み出し用Hドライバとの接続関係を説明するための回路図である。

【符号の説明】

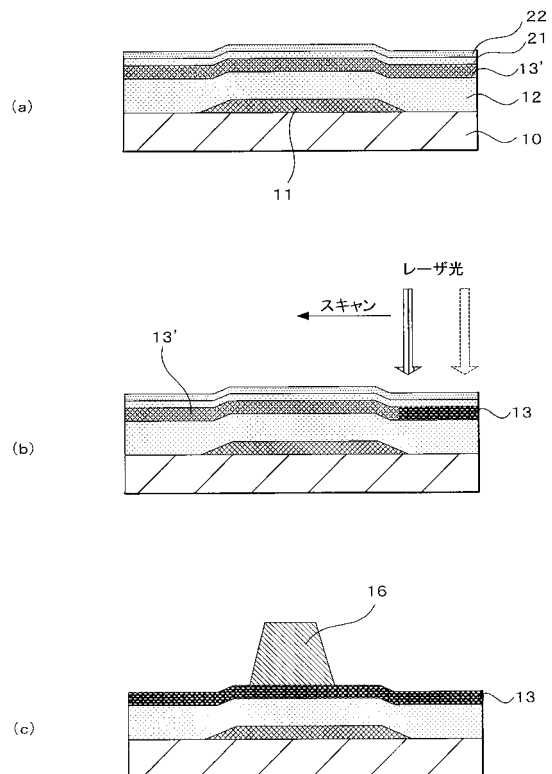
【0065】

1...薄膜トランジスタ、10...基板、11...ゲート電極、12...ゲート絶縁膜、13...結晶化半導体層、14a...ドレイン側の不純物ドーブ層、14b...ソース側の不純物ドーブ層、15a...ドレイン電極、15b...ソース電極

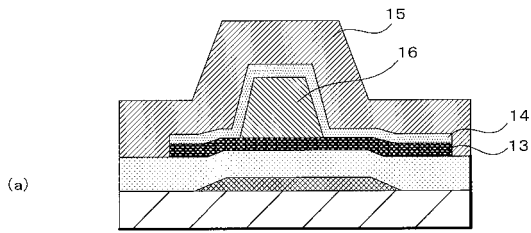
【図1】



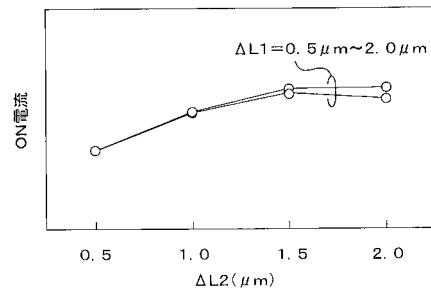
【図2】



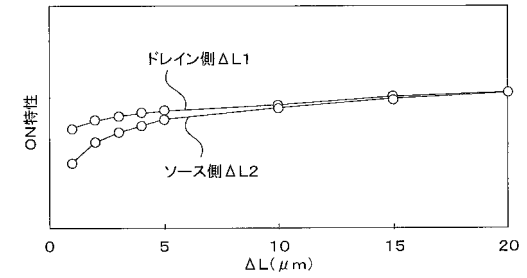
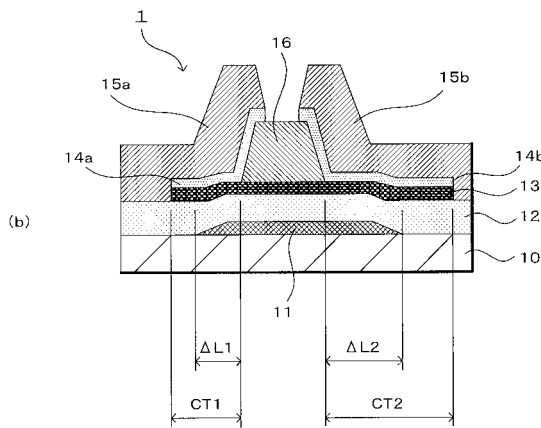
【 図 3 】



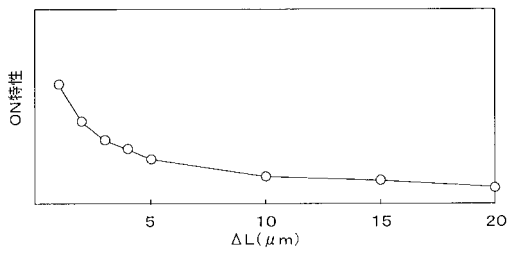
【 図 4 】



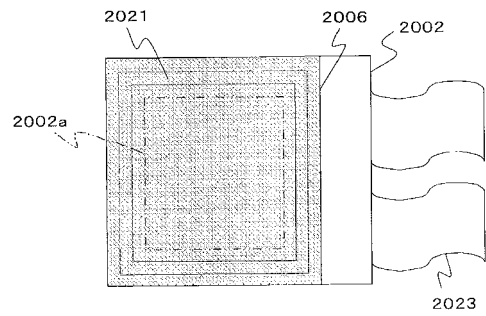
【 図 5 】



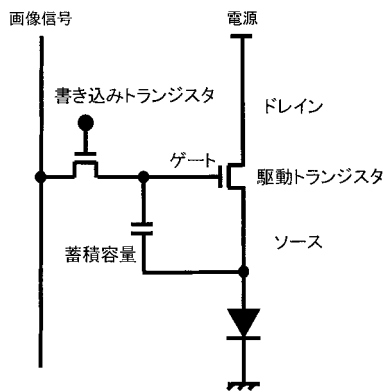
【 図 6 】



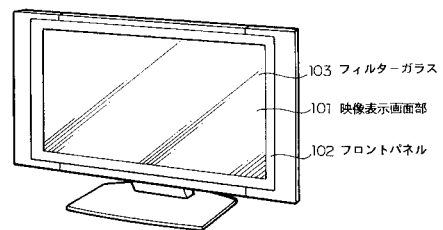
【 図 8 】



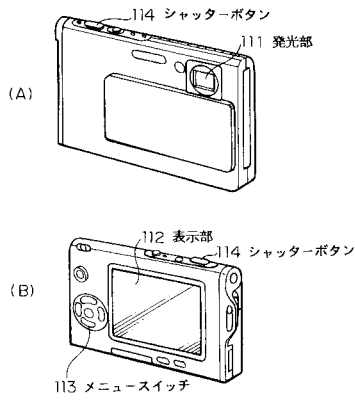
【 図 7 】



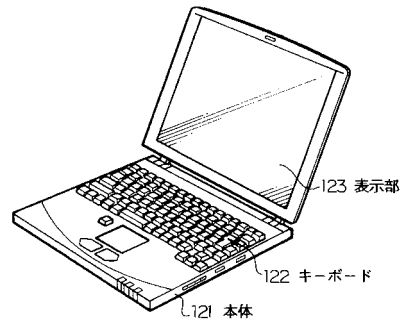
【 図 9 】



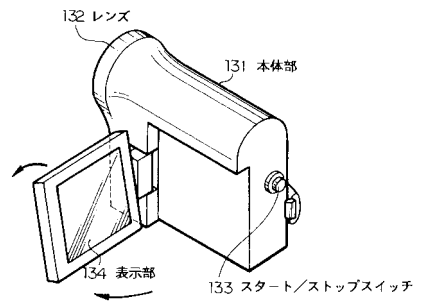
【図10】



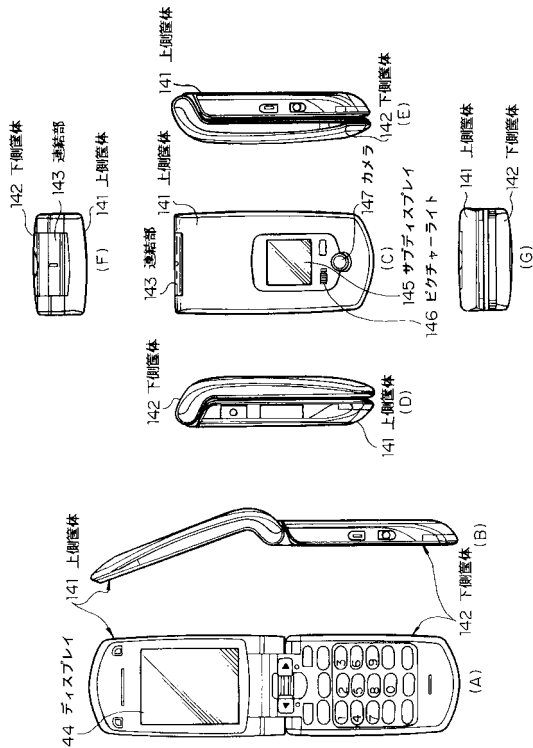
【図11】



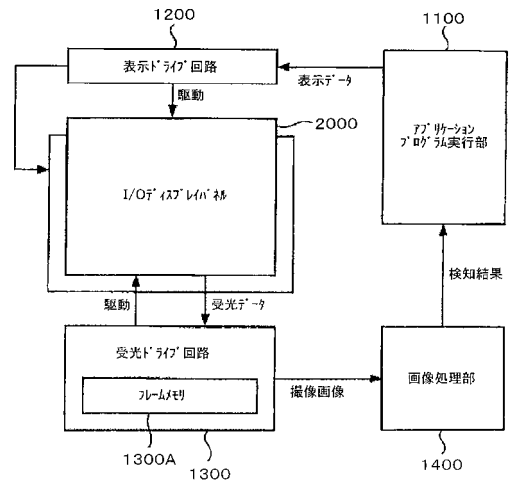
【図12】



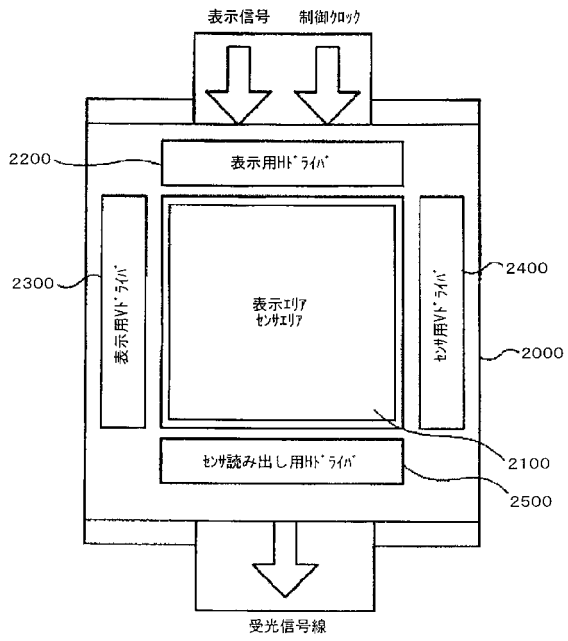
【図13】



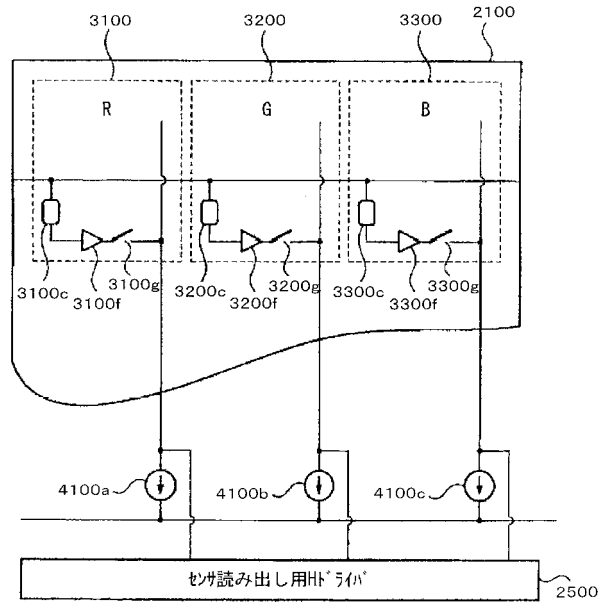
【図14】



【 図 1 5 】



【 図 1 6 】



## フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
<b>H 0 1 L 51/50</b>	<b>(2006.01)</b>	G 0 2 F	1/1368	
		G 0 9 F	9/30	3 3 8
		H 0 5 B	33/14	A
Fターム(参考)	5F110 AA26 BB01 CC07 EE04 EE25 EE44 FF02 FF03 FF09 FF30			
	GG02 GG13 GG45 HK02 HK09 HK16 HK21 HM05 HM12 NN02			
	NN16 NN24 NN35 PP03 PP05 PP06 PP11 QQ09			
	5F152 AA08 BB03 CC09 CD13 CD14 CD17 CD24 CE05 CE14 CF03			
	CF13 CF17 CG09 CG10 CG13 FF05 FG01 FH01			