

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5519558号
(P5519558)

(45) 発行日 平成26年6月11日(2014.6.11)

(24) 登録日 平成26年4月11日(2014.4.11)

(51) Int. Cl. F I
H03F 1/02 (2006.01) H03F 1/02
H03F 3/20 (2006.01) H03F 3/20

請求項の数 17 (全 20 頁)

(21) 出願番号	特願2011-52994 (P2011-52994)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成23年3月10日 (2011.3.10)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2012-191426 (P2012-191426A)	(74) 代理人	100080001 弁理士 筒井 大和
(43) 公開日	平成24年10月4日 (2012.10.4)	(74) 代理人	100113642 弁理士 菅田 篤志
審査請求日	平成25年9月19日 (2013.9.19)	(74) 代理人	100117008 弁理士 筒井 章子
		(74) 代理人	100147050 弁理士 中原 亨
		(74) 代理人	100147430 弁理士 坂次 哲也

最終頁に続く

(54) 【発明の名称】 高周波電力増幅装置

(57) 【特許請求の範囲】

【請求項1】

第1電力信号が入力される第1端子と、
 前記第1電力信号を増幅した第2電力信号が出力される第2端子と、
 前記第2端子と第1ノードの間に設けられる第1インピーダンス整合回路と、
 前記第1端子から前記第1ノードまでの信号伝送経路であり、前記第2電力信号の電力レベルを設定する電力指示信号に応じて切り替えられる第1信号経路および第2信号経路とを備え、

前記第1信号経路上には、
 最終段となる第1電力増幅用トランジスタを含んだ複数段の電力増幅用トランジスタと

10

、
 前記第1電力増幅用トランジスタの出力ノードと前記第1ノードの間に設けられる第2インピーダンス整合回路を含んだ複数のインピーダンス整合回路とが備わり、

前記第2信号経路上には、
 最終段となる第2電力増幅用トランジスタを含んだ複数段の電力増幅用トランジスタと

、
 前記第2電力増幅用トランジスタの出力ノードと前記第1ノードの間に設けられる第3インピーダンス整合回路を含んだ複数のインピーダンス整合回路とが備わり、

前記第1信号経路上の前記複数段の電力増幅用トランジスタの段数は、前記第2信号経路上の前記複数段の電力増幅用トランジスタの段数と同一であり、

20

前記第 1 信号経路上の前記複数のインピーダンス整合回路の個数は、前記第 2 信号経路上の前記複数のインピーダンス整合回路の個数と同一であることを特徴とする高周波電力増幅装置。

【請求項 2】

請求項 1 記載の高周波電力増幅装置において、さらに、

前記第 1 端子と第 2 ノードの間に設けられる第 4 インピーダンス整合回路と、

前記第 2 ノードを共通の入力とする第 5 および第 6 インピーダンス整合回路とを備え、

前記第 4 および第 5 インピーダンス整合回路は、前記第 1 信号経路上の前記複数のインピーダンス整合回路の一部であり、

前記第 4 および第 6 インピーダンス整合回路は、前記第 2 信号経路上の前記複数のインピーダンス整合回路の一部であることを特徴とする高周波電力増幅装置。

10

【請求項 3】

請求項 1 記載の高周波電力増幅装置において、

更に、前記第 1 端子から前記第 1 ノードまでの信号経路であり、前記電力指示信号に応じて切り替えられる第 3 信号経路を備え、

前記第 3 信号経路上には、

最終段となる第 3 電力増幅用トランジスタを含んだ複数段の電力増幅用トランジスタと

、前記第 3 電力増幅用トランジスタの出力ノードと前記第 1 ノードの間に設けられる第 7 インピーダンス整合回路を含んだ複数のインピーダンス整合回路とが備わり、

20

前記第 3 信号経路上の前記複数段の電力増幅用トランジスタの段数は、前記第 1 および第 2 信号経路上の前記複数段の電力増幅用トランジスタの段数と同一であり、

前記第 3 信号経路上の前記複数のインピーダンス整合回路の個数は、前記第 1 および第 2 信号経路上の前記複数のインピーダンス整合回路の個数と同一であることを特徴とする高周波電力増幅装置。

【請求項 4】

請求項 1 記載の高周波電力増幅装置において、

前記第 1 信号経路上の前記複数のインピーダンス整合回路に含まれる容量素子の数は、前記第 2 信号経路上の前記複数のインピーダンス整合回路に含まれる容量素子の数と同一であり、

30

前記第 1 信号経路上の前記複数のインピーダンス整合回路に含まれるインダクタ素子の数は、前記第 2 信号経路上の前記複数のインピーダンス整合回路に含まれるインダクタ素子の数と同一であることを特徴とする高周波電力増幅装置。

【請求項 5】

請求項 3 記載の高周波電力増幅装置において、

前記第 2 インピーダンス整合回路は、前記第 1 電力増幅用トランジスタの出力ノードと電源電圧ノードの間に直列に挿入される第 1 容量素子であり、

前記第 3 インピーダンス整合回路は、前記第 2 電力増幅用トランジスタの出力ノードと前記電源電圧ノードの間に直列に挿入される第 2 容量素子であり、

前記第 7 インピーダンス整合回路は、前記第 3 電力増幅用トランジスタの出力ノードと前記電源電圧ノードの間に直列に挿入される第 3 容量素子であることを特徴とする高周波電力増幅装置。

40

【請求項 6】

請求項 5 記載の高周波電力増幅装置において、

前記第 3 インピーダンス整合回路は、更に、前記第 2 容量素子と前記電源電圧ノードの間に直列に挿入される第 1 スイッチを備え、

前記第 7 インピーダンス整合回路は、更に、前記第 3 容量素子と前記電源電圧ノードの間に直列に挿入される第 2 スイッチを備えることを特徴とする高周波電力増幅装置。

【請求項 7】

請求項 3 記載の高周波電力増幅装置において、

50

前記高周波電力増幅装置は、W - C D M A用であることを特徴とする高周波電力増幅装置。

【請求項 8】

第 1 電力信号が入力される第 1 端子と、
前記第 1 電力信号を増幅した第 2 電力信号が出力される第 2 端子と、
第 1 電力増幅用トランジスタと、
前記第 1 電力増幅用トランジスタよりも小さいトランジスタサイズを持つ第 2 電力増幅用トランジスタと、
前記第 2 電力増幅用トランジスタよりも小さいトランジスタサイズを持つ第 3 電力増幅用トランジスタと、
前記第 1 電力増幅用トランジスタの出力ノードと第 1 ノードの間に設けられる第 1 出力インピーダンス整合回路と、
前記第 2 電力増幅用トランジスタの出力ノードと前記第 1 ノードの間に設けられる第 2 出力インピーダンス整合回路と、
前記第 3 電力増幅用トランジスタの出力ノードと前記第 1 ノードの間に設けられる第 3 出力インピーダンス整合回路と、
前記第 1 ノードと前記第 2 端子の間に設けられる共通出力インピーダンス整合回路と、
前記第 1 および第 2 電力増幅用トランジスタの前段に共通して設けられる第 4 電力増幅用トランジスタと、
前記第 4 電力増幅用トランジスタの出力ノードと前記第 1 電力増幅用トランジスタの入力ノードの間に設けられる第 1 段間インピーダンス整合回路と、
前記第 4 電力増幅用トランジスタの出力ノードと前記第 2 電力増幅用トランジスタの入力ノードの間に設けられる第 2 段間インピーダンス整合回路と、
前記第 3 電力増幅用トランジスタの前段に設けられ、前記第 4 電力増幅用トランジスタよりも小さいトランジスタサイズを持つ第 5 電力増幅用トランジスタと、
前記第 5 電力増幅用トランジスタの出力ノードと前記第 3 電力増幅用トランジスタの入力ノードの間に設けられる第 3 段間インピーダンス整合回路と、
前記第 1 端子と第 2 ノードの間に設けられる共通入力インピーダンス整合回路と、
前記第 2 ノードと前記第 4 電力増幅用トランジスタの入力ノードの間に設けられる第 1 入力インピーダンス整合回路と、
前記第 2 ノードと前記第 5 電力増幅用トランジスタの入力ノードの間に設けられる第 2 入力インピーダンス整合回路と、
前記第 2 電力信号の電力レベルを設定する電力指示信号に応じて、前記第 1 ~ 第 3 電力増幅用トランジスタのいずれか 1 個と共に前記第 4 および第 5 電力増幅用トランジスタの一方を活性状態に制御し、残りの電力増幅用トランジスタを非活性状態に制御する制御回路とを有することを特徴とする高周波電力増幅装置。

【請求項 9】

請求項 8 記載の高周波電力増幅装置において、
前記第 1 出力インピーダンス整合回路は、前記第 1 電力増幅用トランジスタの出力ノードと電源電圧ノードの間に直列に挿入される第 1 容量素子であり、
前記第 2 出力インピーダンス整合回路は、前記第 1 容量素子よりも大きい容量値を持ち、前記第 2 電力増幅用トランジスタの出力ノードと前記電源電圧ノードの間に直列に挿入される第 2 容量素子であり、
前記第 3 出力インピーダンス整合回路は、前記第 2 容量素子よりも大きい容量値を持ち、前記第 3 電力増幅用トランジスタの出力ノードと前記電源電圧ノードの間に直列に挿入される第 3 容量素子であることを特徴とする高周波電力増幅装置。

【請求項 10】

請求項 9 記載の高周波電力増幅装置において、
前記第 1 入力インピーダンス整合回路は、前記第 2 ノードと前記第 4 電力増幅用トランジスタの入力ノードの間に直列に挿入される第 4 容量素子であり、

前記第 2 入力インピーダンス整合回路は、前記第 2 ノードと前記第 5 電力増幅用トランジスタの入力ノードの間に直列に挿入される第 5 容量素子であることを特徴とする高周波電力増幅装置。

【請求項 1 1】

請求項 1 0 記載の高周波電力増幅装置において、

前記第 2 出力インピーダンス整合回路は、更に、前記第 2 容量素子と前記電源電圧ノードの間に直列に挿入される第 1 スイッチを備え、

前記第 3 出力インピーダンス整合回路は、更に、前記第 3 容量素子と前記電源電圧ノードの間に直列に挿入される第 2 スイッチを備えることを特徴とする高周波電力増幅装置。

【請求項 1 2】

請求項 8 記載の高周波電力増幅装置において、

前記高周波電力増幅装置は、W - C D M A 用であることを特徴とする高周波電力増幅装置。

【請求項 1 3】

第 1 電力信号が入力される第 1 端子と、

前記第 1 電力信号を増幅した第 2 電力信号が出力される第 2 端子と、

第 1 電力増幅用トランジスタと、

前記第 1 電力増幅用トランジスタよりも小さいトランジスタサイズを持つ第 2 電力増幅用トランジスタと、

前記第 1 電力増幅用トランジスタの出力ノードと第 1 ノードの間に設けられる第 1 出力インピーダンス整合回路と、

前記第 2 電力増幅用トランジスタの出力ノードと前記第 1 ノードの間に設けられる第 2 出力インピーダンス整合回路と、

前記第 1 ノードと前記第 2 端子の間に設けられる共通出力インピーダンス整合回路と、

前記第 1 電力増幅用トランジスタの前段に設けられる第 3 電力増幅用トランジスタと、

前記第 3 電力増幅用トランジスタの出力ノードと前記第 1 電力増幅用トランジスタの入力ノードの間に設けられる第 1 段間インピーダンス整合回路と、

前記第 2 電力増幅用トランジスタの前段に設けられ、前記第 3 電力増幅用トランジスタよりも小さいトランジスタサイズを持つ第 4 電力増幅用トランジスタと、

前記第 4 電力増幅用トランジスタの出力ノードと前記第 2 電力増幅用トランジスタの入力ノードの間に設けられる第 2 段間インピーダンス整合回路と、

前記第 1 端子と第 2 ノードの間に設けられる共通入力インピーダンス整合回路と、

前記第 2 ノードと前記第 3 電力増幅用トランジスタの入力ノードの間に設けられる第 1 入力インピーダンス整合回路と、

前記第 2 ノードと前記第 4 電力増幅用トランジスタの入力ノードの間に設けられる第 2 入力インピーダンス整合回路と、

前記第 2 電力信号の電力レベルを設定する電力指示信号に応じて、前記第 1 ~ 第 4 電力増幅用トランジスタのそれぞれを活性状態又は非活性状態に制御する制御回路とを備え、

前記第 1 電力増幅用トランジスタは、第 1 A 電力増幅用トランジスタと第 1 B 電力増幅用トランジスタの並列接続によって構成され、

前記第 3 電力増幅用トランジスタは、第 3 A 電力増幅用トランジスタと第 3 B 電力増幅用トランジスタの並列接続によって構成され、

前記制御回路は、前記電力指示信号に応じて、「前記第 1 A、第 1 B、第 2 電力増幅用トランジスタ」を、それぞれ、「活性状態、活性状態、非活性状態」又は「活性状態、非活性状態、非活性状態」あるいは「非活性状態、非活性状態、活性状態」に制御し、更に、「前記第 3 A、第 3 B、第 4 電力増幅用トランジスタ」を、それぞれ、「活性状態、活性状態、非活性状態」又は「活性状態、非活性状態、非活性状態」あるいは「非活性状態、非活性状態、活性状態」に制御することを特徴とする高周波電力増幅装置。

【請求項 1 4】

請求項 1 3 記載の高周波電力増幅装置において、

10

20

30

40

50

前記第 1 出力インピーダンス整合回路は、前記第 1 電力増幅用トランジスタの出力ノードと電源電圧ノードの間に直列に挿入される第 1 容量素子であり、

前記第 2 出力インピーダンス整合回路は、前記第 1 容量素子よりも大きい容量値を持ち、前記第 2 電力増幅用トランジスタの出力ノードと前記電源電圧ノードの間に直列に挿入される第 2 容量素子であることを特徴とする高周波電力増幅装置。

【請求項 15】

請求項 14 記載の高周波電力増幅装置において、

前記第 1 入力インピーダンス整合回路は、前記第 2 ノードと前記第 3 電力増幅用トランジスタの入力ノードの間に直列に挿入される第 3 容量素子であり、

前記第 2 入力インピーダンス整合回路は、前記第 2 ノードと前記第 4 電力増幅用トランジスタの入力ノードの間に直列に挿入される第 4 容量素子であることを特徴とする高周波電力増幅装置。

10

【請求項 16】

請求項 15 記載の高周波電力増幅装置において、

前記第 2 出力インピーダンス整合回路は、更に、前記第 2 容量素子と前記電源電圧ノードの間に直列に挿入される第 1 スイッチを備えることを特徴とする高周波電力増幅装置。

【請求項 17】

請求項 13 記載の高周波電力増幅装置において、

前記高周波電力増幅装置は、W - C D M A 用であることを特徴とする高周波電力増幅装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高周波電力増幅装置に関し、特に、複数段階の電力モードを持ち、各段階毎に、使用するトランジスタの切り替えを行う高周波電力増幅装置に適用して有効な技術に関する。

【背景技術】

【0002】

例えば、特許文献 1 には、ハイパワー信号経路とロウパワー信号経路とバイパス信号経路を備えた R F (Radio Frequency) 増幅器が示されている。特許文献 2 には、入力端子と出力端子の間に 3 個の経路を備え、各経路上にトランジスタおよび出力整合回路を備えた高周波電力増幅器が示されている。ここで、各経路毎のトランジスタはそれぞれサイズが異なっている。特許文献 3 には、出力が共通の出力整合回路に接続される小出力増幅部および大出力増幅部を備えた高周波電力増幅モジュールにおいて、小出力増幅部および大出力増幅部の入力部分に高アイソレーション特性を持つ入力整合回路を備えた構成が示されている。

30

【0003】

また、特許文献 4 には、入力側分岐回路と出力側分岐回路の間に 2 個の経路を備え、各経路上に 2 段構成のトランジスタを備えた高周波増幅装置において、入力側分岐回路の近辺に可変位相器を備えた構成が示されている。特許文献 5 には、入力端子と出力端子の間に 2 個の経路を備え、各経路上に 2 段構成のトランジスタおよび各種整合回路を備えた高周波電力増幅器モジュールにおいて、一方の経路上に当該経路を接地電圧に短絡するスイッチ回路を備えた構成が示されている。

40

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】米国特許出願公開第 2009 / 0309656 号明細書

【特許文献 2】特開 2002 - 271146 号公報

【特許文献 3】特開 2006 - 93773 号公報

【特許文献 4】特開 2003 - 87060 号公報

50

【特許文献5】特開2003-87059号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

近年、例えば携帯電話機等での送信機能を担う高周波電力増幅装置（高周波電力増幅モジュール）では、小型化と共にトークカレントの低減が求められている。トークカレントとは、送信時における各出力レベルの使用頻度の確率分布と各出力レベルの消費電流の積分値を表すものである。このトークカレントを低減することで、携帯電話機等の消費電力を低減し、バッテリーの寿命を延ばすこと等が可能となる。図10は、W-CDMA（Wide band-Code Division Multiple Access）用の携帯電話機において、各出力レベルの使用頻度の確率分布の一例を示す図である。図10に示すように、例えばW-CDMA用の携帯電話機では、特に0dBmを中心として、-30dBm程度から30dBm程度の範囲が多く使用されている。

10

【0006】

このように幅広い出力レベルを対象としてトークカレントを低減するためには、例えば低パワー、中パワー、高パワーといった3段階以上の電力モードを持ち、各段階毎に、使用するトランジスタの切り替えを行うことが望ましい。すなわち、増幅用のトランジスタは、サイズが大きいほど最大出力電力が上がり、実際の出力電力がこの最大出力電力に近づくほど高い電力付加効率（PAE：Power Added Efficiency）が得られるという特性を持つ。したがって、低パワー、中パワー、高パワーでそれぞれ異なるサイズのトランジスタを用いることで、広範囲の出力レベルにおいて高い電力付加効率が維持でき、結果的にトークカレントの低減が実現可能になる。

20

【0007】

このような3段階以上の電力モードを持つ高周波電力増幅装置として、例えば、図11に示すような構成が考えられる。図11は、本発明の前提として検討した高周波電力増幅装置の構成例を示すブロック図である。図11に示す高周波電力増幅装置は、インピーダンス整合回路及び電力分配回路IMN&PDIVと、ドライバ回路DRVと、インピーダンス整合回路IMN10'~IMN13'と、メインアンプ回路MAと、インピーダンス変換回路ITNと、バイパス回路BPNと、バイアス制御回路VCTLを備えている。BPNは、アンプ回路とその後段に設けられたインピーダンス整合回路IMN14'を含む。

30

【0008】

図11の高周波電力増幅装置は、3段階の電力モードが設定可能となっており、各段階毎に異なる経路を介して出力を行う構成となっている。高パワー用の電力モードでは、IMN&PDIV DRV IMN10' IMN11' MA IMN12' IMN13'といった経路PShが用いられ、2段のアンプ回路（DRV, MA）を介して出力が行われる。中パワー用の電力モードでは、IMN&PDIV DRV IMN10' ITN IMN13'といった経路PSmが用いられ、1段のアンプ回路（DRV）を介して出力が行われる。低パワー用の電力モードでは、IMN&PDIV BPN ITN IMN13'といった経路PSlが用いられ、1段のアンプ回路（BPN内のアンプ回路）を介して出力が行われる。

40

【0009】

このように、電力モードに応じて使用するアンプ回路を切り替えることで、前述したトークカレントの低減を図ることが可能になるが、その一方で各経路（PSh, PSm, PSl）毎に通過するアンプ回路や整合回路の段数が異なるため、各経路間で位相偏差が生じる恐れがある。例えば、W-CDMA方式においては、復調に対して、現時点でのスロットだけでなく、その前後のスロットの状態を加味するWMSA（Weighted Multi-Slot Averaging）技術が用いられる。このため、電力モードの切替前後で位相が大幅に変わると正確な復調が困難になる。

【0010】

50

本発明は、このようなことを鑑みてなされたものであり、その目的の一つは、トークカレントの低減または出力における位相偏差の低減を実現可能な高周波電力増幅装置を提供することにある。本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0011】

本願において開示される発明のうち、代表的な実施の形態の概要を簡単に説明すれば、次のとおりである。

【0012】

本実施の形態による高周波電力増幅装置は、電力信号が入力される第1端子と、それを増幅した電力信号が出力される第2端子と、電力出力端子と第1ノードの間に設けられる第1インピーダンス整合回路と、電力入力端子から第1ノードまでの信号伝送経路となる第1および第2信号経路を備える。第1信号経路と第2信号経路は、第2端子における電力信号の電力レベルを設定する際に入力される電力指示信号に応じて切り替えられる。第1信号経路上には、最終段となる第1電力増幅用トランジスタを含んだ複数段の電力増幅用トランジスタと、第1電力増幅用トランジスタの出力ノードと第1ノードの間に設けられる第2インピーダンス整合回路を含んだ複数のインピーダンス整合回路とが備わる。第2信号経路上には、最終段となる第2電力増幅用トランジスタを含んだ複数段の電力増幅用トランジスタと、第2電力増幅用トランジスタの出力ノードと第1ノードの間に設けられる第3インピーダンス整合回路を含んだ複数のインピーダンス整合回路とが備わる。ここで、第1信号経路上の複数段の電力増幅用トランジスタの段数は、第2信号経路上の複数段の電力増幅用トランジスタの段数と同一になっており、第1信号経路上の複数のインピーダンス整合回路の個数は、第2信号経路上の複数のインピーダンス整合回路の個数と同一になっている。

【0013】

このように出力電力レベルに応じて信号経路（使用する電力増幅用トランジスタ）を切り替えることでトークカレントの低減が図れ、更に、各信号経路に含まれる電力増幅用トランジスタの段数とインピーダンス整合回路の数を等しくすることで各信号経路間で生じる位相偏差を低減することが可能になる。この際に、出力インピーダンス整合回路を第2インピーダンス整合回路および第3インピーダンス整合回路と第1インピーダンス整合回路とからなる2段構成とすることでインピーダンス整合回路の数を等しく保ちつつ回路面積の低減を図ることが可能になる。なお、トークカレントをより低減するためには、前述した第1および第2信号経路に加えて更に第3信号経路を設けることが望ましい。

【発明の効果】

【0014】

本願において開示される発明のうち、代表的な実施の形態によって得られる効果を簡単に説明すると、高周波電力増幅装置においてトークカレントの低減または出力における位相偏差の低減が実現可能になる。

【図面の簡単な説明】

【0015】

【図1】本発明の実施の形態1による高周波電力増幅装置において、それを適用した無線通信システムの概略構成例を示すブロック図である。

【図2】本発明の実施の形態1による高周波電力増幅装置において、その概略構成の一例を示すブロック図である。

【図3】図2の高周波電力増幅装置において、その詳細な構成例を示す回路図である。

【図4】(a)～(c)は、図2における段間のインピーダンス整合回路に関して、それぞれ異なる回路方式の一例を示す回路図である。

【図5】本発明の実施の形態2による高周波電力増幅装置において、その概略構成の一例を示すブロック図である。

【図6】本発明の実施の形態3による高周波電力増幅装置において、その概略構成の一例

10

20

30

40

50

を示すブロック図である。

【図7】本発明の実施の形態4による高周波電力増幅装置において、その概略構成の一例を示すブロック図である。

【図8】図7における電力増幅用トランジスタ周りの詳細な構成例を示す回路図である。

【図9】本発明の実施の形態5による高周波電力増幅装置において、その概略構成の一例を示すブロック図である。

【図10】W - C D M A用の携帯電話機において、各出力レベルの使用頻度の確率分布の一例を示す図である。

【図11】本発明の前提として検討した高周波電力増幅装置の構成例を示すブロック図である。

10

【発明を実施するための形態】

【0016】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらは互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0017】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

20

【0018】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【0019】

30

（実施の形態1）

《無線通信システムの概略構成》

図1は、本発明の実施の形態1による高周波電力増幅装置において、それを適用した無線通信システムの概略構成例を示すブロック図である。図1に示す無線通信システムは、例えば、W - C D M A用の携帯電話システムとなっている。当該無線通信システムは、アンテナANT、フロントエンドモジュールFEM、高周波電力増幅装置（高周波電力増幅モジュール）HPAMD、高周波信号処理装置RFIC、ベースバンドユニットBBU、スピーカSPK、およびマイクMIC等を備えている。ベースバンドユニットBBUは、マイクMICからのアナログ信号をデジタル変換し、これに対してデータ変調や拡散変調等を行うことでI信号およびQ信号を生成し、当該I信号およびQ信号を高周波信号処理装置RFICに向けて出力する。また、BBUは、RFICから入力されたI信号およびQ信号に対してデータ復調や拡散復調等を行うことデジタル信号を復調し、これをアナログ変換したのちスピーカSPKから出力する。

40

【0020】

高周波信号処理装置RFICは、主に、送信用のミキサ回路MIX__TX、ドライバ回路DRV、ロウノイズアンプ回路LNA、および受信用のミキサ回路MIX__RX等を備えている。MIX__TXは、直交するキャリア信号を用いてBBUから入力されたI信号およびQ信号を所定の無線周波数にアップコンバート（無線変調）する。DRVは、MIX__TXの出力信号を入力電力信号Pinとして高周波電力増幅モジュールHPAMDに向けて出力する。LNAは、フロントエンドモジュールFEMを介して入力された高周波

50

信号 $RFin$ を増幅する。 MIX_RX は、直交するキャリア信号を用いて LNA の出力信号を所定のベースバンド周波数にダウンコンバート（無線復調）し、これによって得られる I 信号および Q 信号を BBU に向けて出力する。

【0021】

高周波電力増幅モジュール $HPAMD$ は、高周波信号処理装置 $RFIC$ から入力された入力電力信号 Pin を電力増幅し、フロントエンドモジュール FEM に向けて出力電力信号 Out を出力する。詳細は後述するが、この際に $HPAMD$ は、ベースバンドユニット BBU から $RFIC$ を介して入力された電力指示信号 $Vrmp$ に応じて、内部で使用する増幅用トランジスタの切り替え（すなわち電力モードの設定）や増幅用トランジスタのバイアス値の制御を行う。 FEM は、例えば、送信周波数と受信周波数を分離するデュプレクサや、あるいはアンテナスイッチ等を含み、 Out をアンテナ ANT に伝送すると共に ANT からの受信信号を $RFin$ として伝送する。

10

【0022】

《高周波電力増幅モジュールの概略構成 [1]》

図2は、本発明の実施の形態1による高周波電力増幅装置において、その概略構成の一例を示すブロック図である。図1に示す高周波電力増幅装置（高周波電力増幅モジュール） $HPAMD1$ は、例えばセラミック等の配線基板（ PCB ）によって構成される。 PCB 上には、高周波電力増幅チップ $HPAIC1$ および制御チップ $CTLIC1$ が実装されると共に、 PCB 上の配線層等を用いてインピーダンス整合回路 $IMNo$ が形成されている。 $HPAIC1$ は、所謂 $MMIC$ （ $Monolithic\ Microwave\ Integrated\ Circuit$ ）であり、インピーダンス整合回路 $IMN14$, $IMN2i$, $IMN3i$, $IMN5i$, $IMN2o$, $IMN3o$, $IMN5o$ と、電力増幅用トランジスタ $Q1 \sim Q5$ を備えている。 $Q1 \sim Q5$ には、外部端子から電源電圧 VDD が供給される。

20

【0023】

$IMN14$ は、前述した入力電力信号 Pin が入力される外部端子のインピーダンスを、 $Q1$ の入力インピーダンスおよび $Q4$ の入力インピーダンスにそれぞれ整合させる。 $IMN2i$ は、 $Q1$ の出力インピーダンスを $Q2$ の入力インピーダンスに整合させ、 $IMN3i$ は、 $Q1$ の出力インピーダンスを $Q3$ の入力インピーダンスに整合させる。 $IMN2o$ は、 $Q2$ の出力インピーダンスを $IMNo$ の入力インピーダンスに整合させ、 $IMN3o$ は、 $Q3$ の出力インピーダンスを $IMNo$ の入力インピーダンスに整合させる。 $IMN5i$ は、 $Q4$ の出力インピーダンスを $Q5$ の入力インピーダンスに整合させ、 $IMN5o$ は、 $Q5$ の出力インピーダンスを $IMNo$ の入力インピーダンスに整合させる。ここでは、 $IMN2o$ は、 $Q2$ の出力ノードと接地電源電圧 GND の間に挿入された容量 $C2o$ で構成され、 $IMN3o$ は、 $Q3$ の出力ノードと GND の間に挿入された容量 $C3o$ で構成され、 $IMN5o$ は、 $Q5$ の出力ノードと GND の間に挿入された容量 $C5o$ で構成される。

30

【0024】

インピーダンス整合回路 $IMNo$ は、前述した $IMN2o$, $IMN3o$, $IMN5o$ の共通出力ノード No のインピーダンスを、前述した出力電力信号 Out が出力される外部端子のインピーダンスに整合させる。制御チップ $CTLIC1$ は、例えば、シリコン基板上に $CMOS$ （ $Complementary\ Metal\ Oxide\ Semiconductor$ ）プロセス等を用いて回路が形成された半導体チップとなっている。 $CTLIC1$ は、前述した電力指示信号 $Vrmp$ を受け、これに応じて制御信号 $V1 \sim V3$, $V45$ を用いて $Q1 \sim Q5$ の活性化・非活性化（動作有無）の制御（すなわち電力モードの設定）や、併せて活性化される電力増幅用トランジスタのバイアス値（電力ゲイン）の制御を行う。ここで、 $Q2$, $Q3$, $Q5$ のトランジスタサイズは、 $Q2 > Q3 > Q5$ であり、 $Q1$, $Q4$ のトランジスタサイズは、 $Q1 > Q4$ である。特に限定はされないが、 $Q1 \sim Q5$ のトランジスタサイズ比は、 $Q2 : Q3 : Q1 : Q5 : Q4 = 40 : 16 : 8 : 1 : 1$ 等である。また、 $Q2$, $Q3$, $Q5$ の出力インピーダンスの大きさは、前述したトランジスタサイズに伴い $Q2 < Q3 < Q5$ となるため、各出力インピーダンスの大きさを同等とするため、 $C2o$, $C3o$, $C5o$

40

50

の容量値は、 $C20 < C30 < C50$ となっている。

【0025】

図2の構成例では、電力指示信号 V_{rmp} に応じて高パワー、中パワー、低パワーからなる3段階の電力モードが設定可能となっている。高パワー用の電力モードでは、 $CTLIC1$ によって $Q1$ 、 $Q2$ が活性化、 $Q3 \sim Q5$ が非活性化され、 $IMN14$ $Q1$ $IMN2i$ $Q2$ $IMN2o$ $IMNo$ の経路で出力が行われる。中パワー用の電力モードでは、 $CTLIC1$ によって $Q1$ 、 $Q3$ が活性化、 $Q2$ 、 $Q4$ 、 $Q5$ が非活性化され、 $IMN14$ $Q1$ $IMN3i$ $Q3$ $IMN3o$ $IMNo$ の経路で出力が行われる。低パワー用の電力モードでは、 $CTLIC1$ によって $Q4$ 、 $Q5$ が活性化、 $Q1 \sim Q3$ が非活性化され、 $IMN14$ $Q4$ $IMN5i$ $Q5$ $IMN5o$ $IMNo$ の経路で出力が行

10

【0026】

《実施の形態1における主要な特徴および効果》

このように、図2の構成例は、主に、次のような特徴ならびに効果を備えている。第1の特徴として、3段階の電力モードに対応して3個の経路を備え、各経路上に複数段（ここでは2段）の電力増幅用トランジスタを配置した点が挙げられる。例えば、前述した特許文献2や特許文献3に示されるように、2段階の電力モードに対応すると共に1段の電力増幅用トランジスタを用いて電力増幅を行う構成では、幅広い出力レベルに対応できない恐れがある。そこで、図10に示したような幅広い出力レベルに対応させるためには、3段階以上の電力モードを設定可能とすることが望ましく、加えて、特に高い出力レベルに対応するため複数段の電力増幅用トランジスタを用いて電力増幅を行うことが望ましい。これによって、幅広い出力レベルにおいてトークカレントの低減が図れる。なお、図2の構成例では、最も使用頻度が高い0 dBm付近を低パワー用電力モードで賄うことで、トークカレントの低減効果を向上させている。

20

【0027】

第2の特徴として、3段階の電力モードに伴う3個の経路上で、経由する電力増幅用トランジスタの段数とインピーダンス整合回路の個数を同一とした点が挙げられる。電力増幅用トランジスタでは、そのインダクタンス成分および容量成分により最大 180° の位相ズレが生じ、インピーダンス整合回路においてもその受動素子（容量、インダクタ）の数および接続方法に応じて位相ズレが生じる。概念的には、直列接続の容量や並列接続のインダクタでは位相が早まり、並列接続の容量や直列接続のインダクタでは位相遅れが生じる。そこで、各経路上で、経由する電力増幅用トランジスタの段数とインピーダンス整合回路の個数を同一とすることで、各経路間の位相偏差を低減することができ、仮に出力過程で電力モードが切り替わった際にも受信側で信頼性が高い復調を行うことが可能になる。

30

【0028】

この位相偏差の低減を実現するため、図2の構成例では、特に、低パワー用電力モード時の電力増幅用トランジスタの段数を敢えて2段（ $Q4$ 、 $Q5$ ）とした点と、高パワー用電力モード時の $Q2$ の出力ノードに敢えてインピーダンス整合回路 $IMN2o$ を設けた点が特徴となっている。本来、低パワー用電力モード時には電力増幅用トランジスタを1段とすることができ、また、高パワー用電力モード時の $Q2$ の出力インピーダンスと $IMNo$ の入力インピーダンスを合わせ込めば $Q2$ の出力ノードに設けられた $IMN2o$ は不要とすることができる。この場合、回路面積の低減等が図れる。しかしながら、この場合、位相偏差が生じることになるため、図2の構成例では、各経路において敢えて電力増幅用トランジスタの段数を2段に統一し、更に、敢えて $IMN2o$ を設けることでインピーダンス整合回路の数も統一している。

40

【0029】

第3の特徴として、出力側のインピーダンス整合回路を、各電力増幅用トランジスタ Q

50

2, Q3, Q5 毎のインピーダンス整合 $IMN2o$, $IMN3o$, $IMN5o$ と、共通のインピーダンス整合回路 $IMNo$ に分離した点が挙げられる。例えば、Q2, Q3, Q5 の出力ノードと外部端子 ($Port$) の間にそれぞれ 1 個ずつ専用のインピーダンス整合回路を配置するような構成が考えられる。この場合、当該インピーダンス整合回路の回路面積が増大する恐れがあるが、前述のように出力インピーダンス整合回路を分離することで回路面積の増大を抑制することが可能になる。なお、詳細は図3で後述するが、図2におけるQ1, Q4の入力側のインピーダンス整合回路 $IMN14$ もこの第2および第3の特徴を反映した構成となっている。

【0030】

ここで、比較例として、前述した特許文献1の構成では、前述した第2の特徴を備えないため位相偏差が生じる恐れがある。特許文献2では、各経路上の電力増幅用トランジスタを複数段に統一することに関する記載はなく、特許文献3、4、5では、電力モードの設定を3段階以上とした場合の具体的な構成に関する記載はない。また、特許文献2、5では、各経路上の出力部分に専用の出力インピーダンス整合回路を1個ずつ設けるような構成（すなわち前述したQ2, Q3, Q5の出力ノードと外部端子 ($Port$) の間にそれぞれ1個ずつ専用の出力インピーダンス整合回路を配置するような構成）が示されている。この場合、出力インピーダンス整合回路の回路面積が増大する恐れがある。また、特許文献4では、位相偏差に関する記載はあるものの、入力側に可変位相器を設けることで解決を図っており、出力インピーダンス整合回路部分に関する記載は無い。出力レベルの範囲が広くなると、最終段のトランジスタサイズが大きく異なることになるため、位相偏差を低減するためには、入力側よりも出力側（出力インピーダンス整合回路）により注意が必要となる。

【0031】

《高周波電力増幅モジュールの詳細構成 [1] 》

図3は、図2の高周波電力増幅装置において、その詳細な構成例を示す回路図である。図3では、電力増幅用トランジスタQ1~Q5が、それぞれエミッタ接地となるnpn型のヘテロ接合バイポーラトランジスタ (HBT) となっている。Q1~Q3は、例えば、 $3 \times 40 \mu m$ のエミッタ面積を持つトランジスタを単位トランジスタ (フィンガと呼ばれる) として、それを所定の数だけ並列接続したような構造 (マルチフィンガと呼ばれる) となっている。x個のフィンガからなる構造をx Fとすると、例えばQ2 : Q3 : Q1 : Q5 : Q4 = 40 F : 16 F : 8 F : 1 F : 1 F 等である。

【0032】

Q3の出力ノードとなるコレクタは、モジュール配線基板 (PCB) 上に形成された伝送線路 $LN23$ を介して PCB 上の共通出力ノード No に接続される。Q5の出力ノードとなるコレクタは、PCB上に形成された伝送線路 $LN35$ を介して $LN23$ の一端に接続され、 $LN23$ を介して No に接続される。なお、ここでは、共通出力ノード No を PCB 上に設けているが、場合によっては $LN23$, $LN35$ を含めて高周波電力増幅チップ $HPAIC1$ 内に設けることも可能である。

【0033】

Q1, Q4の出力ノードとなるコレクタには、電源電圧 VDD が PCB 上でインダクタとして機能する伝送線路 LNv を介して供給される。また、共通出力ノード No には、 VDD が PCB 上に実装されたインダクタ (チョークコイル) Lv を介して供給され、これがQ2のコレクタに供給されると共に、 $LN23$, $LN35$ を介してQ3のコレクタおよびQ5のコレクタに供給される。また、PCB上で、 LNv の一端 (Q1側でない方) と接地電源電圧 GND の間には交流接地用の容量 $Cv1$ が実装され、 Lv の一端 (No 側でない方) と GND の間には交流接地用の容量 $Cv2$ が実装される。なお、本明細書では、インダクタとコイルの区別は特に行わないものとする。

【0034】

インピーダンス整合回路 $IMN14$ は、容量 $C10$, $C11$, $C1i$, $C4i$ およびインダクタ $L10$ を備えている。 $C1i$ は一端がQ1のベースに接続され、 $C4i$ は一端が

10

20

30

40

50

Q4のベースに接続され、C1i, C4iの他端は共通に接続される。C10は、一端が外部端子(Pin)に接続され、他端がC1i, C4iの共通接続ノードに接続される。C11, L10は、C1i, C4iの共通接続ノードとGNDの間に並列に接続される。C10, C11, L10はQ1, Q4で共通のインピーダンス整合回路IMN14iとなり、C1iはQ1用のインピーダンス整合回路IMN1iとなり、C4iはQ4用のインピーダンス整合回路IMN4iとなる。C1iとC4iの容量値の調整によって、Q1とQ4の入力インピーダンスの違いに対応することができる。

【0035】

インピーダンス整合回路IMN2i, IMN3i, IMN5iは、それぞれ、対応する入出力間に直列に挿入された容量C2i, C3i, C5iによって構成され、各容量値を適宜設定することでそれぞれ入力インピーダンスが異なるQ2とQ3とQ5に対応している。インピーダンス整合回路IMNoは、PCB上に実装された容量C12~C14と、インダクタとして機能する伝送線路LNoによって構成される。C14は、一端が外部端子(Out)に接続され、他端がLNoの一端に接続される。LNoの他端は、共通出力ノードNoに接続される。C12, C13は、それぞれ、LNoの両端とGNDの間に接続される。C12, LNo, C13は所謂T型の整合回路を構成し、ロウパスフィルタ機能も兼ね備えている。制御チップCTLIC1は、Q1~Q5のベースバイアスを適宜制御することで、Q1~Q5の活性化・非活性化(すなわち電力モード)を制御すると共に、活性化される電力増幅用トランジスタの電力ゲインを制御する。

【0036】

図3に示すように、位相偏差を低減するため理想的には、前述した3個の経路上のインピーダンス整合回路の個数を一致させると共に、各インピーダンス整合回路内で経路することになる各種受動素子(直列容量、並列容量、直列インダクタ、並列インダクタ)の個数も各経路間で一致させることが望ましい。ただし、実際には、PCB上の伝送線路やチップ内の配線等に伴う寄生成分が各経路毎に異なる場合があり、これに伴う位相偏差が許容範囲であるならば、各種受動素子の個数はほぼ同等であればよく、必ずしも完全一致である必要はない。なお、ここでは、Q1~Q5としてHBTを用いているため、HPAIC1とCTLIC1を別の半導体チップで形成しているが、HBTよりは特性が劣るものの例えばLDMOS(Laterally Diffused Metal Oxide Semiconductor)等を用いて電力増幅用トランジスタを実現できれば、これらを1個の半導体チップに統合することも可能である。また、容量C2o, C3o, C5oは、PCB上に形成することも可能であるが、HPAIC1内に形成することで小面積化や高いQ値を実現できるため、有益となる。

【0037】

図4(a)~(c)は、図2における段間のインピーダンス整合回路に関して、それぞれ異なる回路方式の一例を示す回路図である。図2における段間のインピーダンス整合回路IMN2i, IMN3i, IMN5iは、例えば、図4(a)に示すような1個の容量Cや、図4(b)に示すような容量CとインダクタLの直列接続回路や、図4(c)に示すような2個の容量Cと1個のインダクタLからなる所謂T型の整合回路などの回路方式で実現することができる。図3の例では、図4(a)の回路方式が用いられている。インピーダンスの変換比等に応じて、例えば図4(a)~(c)の中から適した回路方式を選択することができるが、前述したように受動素子の個数を揃える観点から、IMN2i, IMN3i, IMN5iで使用する回路方式自体は、全て同じとすることが望ましい。

【0038】

以上、本実施の形態1の高周波電力増幅装置を用いることで、代表的にはトークカレントの低減と共に出力における位相偏差の低減が実現可能になる。

【0039】

(実施の形態2)

《高周波電力増幅モジュールの概略構成[2]》

図5は、本発明の実施の形態2による高周波電力増幅装置において、その概略構成の一例を示すブロック図である。図5に示す高周波電力増幅装置(高周波電力増幅モジュール

10

20

30

40

50

）HPAMD1aは、前述した図2の高周波電力増幅モジュールHPAMD1と比較して、カプラCPLが追加された点が異なっている。CPLは、モジュール配線基板(PCB)上の伝送線路によって形成され、一端がカプラ入力信号CPLin用の外部端子に接続され、他端がカプラ出力信号CPLo用の外部端子に接続される。当該伝送線路は、一部の区間においてインピーダンス整合回路IMNo(例えば、図3の伝送線路LNo)と近接かつ並行に配置されており、電磁結合によってIMNoを通過する電力の大きさを検出する。

【0040】

外部端子(CPLin)には、直接的あるいは間接的に終端回路等が接続され、外部端子(CPLo)には、直接的あるいは間接的に電力値検出回路等が接続される。例えば、無線通信システム内に図5のHPAMD1aを複数設けるような場合には、あるHPAMD1aの外部端子(CPLo)が別のHPAMD1aの外部端子(CPLin)に順次連結されることでシリアル経路が形成され、当該シリアル経路の両端に終端回路と電力値検出回路が接続される。このような構成例を用いると、高周波電力増幅装置は、電力指示信号Vrmpによって指示された出力レベルを電力値検出回路での検出結果を用いて実際に検証し、誤差がある場合には電力増幅用トランジスタのベースバイアスの調整等によって補正を行うことができる。これによって高精度な出力レベルの設定が実現可能になる。また、この際に、前述したシリアル経路を形成することで、各HPAMD1a毎に終端回路や電力値検出回路を設ける場合と比較して回路面積の低減が可能になる。

【0041】

(実施の形態3)

《高周波電力増幅モジュールの概略構成[3]》

図6は、本発明の実施の形態3による高周波電力増幅装置において、その概略構成の一例を示すブロック図である。図6に示す高周波電力増幅装置(高周波電力増幅モジュール)HPAMD2は、前述した図2の高周波電力増幅モジュールHPAMD1と比較して、高周波電力増幅チップHPAIC2内のインピーダンス整合回路IMN3o, IMN5oの構成が異なっている。図6において、IMN3oは、電力増幅用トランジスタQ3の出力ノードに一端が接続された容量C3oに加えて、C3oの他端と接地電源電圧GNDの間に接続されたスイッチ回路SW3を備えている。同様に、IMN5oは、電力増幅用トランジスタQ5の出力ノードに一端が接続された容量C5oに加えて、C5oの他端とGNDの間に接続されたスイッチ回路SW5を備えている。ここでは、SW3, SW5は、制御チップCTLIC2内に設けられ、MOSトランジスタ等で実現される。

【0042】

ここで、CTLIC2は、高パワー用電力モードに設定する際にSW3, SW5を共にオフに制御し、中パワー用電力モードに設定する際にSW3をオン、SW5をオフに制御し、低パワー用電力モードに設定する際にSW3をオフ、SW5をオンに制御する。例えば図2の構成例では、高パワー用電力モードの際にQ2の出力電力がIMN3o, IMN5o内の容量C3o, C5oを介してGNDに漏れ、中パワー用電力モードの際にQ3の出力電力がC5oを介してGNDに漏れ、これによって電力付加効率の低下が生じる恐れがある。そこで、図6の構成例のようにSW3, SW5を設けることで、このような電力漏れが低減でき、図2の場合と比べて更なる電力付加効率の向上(言い換えればトークカレントの低減)が実現可能になる。

【0043】

なお、図6において、インピーダンス整合回路IMN2o内の容量C2oに対しても、同様にスイッチ回路を付加することが可能である。ただし、図2で述べたように、C2oはC3o, C5oに比べて容量値が小さいため、中パワー用又は低パワー用電力モード時にC2oを介した電力漏れはさほど問題とならない場合がある。そこで、ここでは、C2oに対するスイッチ回路は省略し、これによって回路面積の低減を図っている。

【0044】

(実施の形態4)

《高周波電力増幅モジュールの概略構成 [4] 》

図7は、本発明の実施の形態4による高周波電力増幅装置において、その概略構成の一例を示すブロック図である。図7に示す高周波電力増幅装置（高周波電力増幅モジュール）HPAMD3は、前述した図2の高周波電力増幅モジュールHPAMD1から、中パワー用のインピーダンス整合回路IMN3i、電力増幅用トランジスタQ3およびインピーダンス整合回路IMN3oを削除したような構成を備えている。その代わりに、図7の高周波電力増幅チップHPAIC3内では、前述した高パワー用電力モードの経路（IMN14 Q1 IMN2i Q2 IMN2o IMNo）が中パワー用電力モードを兼用し、電力増幅用トランジスタQ1, Q2のトランジスタサイズが可変設定可能な構成に変更されている。ここでは、Q1が入出力を共有する2個の電力増幅用トランジスタQ1a, Q1bに分割され、Q2も入出力を共有する2個の電力増幅用トランジスタQ2a, Q2bに分割され、この分割されたトランジスタ毎に活性化・非活性化が制御可能となっている。

10

【0045】

図8は、図7における電力増幅用トランジスタ周りの詳細な構成例を示す回路図である。ここでは、図7における電力増幅用トランジスタQ1を例に説明するが、Q2も同様の構成となる。前述したように、電力増幅用トランジスタは、エミッタ、ベース、およびコレクタが共通接続された複数の単位トランジスタ（フィンガ）からなるマルチフィンガ構造となっている。図8では、このQ1のマルチフィンガ構造が2グループに分割され、各グループに対して独立にベースバイアスが供給可能なように構成されている。

20

【0046】

図8において、Q1は、エミッタとコレクタがそれぞれ共通接続された $(n+m)$ 個のヘテロ接合バイポーラトランジスタ（単位トランジスタ）Q1a[1]~Q1a[n], Q1b[1]~Q1b[m]を備える。Q1a[1]~Q1a[n]は、図7における電力増幅用トランジスタQ1aに該当し、ベースが共通に接続され、制御チップCTLIC3を介してバイアス電流源IBS1aからのバイアス電流が供給される。同様に、Q1b[1]~Q1b[m]は、図7における電力増幅用トランジスタQ1bに該当し、ベースが共通に接続され、CTLIC3を介してバイアス電流源IBS1bからのバイアス電流が供給される。ここで、IBS1aとIBS1bの供給有無（すなわちQ1a, Q1bの活性化・非活性化）は、CTLIC3が電力指示信号Vrmpに応じて生成したモード設定信号Vmode1, Vmode2によってそれぞれ独立に制御される。

30

【0047】

図7において、例えば電力増幅用トランジスタQ1a, Q1bのそれぞれを4フィンガ構成とし、電力増幅用トランジスタQ2a, Q2bのそれぞれを20フィンガ構成とする。この場合、制御チップCTLIC3は、高パワー用電力モード時にはQ1a, Q1b, Q2a, Q2bの全てを活性化し、中パワー用電力モード時にはQ1a, Q2aを活性化、Q1b, Q2bの非活性化するような制御を行う。これによって、中パワー時と高パワー時で電力増幅用トランジスタのトランジスタサイズを切り替えることができ、中パワー時と高パワー時で増幅用トランジスタの段数やインピーダンス整合回路の数を等しくすることも可能となる。その結果、図2の構成例の場合と同様な効果が得られる。更に、図2の構成例と比較して、IMN3i, Q3およびIMN3oが削除された分だけ回路面積を低減でき、また、Q3の出力部分の分岐点が無くなることから図6で述べたような電力漏れを低減することも可能になる。

40

【0048】

なお、図7の構成例は、勿論、図6の構成例のように、容量C5oにスイッチ回路を付加することも有益である。

【0049】

（実施の形態5）

《高周波電力増幅モジュールの概略構成 [5] 》

図9は、本発明の実施の形態5による高周波電力増幅装置において、その概略構成の一

50

例を示すブロック図である。図9に示す高周波電力増幅装置（高周波電力増幅モジュール）HPAMD4は、前述した図2および図3の高周波電力増幅モジュールHPAMD1と比較して、高周波電力増幅チップHPAIC4内にスパイラルインダクタSLが追加された点が異なっている。SLは、電力増幅用トランジスタQ1の出力ノードとインピーダンス整合回路IMN2i, IMN3iの共通入力ノードとの間に接続される。例えば、前述したQ3の出力ノードとQ5の出力ノードとを接続する伝送線路LN35の配線長が長くなったような場合、これに伴うインダクタ成分が位相偏差の観点で無視できない場合が考えられる。そこで、図9の構成例では、このLN35のダミー素子としてSLが設けられている。

【0050】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

【0051】

例えば、ここでは、トークカレントの低減等が特に求められるW-CDMA用の高周波電力増幅モジュールを例としたが、勿論、GSM(Global System for Mobile communication)用や、DCS(Digital Cellular System)用等で同様に適用することも可能である。なお、W-CDMAはUMTS(Universal Mobile Telecommunications System)等と呼ばれることもある。また、ここでは、W-CDMAのシングルバンド用の高周波電力増幅モジュールを示したが、例えば、図2の高周波電力増幅モジュールHPAMD1上に高周波電力増幅チップHPAIC1を複数搭載すること等でマルチバンド対応とすることも可能である。

【0052】

更に、前述した実施の形態では、3段階の電力モードを備える場合を例として説明を行ったが、勿論、4段階以上の電力モードを備えてもよく、場合によっては2段階の電力モードを備えてもよい。前述したように、広範囲の出力レベルに対応させるためには3段階以上の電力モードを備えることが望ましいが、本実施の形態の主要な特徴の一つは、各電力モード毎の信号伝送経路間での位相偏差を低減することであり、この観点では2段階の電力モードであってもよい。更に、各電力モード毎の経路内に含まれる電力増幅用トランジスタも、2段階構成に限らず3段階構成以上でもよい。

【産業上の利用可能性】

【0053】

本実施の形態による高周波電力増幅装置は、特に、W-CDMA用の携帯電話システムにおける電力送信部に適用して有益なものであり、これに限らず、GSM用やDCS用、更にはLTE(Long Term Evolution)用等を含めて様々な規格を持つ携帯電話システムに適用可能である。また、携帯電話システムに限らず、複数段階の電力モードが設定可能であり、バッテリー駆動等により低消費電力化が求められる無線通信システム全般に対して広く適用可能である。

【符号の説明】

【0054】

ANT アンテナ
 BBU ベースバンドユニット
 BPN バイパス回路
 C 容量
 CPL カプラ
 CTLIC 制御チップ
 DRV ドライバ回路
 FEM フロントエンドモジュール
 HPAIC 高周波電力増幅チップ
 HPAMD 高周波電力増幅モジュール

10

20

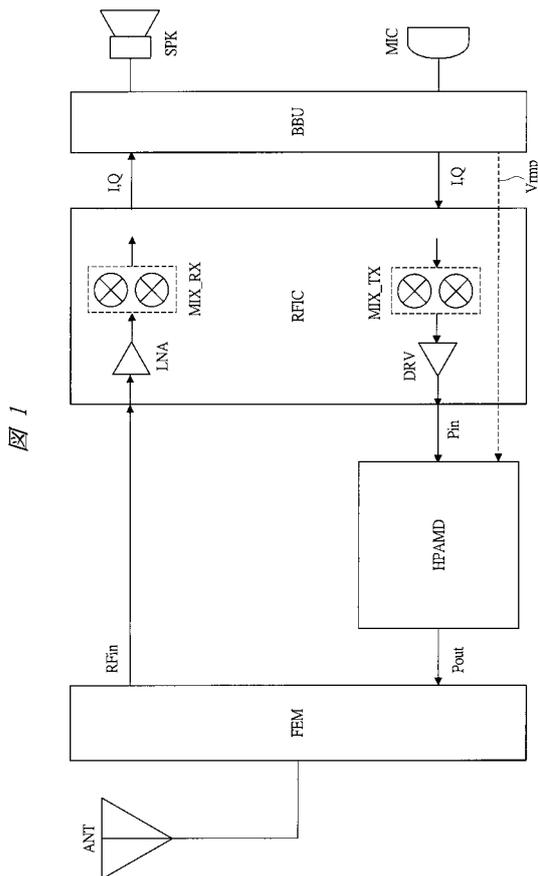
30

40

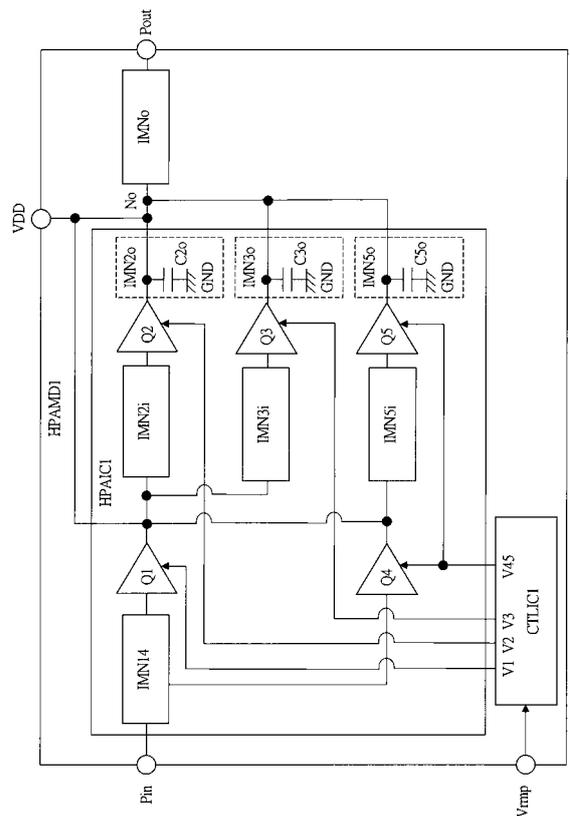
50

- I B S バイアス電流源
- I M N インピーダンス整合回路
- I M N & P D I V インピーダンス整合回路及び電力分配回路
- I T N インピーダンス変換回路
- L インダクタ
- L N 伝送線路
- L N A ロウノイズアンプ回路
- M A メインアンプ回路
- M I C マイク
- M I X ミキサ回路
- Q 電力増幅用トランジスタ
- R F I C 高周波信号処理装置
- S L スパイラルインダクタ
- S P K スピーカ
- S W スイッチ回路
- V C T L バイアス制御回路

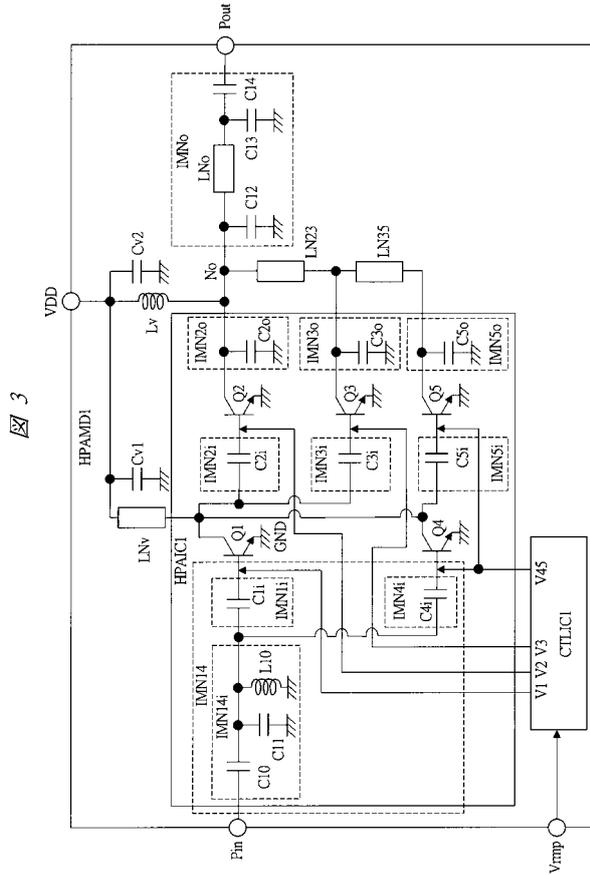
【図1】



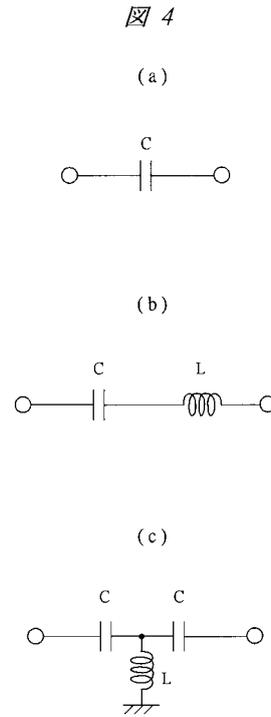
【図2】



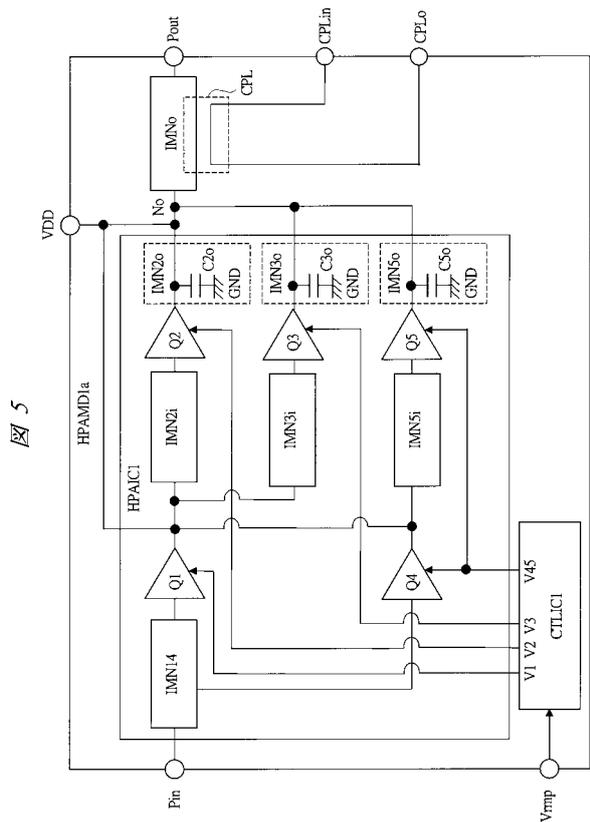
【 図 3 】



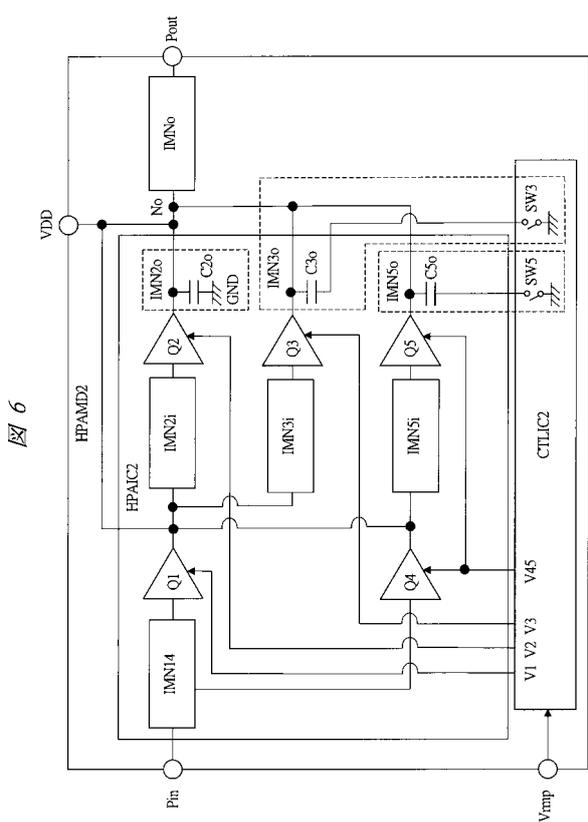
【 図 4 】



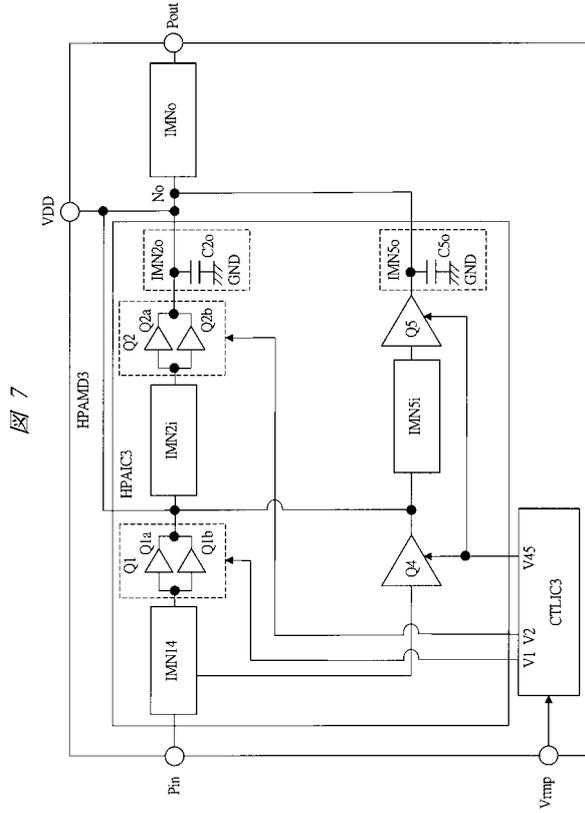
【 図 5 】



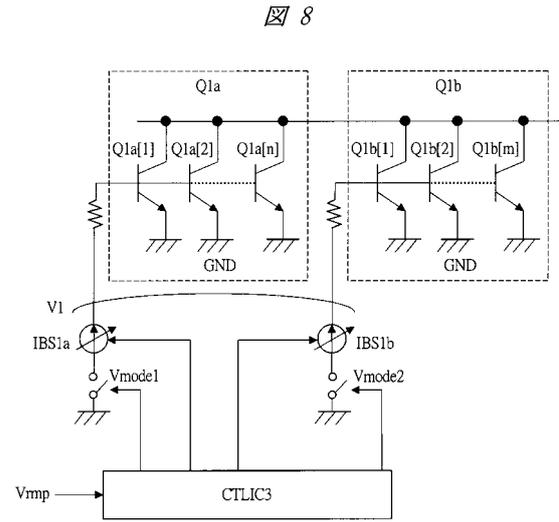
【 図 6 】



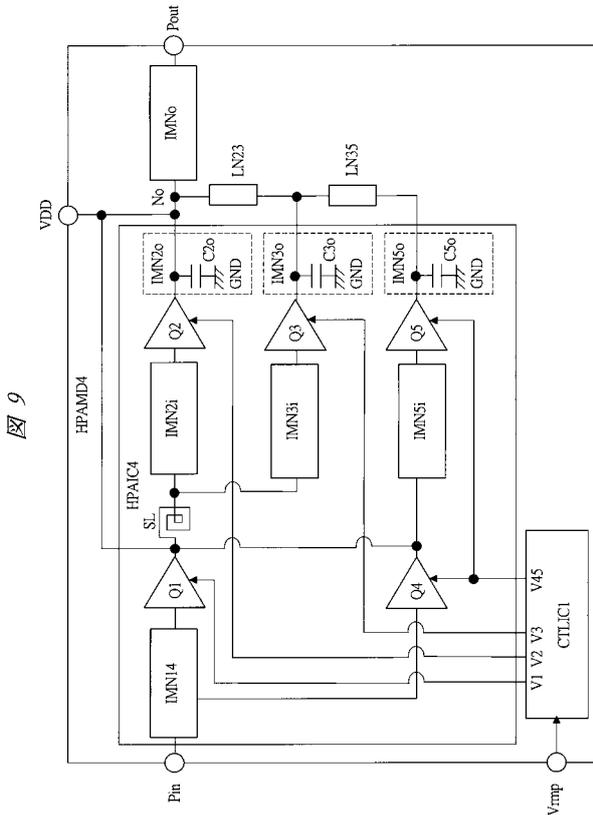
【 図 7 】



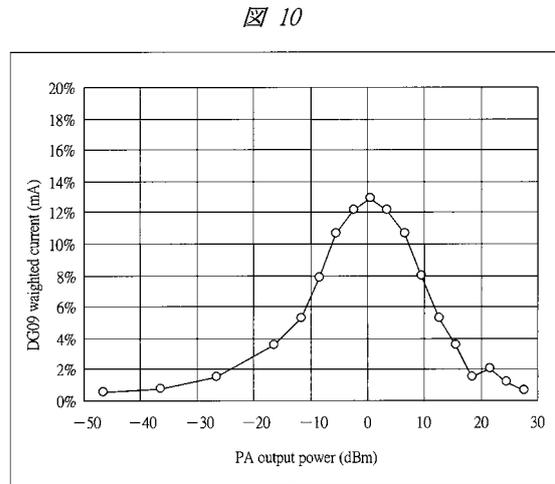
【 図 8 】



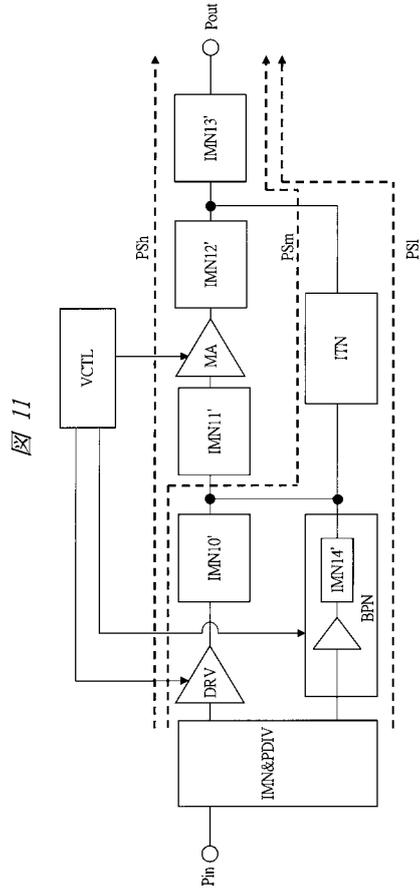
【 図 9 】



【 図 10 】



【 図 11 】



フロントページの続き

- (72)発明者 河野 孝透
神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内
- (72)発明者 関 健太
神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内
- (72)発明者 櫻井 智
神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

審査官 徳 田 賢二

- (56)参考文献 特開 2 0 0 4 - 0 0 7 4 0 5 (J P , A)
特開 2 0 0 3 - 0 8 7 0 6 0 (J P , A)
特開 2 0 0 9 - 0 8 1 6 9 2 (J P , A)
特開 2 0 0 2 - 3 3 0 0 3 0 (J P , A)

- (58)調査した分野(Int.Cl. , DB名)
- | | |
|---------|---------|
| H 0 3 F | 1 / 0 2 |
| H 0 3 F | 3 / 2 0 |