



(12) 发明专利

(10) 授权公告号 CN 101308820 B

(45) 授权公告日 2010.06.02

(21) 申请号 200810131804.X

(22) 申请日 2005.04.08

(30) 优先权数据

115048/2004 2004.04.09 JP

(62) 分案原申请数据

200510063520.8 2005.04.08

(73) 专利权人 株式会社瑞萨科技

地址 日本东京都

(72) 发明人 冈元正芳 松本秀幸 寄崎真吾

长谷部昭男 本山康博 岛濑朗

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华

(51) Int. Cl.

H01L 21/82 (2006.01)

H01L 21/66 (2006.01)

G01R 3/00 (2006.01)

G01R 1/073 (2006.01)

(56) 对比文件

US 6305230 B1, 2001.10.23, 全文.

CN 1477691 A, 2004.02.25, 全文.

CN 1472885 A, 2004.02.04, 全文.

US 5180977 A, 1993.01.19, 全文.

US 2002/0106820 A1, 2002.08.08, 全文.

审查员 施曙东

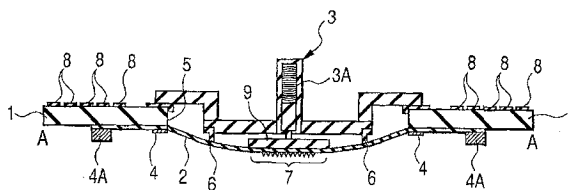
权利要求书 1 页 说明书 22 页 附图 35 页

(54) 发明名称

半导体集成电路器件的制造方法及探针卡

(57) 摘要

对具有形成为窄间距的测试焊盘的半导体集成电路器件实现电测试。半导体集成电路器件的制造方法包括制备探针卡的步骤,该探针卡具有可以接触两个或多个电极的两个或多个接触端子。该步骤包括与其中形成第一布线的布线衬底相对,制备第一片,该第一片具有:用于接触两个或多个电极的两个或多个接触端子;电连接到两个或多个接触端子和第一布线的第二布线;以及包括无源元件的电路,其邻近两个或多个接触端子形成且连接到第二布线。



1. 一种半导体集成电路器件的制造方法,包括以下步骤:

(a) 制备已被分为两个或多个芯片区的半导体晶片,每个芯片区具有在其上方形成的半导体集成电路,并且所述半导体晶片具有在所述晶片的主表面上方形成的待电连接到所述半导体集成电路的两个或多个电极;

(b) 制备具有两个或多个接触端子的探针卡,该两个或多个接触端子可以接触所述两个或多个电极;以及

(c) 进行所述半导体集成电路的电测试,使所述两个或多个接触端子的尖端接触所述两个或多个电极;

其中所述步骤 (b) 包括以下步骤:

(b1) 与其中形成第一布线的布线衬底相对,制备第一片,所述第一片具有:用于接触所述两个或多个电极的所述两个或多个接触端子;电连接到所述两个或多个接触端子和所述第一布线的第二布线;以及包括无源元件的电路,其邻近所述两个或多个接触端子形成且连接到所述第二布线;以及

(b2) 在所述步骤 (b1) 之后,在可以从所述第一片的没有形成有所述接触端子的一面按压所述第一片的其中形成所述两个或多个接触端子的区域的状态下,将所述第一片粘附到所述布线衬底,

其中所述无源元件中包括电阻器、电感器和电容器中的至少一种。

2. 一种半导体集成电路器件的制造方法,包括以下步骤:

(a) 制备已被分为两个或多个芯片区的半导体晶片,每个芯片区具有在其上方形成的半导体集成电路,并且所述半导体晶片具有在所述晶片的主表面上方形成的待电连接到所述半导体集成电路的两个或多个电极;

(b) 制备具有两个或多个接触端子的探针卡,该两个或多个接触端子可以接触所述两个或多个电极;以及

(c) 进行所述半导体集成电路的电测试,使所述两个或多个接触端子的尖端接触所述两个或多个电极;

其中所述步骤 (b) 包括以下步骤:

(b1) 与其中形成第一布线的布线衬底相对,制备第一片,所述第一片具有:用于接触所述两个或多个电极的所述两个或多个接触端子;电连接到所述两个或多个接触端子和所述第一布线的第二布线;以及包括无源元件的电路,其邻近所述两个或多个接触端子形成且连接到所述第二布线;以及

(b2) 在所述步骤 (b1) 之后,在可以从所述第一片的没有形成有所述接触端子的一面按压所述第一片的其中形成所述两个或多个接触端子的区域的状态下,将所述第一片粘附到所述布线衬底,

其中所述电路包括用于调整信号传送系统的阻抗的阻抗调整电路。

半导体集成电路器件的制造方法及探针卡

[0001] 本申请是申请日为 2005 年 4 月 8 日、申请号为 200510063520.8、发明名称为“半导体集成电路器件的制造方法及探针卡”的专利申请的分案申请。

[0002] 相关申请的交叉引用

[0003] 本申请要求 2004 年 4 月 9 日申请的日本专利申请 No. 2004-115048 的优先权,在此通过参考将其内容引入本申请。

技术领域

[0004] 本发明涉及半导体集成电路器件的制造技术,尤其涉及应用于半导体集成电路的电测试的有效技术,该半导体集成电路具有以窄间距布置的许多电极焊盘。

背景技术

[0005] 例如,如日本未审专利公开 No. 2002-14137 所指示,使用半导体器件测试设备,该设备在具有凸出电极的半导体器件的老化测试中具有朝半导体器件凸出的两棱锥或多棱锥形状的接触端子。并且,有这样的技术,其通过使一个或多个接触端子的脊线(ridgelines)或斜面接触到一个凸出电极,将半导体器件和半导体器件测试设备进行电接触,从而防止凸出电极在与接触端子接触的时候损坏。

[0006] 如日本未审专利公开 No. 2002-228682 所指示,该探针设有用于将电压加到半导体晶片的凸块电极的第一接触端子、围绕第一接触端子的第一绝缘部件、用于围绕第一绝缘部件和通过凸块电极检测电压的第二接触端子以及插入第一和第二接触端子之间的第二绝缘部件,该探针由在探针接触到半导体晶片的凸块电极并检查电性能的情况下使用的支撑件支持。并且,通过分别装备有在第一和第二端子部分之间插入的第一和第二线圈弹簧以及分别在第一和第二接触端子中的第一和第二端子部分,即使当凸块电极最小时,也有防止探针与凸块电极分离的技术。

[0007] 如日本未审专利公开 No. 平成 5(1993)-283490 所指示,通过使探针装置的针的连接端接触到半导体晶片形成的每个集成电路器件的凸块电极,集成电路器件被电连接到测试和测量设备。通过按压晶片中的相邻集成电路器件的凸块电极、改变尖端部分、以及通过按压体来设置高度,从而通过探针装置的均匀接触阻力,将与凸块电极的高度相等的集成电路器件连接到测试和测量设备,从而提高了检查的准确性,并且在集成电路器件被安装的情况下,有减小安装侧之间的连接阻力变化的技术。

[0008] 如日本未审专利公开 No. 2001-108706 所指示,在半导体晶片形成的两个或多个焊球与对应于这些焊球的两个或多个探针分别相互接触的情况下使用的接触器中,通过设置在其中电流可以自由地流动的状态下接触球形焊球的中心外部的圆柱部分作为接触端的探针,在测试器两侧之间传送和接收信号并且进行晶片的电性能测试,即使探针接触焊球,也能防止焊球的中心部分被损坏,具有可以跳过焊球的回流工序的技术。

[0009] [专利参考文献 1] 日本未审专利公开 No. 2002-14137

[0010] [专利参考文献 2] 日本未审专利公开 No. 2002-228682

[0011] [专利参考文献 3] 日本未审专利公开 No. 平成 5(1993)-283490

[0012] [专利参考文献 4] 日本未审专利公开 No. 2001-108706

发明内容

[0013] 作为半导体集成电路器件的测试技术,例如,有探针测试技术。该探针测试包括检查它是否操作预定功能的功能测试以及执行 DC 工作特性和 AC 工作特性的测试判断次品或合格品的测试。

[0014] 为了减小半导体集成电路器件的制造成本,半导体器件和布线被复杂地制造,半导体芯片(它也被仅仅称作“芯片”)的区域制得较小,以及每个晶片获得的芯片数目继续增加。因此,不仅测试焊盘(凸块电极)的数目增加,而且测试焊盘的排列形成窄的间距以及测试焊盘的面积被减小。当使用这种窄间距形成的测试焊盘的上述探针测试中使用具有悬臂式探测针的探针器时,根据测试焊盘存在的定位位置安装探测针变得困难。

[0015] 在使用具有悬臂式探针的探针器进行探针测试时,探针在测试焊盘的表面上擦拭,以便撕破每个测试焊盘的表面上方形成的自然氧化膜,由此使探针接触相应的测试焊盘。探针的擦拭不仅使每个测试焊盘的表面上方形成的自然氧化膜破裂,而且在测试焊盘的表面上形成凹痕。由于如上所述测试焊盘的面积变得更窄,这种凹痕占据每个测试焊盘的大部分表面。这导致在之后的步骤中不可避免地降低连接到测试焊盘的键合引线的粘附力。还担心随着测试焊盘的面积减小,探针的尖端部分偏离测试焊盘,以及在两个测试焊盘之间发生短路。

[0016] 此外,探针在测试焊盘的表面上的擦拭刮掉部分测试焊盘,且因此产生的刮屑粘附到探针的尖端部分。通过探针的重复,刮屑接二连三地粘附到探针的尖端部分,最终干扰探针和测试焊盘之间的电连接。在进行预定次数的探针探测之后,应该通过用某些清洁片磨擦探针的尖端部分清洗探针。这些不可避免的增加的清洗步骤延长探针测试步骤,也延长半导体集成电路器件的制造时间,导致半导体集成电路器件的生产成本上升的这种问题。

[0017] 如上所述,由于测试焊盘的数目增加和测试焊盘之间的间距变窄,执行探针测试变得困难。因此本发明人研究了通过使用探针器进行的测试,如图 79 所示,具有布线衬底 102 的探针器装备有悬臂式探针 101,以及使探针 101 与芯片的主表面上方的凸块电极接触。

[0018] 图 60 是探针测试过程中图 59 中的区域 A 的主要部分放大俯视图,以及图 61 是说明沿图 60 的线 C-C 的截面的基本部分的主要部分剖面图。在区域 A 中,凸块电极 103 的延伸方向几乎与探针 101 的延伸方向相同。在与凸块电极 103 接触(参考图 62 和 63)之后,探针 101 因此在凸块电极 103 的延伸方向(由图 60 和 61 中的箭头所示)擦拭。图 64 是在探针测试步骤过程中图 59 中的区域 B 的主要部分放大俯视图,以及图 65 是说明沿图 64 中的线 D-D 的截面的基本部分的主要部分放大剖面图。在区域 B 中,凸块电极 103 的延伸方向几乎与探针 101 的延伸方向交叉。在与凸块电极 103 接触(参考图 66 和 67)之后,探针 101 因此在与凸块电极 103 的延伸方向交叉的方向(由图 64 和 65 中的箭头所示)中擦拭(过驱动)。因此担心在探针 101 的擦拭之后,探针 101 的尖端部分偏离凸块电极 103,以及由探针 101 引起凸块电极 103 之间短路。

[0019] 目前,利用 DFT(可测试性设计)技术或 BIST(内建自测试)技术研究减小待与探针接触的测试焊盘数目的方法。但是 DFT(可测试性设计)技术或 BIST(内建自测试)技术的使用需要布置新的测试焊盘。为了防止元件或布线被探针与测试焊盘接触时的碰撞损伤,测试焊盘布置在其下既不形成元件又不形成布线的输入/输出区中。另一方面,随着半导体集成电路器件的运行速度增加,为了减小噪音(减小电源阻抗),对在它们的输入/输出区中布置大量的电源焊盘的需要正在增长。在限制尺寸的芯片中,每个输入/输出区的尺寸也被限制。因此电源焊盘的布置使之保持用于布置用于 DFT 技术或 BIST 技术的上述测试焊盘的区域是困难的。

[0020] 本发明的目的是提供一种技术,其中对半导体集成电路器件可实现电测试,该半导体集成电路器件具有形成为窄间距的测试焊盘。

[0021] 由本说明书的描述和附图将使本发明的上述及其他目的和新的特点变得清楚。

[0022] 下面将简要地说明本申请中所指出的发明的典型事件的概要。

[0023] 《1》一种半导体集成电路器件的制造方法,包括以下步骤:

[0024] (a) 制备已被分为两个或多个芯片区的半导体晶片,每个芯片区具有在其上方形成的半导体集成电路,以及具有在所述晶片的主表面上方形成的待电连接到所述半导体集成电路的两个或多个电极;

[0025] (b) 制备具有两个或多个接触端子的探针卡,该两个或多个接触端子可以接触所述两个或多个电极;以及

[0026] (c) 进行所述半导体集成电路的电测试,使所述两个或多个接触端子的尖端接触所述两个或多个电极;

[0027] 其中所述步骤 (b) 包括以下步骤:

[0028] (b1) 与其中形成第一布线的布线衬底相对,制备第一片,该第一片具有:用于接触所述两个或多个电极的所述两个或多个接触端子;电连接到所述两个或多个接触端子和所述第一布线的第二布线;以及邻近所述两个或多个接触端子的形成区域、被布置到所述第二布线的非形成区且不参与信号传送的第一虚拟布线;以及

[0029] (b2) 在所述步骤 (b1) 之后,在可以从所述第一片的没有形成有接触端子的一面按压所述第一片的其中形成所述两个或多个接触端子的区域的状态下,将所述第一片粘附到所述布线衬底(该步骤可以跳过)。

[0030] 《2》根据项 1 的半导体集成电路器件的制造方法,其中

[0031] 沿所述芯片区的周边以两个或多个序列布置所述两个或多个电极;以及

[0032] 在对准沿所述芯片区的所述周边的方向,交替地布置包含于第一序列中的所述电极和包含于第二序列中的所述电极。

[0033] 《3》根据项 2 的半导体集成电路器件的制造方法,其中

[0034] 所述虚拟布线包括以从所述第一片的中心部分朝着对应于所述电极阵列部分的部分放射的形状形成的布线。

[0035] 《4》一种半导体集成电路器件的制造方法,包括以下步骤:

[0036] (a) 制备已被分为两个或多个芯片区的半导体晶片,每个芯片区具有在其上方形成的半导体集成电路,并且所述半导体晶片具有在所述晶片的主表面上方形成的待电连接到所述半导体集成电路的两个或多个电极;

[0037] (b) 制备具有两个或多个接触端子的探针卡,该两个或多个接触端子可以接触所述两个或多个电极;以及

[0038] (c) 进行所述半导体集成电路的电测试,使所述两个或多个接触端子的尖端接触所述两个或多个电极;

[0039] 其中所述步骤 (b) 包括以下步骤:

[0040] (b1) 与其中形成第一布线的布线衬底相对,制备第一片,该第一片具有:用于接触所述两个或多个电极的所述两个或多个接触端子;电连接到所述两个或多个接触端子和所述第一布线的第二布线;以及沿该第二布线中的信号线形成的用于屏蔽件的金属布线,该信号线容易受所述第二布线当中的噪音影响;以及

[0041] (b2) 在所述步骤 (b1) 之后,在可以从所述第一片的没有形成有接触端子的一面按压所述第一片的其中形成所述两个或多个接触端子的区域的状态下,将所述第一片粘附到所述布线衬底(该步骤可以跳过)。

[0042] 《5》根据项 4 的半导体集成电路器件的制造方法,其中

[0043] 用于屏蔽件的所述金属布线被固定到接地电平上。

[0044] 《6》根据项 5 的半导体集成电路器件的制造方法,其中

[0045] 易于受所述第二布线当中的噪音影响的所述信号线被屏蔽,以便所述信号线可以放置在与所述信号线相同布线层的两个或多个用于屏蔽件的金属布线之间。

[0046] 《7》根据项 5 的半导体集成电路器件的制造方法,其中

[0047] 易于受所述第二布线当中的噪音影响的所述信号线被形成在上层或下层中的用于屏蔽件的所述金属布线屏蔽。

[0048] 《8》根据项 7 的半导体集成电路器件的制造方法,其中

[0049] 与易于受噪音影响的所述信号线的宽度相比,形成更宽的用于屏蔽件的所述金属布线。

[0050] 《9》一种半导体集成电路器件的制造方法,包括以下步骤:

[0051] (a) 制备已被分为两个或多个芯片区的半导体晶片,每个芯片区具有在其上方形成的半导体集成电路,并且所述半导体晶片具有在所述晶片的主表面上方形成的待电连接到所述半导体集成电路的两个或多个电极;

[0052] (b) 制备具有两个或多个接触端子的探针卡,该两个或多个接触端子可以接触所述两个或多个电极;以及

[0053] (c) 进行所述半导体集成电路的电测试,使所述两个或多个接触端子的尖端接触所述两个或多个电极;

[0054] 其中所述步骤 (b) 包括以下步骤:

[0055] (b1) 与其中形成第一布线的布线衬底相对,基于用于定位的标记,定位第一片,该第一片具有:用于接触所述两个或多个电极的所述两个或多个接触端子;电连接到所述两个或多个接触端子和所述第一布线的第二布线;以及一个图形,用该图形形成一个螺钉可以贯穿的螺孔和用于定位的所述标记;以及

[0056] (b2) 在所述步骤 (b1) 之后,在可以从所述第一片的没有形成有接触端子的一面按压所述第一片的其中形成所述两个或多个接触端子的区域的状态下,将所述第一片粘附到所述布线衬底(该步骤可以跳过)。

- [0057] 《10》根据项 9 的半导体集成电路器件的制造方法,其中
- [0058] 以从所述第一片的中心部分朝周边放射的形状形成所述第二布线,且在间隙中形成不参与信号传送的第二虚拟布线。
- [0059] 《11》一种半导体集成电路器件的制造方法,包括以下步骤:
- [0060] (a) 制备已被分为两个或多个芯片区的半导体晶片,每个芯片区具有在其上方形成的半导体集成电路,并且所述半导体晶片具有在所述晶片的主表面上方形成的待电连接到所述半导体集成电路的两个或多个电极;
- [0061] (b) 制备具有两个或多个接触端子的探针卡,该两个或多个接触端子可以接触所述两个或多个电极;以及
- [0062] (c) 进行所述半导体集成电路的电测试,使所述两个或多个接触端子的尖端接触所述两个或多个电极;
- [0063] 其中所述步骤 (b) 包括以下步骤:
- [0064] (b1) 将由不胀钢制成的第二片粘贴到第一片中形成所述两个或多个接触端子的区域背面的上方,该第一片包括用于接触所述两个或多个电极的所述两个或多个接触端子,以及电连接到所述两个或多个接触端子的第二布线;
- [0065] (b2) 在对应于所述两个或多个接触端子的形成位置的位置设置第一弹性体,以便可以贯穿所述第二片;
- [0066] (b3) 在所述第一弹性体的周围形成第二弹性体,在通过所述第一弹性体按压所述两个或多个接触端子的情况下,该第二弹性体可以保证所述两个或多个接触端子根部的平直度;以及
- [0067] (b4) 在所述步骤 (b3) 之后,在可以从第一片的没有形成有接触端子的一面按压所述第一片的其中形成所述两个或多个接触端子的区域的状态下,将所述第一片粘附到所述布线衬底(该步骤可以跳过)。
- [0068] 《12》根据项 11 的半导体集成电路器件的制造方法,其中
- [0069] 不胀钢包含作为主成分的 42 合金。
- [0070] 《13》根据项 11 的半导体集成电路器件的制造方法,其中
- [0071] 通过所述第二弹性体的横截面积调整与所述第一片相关的张力。
- [0072] 《14》根据项 11 的半导体集成电路器件的制造方法,其中
- [0073] 通过形成所述第二弹性体的数目调整与所述第一片相关的所述张力。
- [0074] 《15》一种半导体集成电路器件的制造方法,包括以下步骤:
- [0075] (a) 制备已被分为两个或多个芯片区的半导体晶片,每个芯片区具有在其上方形成的半导体集成电路,并且所述半导体晶片具有在所述晶片的主表面上方形成的待电连接到所述半导体集成电路的两个或多个电极;
- [0076] (b) 制备具有两个或多个接触端子的探针卡,该两个或多个接触端子可以接触所述两个或多个电极;以及
- [0077] (c) 进行所述半导体集成电路的电测试,使所述两个或多个接触端子的尖端接触所述两个或多个电极;
- [0078] 其中所述步骤 (b) 包括以下步骤:
- [0079] (b1) 与其中形成第一布线的布线衬底相对,制备第一片,该第一片具有:用于接

触所述两个或多个电极的所述两个或多个接触端子；电连接到所述两个或多个接触端子和所述第一布线的第二布线；与第一环的接触部分；以及与第二环的接触部分，该第二环具有小于所述第一环的直径，其中在与所述第一环的接触部分外侧处或在与所述第二环的接触部分内侧处形成用于连接不同布线层之间的布线的通孔；以及

[0080] (b2) 在所述步骤 (b1) 之后，在可以从所述第一片的没有形成有接触端子的一面按压所述第一片的其中形成所述两个或多个接触端子的区域的状态下，将所述第一片粘附到所述布线衬底（该步骤可以跳过）。

[0081] 《16》根据项 15 的半导体集成电路器件的制造方法，其中

[0082] 在所述不同布线层之间的布线的连接部分中形成两个或多个通孔。

[0083] 《17》一种半导体集成电路器件的制造方法，包括以下步骤：

[0084] (a) 制备已被分为两个或多个芯片区的半导体晶片，每个芯片区具有在其上方形成的半导体集成电路，并且所述半导体晶片具有在所述晶片的主表面上方形成的待电连接到所述半导体集成电路的两个或多个电极；

[0085] (b) 制备具有两个或多个接触端子的探针卡，该两个或多个接触端子可以接触所述两个或多个电极；以及

[0086] (c) 进行所述半导体集成电路的电测试，使所述两个或多个接触端子的尖端接触所述两个或多个电极；

[0087] 其中所述步骤 (b) 包括以下步骤：

[0088] (b1) 与其中形成第一布线的布线衬底相对，制备第一片，该第一片具有：用于接触所述两个或多个电极的所述两个或多个接触端子；电连接到所述两个或多个接触端子和所述第一布线的第二布线；以及包括无源元件的电路，其邻近所述两个或多个接触端子形成且连接到所述第二布线；以及

[0089] (b2) 在所述步骤 (b1) 之后，在可以从所述第一片的没有形成有接触端子的一面按压所述第一片的其中形成所述两个或多个接触端子的区域的状态下，将所述第一片粘附到所述布线衬底（该步骤可以跳过）。

[0090] 《18》根据项 17 的半导体集成电路器件的制造方法，其中

[0091] 所述无源元件中包括电阻器、电感器和电容器中的至少一种。

[0092] 《19》根据项 17 的半导体集成电路器件的制造方法，其中

[0093] 所述电路中包括用于调整信号传送系统的阻抗的阻抗调整电路。

[0094] 《20》一种半导体集成电路器件的制造方法，包括以下步骤：

[0095] (a) 制备已被分为两个或多个芯片区的半导体晶片，每个芯片区具有在其上方形成的半导体集成电路，并且所述半导体晶片具有在所述晶片的主表面上方形成的待电连接到所述半导体集成电路的两个或多个电极；

[0096] (b) 制备具有两个或多个接触端子的探针卡，该两个或多个接触端子可以接触所述两个或多个电极；以及

[0097] (c) 进行所述半导体集成电路的电测试，使所述两个或多个接触端子的尖端接触所述两个或多个电极；

[0098] 其中所述步骤 (b) 包括以下步骤：

[0099] (b1) 与布线衬底相对，制备第一片，该布线衬底具有压焊焊盘、用于在步骤 (c) 中

能够与外部交换各种信号的跷座 (pogo-seat)、以及用于规则地连接所述压焊焊盘和所述跷座的第一布线,该第一片具有用于接触所述两个或多个电极的所述两个或多个接触端子以及用于将所述接触端子电连接到所述压焊焊盘的第二布线;以及

[0100] (b2) 在所述步骤 (b1) 之后,在可以从所述第一片的没有形成有接触端子的一面按压所述第一片的其中形成所述两个或多个接触端子的区域的状态下,将所述第一片粘附到所述布线衬底(该步骤可以跳过)。

[0101] 《21》根据项 20 的半导体集成电路器件的制造方法,其中

[0102] 使所述步骤 (b1) 中的所述压焊焊盘和所述跷座的布置对应于所述半导体晶片中的所述两个或多个电极的布置。

[0103] 《22》根据项 21 的半导体集成电路器件的制造方法,其中

[0104] 所述布线衬底包含作为主成分的玻璃环氧树脂。

[0105] 《23》一种半导体集成电路器件的制造方法,包括以下步骤:

[0106] (a) 制备已被分为两个或多个芯片区的半导体晶片,每个芯片区具有在其上方形成的半导体集成电路,并且所述半导体晶片具有在所述晶片的主表面上方形成的待电连接到所述半导体集成电路的两个或多个电极;

[0107] (b) 制备具有两个或多个接触端子的探针卡,该两个或多个接触端子可以接触所述两个或多个电极;以及

[0108] (c) 进行所述半导体集成电路的电测试,使所述两个或多个接触端子的尖端接触所述两个或多个电极;

[0109] 其中所述步骤 (b) 包括以下步骤:

[0110] (b1) 与其中形成第一布线的布线衬底相对,制备第一片,其中对应于所述两个或多个分开的芯片区,复数地形成用于接触所述两个或多个电极的所述两个或多个接触端子以及电连接到所述两个或多个接触端子和所述第一布线的第二布线;以及

[0111] (b2) 在所述步骤 (b1) 之后,在可以从所述第一片的没有形成有接触端子的一面按压所述第一片的其中形成所述两个或多个接触端子的区域的状态下,将所述第一片粘附到所述布线衬底(该步骤可以跳过)。

[0112] 《24》一种探针卡,包括:

[0113] (a) 布线衬底,其具有:压焊焊盘;用于能够与外部装置交换信号的跷座;以及用于进行所述压焊焊盘和所述跷座的电连接的第一布线;

[0114] (b) 第一片,其具有:可以接触在半导体晶片的主表面形成的两个或多个电极的两个或多个接触端子;可以电连接所述两个或多个接触端子和所述压焊焊盘的第二布线;以及接近所述两个或多个接触端子的形成区域、布置到所述第二布线的非形成区域且不参与信号传送的第一虚拟布线;

[0115] (c) 第一环,用于将所述第一片粘附到所述布线衬底;以及

[0116] (d) 按压机构,其由所述布线衬底支撑,并且该按压机构可以从所述第一片的没有形成有接触端子的一面在所述第一片中形成所述两个或多个接触端子的区域周围按压。

[0117] 《25》一种探针卡,包括:

[0118] (a) 布线衬底,其具有:压焊焊盘;用于能够与外部装置交换信号的跷座;以及用于进行所述压焊焊盘和所述跷座的电连接的第一布线;

[0119] (b) 第一片,其具有:可以接触在半导体晶片的主表面形成的两个或多个电极的两个或多个接触端子;可以电连接所述两个或多个接触端子和所述压焊焊盘的第二布线;以及沿易于受所述第二布线当中的噪音影响的第二布线中的信号线形成的用于屏蔽件的金属布线;

[0120] (c) 第一环,用于将所述第一片粘附到所述布线衬底;以及

[0121] (d) 按压机构,其由所述布线衬底支撑,并且该按压机构可以从所述第一片的没有形成有接触端子的一面在所述第一片中形成所述两个或多个接触端子的区域的周围按压。

[0122] 《26》一种探针卡,包括:

[0123] (a) 布线衬底,其具有:压焊焊盘;用于能够与外部装置交换信号的跷座;以及用于进行所述压焊焊盘和所述跷座的电连接的第一布线;

[0124] (b) 第一片,其具有:可以接触在半导体晶片的主表面形成的两个或多个电极的两个或多个接触端子;可以电连接所述两个或多个接触端子和所述压焊焊盘的第二布线;以及一个图形,用该图形形成一个螺钉可以贯穿的螺孔和用于定位的所述标记;

[0125] (c) 第一环,用于将所述第一片螺钉止动到所述布线衬底,其中所述第一片由用于定位的所述标记进行定位;以及

[0126] (d) 按压机构,其由所述布线衬底支撑,并且该按压机构可以从所述第一片的没有形成有接触端子的一面在所述第一片中形成所述两个或多个接触端子的区域的周围按压。

[0127] 《27》一种探针卡,包括:

[0128] (a) 布线衬底,其具有:压焊焊盘;用于能够与外部装置交换信号的跷座;以及用于进行所述压焊焊盘和所述跷座的电连接的第一布线;

[0129] (b) 第一片,其具有:可以接触在半导体晶片的主表面形成的两个或多个电极的两个或多个接触端子;以及可以电连接所述两个或多个接触端子和所述压焊焊盘的第二布线;

[0130] (c) 由不胀钢制成的第二片,该第二片粘贴在所述第一片中的其中形成所述两个或多个接触端子的区域的背面上方;

[0131] (d) 第一弹性体,设置在对应于所述两个或多个接触端子的形成位置的一个位置以便可以贯穿所述第二片;

[0132] (e) 第二弹性体,形成在所述第一弹性体的周围,并且在通过所述第一弹性体按压所述两个或多个接触端子的情况下,该第二弹性体可以保证所述两个或多个接触端子根部的平直度;

[0133] (f) 第一环,用于将所述第一片粘附到所述布线衬底;以及

[0134] (g) 按压机构,其由所述布线衬底支撑,并且该按压机构可以从所述第一片的没有形成有接触端子的一面在所述第一片中形成所述两个或多个接触端子的区域的周围按压。

[0135] 《28》一种探针卡,包括:

[0136] (a) 布线衬底,其具有:压焊焊盘;用于能够与外部装置交换信号的跷座;以及用于进行所述压焊焊盘和所述跷座的电连接的第一布线;

[0137] (b) 第一片,其具有:可以接触在半导体晶片的主表面形成的两个或多个电极的两个或多个接触端子;可以电连接所述两个或多个接触端子和所述压焊焊盘的第二布线;与第一环的接触部分;以及与第二环的接触部分,该第二环具有小于所述第一环的直径,其

中在与所述第一环的接触部分外侧处或在与所述第二环的接触部分内侧处形成用于连接不同布线层之间的布线的通孔；

[0138] (c) 第一环,用于将所述第一片粘附到所述布线衬底;以及

[0139] (d) 按压机构,其由所述布线衬底支撑,并且该按压机构可以从所述第一片的没有形成有接触端子的一面在所述第一片中形成所述两个或多个接触端子的区域的周围按压。

[0140] 《29》一种探针卡,包括:

[0141] (a) 布线衬底,其具有:压焊焊盘;用于能够与外部装置交换信号的跷座;以及用于进行所述压焊焊盘和所述跷座的电连接的第一布线;

[0142] (b) 第一片,其具有:可以接触在半导体晶片的主表面形成的两个或多个电极的两个或多个接触端子;可以电连接所述两个或多个接触端子和所述压焊焊盘的第二布线;以及包括无源元件的电路,其接近所述两个或多个接触端子形成并被连接到所述第二布线;

[0143] (c) 第一环,用于将所述第一片粘附到所述布线衬底;以及

[0144] (d) 按压机构,其由所述布线衬底支撑,并且该按压机构可以从所述第一片的没有形成有接触端子的一面在所述第一片中形成所述两个或多个接触端子的区域的周围按压。

[0145] 《30》一种探针卡,包括:

[0146] (a) 布线衬底,其具有:压焊焊盘;用于能够与外部装置交换信号的跷座;以及用于进行所述压焊焊盘和所述跷座的电连接的第一布线;

[0147] (b) 第一片,其具有:可以接触在半导体晶片的主表面中形成的两个或多个电极的两个或多个接触端子;以及可以电连接所述两个或多个接触端子和所述压焊焊盘的第二布线;

[0148] (c) 第一环,用于将所述第一片粘附到所述布线衬底;以及

[0149] (d) 按压机构,其由所述布线衬底支撑,并且该按压机构可以从所述第一片的没有形成有接触端子的一面在所述第一片中形成所述两个或多个接触端子的区域的周围按压。

[0150] 《31》一种探针卡,包括:

[0151] (a) 布线衬底,其具有:压焊焊盘;用于能够与外部装置交换信号的跷座;以及用于进行所述压焊焊盘和所述跷座的电连接的第一布线;

[0152] (b) 第一片,其中对应于两个或多个分开的芯片区,复数地形成两个或多个接触端子以及可电连接所述两个或多个接触端子和所述压焊焊盘的第二布线,该两个或多个接触端子可以接触半导体晶片中的两个或多个电极,在该半导体晶片的主表面上形成有所述两个或多个电极,同时该半导体晶片被分成所述两个或多个芯片区;

[0153] (c) 第一环,用于将所述第一片粘附到所述布线衬底;以及

[0154] (d) 按压机构,其由所述布线衬底支撑,并且该按压机构可以从所述第一片的没有形成有接触端子的一面在所述第一片中形成所述两个或多个接触端子的区域的周围按压。

[0155] 下面简要地说明本申请中指示的发明当中的典型情况获得的效果。

[0156] 亦即,可以对具有形成为窄间距的测试焊盘的半导体集成电路进行电测试(探针测试)。

附图说明

[0157] 图1是本发明的实施方式1的探针卡下表面的主要部分的俯视图;

- [0158] 图 2 是沿图 1 中的 A-A 线的剖面图；
- [0159] 图 3 是上述探针卡的上表面的主要部分的俯视图；
- [0160] 图 4 是探针卡下表面的主要部分的俯视图,用于说明上述探针卡中的布线；
- [0161] 图 5 是上述探针卡中的薄膜片的中心部分的布线图；
- [0162] 图 6 是布线图,其与图 5 所示的布线相比较；
- [0163] 图 7 是上述探针卡中的薄膜片的中心部分的布线图；
- [0164] 图 8 是上述探针卡中的薄膜片的中心部分的布线图；
- [0165] 图 9 是上述探针卡中的薄膜片的主要部分的俯视图；
- [0166] 图 10 是沿图 9 中的 B-B 线的剖面图；
- [0167] 图 11 是沿图 9 中的 C-C 线的剖面图；
- [0168] 图 12 是半导体晶片的俯视图,利用该半导体晶片形成使用本发明实施方式 1 的探针卡进行探针测试的目标半导体芯片区域；
- [0169] 图 13 是目标半导体芯片的俯视图,使用本发明实施方式 1 的探针卡对该目标半导体芯片进行探针测试；
- [0170] 图 14 是在图 13 所示的半导体芯片中形成的焊盘的透视图；
- [0171] 图 15 是表明图 14 所示的半导体芯片的液晶面板的连接方法的主要部分剖面图；
- [0172] 图 16 是形成本发明的实施方式 1 的探针卡的薄膜片的主要部分的俯视图；
- [0173] 图 17 是形成本发明的实施方式 1 的探针卡的薄膜片的主要部分的俯视图；
- [0174] 图 18 是形成本发明的实施方式 1 的探针卡的薄膜片的主要部分的俯视图；
- [0175] 图 19 是沿图 18 中的 D-D 线的剖面图；
- [0176] 图 20 是沿图 18 中的 E-E 线的剖面图；
- [0177] 图 21 是说明形成本发明实施方式 1 的探针卡的薄膜片的制造工序的主要部分的剖面图；
- [0178] 图 22 是图 21 之后的薄膜片的制造工序中主要部分的剖面图；
- [0179] 图 23 是图 22 之后的薄膜片的制造工序中主要部分的剖面图；
- [0180] 图 24 是图 23 之后的薄膜片的制造工序中主要部分的剖面图；
- [0181] 图 25 是图 24 之后的薄膜片的制造工序中主要部分的剖面图；
- [0182] 图 26 是图 25 之后的薄膜片的制造工序中主要部分的剖面图；
- [0183] 图 27 是图 26 之后的薄膜片的制造工序中主要部分的剖面图；
- [0184] 图 28 是图 27 之后的薄膜片的制造工序中主要部分的剖面图；
- [0185] 图 29 是图 28 之后的薄膜片的制造工序中主要部分的剖面图；
- [0186] 图 30 是本发明实施方式 2 的探针卡中的薄膜片的主要部分的俯视图；
- [0187] 图 31 是本发明实施方式 2 的探针卡中的薄膜片的主要部分的示图；
- [0188] 图 32 是本发明实施方式 3 的探针卡中的薄膜片的主要部分的俯视图；
- [0189] 图 33 是本发明实施方式 3 的探针卡中的薄膜片中形成的主要电路的示图；
- [0190] 图 34 是本发明实施方式 3 的探针卡中的薄膜片中形成的主要电路的示图；
- [0191] 图 35 是本发明实施方式 4 的探针卡中的薄膜片的主要部分的俯视图；
- [0192] 图 36 是图 35 中的螺孔形成图形的俯视图；
- [0193] 图 37 是作为本发明实施方式 5 的探针卡的比较目标的探针卡中的薄膜片的主要

部分的剖面图；

[0194] 图 38 是作为本发明的实施方式 5 的探针卡的比较目标的探针卡中的薄膜片的主要部分剖面图；

[0195] 图 39 是本发明的实施方式 5 的探针卡中的薄膜片的主要部分的剖面图；

[0196] 图 40 是本发明的实施方式 5 的探针卡中的薄膜片的主要部分的剖面图；

[0197] 图 41 是本发明的实施方式 5 的探针卡中的薄膜片的主要部分的剖面图；

[0198] 图 42 是本发明的实施方式 5 的探针卡中的薄膜片的主要部分的剖面图；

[0199] 图 43 是本发明的实施方式 5 的探针卡中的薄膜片的主要部分的俯视图；

[0200] 图 44 是本发明的实施方式 5 的探针卡中的薄膜片的主要部分的俯视图；

[0201] 图 45 是本发明的实施方式 5 的探针卡中的薄膜片的主要部分的俯视图；

[0202] 图 46 是本发明的实施方式 5 的探针卡中的薄膜片的主要部分的俯视图；

[0203] 图 47 是本发明的实施方式 5 的探针卡中的薄膜片的主要部分的俯视图；

[0204] 图 48 是作为本发明的实施方式 5 的探针卡的比较目标的探针卡中的薄膜片的主要部分剖面图；

[0205] 图 49 是本发明的实施方式 5 的探针卡中的薄膜片的主要部分的俯视图；

[0206] 图 50 是本发明的实施方式 5 的探针卡中的薄膜片的主要部分的俯视图；

[0207] 图 51 是本发明的实施方式 5 的探针卡中的薄膜片的主要部分的俯视图；

[0208] 图 52 是实施方式 6 的探针卡中的薄膜片的主要部分的俯视图；

[0209] 图 53 是图 52 中的主要部分的剖面图；

[0210] 图 54 是作为本发明的实施方式 7 的探针卡的比较目标的探针卡中的布线衬底的主要部分的俯视图；

[0211] 图 55 是沿图 54 中的 F-F 线的剖面图；

[0212] 图 56 是实施方式 7 的探针卡中的布线衬底的主要部分的俯视图；

[0213] 图 57 是沿图 56 中的 F-F 线的剖面图；

[0214] 图 58 是实施方式 8 的探针卡中的布线衬底的主要部分的俯视图；

[0215] 图 59 是本发明人检查的探针器的主要部分的俯视图；

[0216] 图 60 是探针测试步骤中经放大并示出的图 59 中的一个区域的主要部分的俯视图；

[0217] 图 61 是示出沿图 60 中 C-C 线的截面的主要部分的主要部分的剖面图；

[0218] 图 62 是图 61 之后的探针测试步骤中经放大并示出的图 59 中的一个区域的主要部分的俯视图；

[0219] 图 63 是示出沿图 62 中 C-C 线的截面的主要部分的主要部分的剖面图；

[0220] 图 64 是在探针测试步骤中经放大并示出的图 59 中的一个区域的主要部分的俯视图；

[0221] 图 65 是示出沿图 64 中 D-D 线的截面的主要部分的主要部分的剖面图；

[0222] 图 66 是在图 64 之后的探针测试步骤中经放大并示出的图 59 中的一个区域的主要部分的俯视图；以及

[0223] 图 67 是示出了沿图 66 中 D-D 线的截面的主要部分的主要部分的剖面图。

具体实施方式

[0224] 在详细描述根据本申请的本发明之前,接下来描述在此使用的术语的含义。

[0225] 术语“晶片”意指单晶硅衬底(通常具有基本平坦的盘形)、SOI(硅绝缘物)衬底、蓝宝石衬底、玻璃衬底、或任意其他绝缘、半绝缘或半导体衬底,或用于集成电路制造的复合衬底。在此使用的术语“半导体集成电路器件”不仅意指在半导体或绝缘体衬底如硅晶片或蓝宝石衬底上方制造的半导体集成电路器件,而且也指在其他绝缘衬底如玻璃衬底例如 TFT(薄膜晶体管)和 STN(超扭曲向列型)液晶上方形成的半导体集成电路器件,除非另外特别地指出。

[0226] 术语“器件表面”意指其上方将通过光刻形成对应于多个芯片区的器件图形的晶片主表面。

[0227] 术语“探针卡”意指具有将与待测试的晶片和多层布线衬底接触的接触端子的结构体,而术语“半导体测试设备”意指具有探针卡和其上放置待测试晶片样品的支架的测试设备。

[0228] 通过结合与利用硅晶片制造半导体集成电路相同的晶片工序的构图技术,即,光刻技术、CVD(化学气相淀积)技术、溅射技术、刻蚀技术等,在薄膜片中形成上述接触端子。

[0229] 术语“探针测试”意指通过使用探针卡对已完成晶片步骤的晶片进行电测试,更具体地,通过将接触端子的尖端部分按压住芯片区的主表面上方形成的电极,对半导体集成电路进行电测试。在探针测试中,基于用于发现产品功能是否符合规格的功能测试结果或对 DC 工作特性和 AC 工作特性测试的结果,判断该电路为次品或合格品。在晶片被分为芯片之后(或封装完成之后),将待执行的最终测试,如选择测试等与探针测试相区别。在探针测试之后通过进行切割,它被分为芯片并通过对每个芯片执行的老化检查和对各种执行的操作的测试将优秀产品归类。

[0230] 在下述实施方式中,将在必要时为了方便起见,将描述分为多个部分或多个实施方式。这些多个部分或实施方式不是彼此独立的,而是相互关联的,使得一个是另一个的部分或整体的提高例子、详细的或补充的描述,除非另外特别地指出。

[0231] 在下述实施方式中,当要参考元件数目(包括数目、值、数量和范围)时,该数目不局限于具体数目,而是可以大于或小于具体数目,除非另外特别地指出或基本清楚该数目限于该具体数目。

[0232] 而且,在下述实施方式中,无需说构成元素(包括元素步骤)并不总是必需的,除非另外特别地指出,或基本清楚它们是必需的。

[0233] 类似地,在下述实施方式中,当参考构成元件的形状或位置关系时,也包含大体上类似或相似于它的形状或位置,除非另外特别地指出,或大体上清楚它不是如此。这些也应用于上述值和范围。

[0234] 在用于描述实施方式的所有附图中,具有相同功能的元件将由相同的标号标识,并且将省略重复的描述。

[0235] 在下述实施方式中使用的附图中,为了便于理解即使俯视图有时也被部分地画上阴影线。

[0236] 此后,基于附图详细说明本发明的实施方式。

[0237] (实施方式 1)

[0238] 图 1 是实施方式 1 的探针卡下表面的主要部分俯视图,图 2 是沿图 1 中的 A-A 线的剖面图。图 3 是上述探针卡的上表面的主俯视图。

[0239] 如图 1 和图 2 所示,实施方式 1 的探针卡(第一卡),例如由多层布线衬底(它可以仅称作“布线衬底”)1、薄膜片(薄膜探针(第一片))2、柱塞(按压机构)3 等形成。薄膜片 2 利用压紧环(第一环)4 固定到多层布线衬底 1 的下表面上,以及在多层布线衬底 1 的上表面粘附柱塞 3。在多层布线衬底 1 的中心部分形成开口部分 5,以及通过该开口部分 5 中的粘结环(第二环)6 粘合薄膜片 2 和柱塞 3。薄膜片 2 的边界部分用周边环 4A 固定到多层布线衬底 1 上,周边环 4A 具有比上述压紧环 4 更大的直径。

[0240] 例如在薄膜片 2 的下表面形成两个或多个 4 棱锥型或 4 平截-棱锥型探针(接触端子)7。在薄膜片 2 中,形成电连接到每个探针 7 和从每个探针 7 延伸至薄膜片 2 的端部的两个或多个布线(第二布线)。以从薄膜片 2 的中心部分的探针 7 形成区域朝薄膜片 2 的边界部分放射的形状形成这两个或多个布线,如图 4 中的 23 所示。

[0241] 在多层布线衬底 1 的下表面中形成两个或多个压焊焊盘。这些两个或多个压焊焊盘对应于多层布线衬底 1 中的两个或多个布线的端部形成,且当在多层布线衬底 1 中粘附薄膜片 2 时,电连接到布线的端部,例如如图 55 和图 57 中的 543 所示。两个或多个压焊焊盘 543 通过多层布线衬底 1 中形成的布线(第一布线)电连接到在多层布线衬底 1 的上表面中设置的两个或多个跷座 8。在多层布线衬底 1 的上表面中形成许多跷座 8,如图 3 所示。例如如图 55 或图 57 所示,跷座 8 具有接收跷座触点 549 的功能,用于当进行半导体集成电路的电测试时能够与测试器(未示出)交换各种信号。跷座触点 549 通过按压在尖端处建立触销的弹簧能够与跷座 8 电连接。在实施方式 1 中,薄膜片 2 由例如聚酰亚胺作为主成份的薄膜形成。由于这种薄膜片 2 具有柔韧性,为了使所有探针 7 与芯片(半导体集成电路器件)的焊盘接触,在实施方式 1 中,它具有如下结构:柱塞 3 通过按压工具(按压机构)9 从上表面(后表面)按压其中形成探针 7 的区域的薄膜片 2。亦即,根据柱塞 3 中布置的弹簧 3A 的弹性能量,将固定的压力施加到按压工具 9。在实施方式 1 中,42 合金可以被例举作为按压工具 9 的材质。

[0242] 这里,为了使所有探针接触芯片的焊盘,例如,日本未审专利公开 No. 2001-159643 指出了柱塞按压探针的探针卡结构。

[0243] 在实施方式 1 中,例如,具有在其上方形成的 LCD(液晶显示器)驱动器的芯片经受使用探针卡的探针测试(电测试)。图 12 是分为多个芯片(芯片区)10 的晶片 WH 的俯视图。分为芯片 10 的晶片 WH 经受使用实施方式 1 的探针卡的探针测试。图 13 包括芯片 10 的俯视图及其部分放大视图。芯片 10 由例如单晶硅衬底制成,以及在芯片的主表面上方形形成 LCD 驱动电路。在芯片 10 的主表面的周边布置了电连接到 LCD 驱动电路的大量焊盘(第一电极)11 和 12。在图 13 中,沿芯片 10 的上长侧边和两个短侧边布置的焊盘 11 每个用作输出端子,而沿芯片 10 的下长侧边布置的焊盘 12 每个用作输入端子。LCD 驱动器的输出端子的数目大于输入端子的数目,以便尽可能地加宽两个相邻焊盘 11 之间的距离,沿芯片 10 的上长侧边和两个短侧边呈两行布置焊盘 11,芯片 10 的上长侧边和两个短侧边上的这两行焊盘 11 交替地布置。在实施方式 1 中,两个相邻焊盘 11 之间的间距 LP 约为 $45\ \mu\text{m}$ 。在实施方式 1 中,焊盘 11 在俯视图中每个是矩形。在与芯片 10 的外圆周长的交叉(呈直角)方向中延伸的长侧边的长度 LA 约为 $80\ \mu\text{m}$,而沿芯片 10 的外圆周长延伸的短侧边的长

度 LB 约为 $30\ \mu\text{m}$ 。

[0244] 焊盘 11 和 12 是由例如 Au(金)制成的凸块电极(凸出电极),它们通过电镀、非电解电镀、淀积、溅射等方法形成在芯片 10 的输入/输出端子(键合焊盘)上。图 14 是焊盘 11 的透视图。焊盘 11 具有约 $15\ \mu\text{m}$ 的高度 LC 和焊盘 12 具有相似的高度。

[0245] 通过根据常规半导体制造技术,在晶片主表面上方大量分开的芯片区中形成 LCD 驱动电路(半导体集成电路)或输入/输出端子(键合焊盘),通过上述方法在输入/输出端子上方形成焊盘 11,以及将晶片切割为各个芯片区,可以制造芯片 10。在实施方式 1 中,在晶片的切割之前针对每个芯片执行探针测试。在下文中描述探针测试时(焊盘 11 和 12 与探针 7 接触的步骤),芯片 10 意指晶片的切割之前的每个芯片区,除非另外明确地指出。

[0246] 图 15 是说明芯片 10 连接到液晶板的方法的主要部分剖面图。如图 15 所示,液晶板具有例如,具有在其主表面上方形成的图片电极 14 和 15 的玻璃衬底 16、液晶层 17 和通过液晶层 17 与玻璃衬底 16 相对布置的玻璃衬底 18。在实施方式 1 中,通过芯片 10 的面朝下键合,芯片 10 可以被连接到液晶板,以便焊盘 11 和 12 分别连接到液晶板的玻璃衬底 16 上方的图片电极 14 和 15。

[0247] 图 1 中的上述薄膜片 2 的中心部分(探针 7 附近)被放大并显示在图 5 中。图 1 中的上述探针 7 被放大并显示在图 9 中。图 10 是沿图 9 中的 B-B 线的主要部分的剖面图,以及图 11 是沿图 9 中的 C-C 线的主要部分的剖面图。

[0248] 在上述薄膜片 2 中的中心部分形成探针形成区域 700,这里以矩形的形状布置两个或多个探针 7。以从探针形成区域 700 朝着薄膜片 2 的边界部分放射的形状形成布线 23。并且在实施方式 1 的探针卡中,形成虚拟布线 23A,其与以从上述探针形成区域 700 朝着薄膜片 2 的边界部分放射状形成的布线 23 无关。在上述布线 23 中虚拟布线 23A 被绝缘,并且不参与信号传递。图 6 省略了图 5 中的虚拟布线 23A。在不存在上述布线 23 的位置形成虚拟布线 23A,以便清楚地区分图 5 和图 6。如图 6 所示,当不存在虚拟布线 23A 时,在不形成布线 23 的位置薄膜片 2 的硬度较小,而在形成布线 23 的位置薄膜片 2 的硬度较大。因此,在探针形成区域 700 的内侧和外侧,薄膜片 2 的硬度平衡将被破坏。这样,在探针形成区域 700 中形成的探针 7 和芯片的焊盘的接触状态就可能产生故障。例如,当沿晶片的芯片部分周边进行电极的两个或多个顺序布置时,对应于它,对探针形成区域 700 进行探针形成区域 700 形成的探针 7 的两个或多个顺序形成(参考图 4)。但是,如图 6 所示,当不存在虚拟布线 23A 时,在探针形成区域 700 的内侧和外侧薄膜片 2 的硬度平衡将被破坏。并且有可能探针形成区域 700 内部的探针和芯片焊盘的接触状态变得特别不好。另一方面,由于如图 5 所示在上述布线 23 不存在的位置形成虚拟布线 23A 时,在探针形成区域 700 的内侧和外侧上薄膜片 2 的硬度相等,所以探针 7 和芯片的焊盘的接触状态可以保持良好。

[0249] 如图 9 所示,每个探针 7 是薄膜片 2 中已被构图为六边形平面形状的金属膜 21A 或 21B 的部分,且它是金属膜 21A 或 21B 从薄膜片 2 的下表面凸出的部分,如 4 棱锥或 4 平截-棱锥型。根据芯片 10 上方形成的焊盘 11 和 12 的位置,在薄膜片 2 的主表面上方布置探针 7。图 9 示出了对应于焊盘 11 的探针 7 的位置。这些探针 7 中的探针 7A 对应于呈两行布置的焊盘 11 当中较接近芯片 10 的外圆周长的行(在下文中该行将称作“第一行”)的焊盘 11,而探针 7B 对应于呈两行布置的焊盘 11 当中较远离芯片 10 的外圆周长的另一行(在下文中将称作“第二行”)的焊盘 11。最接近的两个探针 7A 和探针 7B 之间的距离在图

9 所示的纸上的水平方向定义为距离 LX, 在垂直方向上定义为 LY, 距离 LX 是 $22.5\ \mu\text{m}$, 为两个相邻焊盘 11 的间距 LP 的一半。在实施方式 1 中, 距离 LY 约为 $100\ \mu\text{m}$ 。

[0250] 例如通过以提及的顺序依次堆叠铯膜和镍膜, 分别形成金属膜 21A 和 21B。在金属膜 21A 和 21B 上方形成聚酰亚胺膜 22, 并在聚酰亚胺膜 22 上方形成连接到每个金属膜 21 的布线 (第二布线) 23。在聚酰亚胺膜 23 中形成的通孔 24 的底部, 布线 23 与金属膜 21A 和 21B 接触。在聚酰亚胺膜 22 和布线 23 上方形成聚酰亚胺膜 25。

[0251] 如上所述, 金属膜 21A 和 21B 部分地变为以 4 棱锥或 4 平截-棱锥形状形成的探针 7A 和 7B, 并且在聚酰亚胺膜 22 中形成延伸至每个金属膜 21A 和 21B 的通孔 24。如果具有在其中形成的探针 7A 和通孔 24 的金属膜 21A 的平面图形和具有在其中形成的探针 7B 和通孔 24 的金属膜 21B 的平面图形布置在同一方向, 则会有这样的担心由于相邻金属膜 21A 和金属膜 21B 之间不可避免的接触, 由探针 7A 可利用的输入/输出和由 7B 可利用的输入/输出不会彼此独立。在该实施方式 1 中, 如图 9 所示, 通过将具有在其中形成的探针 7A 和通孔 24 的金属膜 21A 的平面图形旋转 180° 度, 获得具有在其中形成的探针 7B 和通孔 24 的金属膜 21B 的平面图形。这样就可以避免在纸张上的水平线上, 具有探针 7A 和在其中布置的通孔 24 的金属膜 21A 的宽度部分以及具有探针 7B 和在其中布置的通孔 24 的金属 21B 的宽度部分平面排列。而是代之以在纸张上的水平线上以平面形状布置金属膜 21A 和金属膜 21B 的向前的锥形部分。结果, 可以防止相邻金属膜 21A 和金属膜 21B 之间不可避免的接触引起的不利。

[0252] 使用与布线 23 相同的布线层形成上述虚拟布线 23A, 如图 11 所示。可以从薄片 2 的中心部分朝探针形成区域 700 放射的形状形成上述虚拟布线 23A, 如图 7 所示。而且, 如图 8 所示, 它们可以仅仅在探针形成区域 700 的邻近区域中形成, 且在薄片 2 的中心部分中, 上述虚拟布线 23A 的形成可以被省略。

[0253] 在实施方式 1 中, 描述了具有呈两行布置的焊盘 11 的芯片。另一方面, 当芯片具有一行布置的焊盘时, 如图 16 所示, 可以使用其中在纸张上的水平线上布置金属膜 21A 的宽度部分的薄片 2。当芯片具有更大数目的焊盘 11 时, 它们有时呈至少 3 行的布置。图 17 是适于以三行布置的焊盘 11 的薄片 2 的主要部分的俯视图, 而图 18 是适于以四行布置的焊盘 11 的薄片 2 的主要部分的俯视图。当芯片的尺寸不改变时, 随布置的焊盘 11 数目的增加, 使用图 9 所说明的距离 LX 变得较窄, 则会有这样的担心, 包括金属膜 21A 和 21B 的金属膜之间将发生接触。如图 17 和 18 所示, 通过利用将图 9 的金属膜 21A 的平面图形旋转 45° 度获得的那些平面图形作为金属膜 21A、21B、21C 和 21D, 可以防止因金属膜 21A、21B、21C 和 21D 之间相互接触的不利。这里, 图 9 所示的金属膜 21A 的平面图形被旋转 45° 度。无需说明平面图形的旋转角度不局限于 45° 度, 而是可以是其它角度, 只要 21A、21B、21C 和 21D 之间的相互接触可以被避免。形成金属膜 21C, 金属膜 21C 具有探针 7C, 探针 7C 对应于与探针 7B 对应的焊盘 11 相比布置在芯片 10 的更内部位置处的焊盘 11, 而金属膜 21D 具有探针 7D, 探针 7D 对应于与探针 7C 对应的焊盘 11 相比布置在芯片 10 的更内部位置处的焊盘 11。

[0254] 图 19 是沿图 18 的线 D-D 的主要部分的剖面图, 图 20 是沿图 18 的线 E-E 的主要部分的剖面图。当如图 19 所示布置具有对应于四行焊盘 11 的探针 7A 至 7D 的金属膜 21A 至 21D 时, 难以作为一个布线层形成电连接到金属膜 21A 至 21D 的所有覆盖布线。这是因为

由于距离 LX 变窄在金属膜 21A 至 21D 之间可能发生相互接触,此外在电连接到金属膜 21A 至 21D 的布线之间可能发生相互接触。在实施方式 1 中,如图 19 和 20 所示这些布线形成两个布线层(布线 23 和 26)。在这种情况下,可以使用与布线 23 和 26 一样的两层布线层形成虚拟布线 23A。

[0255] 在布线 26 和聚酰亚胺膜 25 上方形成聚酰亚胺膜 27。相对低的布线 23 与聚酰亚胺膜 22 中形成的通孔 24 底部的金属膜 21A 和 21C 接触,而相对高的布线 26 与聚酰亚胺膜 22 和 25 中形成的通孔 28 底部的金属膜 21B 和 21D 接触。这使得在相同的布线层中,两个相邻布线 23 或两个相邻布线 26 之间可以保持大的距离,由此防止两个相邻布线 23 或 26 之间的接触。当呈至少 5 行布置焊盘 11 时,对应于它们的探针数目增加,距离 LX 变窄,通过增加布线层的数目可以加宽布线之间的距离。

[0256] 下面将参考图 21 至 29 描述实施方式 1 的薄膜片 2 的结构及其制造步骤。图 21 至 29 每个是薄膜片 2 的制造步骤中薄膜片 2 的主要部分的剖面图,薄膜片 2 具有使用图 9 至 11 描述的对应于两行焊盘 11(参考图 13)的探针 7A 和 7B。关于薄膜片的结构和制造步骤的描述以及与该探针 7(探针 7A 至 7D)具有类似结构的探针的结构和制造步骤的描述,在日本未审专利公开 No. 平成 6(1994)-22885、平成 7(1995)-283280、平成 8(1996)-50146 以及平成 8(1996)-201427、日本专利申请 No. 平成 9(1997)-119107、日本未审专利公开 No. 平成 11(1999)-23615、2002-139554 和平成 10(1998)-308423、日本专利申请 No. 平成 9(1997)-189660、日本未审专利公开 No. 平成 11(1999)-97471 和 2000-150594 以及日本专利申请 No. 2002-289377、2002-294376、2003-189949 和 2003-74429 中也可以发现。

[0257] 如图 21 所示,通过热氧化,在由厚度约 0.2 至 0.6mm 的硅制成的晶片(第一衬底)31 的两侧上方形成二氧化硅膜 32,薄膜厚度约 $0.5\mu\text{m}$ 。利用光致抗蚀剂膜作为掩膜,刻蚀晶片 31 的主表面侧上方的二氧化硅膜 32,以在晶片 31 的主表面侧上方的二氧化硅膜 32 中形成延伸到晶片 31 的开口部分。利用二氧化硅膜 32 的剩余部分作为掩膜,用强碱性水溶液(例如,氢氧化钾的水溶液)对晶片 31 进行各向异性蚀刻,以在晶片 31 的主表面上方形成孔(第一孔)33,该孔为平面(111)包围的 4 棱锥或 4 平截-棱锥型。

[0258] 如图 22 所示,通过氢氟酸和氟化铵的混合溶液的湿法蚀刻除去孔 33 形成时用作掩膜的二氧化硅膜。然后热氧化晶片 31,以便在包括孔 33 内部的晶片 31 的表面上方形成厚度约 $0.5\mu\text{m}$ 的二氧化硅膜 34。然后在包括孔 33 内部的晶片 31 的主表面上方,形成导电薄膜 35。该导电薄膜 35 可以例如通过溅射或汽相淀积依次淀积约 $0.1\mu\text{m}$ 厚的铬膜和约 $1\mu\text{m}$ 厚的铜膜而形成。在导电薄膜 35 上方形成光致抗蚀剂膜之后,通过光刻从后续步骤将形成金属膜 21A 和 21B(参考图 9 至 11)的区域除去光致抗蚀剂膜,借此形成开口部分。

[0259] 通过用导电薄膜 35 作为电极的电镀,在光致抗蚀剂膜的开口部分底部出现的导电薄膜 35 上方依次淀积高硬度的导电薄膜 37 和 38。在实施方式 1 中,例如,使用铱膜作为导电薄膜 37,同时使用镍膜作为导电薄膜 38。通过至此描述的步骤,金属膜 21A 或 21B 可以由导电薄膜 37 和 38 形成。孔 33 中的导电薄膜 37 和 38 变为探针 7A 或 7B。通过下一个步骤将除去导电薄膜 35。

[0260] 在金属膜 21A 或 21B 中,当在随后步骤中形成探针 7A 或 7B 时,由铱膜制成的导电薄膜 37 将是表面膜,并且导电薄膜 37 将与焊盘 11 直接接触。对于导电薄膜 37,优选具有高硬度和良好耐磨性的材料。使导电薄膜 37 与焊盘 11 直接接触,以便当焊盘 11 通过探针

7A 或 7B 的刮屑粘附到导电薄膜 37 时, 必须有用于除去刮屑的清洗步骤, 不幸地这将延长探针测试步骤。至于用于导电薄膜 37 的材料, 优选能抵抗形成焊盘 11 的材料的粘附。在实施方式 1 中, 能满足这些条件的铯膜被选为导电薄膜 37。这能省略清洗步骤 (但是, 不一定取消清洗工序)。因为随着导电薄膜 37 的厚度增加, 导电薄膜 37 具有更高的强度和耐磨性, 因此优选形成厚膜, 以延长探针 7A 或 7B 的寿命。但是作为导电薄膜 37 的铯膜在膜形成过程中具有电镀 (plating) 应力。随着膜变得更厚该电镀应力增加。该电镀应力作用在二氧化硅膜 34 和导电薄膜 35 之间的界面上, 则会有这样的担心: 增加的电镀应力可能不利地引起二氧化硅膜 34 从导电薄膜 35 剥落。因此作为一个对策, 优选在不引起二氧化硅膜 34 从导电薄膜 35 剥落的范围内, 使导电薄膜 37 尽可能更厚。在实施方式 1 中, 例如, 导电薄膜 37 的厚度被调整为落入约 $1\ \mu\text{m}$ 或以上至电镀可实际形成的最大厚度 (例如, 约 $4\ \mu\text{m}$) 的范围内。该厚度优选为约 $2\ \mu\text{m}$ 至 $3.5\ \mu\text{m}$, 更优选的是约 $2.5\ \mu\text{m}$ 。根据由本发明人进行的有关耐磨性的实验, 具有约 $2\ \mu\text{m}$ 厚度的导电薄膜 37 在探针测试中承受探针 7A 或 7B 和焊盘 12 之间约 1000,000 次的接触。在用作导电薄膜 38 的镍膜的形成过程中, 也产生电镀应力, 尽管该应力不大于导电薄膜 37 的应力。因此优选将导电薄膜 38 的厚度调整为落入不允许二氧化硅膜 34 从导电薄膜 35 剥落的范围内。

[0261] 在除去用于形成金属膜 21A 或 21B (导电薄膜 37 和 38) 所采用的光致抗蚀剂膜之后, 形成聚酰亚胺膜 (第一聚酰亚胺膜) 22 (也参考图 10 和 11), 以覆盖金属膜 21A 或 21B 和导电薄膜 35, 如图 23 所示。在聚酰亚胺膜 22 中形成延伸到金属膜 21A 或 21B 的通孔 (第一开口部分) 24。其可以通过用铝膜作为掩膜的激光束钻孔或干法蚀刻形成。

[0262] 如图 24 所示, 在包括通孔 24 的内部的聚酰亚胺膜 22 上方形成导电薄膜 (第二金属膜) 42。该导电薄膜 42 可以通过例如溅射方法或蒸发方法依次淀积约 $0.1\ \mu\text{m}$ 厚的铬层和约 $1\ \mu\text{m}$ 厚的铜膜而形成。在导电薄膜 42 上方形成光致抗蚀剂膜之后, 通过光刻构图光致抗蚀剂膜, 以在光致抗蚀剂膜中形成延伸到导电薄膜 42 的开口部分。通过电镀, 然后在开口部分中的导电薄膜 42 上方形成导电薄膜 (第二金属膜) 43。在实施方式 1 中, 通过堆叠铜膜获得的膜作为导电薄膜 43, 然后以此顺序的铜或镍膜可以作为一个例子给出。

[0263] 在除去光致抗蚀剂膜之后, 用导电薄膜 43 作为掩模蚀刻导电薄膜 42, 借此形成由导电薄膜 42 和 43 制成的布线 23。布线 23 可以被电连接到通孔 24 底部的金属膜 21A 或 21B。

[0264] 除上述布线 23 之外也形成上述虚拟布线 23A。

[0265] 如图 25 所示, 在晶片 31 的主表面上方形成如之前描述的聚酰亚胺膜 (第二聚酰亚胺膜) 25。聚酰亚胺膜 25 用作在后续步骤中待固定到晶片 31 的主表面上的金属片的粘结层。

[0266] 如图 26 所示, 然后金属片 (第二片) 45 被固定到聚酰亚胺膜 25 的上表面。至于用于金属片 45 的材料, 选择具有低线性膨胀系数并具有接近于由硅制成的晶片 31 的线性膨胀系数的材料。在实施方式 1 中, 42 合金 (包含 42% 镍和 58% 铁并具有 $4\text{ppm}/^\circ\text{C}$ 的线性膨胀系数的合金) 或不胀钢 (包含 36% 镍和 64% 铁并具有 $1.5\text{ppm}/^\circ\text{C}$ 的线性膨胀系数的合金) 可以作为其例子。取代使用金属片 45, 可以形成材质类似于晶片 31 的硅膜, 或可以使用与硅的线性膨胀系数相当的材料, 例如铁、镍和钴的合金或陶瓷和树脂的混合材料。通过将这样的金属片 45 放置在晶片 31 的主表面上方, 使得避免它们未对准, 然后在 10 至

200kgf/cm² 的压力下在至少等于聚酰亚胺膜 25 的玻璃化转变点的温度下加热,以在加压和加热的条件下执行键合,这样来固定金属片 45。

[0267] 通过使用聚酰亚胺膜 25 固定金属片 45 可以获得具有增加强度的薄膜片 2。当金属片 45 未被固定时,由于在探针测试时受温度影响的薄膜片 2 和待测试晶片的膨胀或收缩,可能发生探针 7A 或 7B 的位置和焊盘 11 的位置的未对准。这可能导致如探针 7A 或 7B 和相应焊盘 11 之间的接触不良的不利。另一方面,根据实施方式 1,薄膜片 2 和待测试晶片的膨胀或收缩量可以通过将金属片 45 固定到晶片,使膨胀或收缩量均匀,否则,该膨胀或收缩量将根据探针测试时的温度而变化。这可以防止探针 7A 或 7B 与相应焊盘 11 的未对准。换句话说,探针 7A 或 7B 与相应焊盘 11 可以保持电接触,而与探针测试时的温度无关。此外,在各种条件下可以保持薄膜片 2 和待测试晶片之间的相对位置精确度。

[0268] 接下来,通过使用由光刻构图的光致抗蚀剂膜作为掩膜的技术,蚀刻金属片 45。并且,在探针 7A 和 7B 上的金属片 45 中形成开口部分(第二开口部分)46。在实施方式 1 中,该蚀刻可以被认为是使用氯化铁溶液的溅射蚀刻。

[0269] 在除去光致抗蚀剂膜之后,如图 27 所示,在开口部分 46 中形成弹性体(弹性材料)48。以弹性体从开口部分 46 突出预定量的这种方式形成弹性体 48。在实施方式 1 中,例如通过印刷或分配器涂敷或通过布置硅片,在开口部分 46 的内部涂敷弹性树脂,而形成弹性体 48。弹性体 48 通过部分形变减小大量探针 7A 或 7B 尖端部分的高度差异,同时缓和由探针 7A 或 7B 的尖端部分与焊盘 11 的接触引起的冲击。如此,弹性体 48 通过它的弹性减小焊盘 11 的高度差异,并完成每个探针 7A 或 7B 和焊盘 11 之间的接触。

[0270] 如图 28 所示,通过例如利用氢氟酸和氟化铵的混合溶液的蚀刻除去晶片 31 的反面上的二氧化硅膜 34。然后通过利用强碱性水溶液(例如,氢氧化钾的水溶液)的蚀刻除去用于薄膜片 2 形成的形状的晶片 31。接着通过蚀刻依次除去二氧化硅膜 34 和导电薄膜 35。使用氢氟酸和氟化铵的混合物蚀刻二氧化硅膜 34,使用高锰酸钾的水溶液蚀刻构成导电薄膜 35 的铬膜,以及利用碱性的铜蚀刻剂刻蚀构成导电薄膜 35 的铜膜。通过至此提及的步骤,从探针 7A 或 7B 的表面露出铯膜,铯膜是构成探针 7A 或 7B 的导电薄膜 37(参考图 22)。如上所述,具有铯膜作为其表面膜的探针 7A 或 7B 抵抗与探针 7A 或 7B 接触的焊盘 11 的诸如 Au 的材料的粘附,具有比 Ni 更高的硬度,并且不容易被氧化,从而可以获得稳定的接触电阻。

[0271] 接下来,如图 29 所示,在弹性体 48 上粘合由 42 合金制成的按压工具 50,以及制造实施方式 1 的薄膜片 2。

[0272] 当金属片 45 被粘合时,增强了根据上述工序制造的实施方式 1 的薄膜片 2 的硬度。

[0273] (实施方式 2)

[0274] 接下来,解释实施方式 2。

[0275] 有些信号布线不喜欢噪音。当这种情况被忽略时,就会受到来自相邻布线或电源线的噪音的影响,从而在探针测试(电测试)中不可能从开始就正确地检查半导体集成电路的功能。然后,在实施方式 2 的探针卡中,例如,如图 30 所示,在两个或多个布线 23 中,形成用于屏蔽件的金属线 300,以便可以形成尤其不喜欢噪音的信号布线。令用于屏蔽件的金属线 300 为与上述布线 23 相同的布线层。用于屏蔽件的两个或多个这些金属线 300 的

端部适于连接到部件 4 中的接地线（电源电压的 0V 线），例如压紧环或周边环 4A，同时使它短路，以便布线 23 的端部可以被围绕。因为通过用于屏蔽件的两个或多个金属线 300 安置的信号布线被上述用于屏蔽件的金属线 300 屏蔽，因此减少了噪音的影响。由此，在探针测试（电测试）中，可以从开始就正确地检查半导体集成电路的功能。

[0276] 如图 31 所示，使用正好在尤其不喜欢噪音的信号布线 23 下方的布线层形成用于屏蔽件的金属线 300。为了充分展示屏蔽功能，适于令用于屏蔽件的金属线 300 的宽度 W1 形成的比信号布线 23 的宽度 W2 更大。尽管未说明，但还是需要使用信号布线 23 正上方的布线层形成用于屏蔽件的金属线 300，并正好用一上一下的用于屏蔽件的金属线 300 安置信号线 23。

[0277] （实施方式 3）

[0278] 接下来，说明实施方式 3。

[0279] 通过曝光可以构图薄膜并且薄膜可以制造电阻器、电容器和电感器。那么，在实施方式 3 的探针卡中，如图 32 所示，可以使用薄膜片 2 中上述探针形成区域 700 的内侧形成阻抗匹配电路 321 和电容器 322。

[0280] 在包含在两个或多个布线 23 内的接地线（GND 线）231 和电源线（Vdd 线）232 之间形成上述电容器 322，如图 33 所示。并且通过上述电容器 322 可以减少包含于接地线 231 或电源线 232 中的噪音。使用互相不同的布线层形成的电极 332、333 的相对布置构成上述电容器 331。电极 332 电连接到电源线 232，以及电极 333 电连接到接地线 231。用聚酰亚胺等形成电极 332、333 之间的绝缘膜。如果层间薄膜厚度 = L，聚酰亚胺的比感应容量（specific inductive capacity）是 3.4，以及介电常数 $\epsilon = 8.84 \times 10^{-12}$ ，那么当 10 μm 的膜厚度和 10 μm 的角度，由 $C = \epsilon \cdot (S/L)$ ，电容器 322 的电容量 C 可以产生 3.0 fF 的电容量。

[0281] 上述阻抗匹配电路 321 被插入，以便抑制信号传输系统中信号的反射，该常数由与信号源的关系决定。如图 34 所示，令上述阻抗匹配电路 321 是电阻器 341 和电感器 342 的多路连接电路。该多路连接电路布置在信号线 233 和探针 7 之间。使用布线层形成电阻器 341 和电感器 342。电感器 342 通过 1mm 角度的涡旋图形可以获得约 350nH(s) 的自感应。利用电阻器 341 和电感器 342 的值可以调整阻抗匹配电路 321 的阻抗。电阻器 341 的值与形成电阻器的信号布线的长度成正比。由于通过形成阻抗匹配电路 321 匹配的信号传输系统的阻抗抑制信号的反射，因此在探针测试（电测试）中，可以一开始就正确地检查半导体集成电路的功能。

[0282] （实施方式 4）

[0283] 接下来，说明实施方式 4。

[0284] 在制备探针卡的步骤中，必须在布线衬底 1 中粘附对应于晶片的薄膜片 2，通过正确的空间关系，使晶片成为检查目标。但是，通过观察不容易检查在薄膜片 2 的中心部分形成的探针 7 和布线衬底 1 详细布置的空间关系，并且不容易将薄膜片 2 定位到布线衬底 1。

[0285] 因此，在实施方式 4 中，为了在薄膜片 2 粘附的情况下更容易地进行定位，使用了薄膜片 2 的螺孔形成图形。例如，如图 35 所示，在薄膜片 2 中，在与压紧环 4 接触的位置（参考图 1、图 2 和图 3）形成两个或多个螺孔形成图形 35-1 至 35-12。在这些螺孔形成图形 35-1 至 35-12 的两个或多个中，表示为 35-11 和 35-12 的螺孔形成图形被放大并显示在

图 36 中。这样就清楚地示出, 仅仅在螺孔形成图形 35-12 的端部形成用于定位的拐角部件 350 (用于定位标记)。通过该拐角部件 350 指示薄膜片 2 的粘附方向。例如, 在布线衬底 1 中薄膜片 2 的粘附侧, 形成用于上述定位的对应于拐角部件 350 的三角形标记 353。并通过将上述用于定位的拐角部件 350 与三角形标记 353 结合, 将薄膜片 2 容易地定位到布线衬底 1。在该定位之后通过压紧环 4 下压薄膜片 2。使用上述螺孔形成图形 35-1 至 35-12 中的螺孔, 利用螺钉将薄膜片 2 和压紧环 4 粘附到布线衬底。用于上述定位的拐角部件 350 被定位在薄膜片 2 的边缘侧, 而不是螺孔 351 的位置。薄膜片 2 的边缘侧而不是螺孔 351 的位置处的薄膜片 2 的硬度比薄膜片 2 的中心部分侧处更低。因此, 即使形成用于上述定位的拐角部件 350, 也不会担心它会撕破薄膜片 2。

[0286] 在薄膜片 2 中, 当以从薄膜片 2 的中心部分朝周围放射的形状形成两个或多个布线 23 时, 易于产生其中不形成布线 23 的区域 (无布线区域)。由此, 薄膜片 2 中的硬度平衡可能破坏, 并且在该情况可能产生薄膜片 2 的撕裂。因此, 对于薄膜片 2 的无布线区域, 适于通过形成不涉及信号传递的虚拟布线 23A (所示虚线), 确保薄膜片 2 的硬度平衡。

[0287] (实施方式 5)

[0288] 接下来, 说明实施方式 5。

[0289] 如图 37 所示, 仅仅由薄膜片 2 的背面上粘帖的弹性体 48 难以使探针 7A (7B) 的高度相等。在热膨胀系数的影响下, 探针 7A (7B) 的位置和焊盘的位置可能改变。为此, 在上述实施方式 1 中, 粘帖由具有接近硅酮的热膨胀系数的 42 合金制成的金属膜 (不胀钢) 45。并且通过具有弹性的弹性体 48 (参考图 29) 按压探针 7A (7B)。但是, 如图 38 所示, 从薄膜片 2 的中心部分延伸到边界的张力 381 在薄膜片 2 中起作用。因此, 由于增加了按压位于最外边缘的探针 7A 正上方的弹性体 48A 的力, 产生了边缘处探针 7A 的接触可靠性下降的现象。

[0290] 然后, 如图 39 所示, 在接近上述最外边缘的探针 7A 的外侧形成虚拟弹性体 480。在此情况下, 尽管通过上述薄膜片 2 中起作用的张力在箭头 382 方向上按压虚拟弹性体 480 并改变, 但是它避免了上述弹性体 48A 被不希望地按压。由此, 半导体器件的可靠性增加。如果虚拟弹性体 480 的宽度太窄, 虚拟弹性体 480 会通过薄膜片 2 的张力损失弹性体不足的量。然后, 至于虚拟弹性体 480 的宽度, 一般希望保证 300 μm 以上。

[0291] 如图 40 所示, 当并排地放置探针 7A (7B) 时 (参见图 9), 可以在两侧设置虚拟弹性体, 如图 41 所示。

[0292] 如图 42 所示, 弹性体 48 的高度与金属膜 (不胀钢) 45 的厚度一致, 用按压工具 50 按压弹性体 48 和金属膜 (不胀钢) 45。则防止了如图 38 所示的金属膜 (不胀钢) 45 的变形, 避免了上述弹性体 48A 被不希望地按压。同时可以提高探针的可靠性。在此情况下, 没有必要制造与图 39 中所示的虚拟弹性体 480 等效的物体。

[0293] 对应于探针 7 位置的弹性体被称作针根 (needle-root) 弹性体。至于该针根弹性体和虚拟弹性体之间的关系, 根据探针 7 等的排列情况, 可以考虑各种模式, 如图 43-46 所示。在图 43 中, 通过以对应于探针形成区域 700 的探针排列的矩形形状布置针根弹性体 48A、48B、48C 和 48D 以及通过布置虚拟弹性体 480A、480B、480C 和 480D 使得它们可以被围绕来防止针根弹性体 48A、48B、48C 和 48D 的变形。当芯片尺寸较大时, 适于通过在探针形成区域 700 的拐角部件中形成圆形状虚拟弹性体 481A、481B、481C 和 481D, 防止针根弹性体

48A、48B、48C 和 48D 的变形。尽管针根弹性体 48A、48B、48C 和 48D 以及对应于它的虚拟弹性体 480A、480B、480C 和 480D 的间隔未被具体限制,但是它被设为 $300\ \mu\text{m}$ 或以上。此时,圆形状虚拟弹性体 481A、481B、481C 和 481D 的直径可以在 $50\text{--}400\ \mu\text{m}$ 中选择。当芯片尺寸相对较小时,由于圆形状虚拟弹性体 481A、481B、481C 和 481D 的效果不能预测,因此没有必要制造圆形状虚拟弹性体 481A、481B、481C 和 481D(参考图 44)。通过结合上述虚拟弹性体 480A、480B、480C 和 480D 的端部,如图 45 所示,可以以矩形形状形成虚拟弹性体 480。当探针形成区域 700 中拐角部件的探针间隔是 $200\ \mu\text{m}$ 或以下时,如图 46 所示,以矩形形状形成针根弹性体 48 和虚拟弹性体 480 是适合的。

[0294] 当在晶片上同时测量许多芯片区时,对应于设置为同时测量目标的芯片区数目,形成两个或多个探针形成区域 700。此时,每个探针形成区域 700 未形成虚拟弹性体,如图 47 所示,但是适于形成虚拟弹性体 480,以便对应于设为同时测量目标的芯片区数目的两个或多个探针形成区域 700 可以被围绕。

[0295] 通过如上所述的虚拟弹性体减轻了探针的凹陷。但是,根据待形成的虚拟弹性体的尺寸,它可以变为相反效果。例如,如图 48 所示,通过薄膜片 2 中起作用的张力使不胀钢 45 变形,从而使虚拟弹性体 480 凸出于不胀钢 45。当该虚拟弹性体 480 的凸出量大时,它起作用以致薄膜片 2 可以被挤出去。在此情况下,那些邻近的探针 7A 跳转,而它对接触质量有坏的影响。

[0296] 然后,如图 49 所示,为了通过制造形成虚拟弹性体 480 的小孔或通过虚拟弹性体 480 的内部产生腔,来保持形成虚拟弹性体 480 时不胀钢 45 的适当形状,以及防止张力超出薄膜片 2 中所起作用的需要,适于调整抵抗虚拟弹性体 480 的薄膜片 2 张力的力。例如,如图 50 所示,关于探针形成区域 700 的拐角部件的圆形虚拟弹性体 481A-481D 等,利用可将直径制得较小的装置,并形成两个或多个小的腔 501,或形成从前面看作椭圆形状的腔 502,抵抗薄膜片 2 的张力的力可以被减弱。

[0297] 由于薄膜片 2 的区域与作为在晶片上同时测量许多芯片区时的同时测量目标的芯片区数目成正比,所以与测量目标是单个芯片区的情况相比较,必须施加大的张力到薄膜片 2。为此,则难以抑制薄膜片 2 中起作用的张力带来的不胀钢的变形。在探针形成区域 700 的拐角部分,由薄膜片 2 中起作用的张力引起的不胀钢变形尤其显著。

[0298] 因此,如图 51 所示,适于集中增加在探针形成区域 700 的拐角部分的虚拟弹性体。

[0299] (实施方式 6)

[0300] 接下来,说明实施方式 6。

[0301] 由于当半导体集成电路的输入和输出信号数目增加时,与薄膜片 2 连接的薄膜片 2 中的信号线数目将增加,因此在薄膜片 2 中进行多层布线。当执行多层布线时,通孔被设置作为用于在相互不同的布线层之间电流通的装置。顺便说及,当在薄膜片 2 中具有强张力的部分设置上述通孔时,通孔中很可能产生断开,并且多层布线的可靠性可能下降。在图 52 中,由于在薄膜片 2 中通过压紧环 4(参考图 1 和图 2)接触的那些区域 40 和通过粘结环 6 接触的区域 60(参考图 1 和图 2)之间特别强的张力的作用,通孔应该形成在其他位置。亦即,必须正好在薄膜片 2 的外侧形成通过压紧环 4 接触的区域中的通孔,以及在薄膜片 2 的内侧形成通过粘结环 6 接触的区域中的通孔。为了增加连接的确定性,然后如图 53 所示,适于连接第一布线层 531 和第二布线层 532 以便使用两个或多个通孔 533-536。由

此,通过确定通孔的形成位置和数目,可以提高薄膜片 2 中多层布线的可靠性。

[0302] (实施方式 7)

[0303] 接下来,说明实施方式 7。

[0304] 图 54 是作为实施方式 7 的比较目标的探针卡的布线衬底 1 中主要部分的俯视图,图 55 是沿图 54 中的 F-F 线的主要部分的剖面图。

[0305] 通过在布线衬底 1 中设置的压焊焊盘 543 接触薄膜片 2 的布线 23 的端部 544。该压焊焊盘 543 通过通孔 547、跨接线 541 和衬底中的布线 548 与跷座 8 结合。跷座 8 通过跷座触点 549 与测试器(未示出)结合。电源布线通过跨接线 545 与布线衬底 1 上的电源焊盘 542 结合。利用该组合,由于通用物体用作布线衬底 1,因此在布线衬底 1 上存在许多跨接线 541、545。半导体集成电路中的跷座和焊盘不必相配,且在薄膜片 2 的各个设计中必须再检查跨接线 541、545 的引线。

[0306] 图 56 是实施方式 7 的探针卡的布线衬底 1 中主要部分的俯视图,图 57 是沿图 56 中的 G-G 线的主要部分的剖面。

[0307] 整齐地形成用于结合压焊焊盘和跷座 8 的衬底中的布线 548,跨接线不必特别在信号线周围。假定在信号线中不必要有跨接线,则难以在相互邻接的跨接线中产生串扰,而提高了电性能。

[0308] (实施方式 8)

[0309] 接下来,说明实施方式 8。

[0310] 在实施方式 8 中,为了能够同时测试可以设为图 12 所示的晶片 WH 的两个或多个半导体集成电路(芯片 10 的区域),在薄膜片 1 中,分别对应于两个或多个上述芯片区形成其中形成探针(接触端子)的两个或多个区域 581-584。据此,可以同时四个芯片区进行探针测试。由于关于区域 581-584 的描述已在实施方式 1-7 中进行了说明,因此省略了详细说明。

[0311] 如上所述,尽管基于实施方式具体地说明了由本发明人进行的发明,但是怎么强调也不过分本发明不局限于所述实施方式,在不偏离要点的范围中它可以作各种改变。

[0312] 除凸块电极之外,键合焊盘足以作为成为测试目标的半导体晶片主表面上的电极。

[0313] 本发明不限于 DFT 技术或 BIST 技术的应用。

[0314] 本发明的半导体集成电路器件的制造方法可广泛地应用于例如半导体集成电路器件的制造步骤中的探针测试步骤。

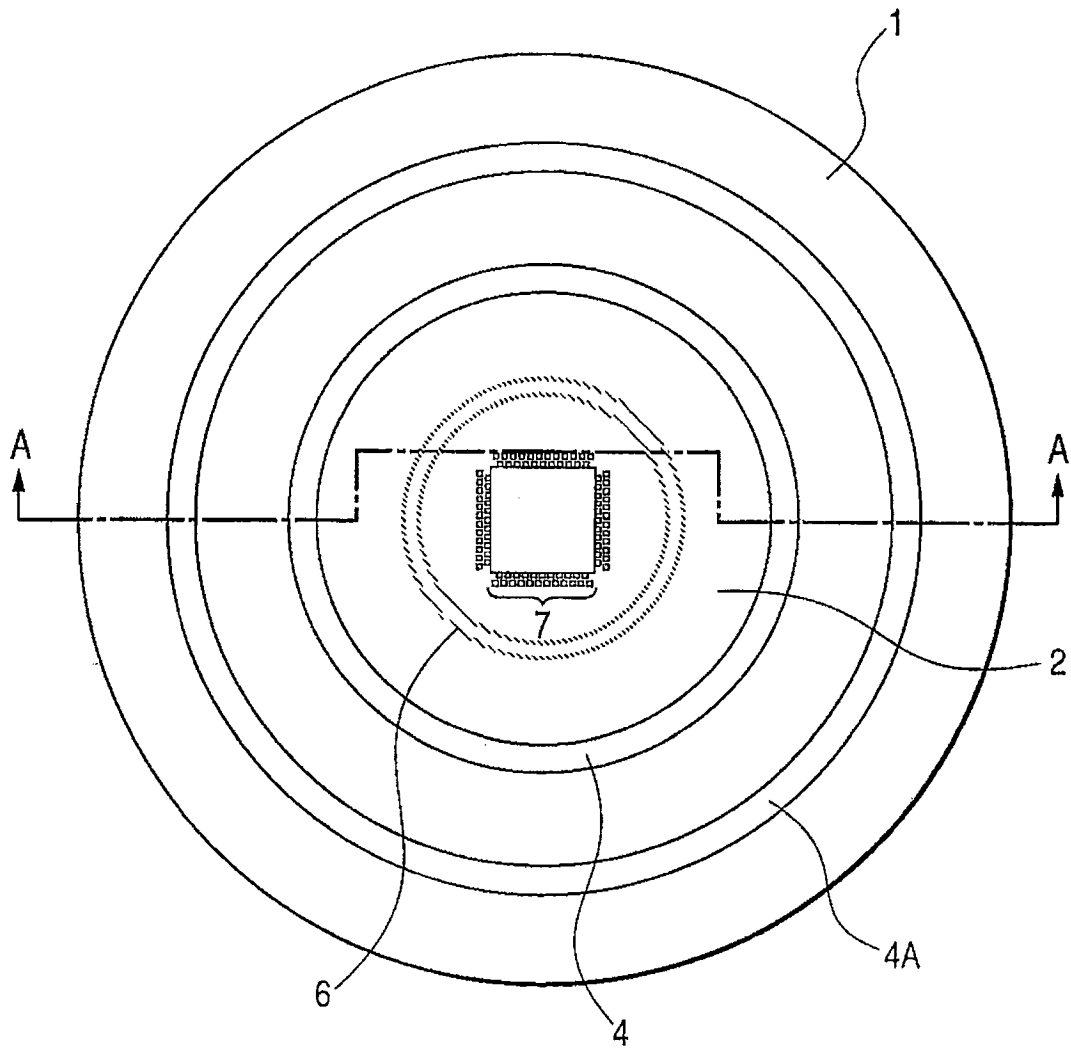


图 1

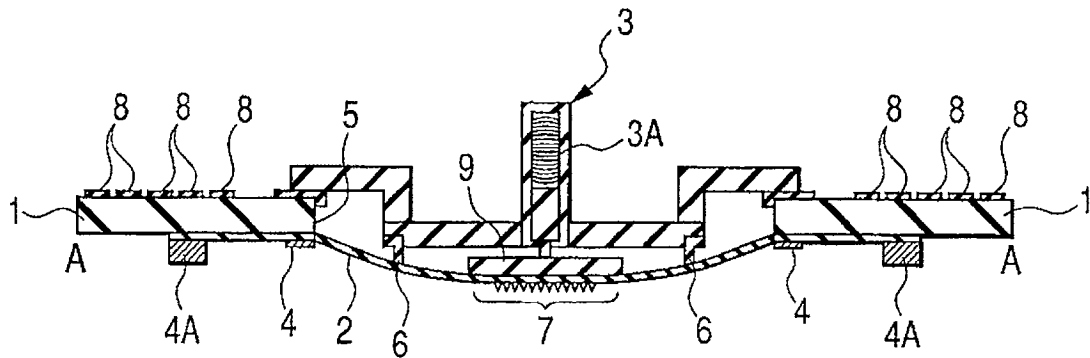


图 2

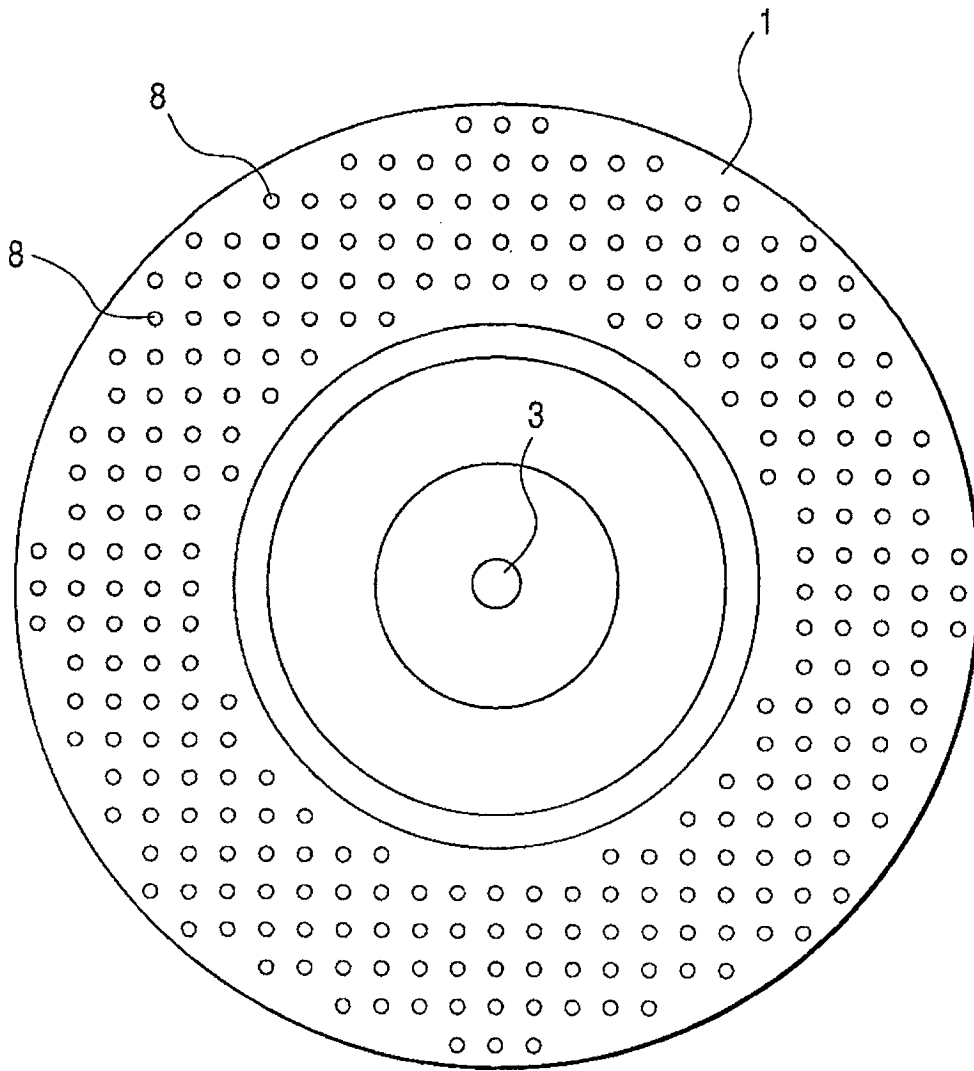


图 3

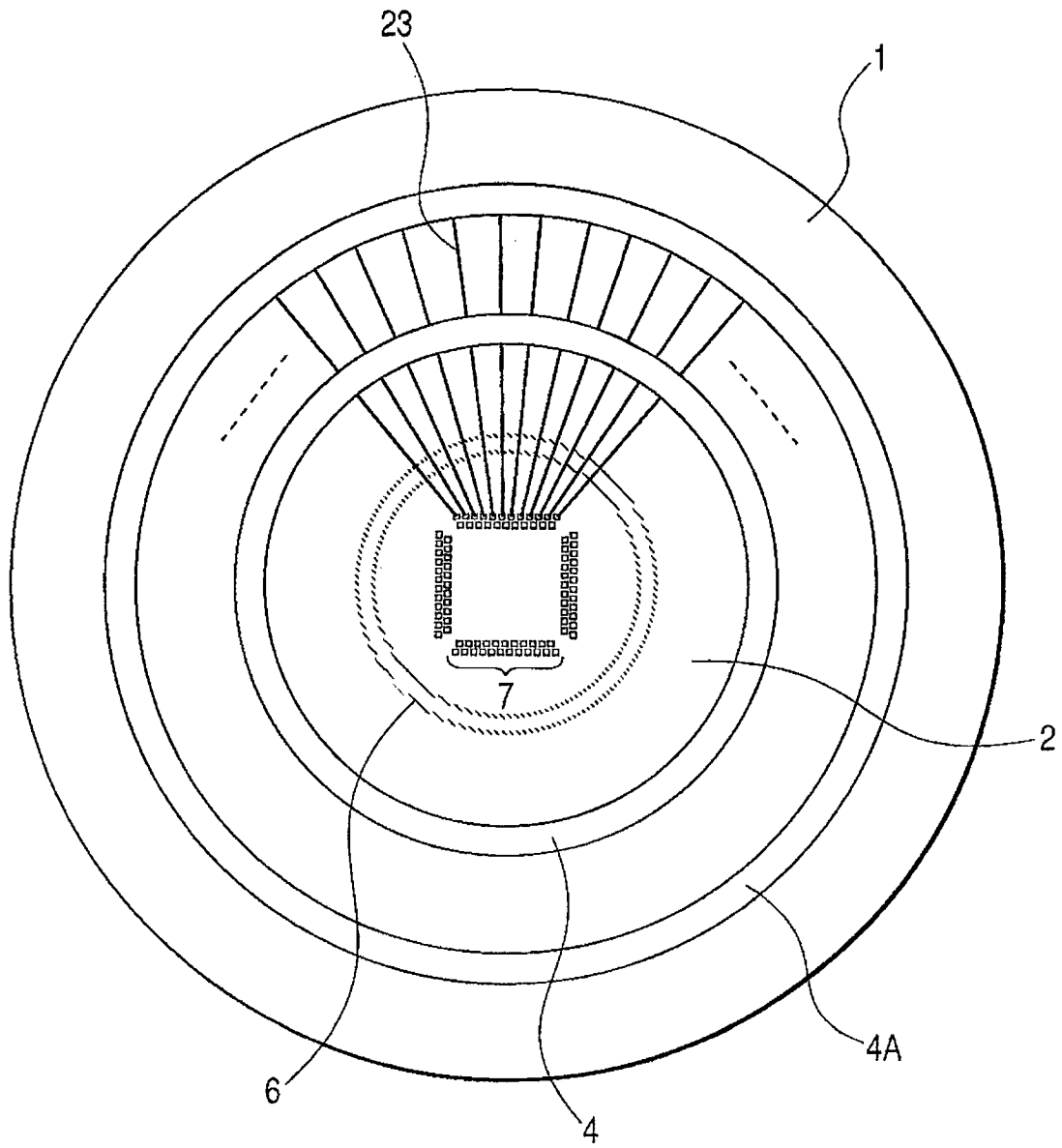


图 4

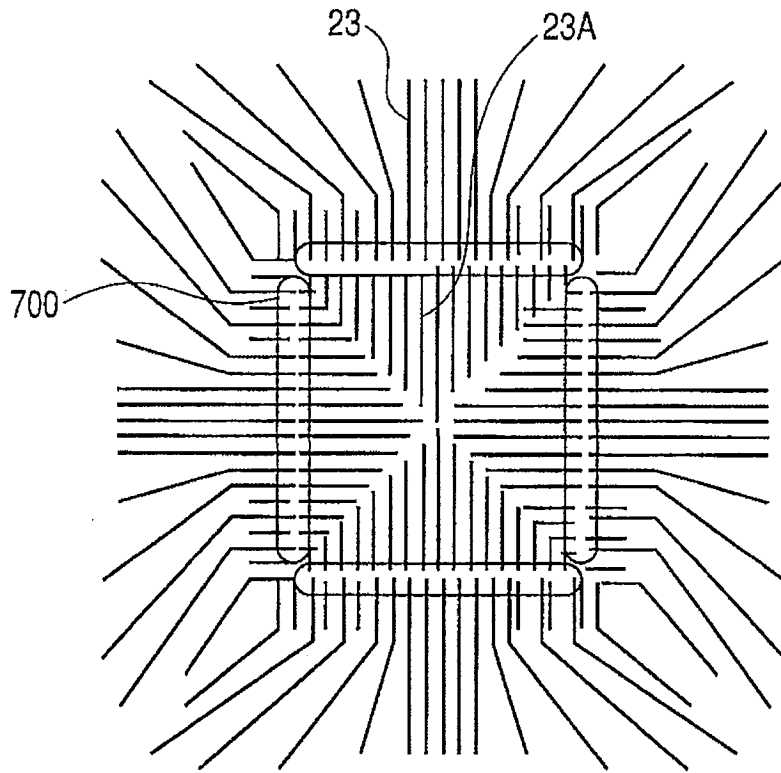


图 5

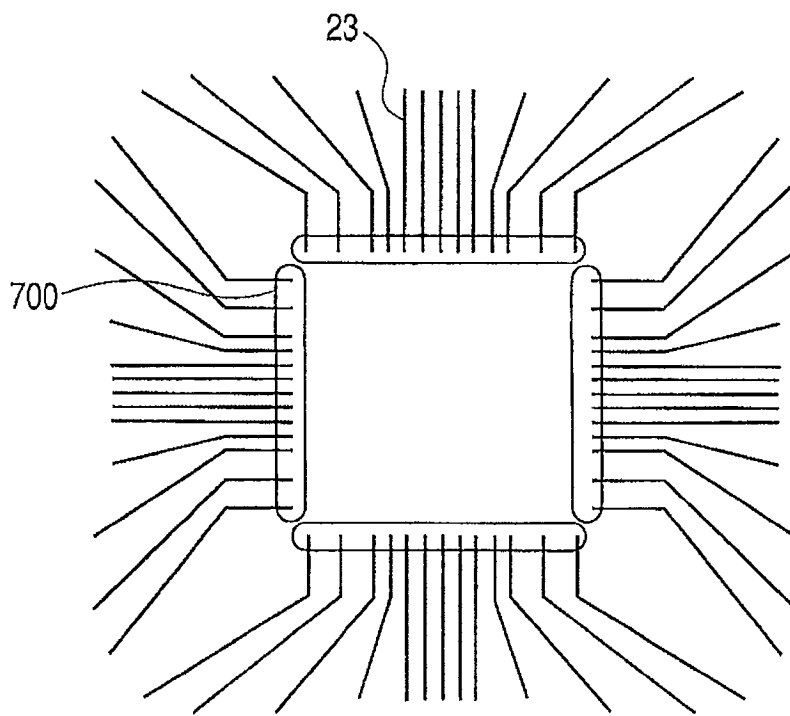


图 6

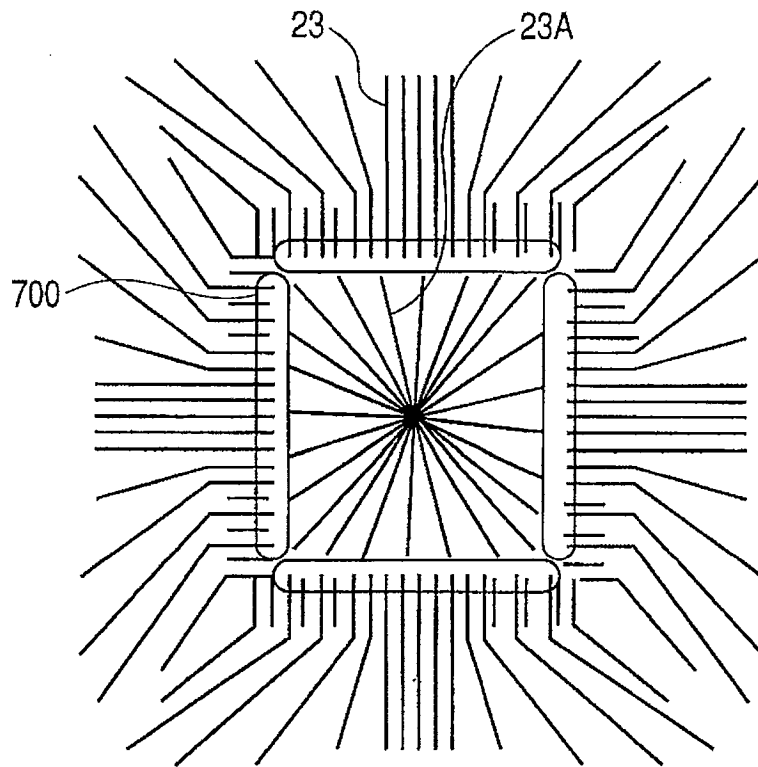


图 7

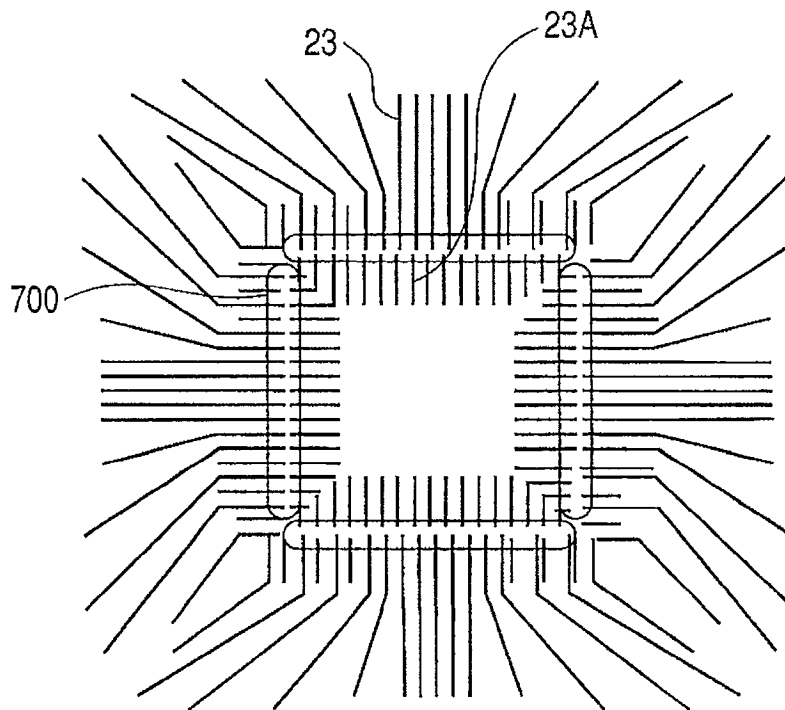


图 8

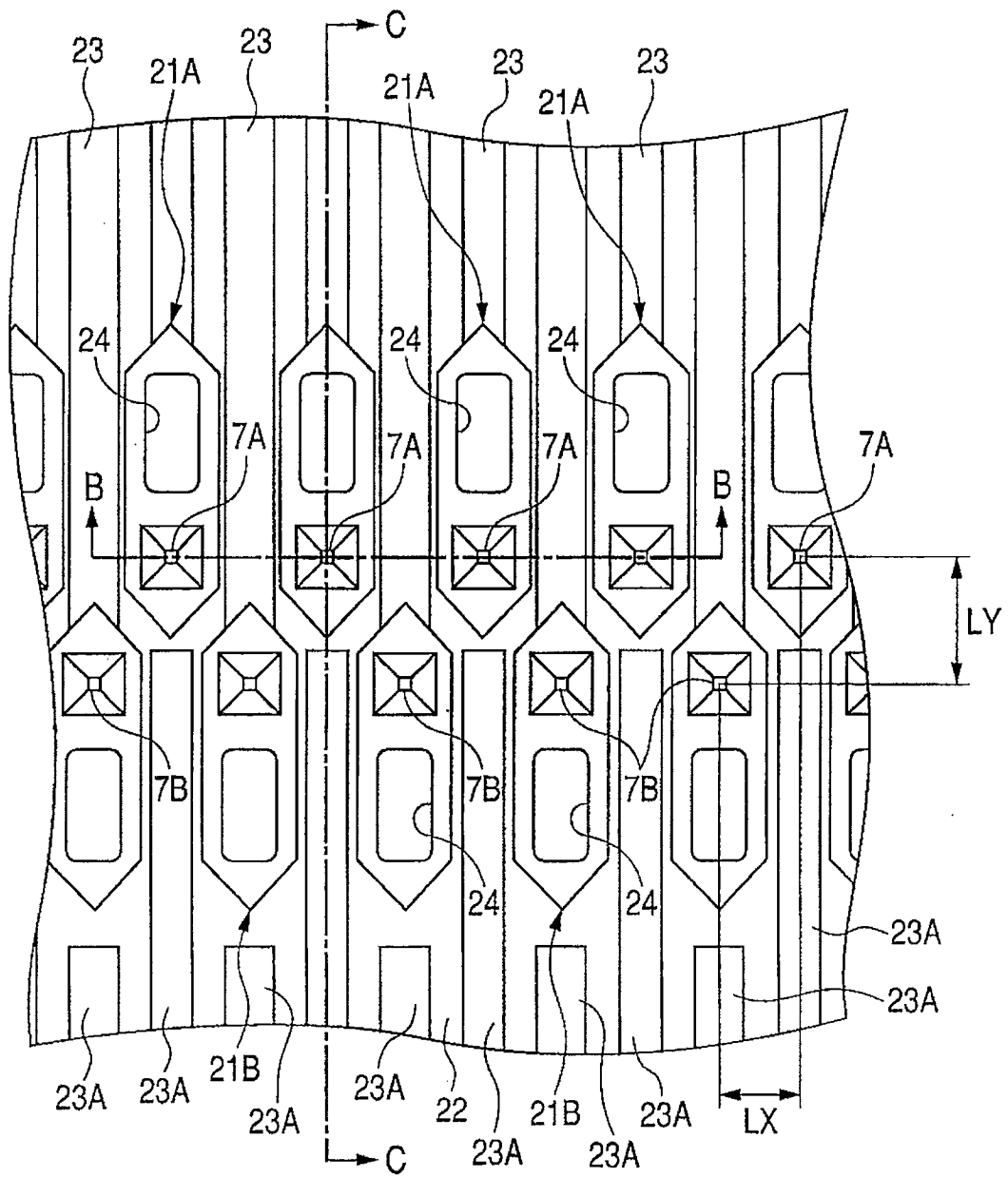


图 9

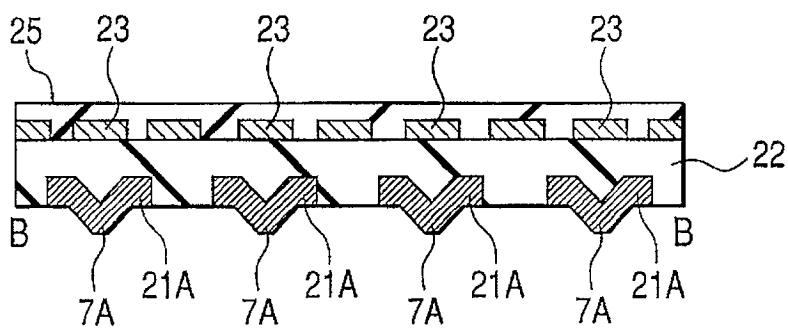


图 10

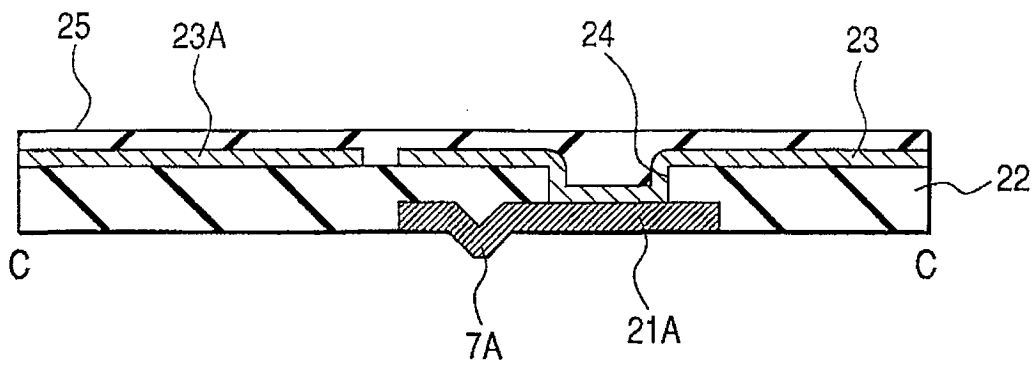


图 11

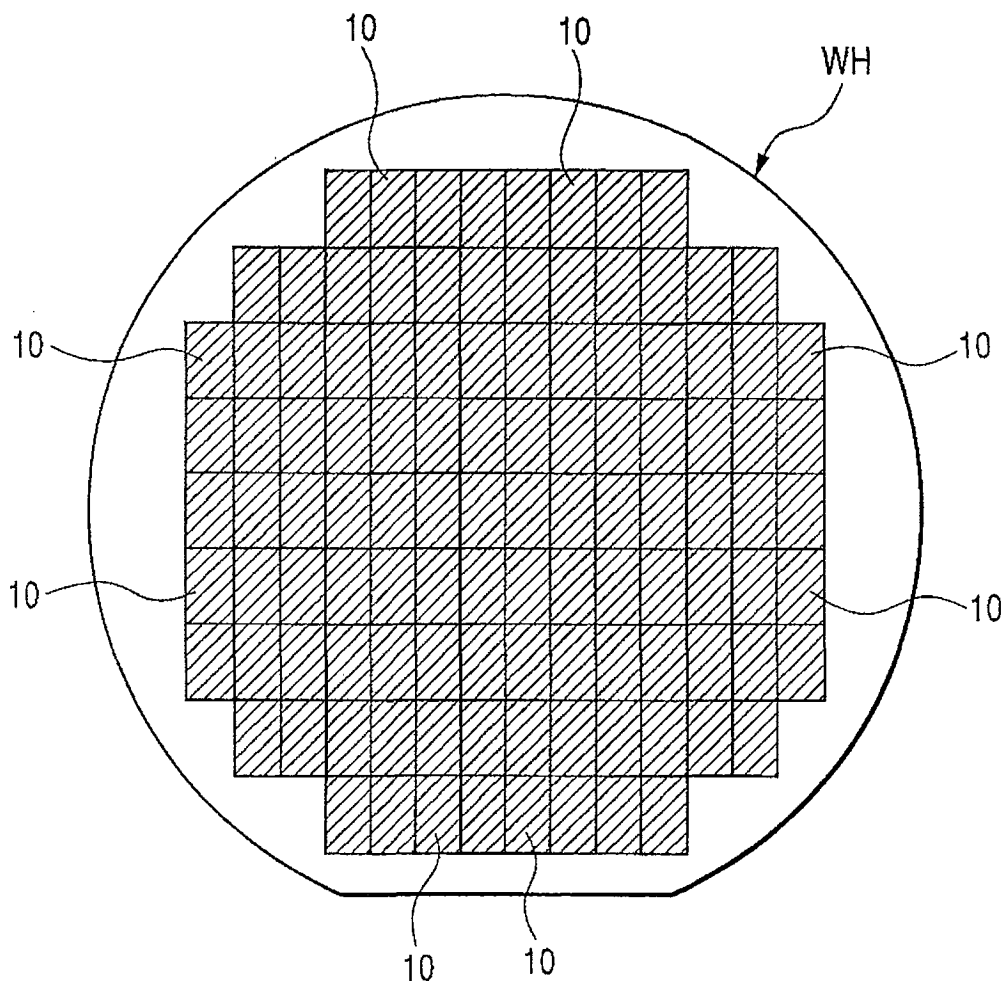


图 12

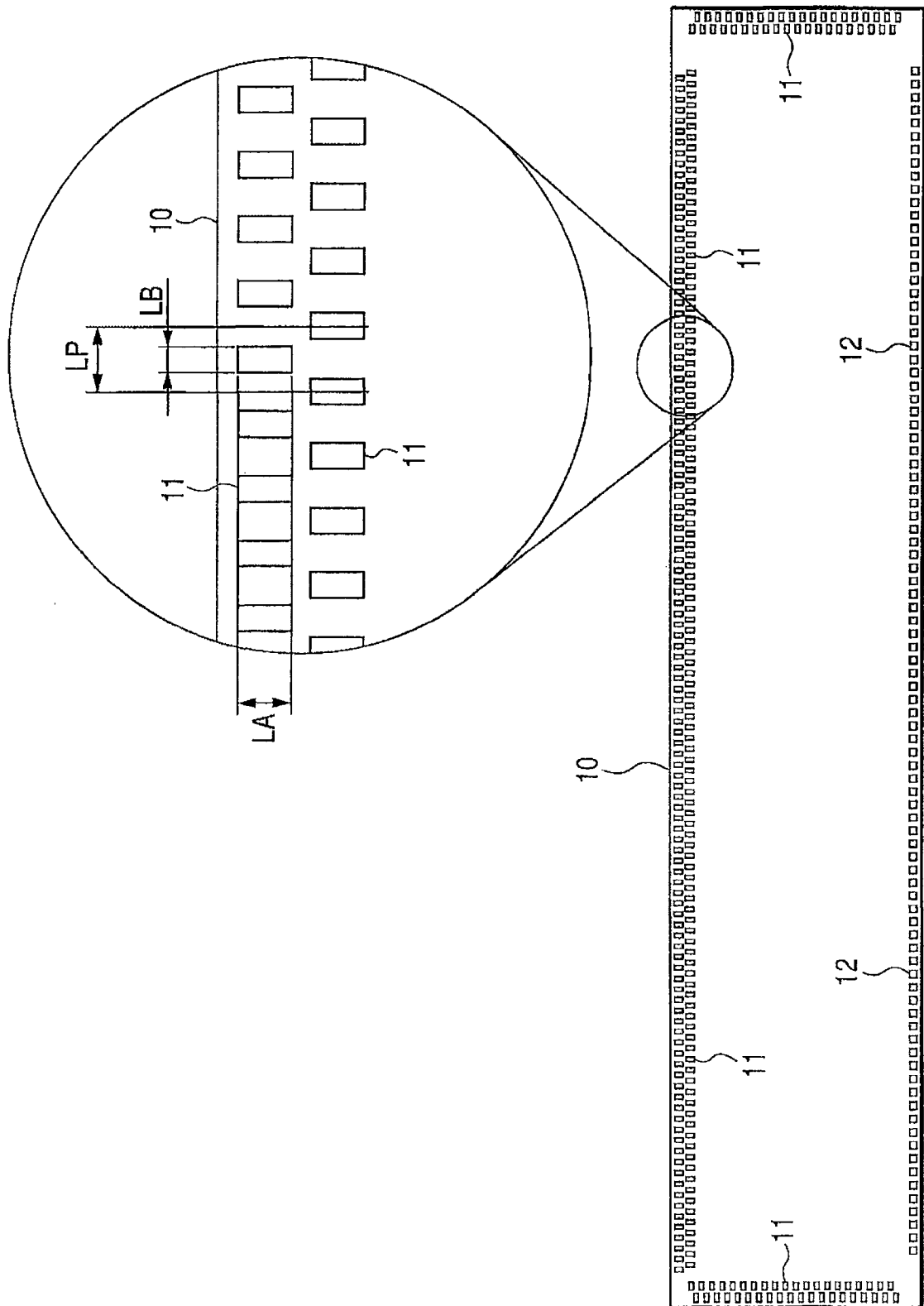


图 13

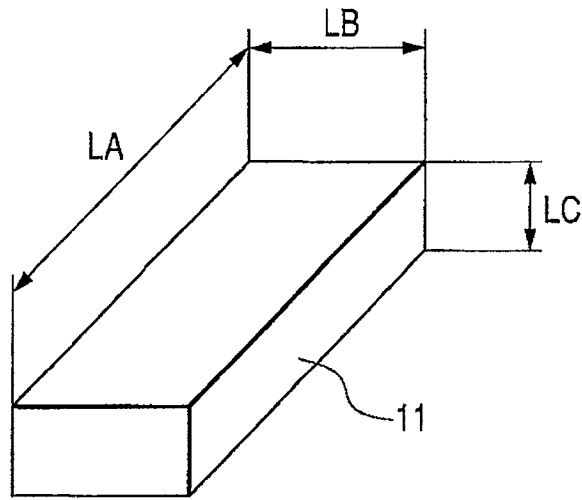


图 14

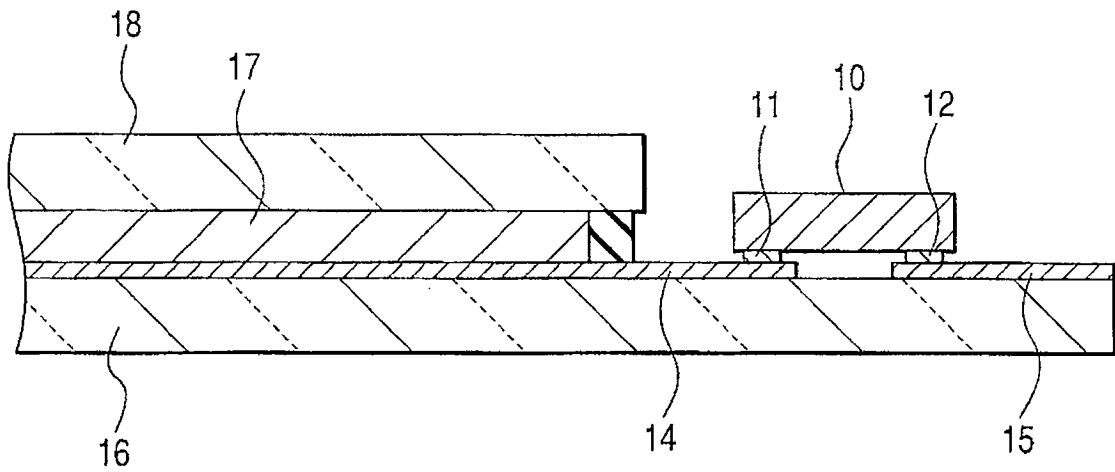


图 15

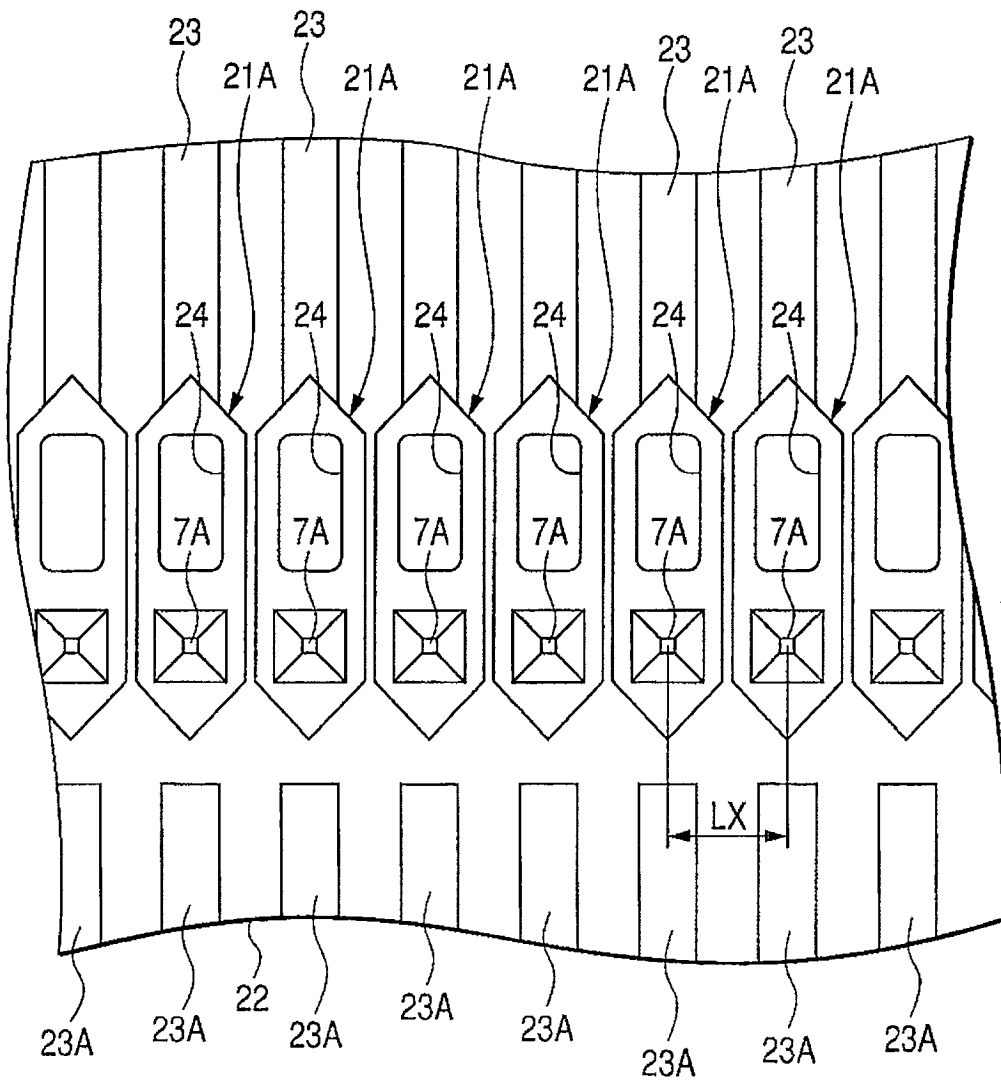


图 16

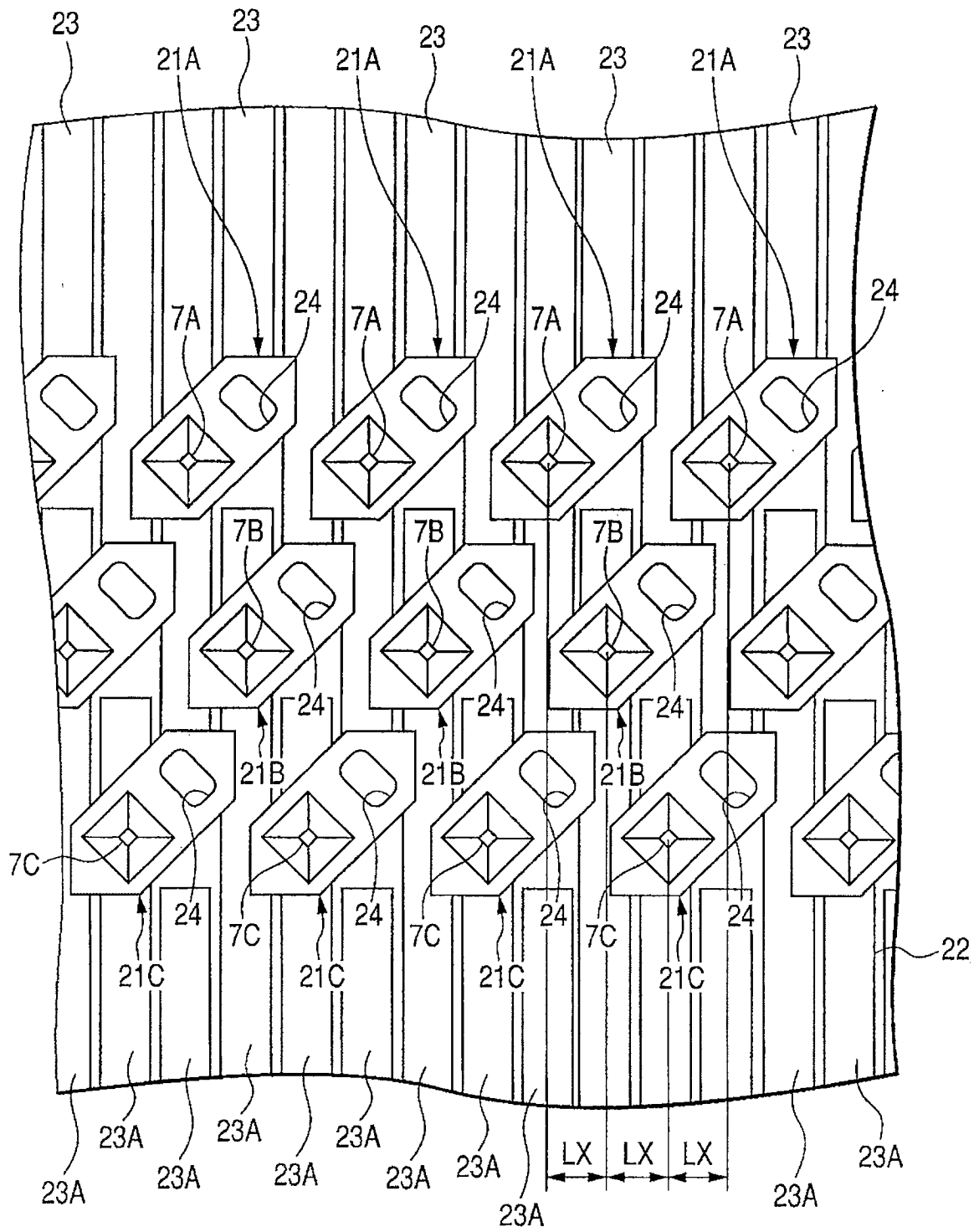


图 17

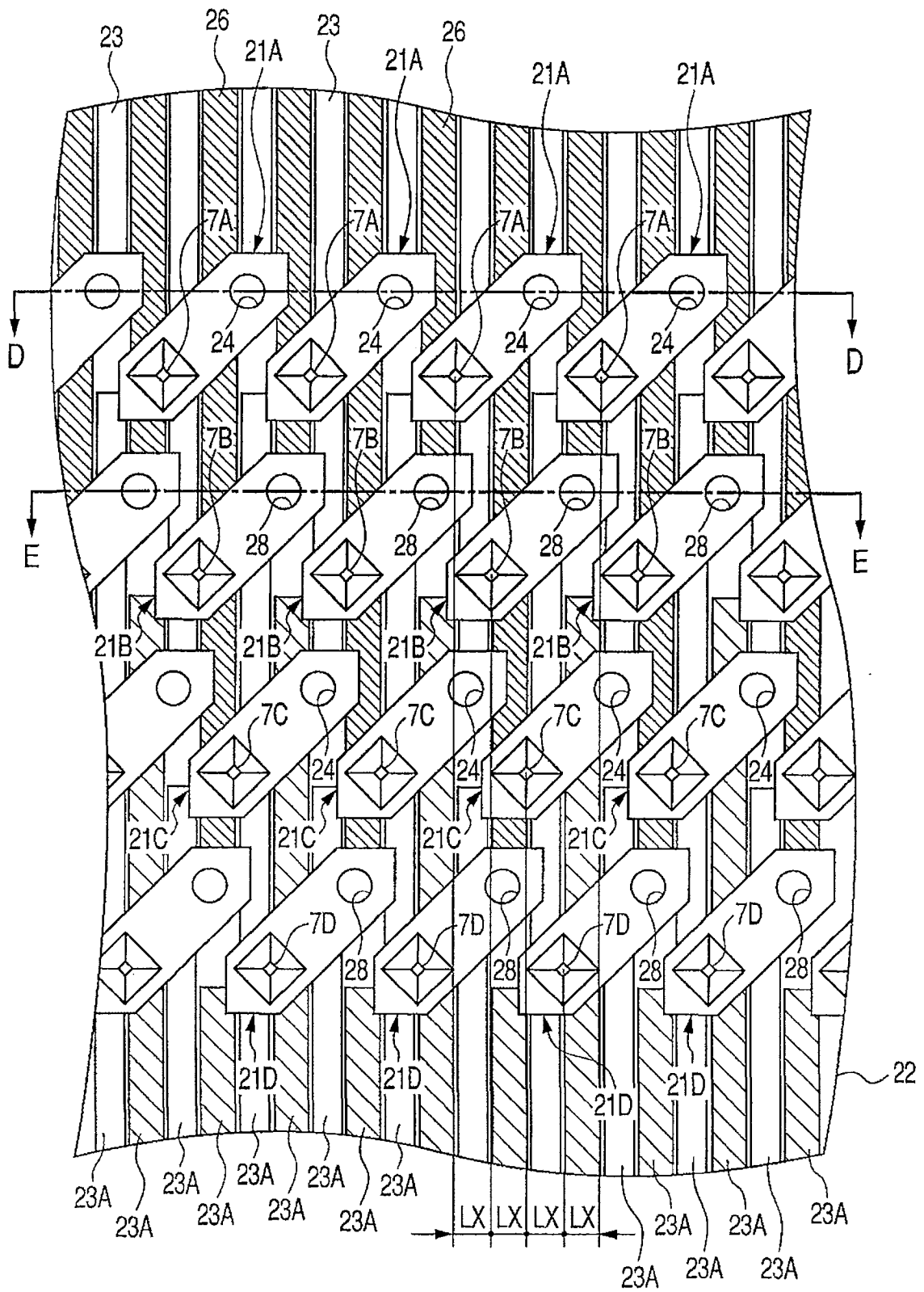


图 18

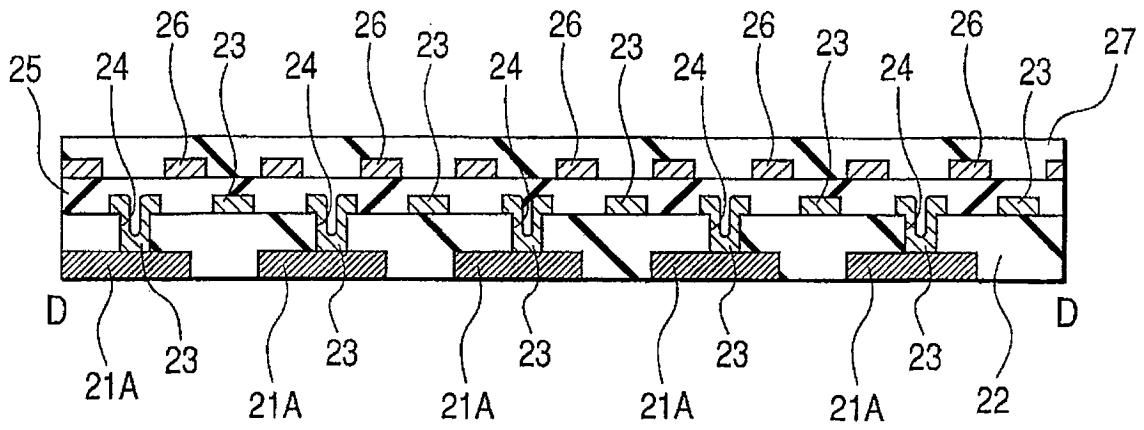


图 19

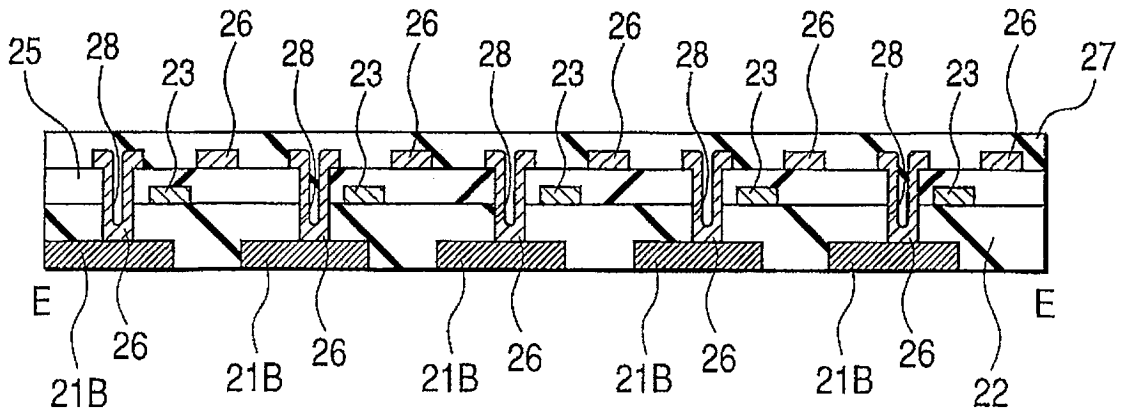


图 20

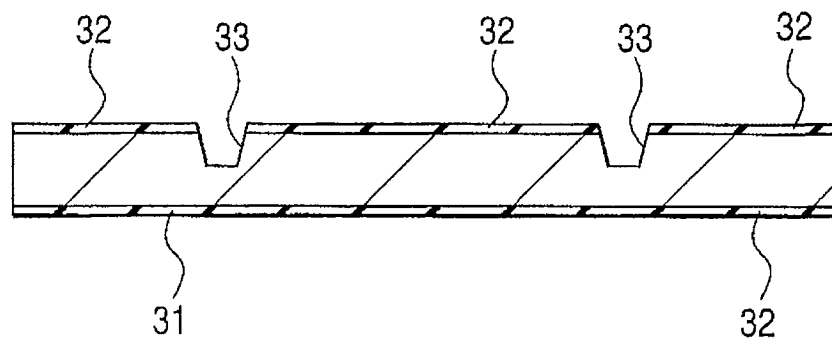


图 21

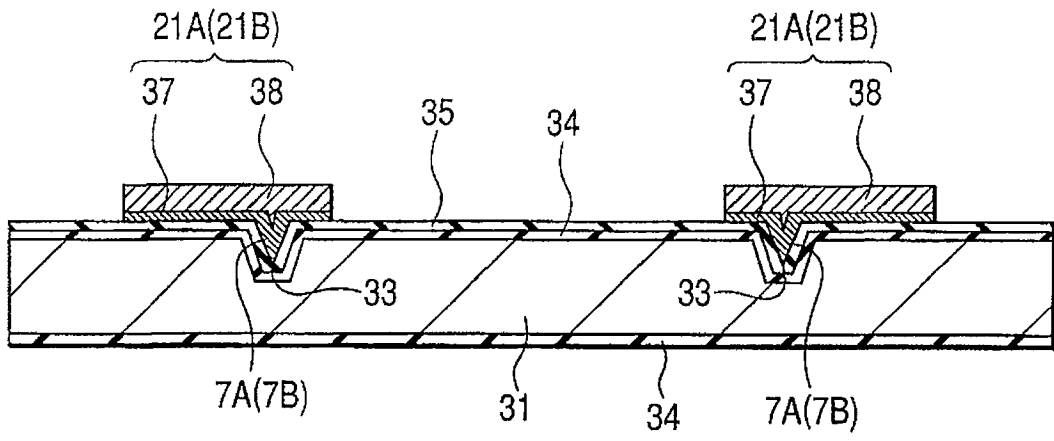


图 22

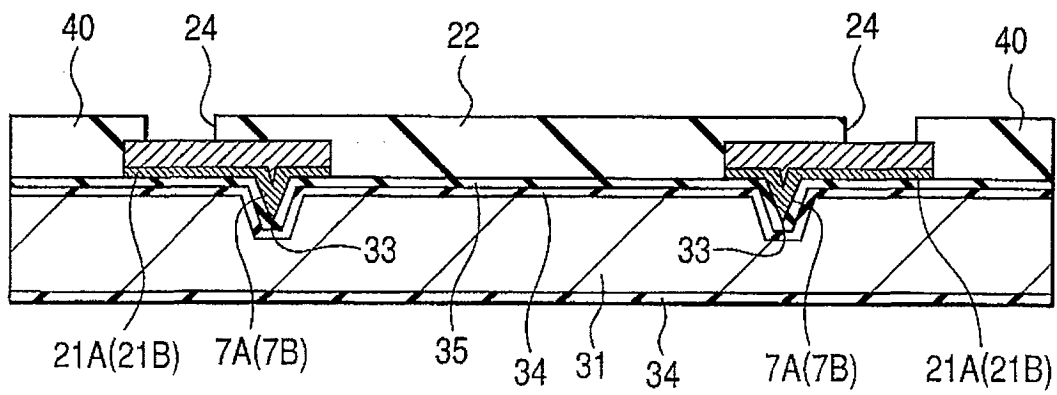


图 23

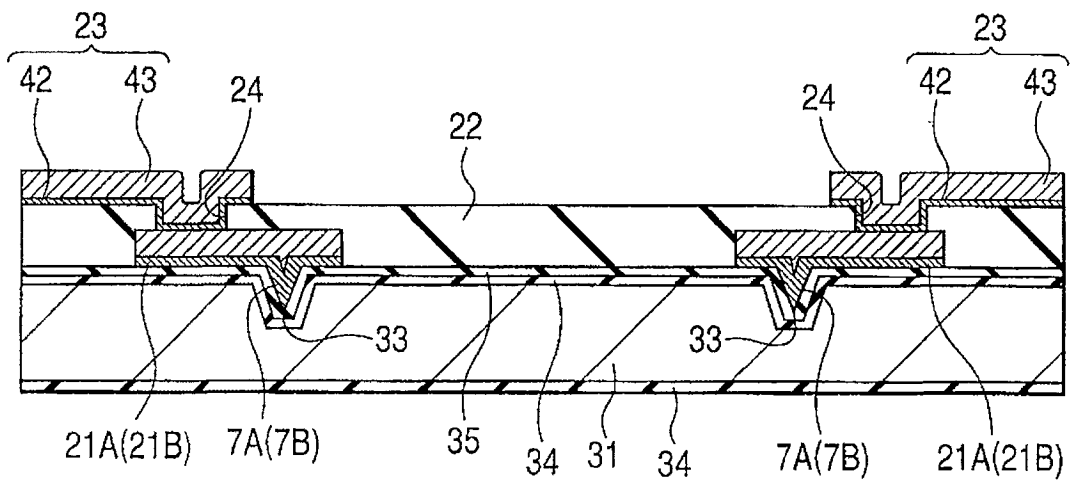


图 24

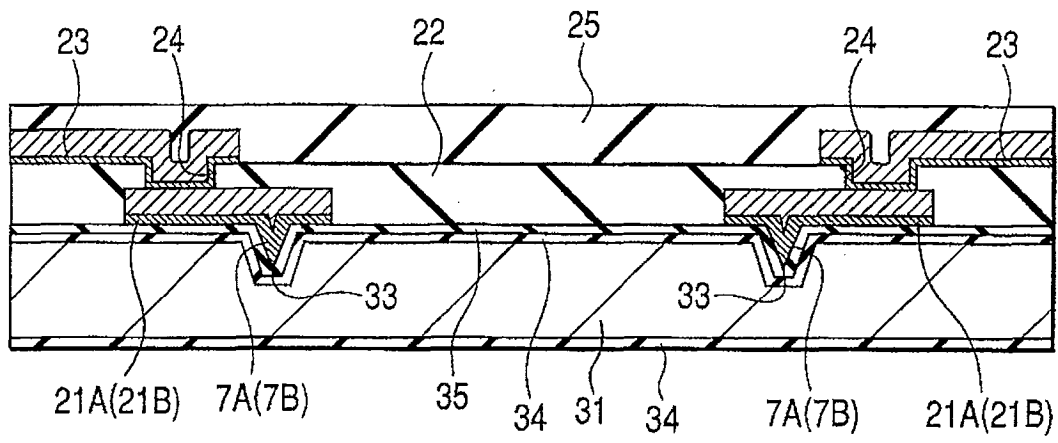


图 25

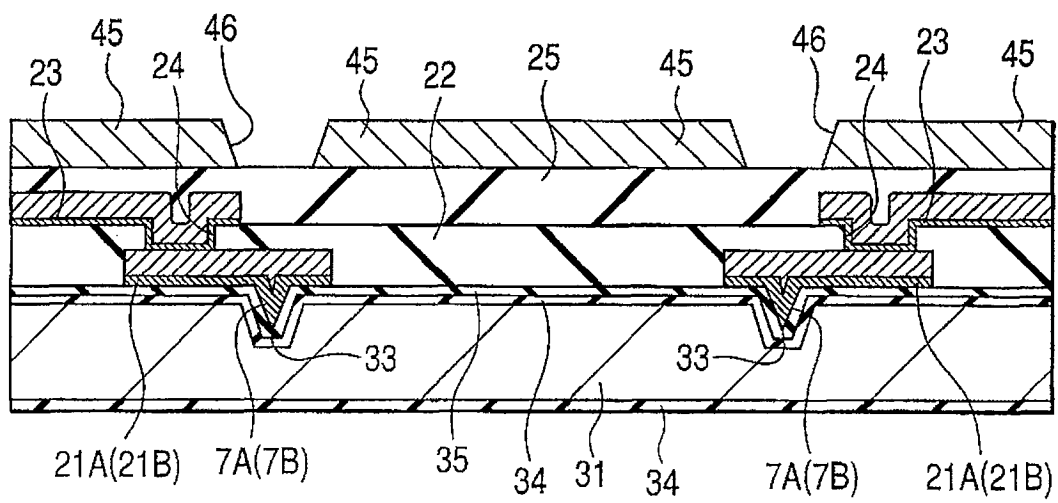


图 26

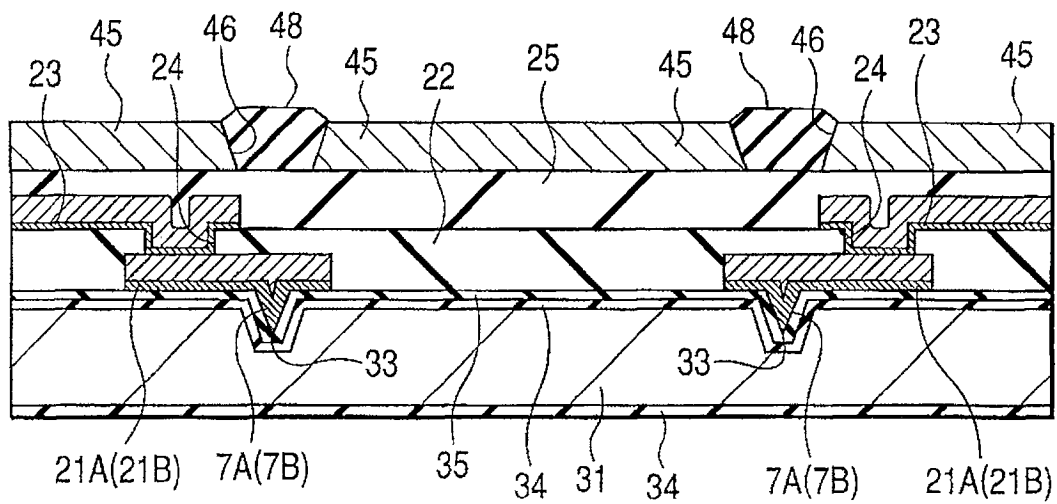


图 27

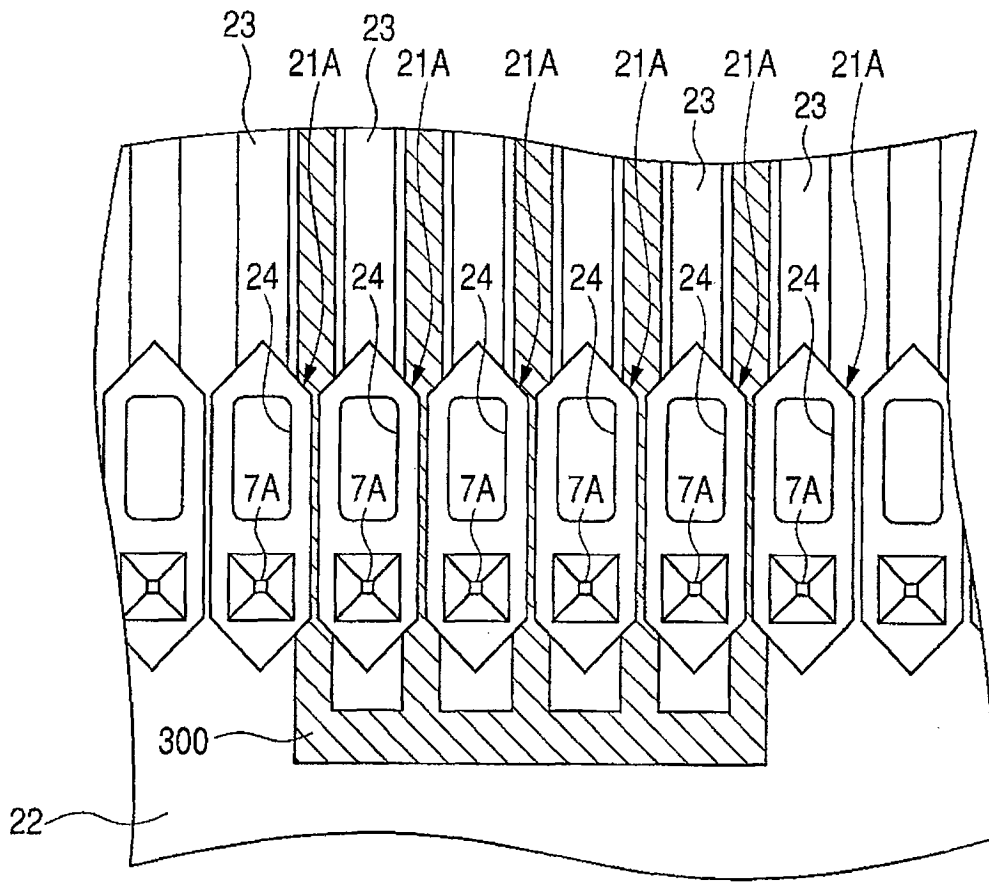


图 30

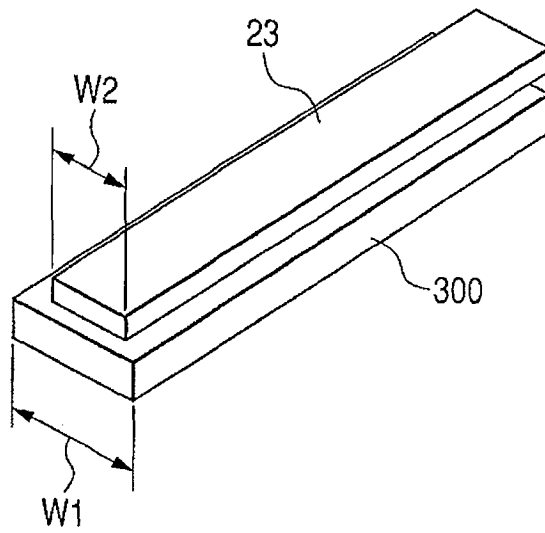


图 31

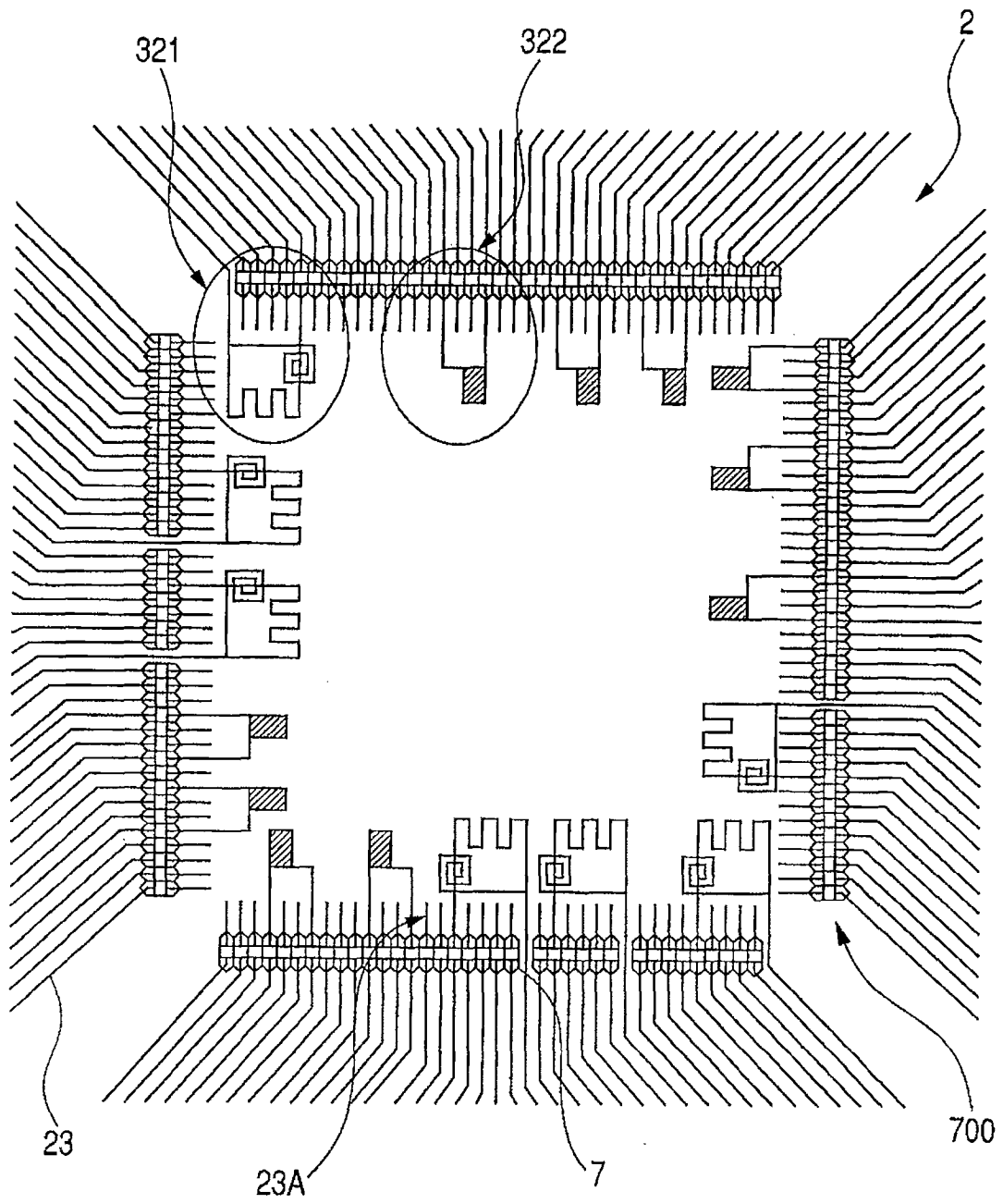


图 32

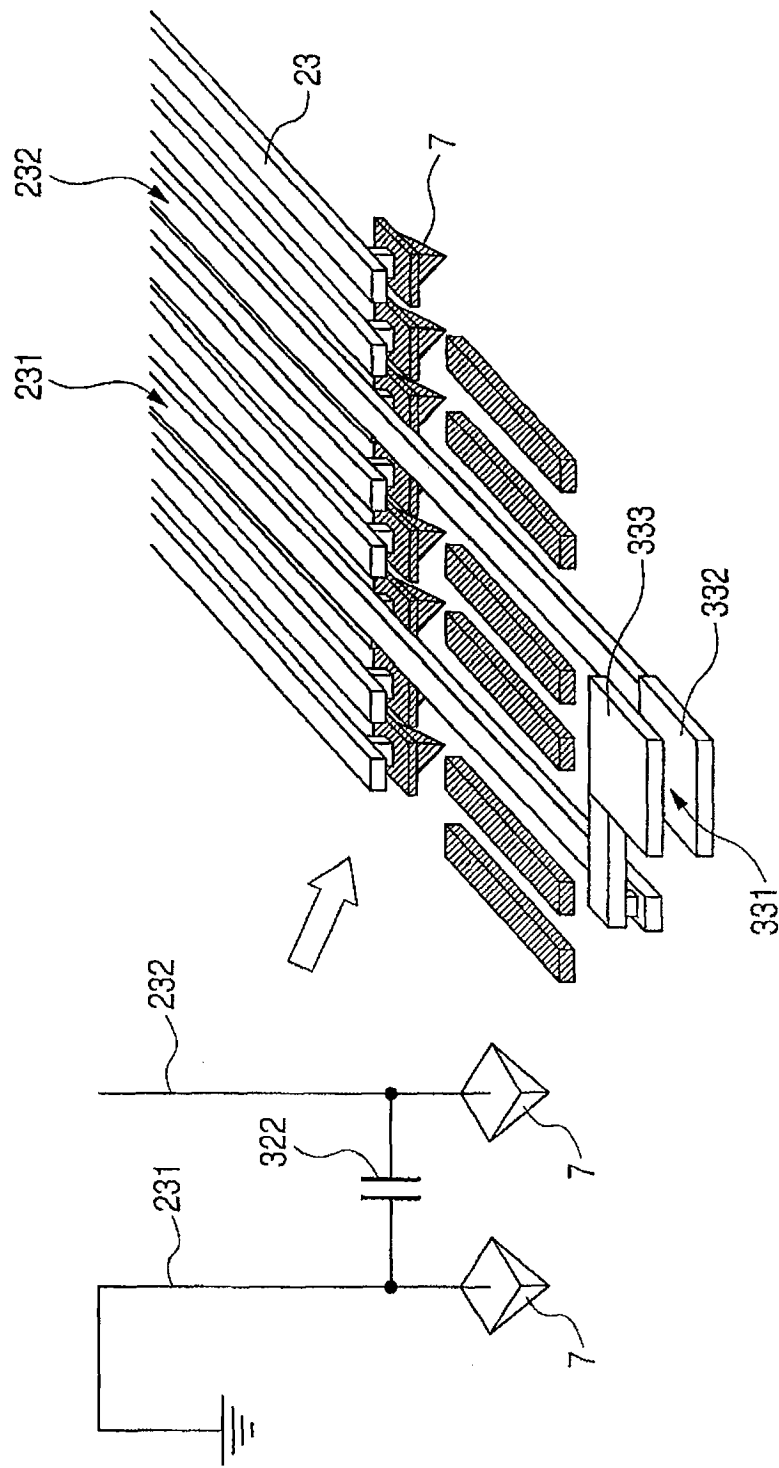


图 33

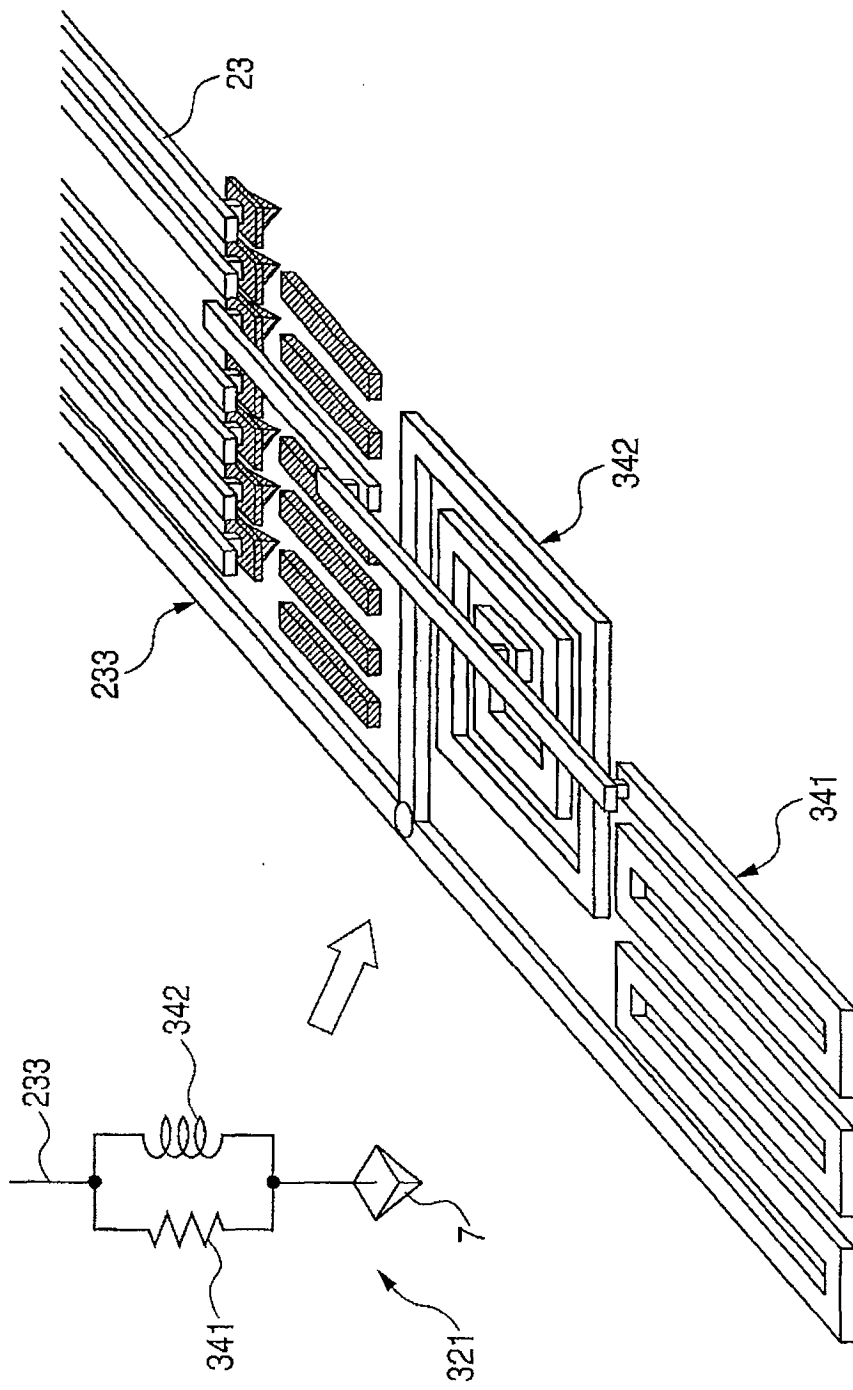


图 34

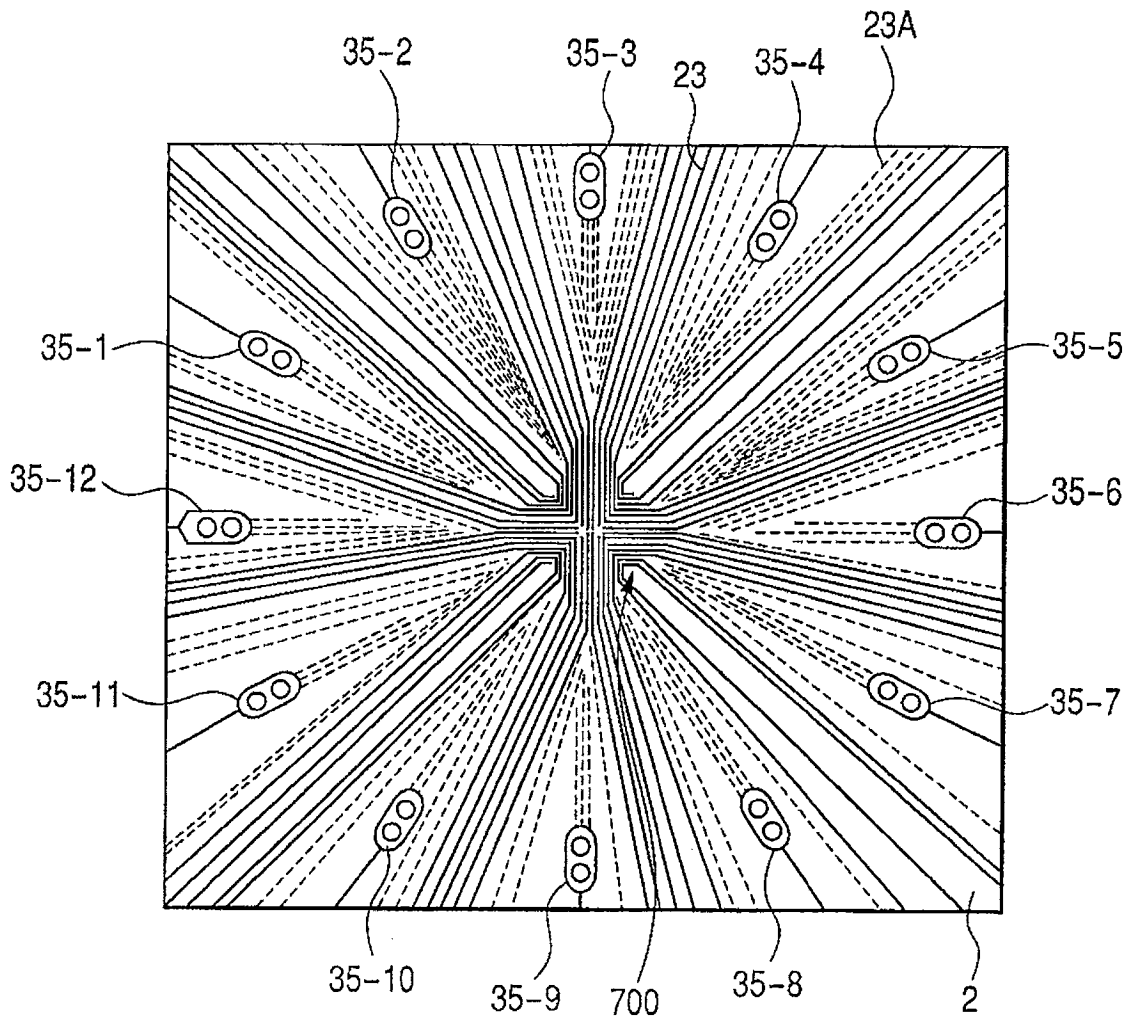


图 35

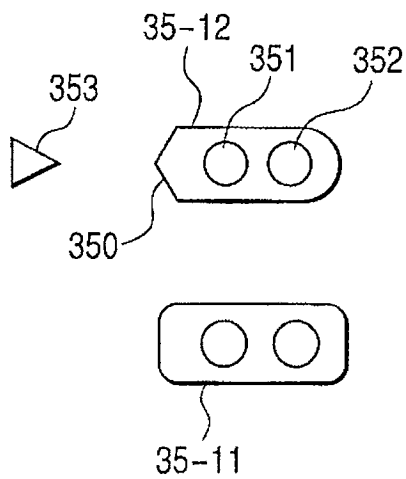


图 36

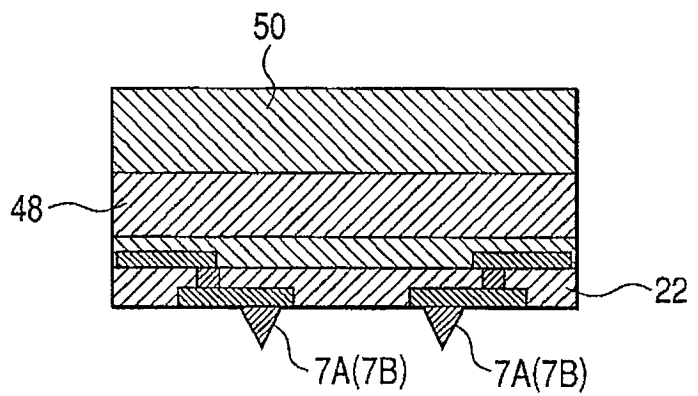


图 37

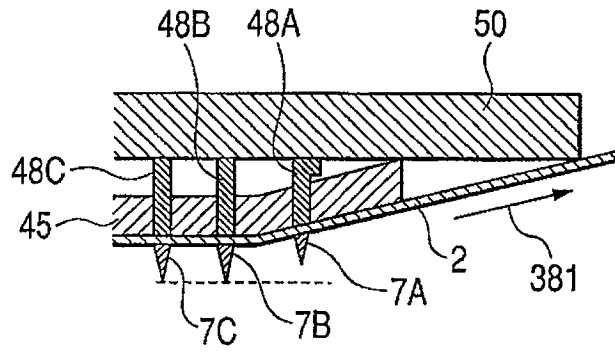


图 38

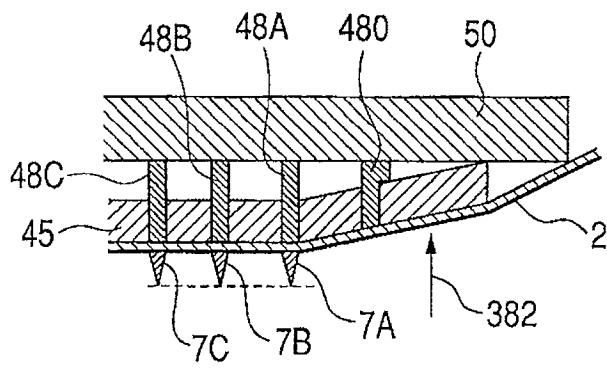


图 39

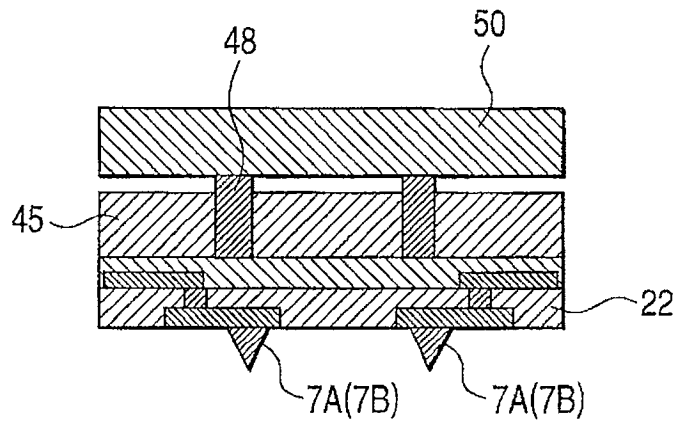


图 40

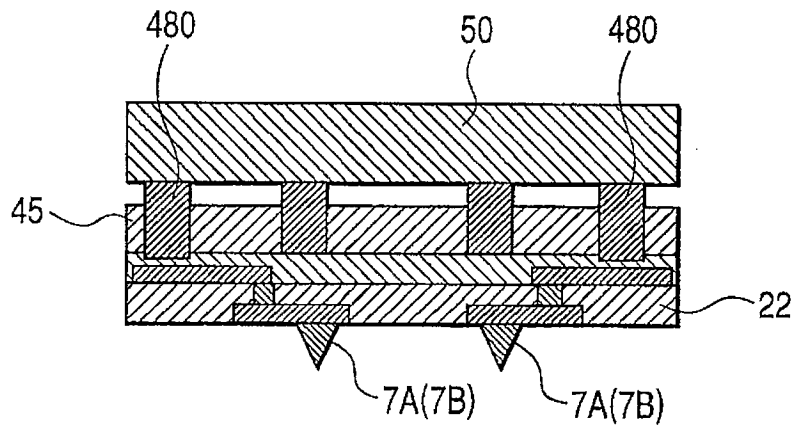


图 41

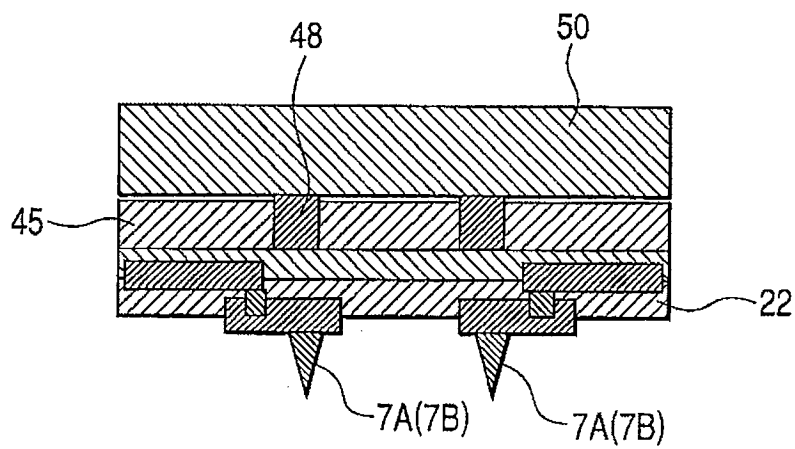


图 42

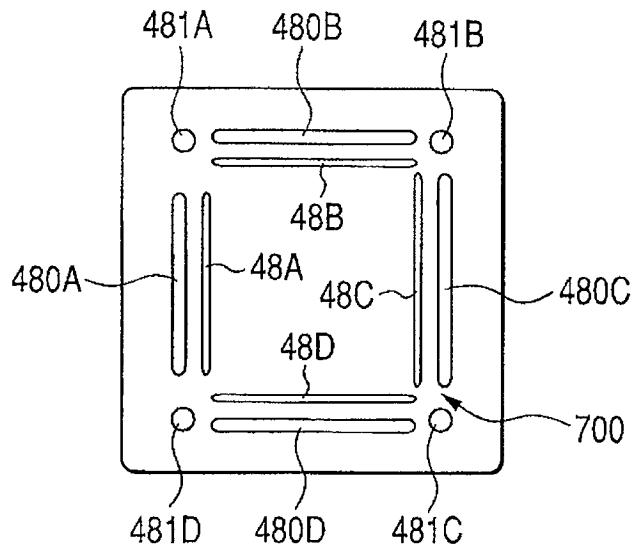


图 43

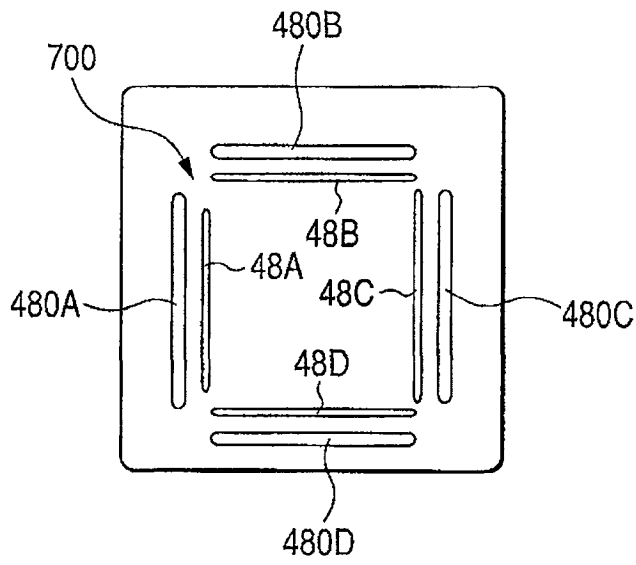


图 44

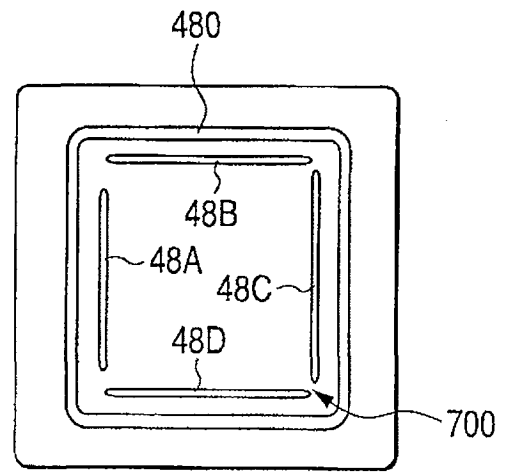


图 45

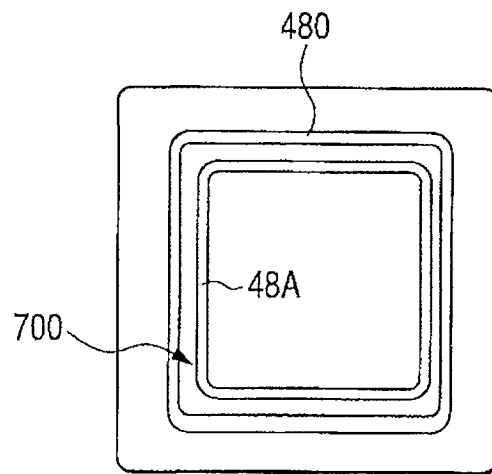


图 46

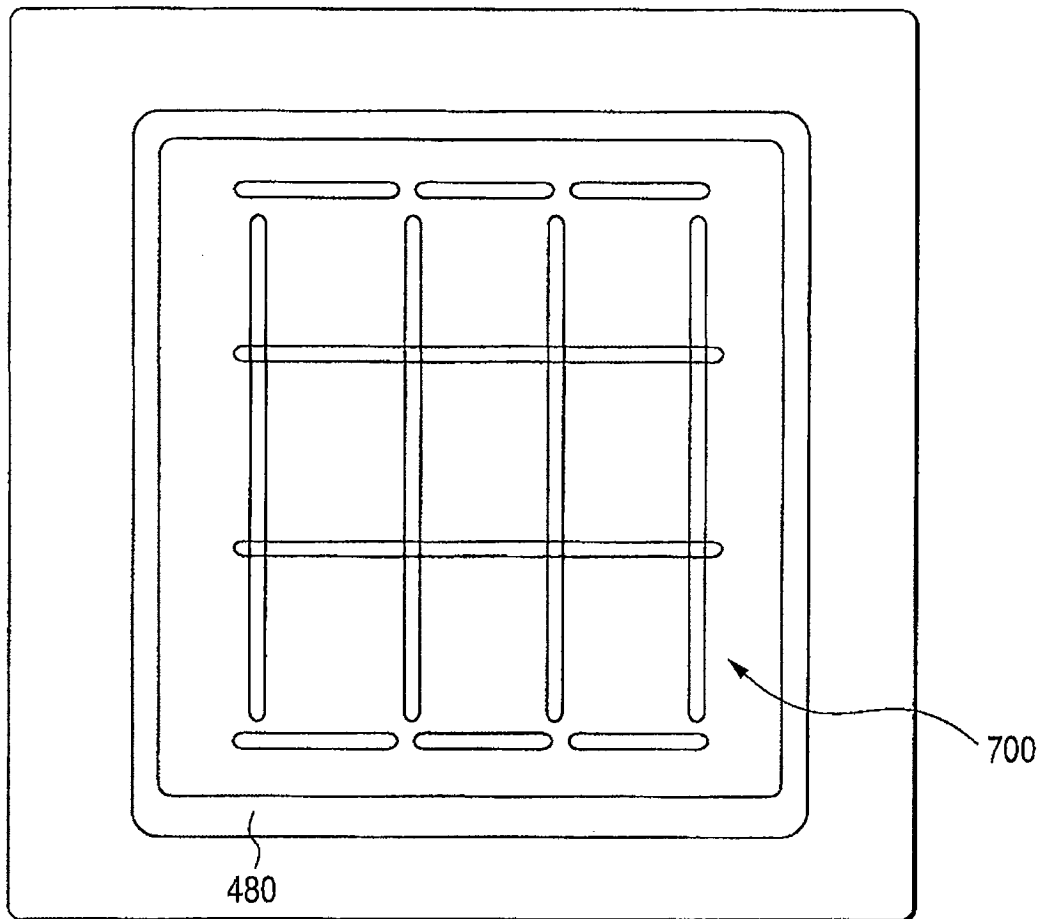


图 47

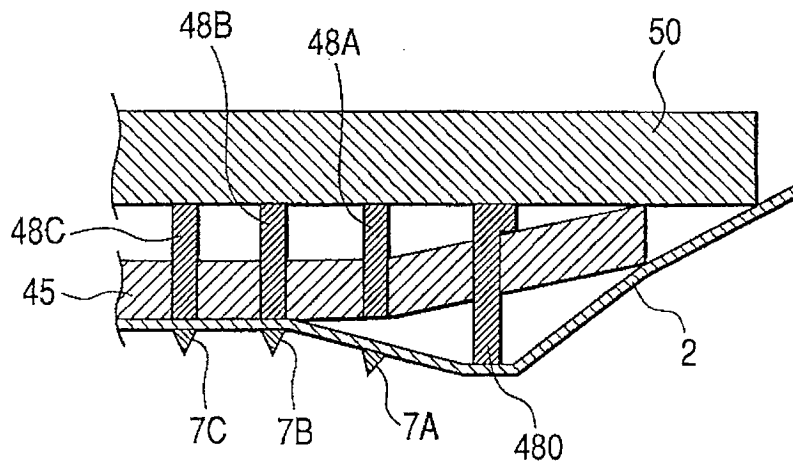


图 48

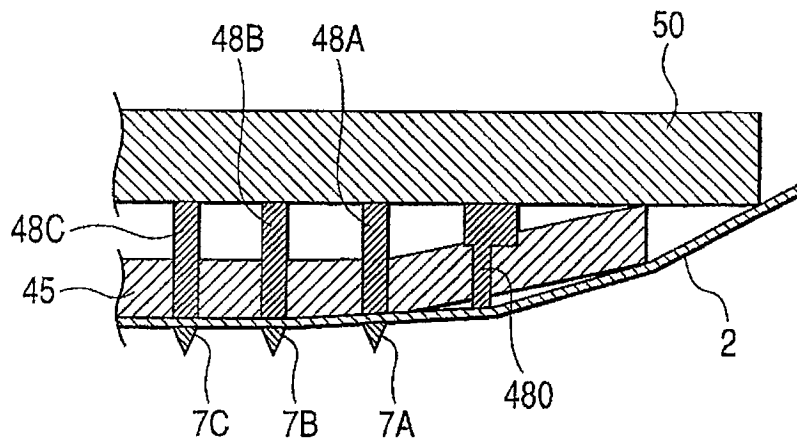


图 49

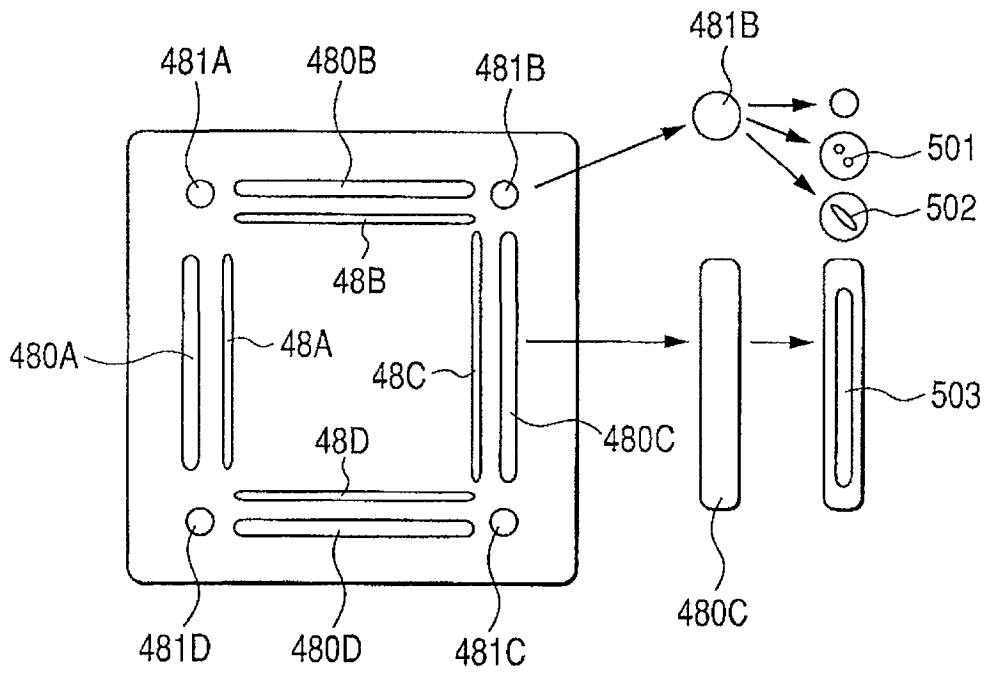


图 50

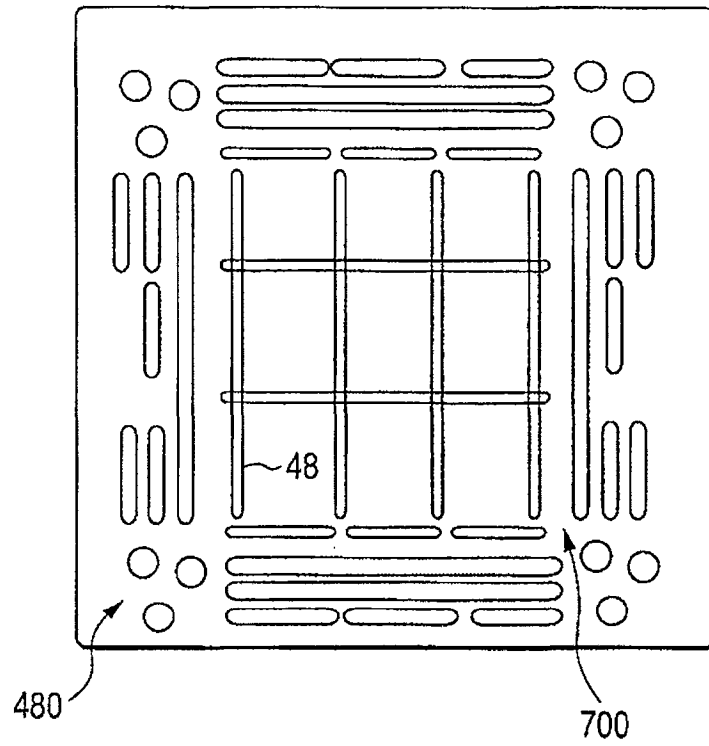


图 51

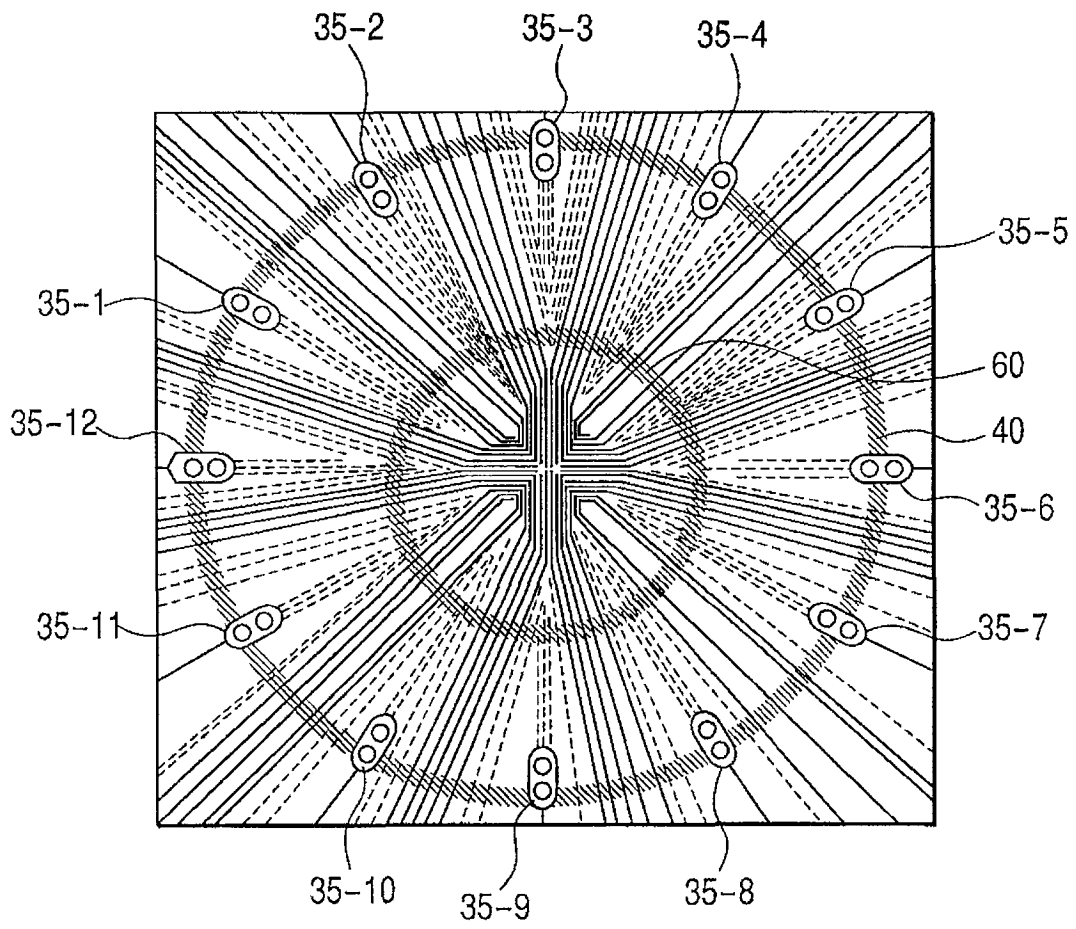


图 52

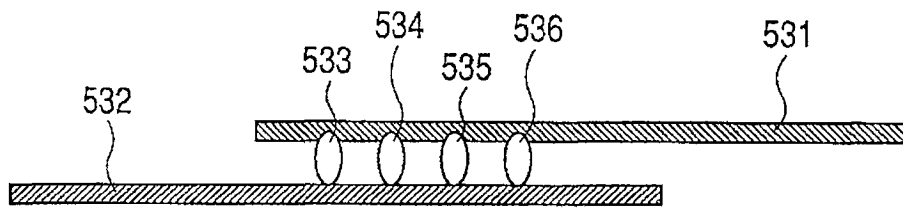


图 53

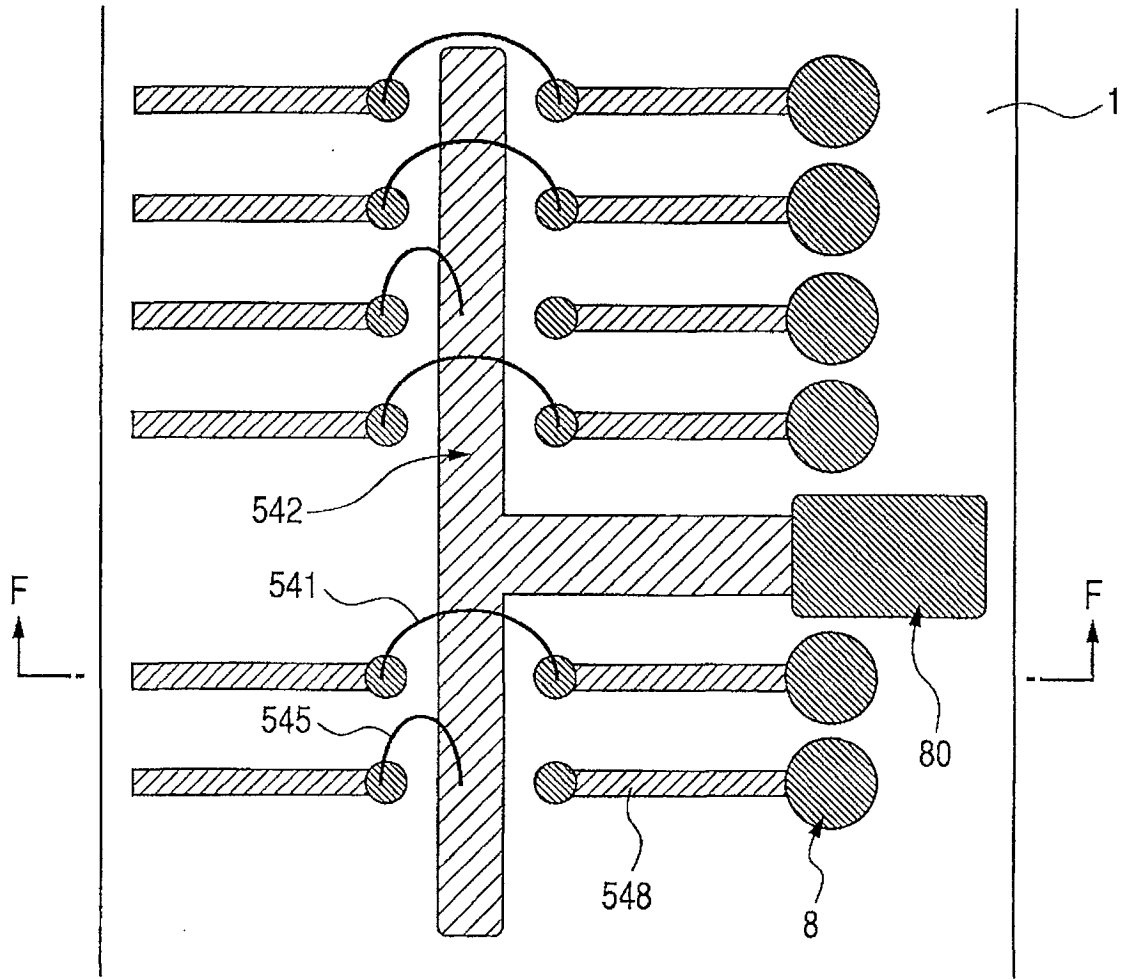


图 54

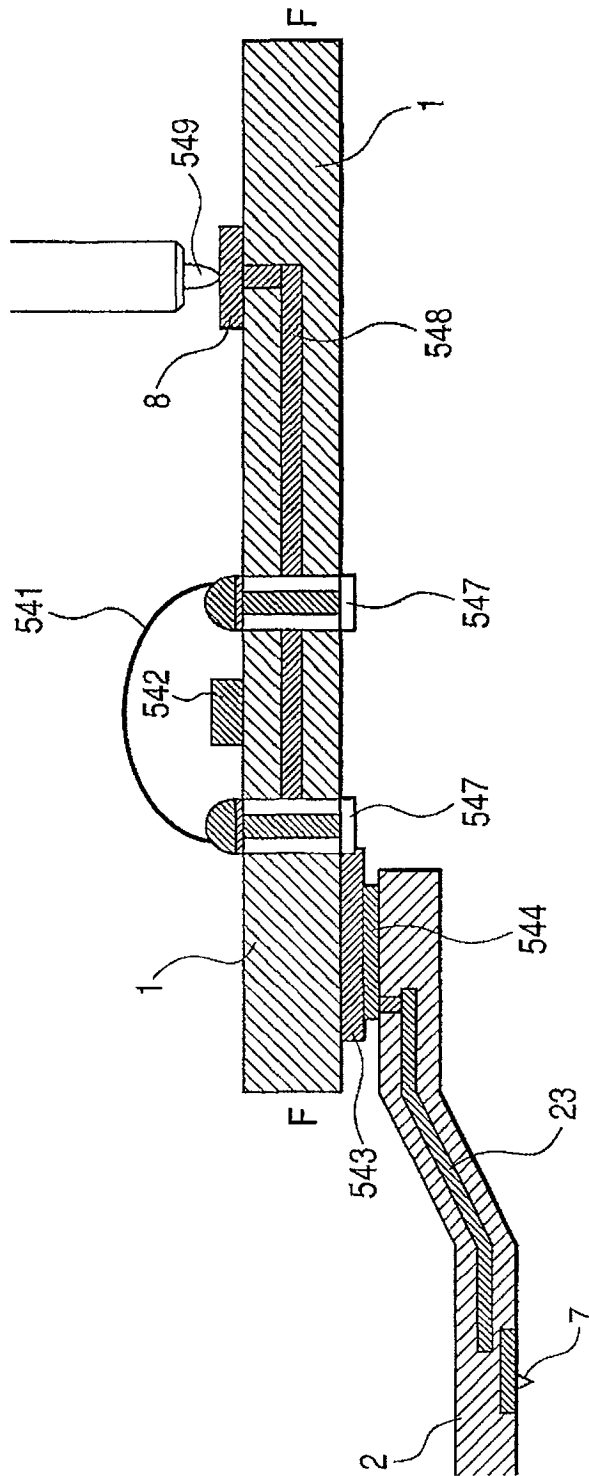


图 55

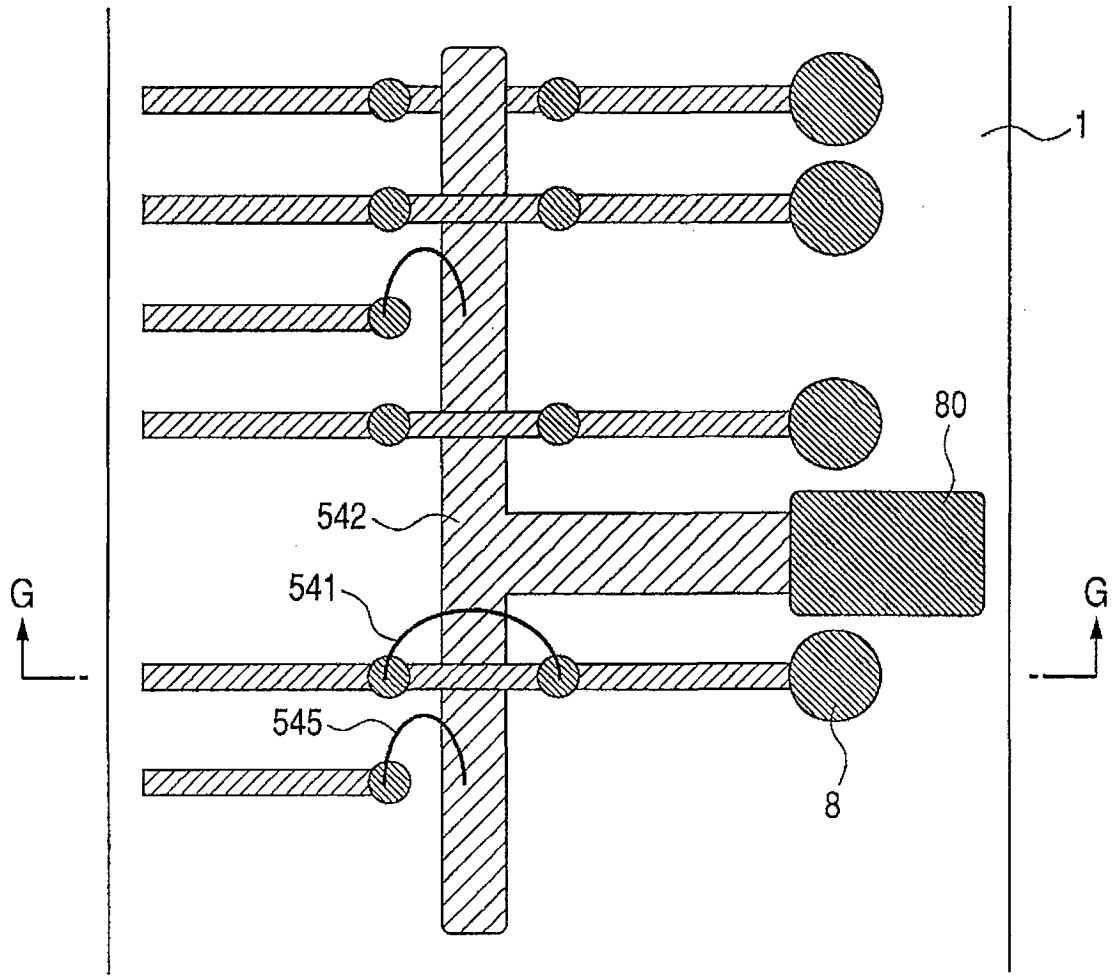


图 56

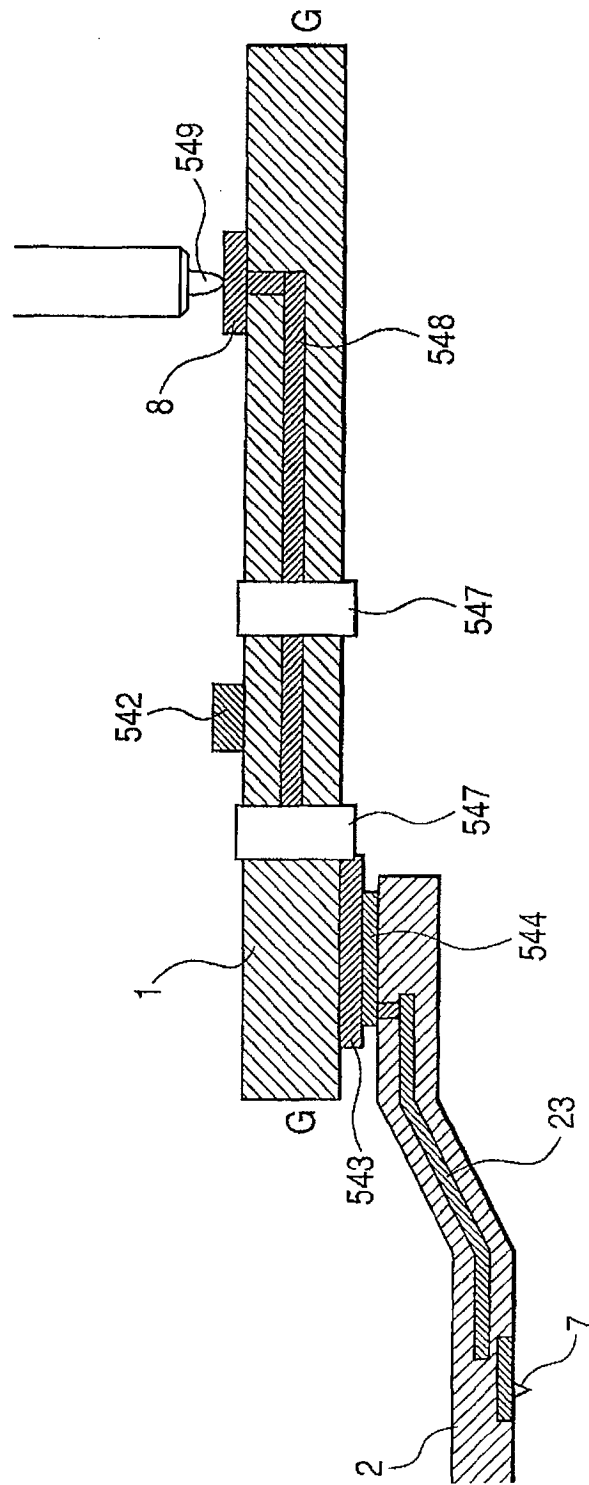


图 57

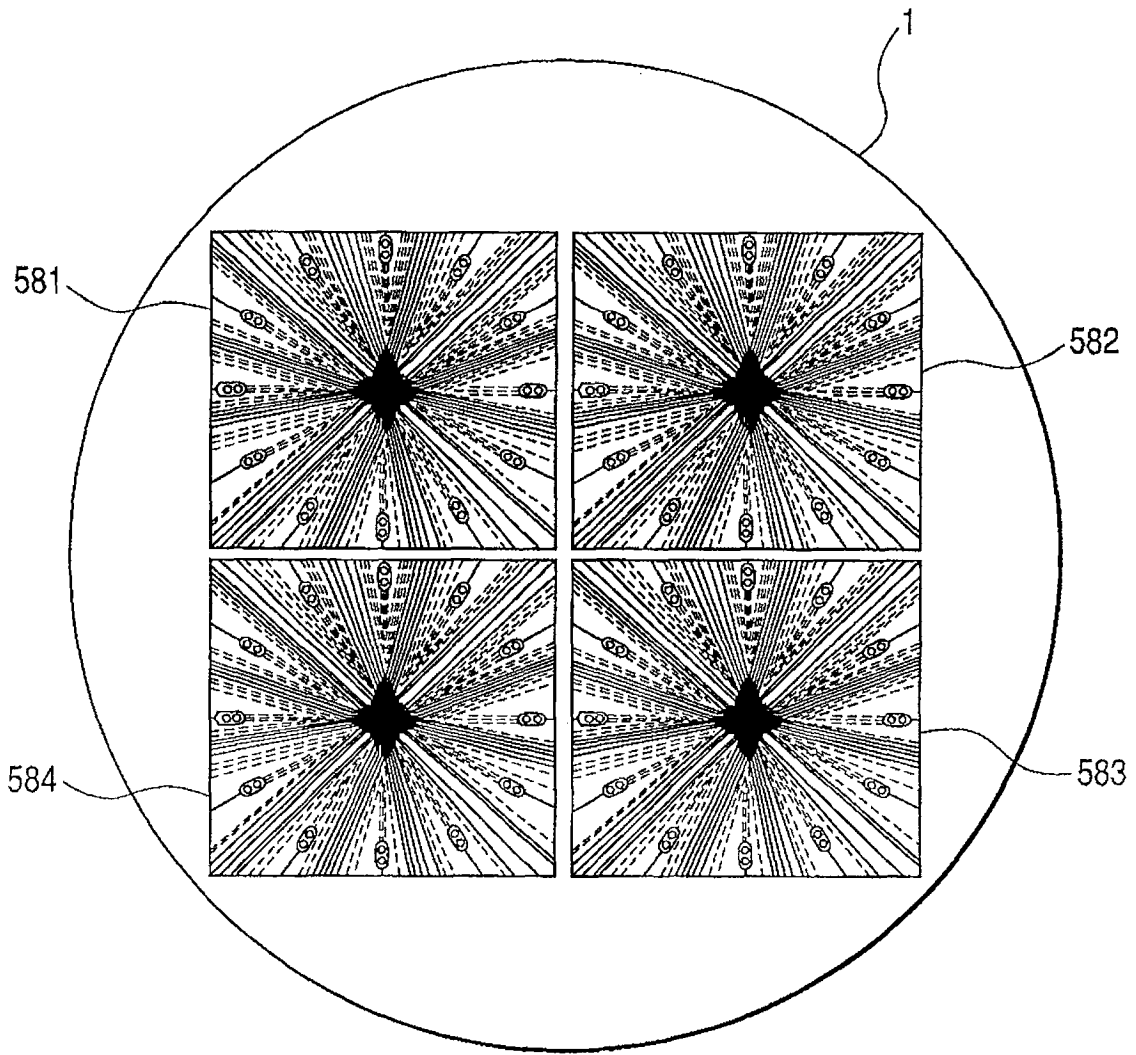


图 58

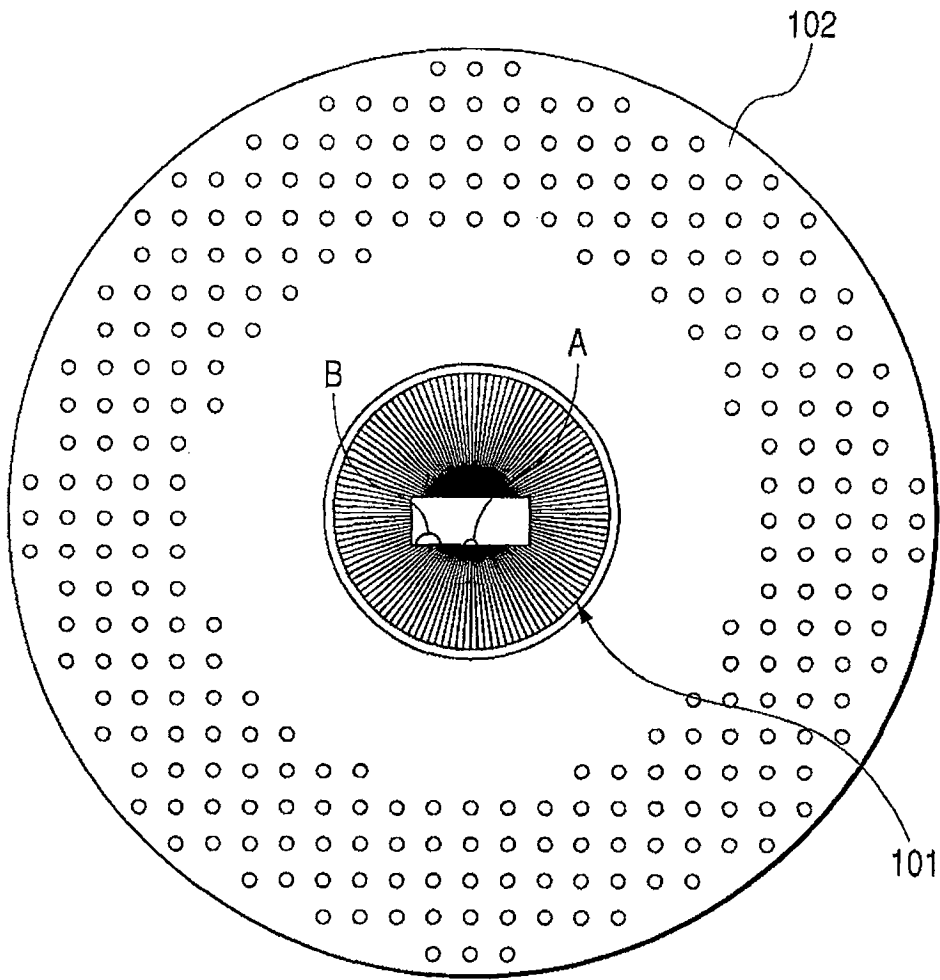


图 59

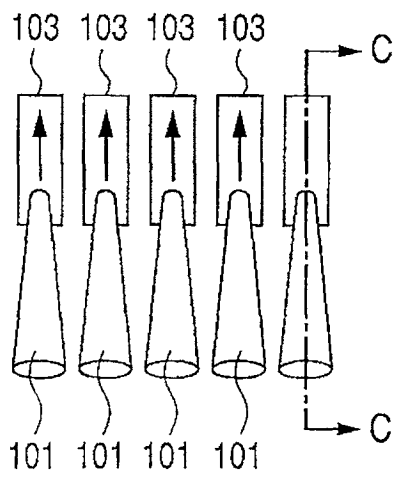


图 60

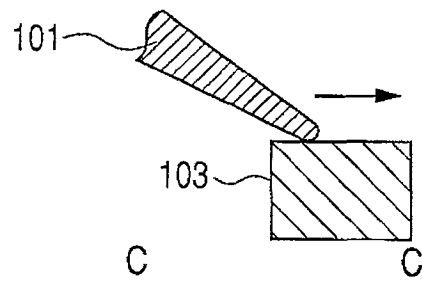


图 61

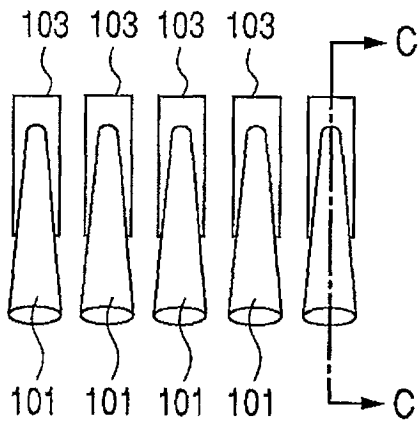


图 62

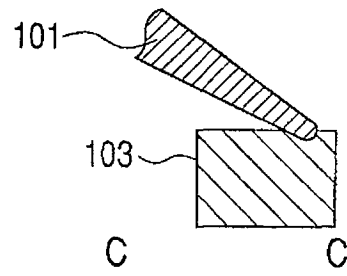


图 63

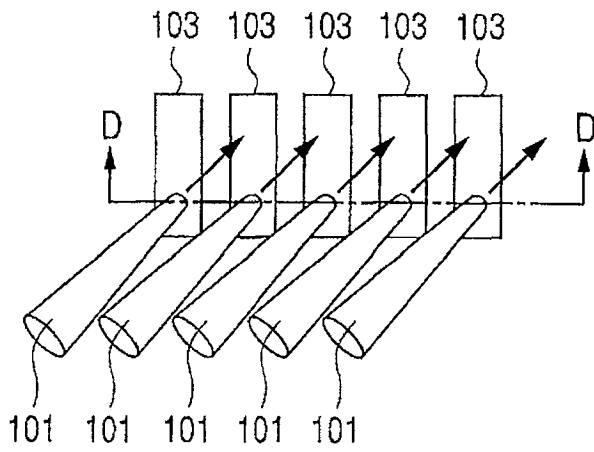


图 64

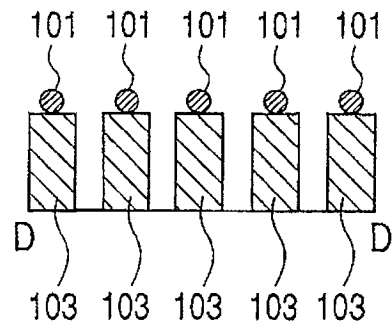


图 65

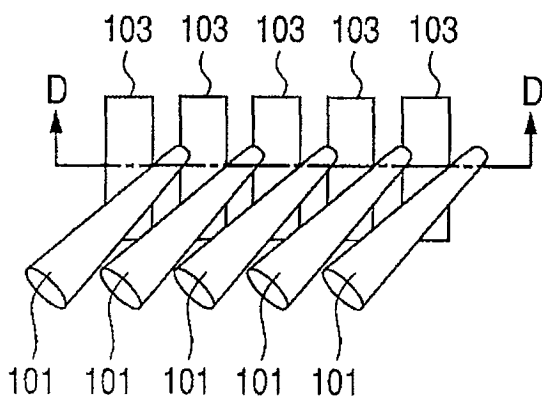


图 66

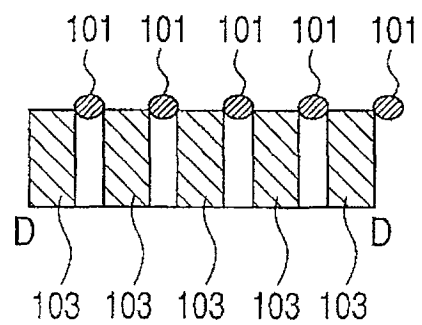


图 67