



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I696113 B

(45) 公告日：中華民國 109 (2020) 年 06 月 11 日

(21) 申請案號：108100003

(22) 申請日：中華民國 108 (2019) 年 01 月 02 日

(51) Int. Cl. : G06F9/06 (2006.01)

G06F3/06 (2006.01)

(71) 申請人：慧榮科技股份有限公司 (中華民國) SILICON MOTION INC. (TW)

新竹縣竹北市台元街三十六號八樓之一

(72) 發明人：鍾建眾 CHUNG, CHIEN-CHUNG (TW) ; 郁達儒 YU, DA-RU (TW) ; 蘇暉迦 SU, WEI-CHIA (TW)

(74) 代理人：吳豐任；戴俊彥

(56) 參考文獻：

US 9165143B1

US 9230112B1

US 2005/0268092A1

US 2016/0013110A1

審查人員：游象甫

申請專利範圍項數：20 項 圖式數：3 共 22 頁

(54) 名稱

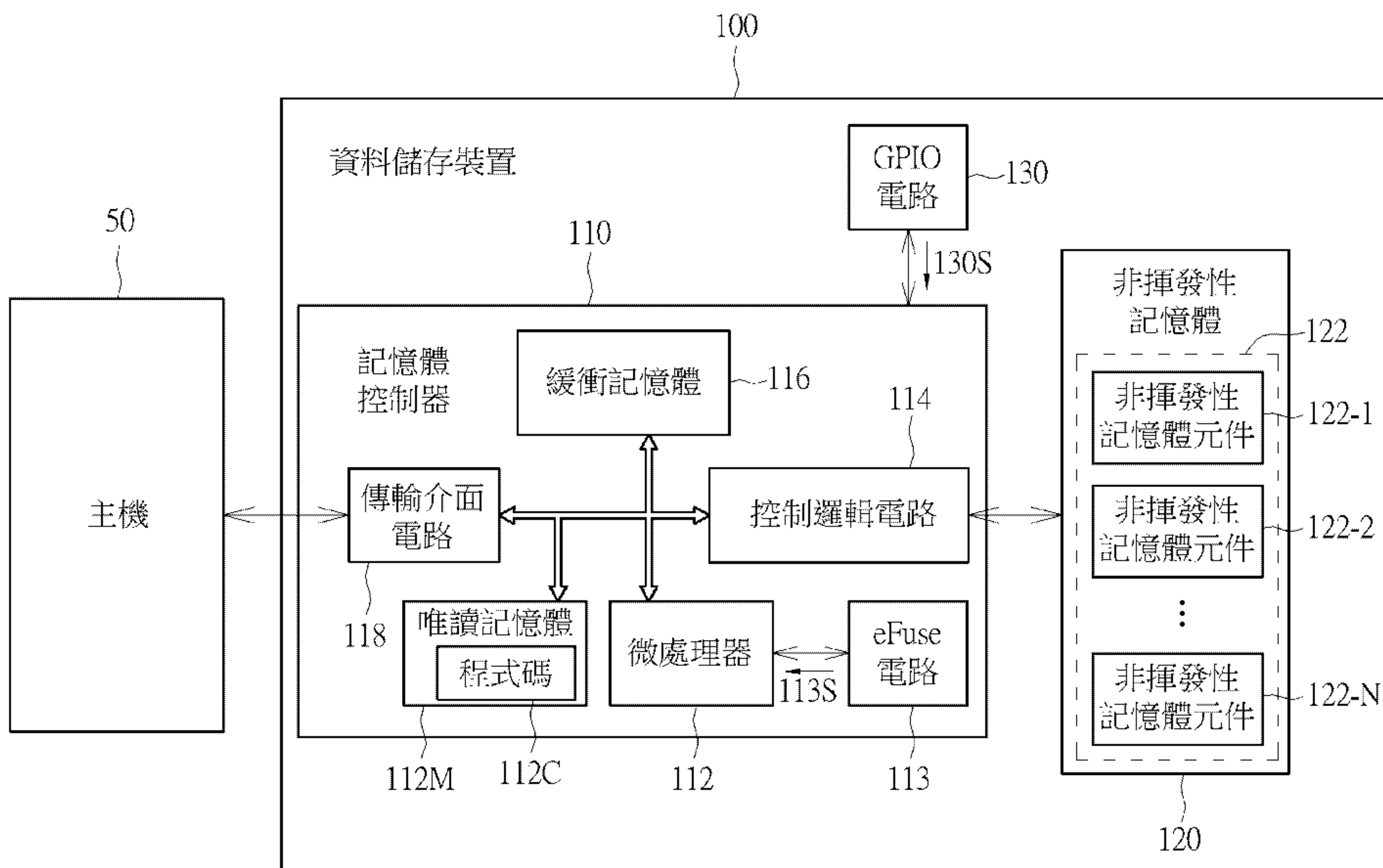
用來進行組態管理之方法以及資料儲存裝置及其控制器

(57) 摘要

本發明提供一種用來進行組態管理之方法以及資料儲存裝置及其控制器。該方法可包含：從一唯讀記憶體讀取一唯讀記憶體碼，以執行該唯讀記憶體碼；於執行該唯讀記憶體碼的期間，偵測一通用輸入輸出電路的一第一組狀態，以依據該第一組狀態來進行該唯讀記憶體碼之一第一部分系統組態的設定；於執行該唯讀記憶體碼的期間，偵測一電子保險絲電路的一第二組狀態，以依據該第二組狀態來進行該唯讀記憶體碼之一第二部分系統組態的設定；以及執行至少一程式碼，以使該資料儲存裝置備妥以供一主機存取。

A method for performing configuration management, an associated data storage device and the controller thereof are provided. The method may include: reading a read only memory (ROM) code from a ROM to execute the ROM code; during executing the ROM code, detecting a first set of states of a general-purpose input/output (GPIO) circuit to perform a first portion of system configuration settings of the ROM code according to the first set of states; during executing the ROM code, detecting a second set of states of an electronic fuse (eFuse) circuit to perform a second portion of system configuration settings of the ROM code according to the second set of states; and executing at least one program code to make the data storage device be ready for being accessed by a host device.

指定代表圖：



第1圖

符號簡單說明：

50:主機

100:資料儲存裝置

110:記憶體控制器

112:微處理器

112C:程式碼

112M:唯讀記憶體

113:eFuse 電路

114:控制邏輯電路

116:緩衝記憶體

118:傳輸介面電路

120:非揮發性記憶體

122, 122-1,

122-2, ..., 122-N:非

揮發性記憶體元件

130:GPIO 電路



I696113

【發明摘要】

【中文發明名稱】用來進行組態管理之方法以及資料儲存裝置及其控制器

【英文發明名稱】METHOD FOR PERFORMING CONFIGURATION MANAGEMENT, AND ASSOCIATED DATA STORAGE DEVICE AND CONTROLLER THEREOF

【中文】

本發明提供一種用來進行組態管理之方法以及資料儲存裝置及其控制器。該方法可包含：從一唯讀記憶體讀取一唯讀記憶體碼，以執行該唯讀記憶體碼；於執行該唯讀記憶體碼的期間，偵測一通用輸入輸出電路的一第一組狀態，以依據該第一組狀態來進行該唯讀記憶體碼之一第一部分系統組態的設定；於執行該唯讀記憶體碼的期間，偵測一電子保險絲電路的一第二組狀態，以依據該第二組狀態來進行該唯讀記憶體碼之一第二部分系統組態的設定；以及執行至少一程式碼，以使該資料儲存裝置備妥以供一主機存取。

【英文】

A method for performing configuration management, an associated data storage device and the controller thereof are provided. The method may include: reading a read only memory (ROM) code from a ROM to execute the ROM code; during executing the ROM code, detecting a first set of states of a general-purpose input/output (GPIO) circuit to perform a first portion of system configuration settings of the ROM code according to the first set of states; during executing the ROM code, detecting a second set of states of an electronic fuse (eFuse) circuit to perform a second portion of system configuration settings of the ROM code according to the second set of states; and executing at least one program code to make the data storage device be ready for being accessed by a host device.

第 1 頁，共 2 頁(發明摘要)

【指定代表圖】第(1)圖。

【代表圖之符號簡單說明】

50	主機
100	資料儲存裝置
110	記憶體控制器
112	微處理器
112C	程式碼
112M	唯讀記憶體
113	eFuse電路
114	控制邏輯電路
116	緩衝記憶體
118	傳輸介面電路
120	非揮發性記憶體
122, 122-1, 122-2, ..., 122-N	非揮發性記憶體元件
130	GPIO電路

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 用來進行組態管理之方法以及資料儲存裝置及其控制器

【英文發明名稱】 METHOD FOR PERFORMING CONFIGURATION MANAGEMENT, AND ASSOCIATED DATA STORAGE DEVICE AND CONTROLLER THEREOF

【技術領域】

【0001】 本發明係有關於快閃記憶體（Flash memory）之存取（access），尤指一種用來進行組態（configuration）管理之方法以及相關之資料儲存裝置及其控制器。

【先前技術】

【0002】 快閃記憶體可廣泛地應用於各種可攜式或非可攜式資料儲存裝置（例如：符合SD/MMC、CF、MS、XD或UFS標準之記憶卡；又例如：固態硬碟；又例如：符合UFS或EMMC規格之嵌入式（embedded）儲存裝置）中。以常用的NAND型快閃記憶體而言，最初有單階細胞（single level cell，SLC）、多階細胞（multiple level cell，MLC）等類型的快閃記憶體。由於記憶體的技術不斷地發展，較新的資料儲存裝置產品可採用三階細胞（triple level cell，TLC）快閃記憶體，甚至四階細胞（quadruple level cell，QLC）快閃記憶體。為了確保資料儲存裝置對快閃記憶體之存取控制能符合相關規範，快閃記憶體的控制器通常備有某些管理機制以妥善地管理其內部運作。

【0003】 依據相關技術，有了這些管理機制的資料儲存裝置還是有不足之處。舉例來說，當快閃記憶體之類型或型號隨著某些要求（諸如新客戶的要求、新產品的要求）而變更時，系統組態（System Configuration）設定值可能需要對應地修改，這可能導致唯讀記憶體碼（ROM Code）之設計變更。此領域慣用的傳統架構透過GPIO來進行系統組態的設定，例如，拉高（Pull high）或拉低（Pull

low) GPIO接腳的電壓準位，藉由設定不同的電壓準位以進行系統組態的設定。

【0004】 然而，一來GPIO的接腳有數量上的限制，這導致傳統架構只能提供有限數量的系統組態設定值，無法滿足實際的需求，這意味著這個問題並未真的被解決。再者，依據傳統架構來實施資料儲存裝置會帶來額外的問題諸如某些副作用。例如：由於需要設置額外的電阻器以拉高或拉低GPIO接腳的電壓準位，故會增加資料儲存裝置的製造成本。為了放置電阻器，增加印刷電路板的面積並且增加佈局(layout)之複雜度。因此，需要一種新穎的方法及相關架構，以在沒有副作用或較不可能帶來副作用之狀況下實現具有組態更新彈性之資料儲存裝置。

【發明內容】

【0005】 本發明之一目的在於提供一種用來進行組態管理之方法以及相關之資料儲存裝置及其控制器，以解決上述問題。

【0006】 本發明之另一目的在於提供一種用來進行組態管理之方法以及相關之資料儲存裝置及其控制器，以在沒有副作用或較不可能帶來副作用之狀況下將組態更新彈性賦予資料儲存裝置。

【0007】 本發明之至少一實施例提供一種用來進行組態管理之方法，其中該方法係應用於一資料儲存裝置，該資料儲存裝置包含一非揮發性記憶體(non-volatile memory, NV memory)，且該非揮發性記憶體包含至少一非揮發性記憶體元件(NV memory element)。該方法可包含：從一唯讀記憶體(Read Only Memory, ROM)讀取一唯讀記憶體碼(ROM Code，簡稱「ROM碼」)，以執行該ROM碼；於執行該ROM碼的期間，偵測一通用輸入輸出(General-Purpose Input/Output，簡稱GPIO)電路的一第一組狀態，以依據該第一組狀態來進行該ROM碼之一第一部分系統組態的設定；於執行該ROM碼的期間，偵測一電子保

險絲（**electronic fuse**，簡稱**eFuse**）電路的一第二組狀態，以依據該第二組狀態來進行該**ROM**碼之一第二部分系統組態的設定；以及執行至少一程式碼，以使該資料儲存裝置備妥（**ready**）以供一主機（**host device**）存取。

【0008】 本發明之至少一實施例提供一種資料儲存裝置，其可包含：一非揮發性記憶體，用來儲存資訊，其中該非揮發性記憶體包含至少一非揮發性記憶體元件；以及一控制器，耦接至該非揮發性記憶體，用來控制該資料儲存裝置之運作。該控制器可包含一唯讀記憶體、一**eFuse**電路與一處理電路，其中該唯讀記憶體可用來儲存一**ROM**碼，該**eFuse**電路可用來儲存設定資訊，而該處理電路可依據來自一主機的複數個主機指令（**host command**）控制該控制器，以容許該主機透過該控制器存取該非揮發性記憶體。例如：該處理電路從該唯讀記憶體讀取該**ROM**碼，以執行該**ROM**碼；於執行該**ROM**碼的期間，該處理電路偵測該資料儲存裝置中之一**GPIO**電路的一第一組狀態，以依據該第一組狀態來進行該**ROM**碼之一第一部分系統組態的設定；於執行該**ROM**碼的期間，該處理電路偵測該**eFuse**電路的一第二組狀態，以依據該第二組狀態來進行該**ROM**碼之一第二部分系統組態的設定；以及該處理電路執行至少一程式碼，以使該資料儲存裝置備妥以供該主機存取。

【0009】 本發明之至少一實施例提供一種資料儲存裝置之控制器，其中該資料儲存裝置包含該控制器與一非揮發性記憶體，且該非揮發性記憶體包含至少一非揮發性記憶體元件。該控制器可包含一唯讀記憶體、一**eFuse**電路與一處理電路，其中該唯讀記憶體可用來儲存一**ROM**碼，該**eFuse**電路可用來儲存設定資訊，而該處理電路可依據來自一主機的複數個主機指令控制該控制器，以容許該主機透過該控制器存取該非揮發性記憶體。例如：該處理電路從該唯讀記憶體讀取該**ROM**碼，以執行該**ROM**碼；於執行該**ROM**碼的期間，該處理電路偵測該資料儲存裝置中之一**GPIO**電路的一第一組狀態，以依據該第一組狀態來進行

該ROM碼之一第一部分系統組態的設定；於執行該ROM碼的期間，該處理電路偵測該eFuse電路的一第二組狀態，以依據該第二組狀態來進行該ROM碼之一第二部分系統組態的設定；以及該處理電路執行至少一程式碼，以使該資料儲存裝置備妥以供該主機存取。

【0010】 本發明的好處之一是，透過基於eFuse電路的系統組態的設定，本發明能針對該控制器的運作進行妥善的控制，尤其能在使用相同的硬體架構之狀況下因應各種要求（諸如新客戶的要求、新產品的要求）來控制系統組態的設定。另外，依據本發明之實施例來實施並不會增加許多額外的成本。因此，相關技術的問題可被解決，且整體成本不會增加太多。相較於此領域慣用的傳統架構，本發明能在沒有副作用或較不可能帶來副作用之狀況下達到資料儲存裝置之最佳化效能。

【圖式簡單說明】

【0011】

第1圖為依據本發明一實施例之一種資料儲存裝置與一主機的示意圖。

第2圖繪示可用來實施第1圖所示記憶體控制器之晶片的例子。

第3圖為依據本發明一實施例之一種用來進行組態管理（諸如系統組態設定）之方法的工作流程。

【實施方式】

【0012】 請參考第1圖，第1圖為依據本發明一第一實施例之一種資料儲存裝置100與主機50的示意圖。例如：資料儲存裝置100可為固態硬碟（Solid State Drive，SSD）。另外，主機50的例子可包含（但不限於）：多功能行動電話（Multifunctional Mobile Phone）、平板電腦（Tablet）、以及個人電腦（Personal

Computer) 諸如桌上型電腦與膝上型電腦。依據本實施例，資料儲存裝置100可包含一控制器諸如記憶體控制器110以及非揮發性記憶體120。資料儲存裝置100可更包括動態隨機存取記憶體 (Dynamic Random Access Memory, 簡稱DRAM)。其中，記憶體控制器110係用來存取 (Access) 非揮發性記憶體120，非揮發性記憶體120係用來儲存資訊，例如：系統內編程碼 (In-System Programming Code, 簡稱「ISP碼」、使用者資料、邏輯-物理映射表 (L2P Table) 等等。如果資料儲存裝置100包括DRAM，則記憶體控制器110可將上述資訊暫存在DRAM中以加速資料的存取速度。記憶體控制器110的GPIO電路130可控制GPIO接腳的運作。GPIO接腳經過適當的設定可提供次要系統組態的設定值。非揮發性記憶體120可包含複數個非揮發性記憶體元件122-1、122-2、...與122-N，其中符號「N」可代表大於一的正整數。例如：非揮發性記憶體120可為快閃記憶體 (Flash memory)，而非揮發性記憶體元件122-1、122-2、...與122-N可分別為複數個快閃記憶體晶片 (Flash memory chip；可簡稱為快閃晶片) 或複數個快閃記憶體裸晶 (Flash memory die；可簡稱為快閃裸晶) 或邏輯單元編號 (Logical Unit Number, LUN)，但本發明並不限於此。

【0013】 如第1圖所示，記憶體控制器110可包含處理電路諸如微處理器112、儲存器諸如唯讀記憶體 (ROM) 112M、eFuse電路113、控制邏輯電路114、緩衝記憶體116、與傳輸介面電路118，其中這些元件可透過共同匯流排彼此耦接並相互溝通。緩衝記憶體116係以隨機存取記憶體 (Random Access Memory, RAM) 來實施，較佳為靜態隨機存取記憶體 (Static RAM, SRAM)。

【0014】 本實施例之唯讀記憶體112M係用來儲存一程式碼112C，其可作為該ROM碼的例子，而微處理器112則用來執行程式碼112C以進入ROM碼模式，完成微處理器112中各元件的初始化並控制非揮發性記憶體120之運作。請注意，程式碼112C亦得儲存在緩衝記憶體116或任何形式之記憶體內。另外，eFuse電

路113可用來儲存保密資訊，例如，儲存ROM碼執行時所需的主要或全部系統組態設定值、金鑰、製造商識別碼（Identification，ID）等。

【0015】 控制邏輯電路114可包含錯誤更正碼電路（未顯示），以保護資料、及/或進行錯誤更正，而傳輸介面電路118可符合一特定通訊標準，諸如串列高級技術附件（Serial Advanced Technology Attachment，SATA）標準、快捷外設互聯（Peripheral Component Interconnect Express，PCIE）標準、進階主機控制器介面（Advanced Host Controller Interface，AHCI）或非揮發性記憶體快捷（Non-Volatile Memory Express，NVME）標準，且可依據該特定通訊標準與主機50進行通訊。

【0016】 於本實施例中，主機50可藉由傳送複數個主機指令（Host Command）與對應的邏輯位址予記憶體控制器110來間接地存取資料儲存裝置100中之非揮發性記憶體120。記憶體控制器110接收該複數個主機指令與邏輯位址，並將該複數個主機指令分別轉譯成記憶體操作指令（簡稱操作指令），並依據邏輯-物理映射表判斷邏輯位址所對應的物理位址，最後，以操作指令控制非揮發性記憶體120的特定物理位址進行讀取、寫入（Write）／編程（Program），其中，物理位址較佳由邏輯單元編號、區塊（Block）編號、平面（Plane）編號、頁面（Page）編號或區段（Sector）編號所表示。

【0017】 第2圖繪示可用來實施第1圖所示記憶體控制器110之晶片200的例子，但本發明不限於此。晶片200的GPIO接腳可包含多組接腳（pin）諸如三組接腳，其中第一組接腳P0可包含接腳P0.1、P0.2、P0.3、P0.4、P0.5、P0.6、P0.7與P0.8，第二組接腳P1可包含接腳P1.1、P1.2、P1.3、P1.4、P1.5、P1.6、P1.7與P1.8，且第三組接腳P2可包含接腳P2.1、P2.2、P2.3、P2.4、P2.5、P2.6、P2.7與P2.8。使用者可以藉由拉高或拉低此三組接腳的電壓準位，以設定次要系統組態設定值。在本發明中，主要系統組態設定值改由eFuse電路113所儲存/提供，

GPIO接腳僅提供少量的次要系統組態設定值，例如，僅第一組接腳P0提供次要系統組態設定值，第二以及第三組接腳可作為其他用途，例如，控制LED或蜂鳴器的運作，或是作為序列周邊介面匯流排（Serial Peripheral Interface Bus，SPI），如此一來，GPIO接腳的使用方式可更具彈性。

【0018】 第3圖為依據本發明一實施例之一種開機過程時進行系統組態設定方法的工作流程300。例如：在該處理電路諸如微處理器112的控制下，該控制器諸如記憶體控制器110可進行工作流程300的運作。

【0019】 於步驟S11中，上電（Power-on）。依據本實施例，資料儲存裝置100可從主機50取得電源，且記憶體控制器110自動地開始運作。例如：資料儲存裝置100已被安裝於主機50且耦接至主機50。當主機50開機時，主機50供電至資料儲存裝置100。又例如：於主機50開機之後，使用者將資料儲存裝置100耦接至主機50。於是，主機50供電至資料儲存裝置100。

【0020】 於步驟S12中，記憶體控制器110（例如：該處理電路諸如微處理器112）執行ROM碼，例如，可從唯讀記憶體112M讀取該ROM碼，以執行該ROM碼。ROM碼可包含多個基本控制指令，例如，控制GPIO電路130或eFuse電路113之基本操作所需的基本控制指令。

【0021】 於步驟S13中，記憶體控制器110自GPIO電路130取得次要系統組態設定值。於執行ROM碼的期間，處理電路諸如微處理器112可控制GPIO電路130的運作並偵測GPIO接腳的狀態，諸如第一組接腳P0的第一組狀態130S，以依據第一組狀態130S來提供ROM碼運行所需的次要系統組態設定值。例如，第一組狀態130S的值可由8個位元所表示，例如”00000001”，或由1個位元所表示，例如”1”，此時第一組狀態130S表示主要系統組態設定值乃由eFuse電路113所提供。

【0022】 於步驟S14中，記憶體控制器110自eFuse電路113取得主要系統組態設定值。於執行ROM碼的期間，記憶體控制器110的微處理器112讀取eFuse電路

113所儲存的主要系統組態設定值，每一設定值可表示設定的結果，例如：第一設定值表示系統內編程碼的掃描偏移（Offset）值，第二設定值表示非揮發性記憶體120的隨機產生器（Randomizer）是否關閉，第三設定值表示非揮發性記憶體120的忙碌/待命（Busy/Ready）狀態是否忽略，等等。其中，每一設定值的長度可以不相同，例如，第一設定值由1個位元組所表示，第二以及第三設定值分別由1個位元所表示。

【0023】 於步驟S15中，記憶體控制器110提供主要系統組態設定值至ROM碼。於執行ROM碼的期間，微處理器112依據ROM碼以及主要系統組態設定值而開啟或去能特定功能，例如：不關閉（或致能）隨機產生器。之後，ROM碼執行完畢或執行至預設階段，則資料儲存裝置100或記憶體控制器110進入ROM模式。

【0024】 於步驟S16中，記憶體控制器110找尋並執行系統內編程碼。進入ROM模式後，記憶體控制器110（例如：該處理電路諸如微處理器112）可依據預設或主要系統組態設定值（例如：系統內編程碼的掃描偏移值）而在非揮發性記憶體120找尋並執行系統內編程碼。在成功地找尋並執行系統內編程碼後，資料儲存裝置100或記憶體控制器110進入正常模式。

【0025】 在正常模式下，資料儲存裝置100可以接收並執行來自主機50的主機指令，如果未收到。在正常模式下來自主機50的主機指令，則資料儲存裝置100可進入待命（Standby）或節電（Power Saving）模式。在正常模式，記憶體控制器110能以更有效率地方式控制非揮發性記憶體120的運作，例如，命令非揮發性記憶體120自低速的單資料率（Single Data Rate，簡稱SDR）模式切換至高速的雙資料率（Double Data Rate，簡稱DDR）模式，並以DDR模式控制非揮發性記憶體120的運作。此外，記憶體控制器110亦可將邏輯-物理映射表自非揮發性記憶體120載入至緩衝記憶體116或DRAM，以加速取得邏輯位址所對應的物理

位址。

【0026】 另外，系統內編程碼可包含一組額外控制指令，以控制記憶體控制器110之各種功能，使資料儲存裝置100具備這些功能，例如，以金鑰對來自主機50的使用者資料進行加/解密，其中這些功能可包含對應於某一資料儲存裝置產品（其具有某一產品型號）之複數個預定功能，諸如某些客製化功能，但本發明不限於此。另外，金鑰亦可為公開-私密金鑰組中的私密金鑰（**Private Key**），用以對公開金鑰加密後的使用者資料進行解密。

【0027】 在另一實施例中，系統內編程碼可區分成核心程式碼以及多個輔助程式碼，記憶體控制器110成功地找尋並執行核心程式碼後，記憶體控制器110即可進入正常模式。之後，記憶體控制器110可依據不同的觸發條件而執行不同的輔助程式碼。例如，垃圾收集觸發條件滿足時，記憶體控制器110找尋並執行垃圾收集程序相關的輔助程式碼。

【0028】 在另一實施例中，全部系統組態設定值皆由eFuse電路113所儲存/提供，GPIO接腳不再提供任何系統組態設定值。在此設定下，開機過程時進行系統組態設定方法的工作流程300中，步驟S13可予以略過，並在步驟S14中自eFuse電路113取得所有系統組態設定值，於步驟S15中，提供所有系統組態設定值至ROM碼。

【0029】 依據本實施例，eFuse電路113可包含複數個eFuse單元諸如一次性可程式化eFuse單元，以供儲存或記錄複數個位元的設定資訊。尤其，該複數個eFuse單元中之任何一個eFuse單元可預設具有一第一邏輯狀態以代表一第一預定位元，而上述任何一個eFuse單元只能被程式化一次以使其具有一第二邏輯狀態以代表一第二預定位元。例如：該第一預定位元與該第二預定位元可分別為位元0與1。又例如：該第一預定位元與該第二預定位元可分別為位元1與0。由於本實施例之eFuse電路113可記錄多個位元組（byte）的設定資訊，故eFuse電路113足

以提供ROM碼所需的主要系統組態設定值。相較於此領域慣用的上述傳統架構，本發明能將基於GPIO電路130的次要系統組態的總位元數大幅地減少（例如從數十位元減少到很少的位元，諸如一位元或兩位元），這帶來諸多好處。

【0030】 在另一實施例中，於步驟S16，記憶體控制器110可先輸出讀取製造商識別碼指令（Read ID Command）至非揮發性記憶體120以取得非揮發性記憶體120所儲存的製造商識別碼。記憶體控制器110依據製造商識別碼以及eFuse電路113所記錄的主要系統組態設定值（例如：系統內編程碼的掃描偏移）而取得製造商識別碼所對應的程式碼及指令。之後，記憶體控制器110執行製造商識別碼所對應的程式碼及指令在非揮發性記憶體120找尋系統內編程碼，在成功找尋系統內編程碼後，執行系統內編程碼以進入正常模式。

【0031】 在另一實施例中，可將特定製造商的指令集編程至eFuse電路113，例如：製造商#0的頁面讀取指令為00h，製造商#1的頁面讀取指令為10h。在步驟S16中，記憶體控制器110輸出讀取製造商識別碼指令（Read ID Command）至非揮發性記憶體120以取得非揮發性記憶體120所儲存的製造商識別碼，例如：製造商#1，則記憶體控制器110判斷非揮發性記憶體120的製造商是製造商#1，之後，記憶體控制器110將10h作為非揮發性記憶體120的頁面讀取指令，找尋或讀取系統內編程碼。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【符號說明】

【0032】

50

主機

100

資料儲存裝置

110	記憶體控制器
112	微處理器
112C	程式碼
112M	唯讀記憶體
113	eFuse 電路
114	控制邏輯電路
116	緩衝記憶體
118	傳輸介面電路
120	非揮發性記憶體
122 , 122-1 , 122-2 , ... , 122-N	非揮發性記憶體元件
130	GPIO 電路
200	晶片
P0 , P1 , P2 , ... ,	
P0.1 , P0.2 , P0.3 , P0.4 ,	
P0.5 , P0.6 , P0.7 , P0.8 ,	
P1.1 , P1.2 , P1.3 , P1.4 ,	
P1.5 , P1.6 , P1.7 , P1.8 ,	
P2.1 , P2.2 , P2.3 , P2.4 ,	
P2.5 , P2.6 , P2.7 , P2.8 , ...	接腳
300	工作流程
S11 , S12 , S13 , S14 , S15 , S16	步驟

【發明申請專利範圍】

【第1項】 一種用來進行組態管理之方法，該方法係應用於一資料儲存裝置，該資料儲存裝置包含一非揮發性記憶體（non-volatile memory，NV memory），該非揮發性記憶體包含至少一非揮發性記憶體元件（NV memory element），該方法包含有：

從一唯讀記憶體（Read Only Memory，ROM）讀取一唯讀記憶體碼（ROM Code），以執行該唯讀記憶體碼；

於執行該唯讀記憶體碼的期間，偵測一通用輸入輸出（General-Purpose Input/Output，GPIO）電路的一第一組狀態，以依據該第一組狀態來進行該唯讀記憶體碼之一第一部分系統組態的設定；

於執行該唯讀記憶體碼的期間，偵測一電子保險絲（electronic fuse，eFuse）電路的一第二組狀態，以依據該第二組狀態來進行該唯讀記憶體碼之一第二部分系統組態的設定；以及

執行至少一程式碼，以使該資料儲存裝置備妥（ready）以供一主機（host device）存取。

【第2項】 如申請專利範圍第1項所述之方法，其中該至少一程式碼包含一第一程式碼與一第二程式碼；以及執行該至少一程式碼以使該資料儲存裝置備妥以供該主機存取包含：

執行該第一程式碼，然後執行該第二程式碼，以使該資料儲存裝置備妥以供該主機存取。

【第3項】 如申請專利範圍第2項所述之方法，其中該第一程式碼是一開機系統內編程碼（Boot In-System Programming Code，Boot ISP Code）。

【第4項】 如申請專利範圍第3項所述之方法，其中從該唯讀記憶體讀取該唯讀記憶體碼以執行該唯讀記憶體碼之操作屬於一初始化程序，而執行該第一程式碼之操作屬於一開機程序。

【第5項】 如申請專利範圍第2項所述之方法，其中該第一程式碼包含一組開機控制指令，以控制該資料儲存裝置之開機。

【第6項】 如申請專利範圍第5項所述之方法，其中該第一程式碼被預先儲存於該非揮發性記憶體中，且從該非揮發性記憶體被讀出，以供控制該資料儲存裝置之開機。

【第7項】 如申請專利範圍第5項所述之方法，其中該第二程式碼包含一組額外控制指令，使該資料儲存裝置具備多個功能。

【第8項】 如申請專利範圍第7項所述之方法，其中該第二程式碼被預先儲存於該非揮發性記憶體中，且從該非揮發性記憶體被讀出，以供控制該多個功能。

【第9項】 如申請專利範圍第2項所述之方法，其中該第二程式碼是一系統內編程碼（In-System Programming Code，ISP Code）。

【第10項】 如申請專利範圍第1項所述之方法，其另包含：

依據基於該電子保險絲電路的至少一系統組態的設定，從複數個預定參數

選出一部分預定參數，以決定該至少一程式碼中之一第一程式碼之一搜尋範圍，以於該搜尋範圍中搜尋該第一程式碼。

【第11項】一種資料儲存裝置，包含有：

一非揮發性記憶體（non-volatile memory，NV memory），用來儲存資訊，其中該非揮發性記憶體包含至少一非揮發性記憶體元件（NV memory element）；以及

一控制器，耦接至該非揮發性記憶體，用來控制該資料儲存裝置之運作，其中該控制器包含：

一唯讀記憶體（Read Only Memory，ROM），用來儲存一唯讀記憶體碼（ROM Code）；

一電子保險絲（electronic fuse，eFuse）電路，用來儲存設定資訊；以及

一處理電路，用來依據來自一主機（host device）的複數個主機指令（host command）控制該控制器，以容許該主機透過該控制器存取（access）該非揮發性記憶體，其中：

該處理電路從該唯讀記憶體讀取該唯讀記憶體碼，以執行該唯讀記憶體碼；

於執行該唯讀記憶體碼的期間，該處理電路偵測該資料儲存裝置中之一通用輸入輸出（General-Purpose Input/Output，GPIO）電路的一第一組狀態，以依據該第一組狀態來進行該唯讀記憶體碼之一第一部分系統組態的設定；

於執行該唯讀記憶體碼的期間，該處理電路偵測該電子保險絲電路的一第二組狀態，以依據該第二組狀態來進行該唯

讀記憶體碼之一第二部分系統組態的設定；以及
該處理電路執行至少一程式碼，以使該資料儲存裝置備妥
(ready) 以供該主機存取。

【第12項】如申請專利範圍第11項所述之資料儲存裝置，其中該至少一程式碼包含一第一程式碼與一第二程式碼；以及該處理電路執行該第一程式碼，然後執行該第二程式碼，以使該資料儲存裝置備妥以供該主機存取。

【第13項】如申請專利範圍第12項所述之資料儲存裝置，其中該第一程式碼是一開機系統內編程碼(Boot In-System Programming Code, Boot ISP Code)。

【第14項】如申請專利範圍第13項所述之資料儲存裝置，其中從該唯讀記憶體讀取該唯讀記憶體碼以執行該唯讀記憶體碼之操作屬於一初始化程序，而執行該第一程式碼之操作屬於一開機程序。

【第15項】如申請專利範圍第12項所述之資料儲存裝置，其中該第一程式碼包含一組開機控制指令，以控制該資料儲存裝置之開機。

【第16項】一種資料儲存裝置之控制器，該資料儲存裝置包含該控制器與一非揮發性記憶體(non-volatile memory, NV memory)，該非揮發性記憶體包含至少一非揮發性記憶體元件(NV memory element)，該控制器包含有：
一唯讀記憶體(Read Only Memory, ROM)，用來儲存一唯讀記憶體碼
(ROM Code)；

一電子保險絲(electronic fuse, eFuse)電路，用來儲存設定資訊；以及

一處理電路，用來依據來自一主機（host device）的複數個主機指令（host command）控制該控制器，以容許該主機透過該控制器存取（access）該非揮發性記憶體，其中：

該處理電路從該唯讀記憶體讀取該唯讀記憶體碼，以執行該唯讀記憶體碼；

於執行該唯讀記憶體碼的期間，該處理電路偵測該資料儲存裝置中之一通用輸入輸出（General-Purpose Input/Output, GPIO）電路之一第一組狀態，以依據該第一組狀態來進行該唯讀記憶體碼之一第一部分系統組態的設定；

於執行該唯讀記憶體碼的期間，該處理電路偵測該電子保險絲電路之一第二組狀態，以依據該第二組狀態來進行該唯讀記憶體碼之一第二部分系統組態的設定；以及

該處理電路執行至少一程式碼，以使該資料儲存裝置備妥（ready）以供該主機存取。

【第17項】 如申請專利範圍第16項所述之控制器，其中該至少一程式碼包含一第一程式碼與一第二程式碼；以及該處理電路執行該第一程式碼，然後執行該第二程式碼，以使該資料儲存裝置備妥以供該主機存取。

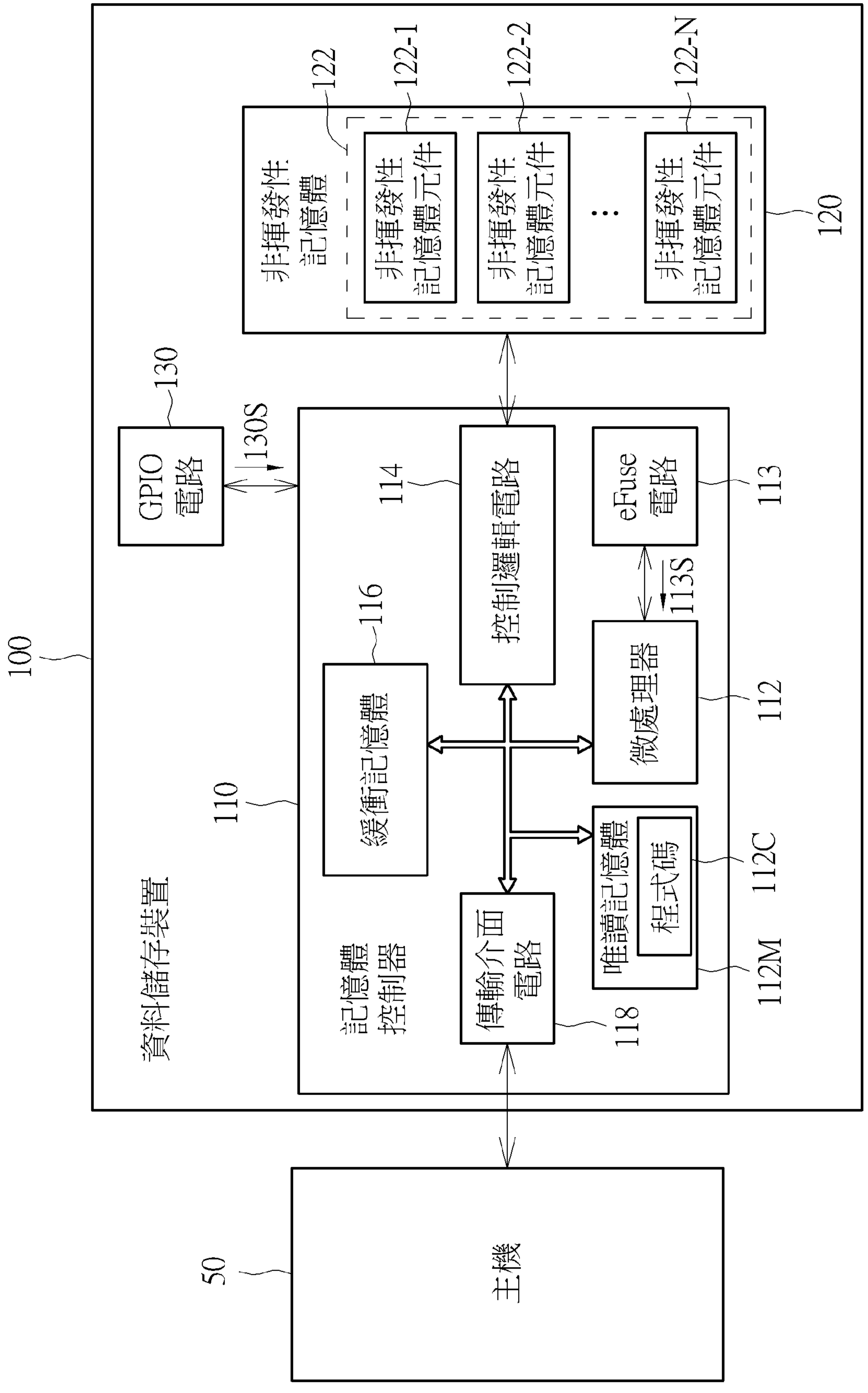
【第18項】 如申請專利範圍第17項所述之控制器，其中該第一程式碼是一開機系統內編程碼（Boot In-System Programming Code, Boot ISP Code）。

【第19項】 如申請專利範圍第18項所述之控制器，其中從該唯讀記憶體讀取該唯讀記憶體碼以執行該唯讀記憶體碼之操作屬於一初始化程序，而執行該

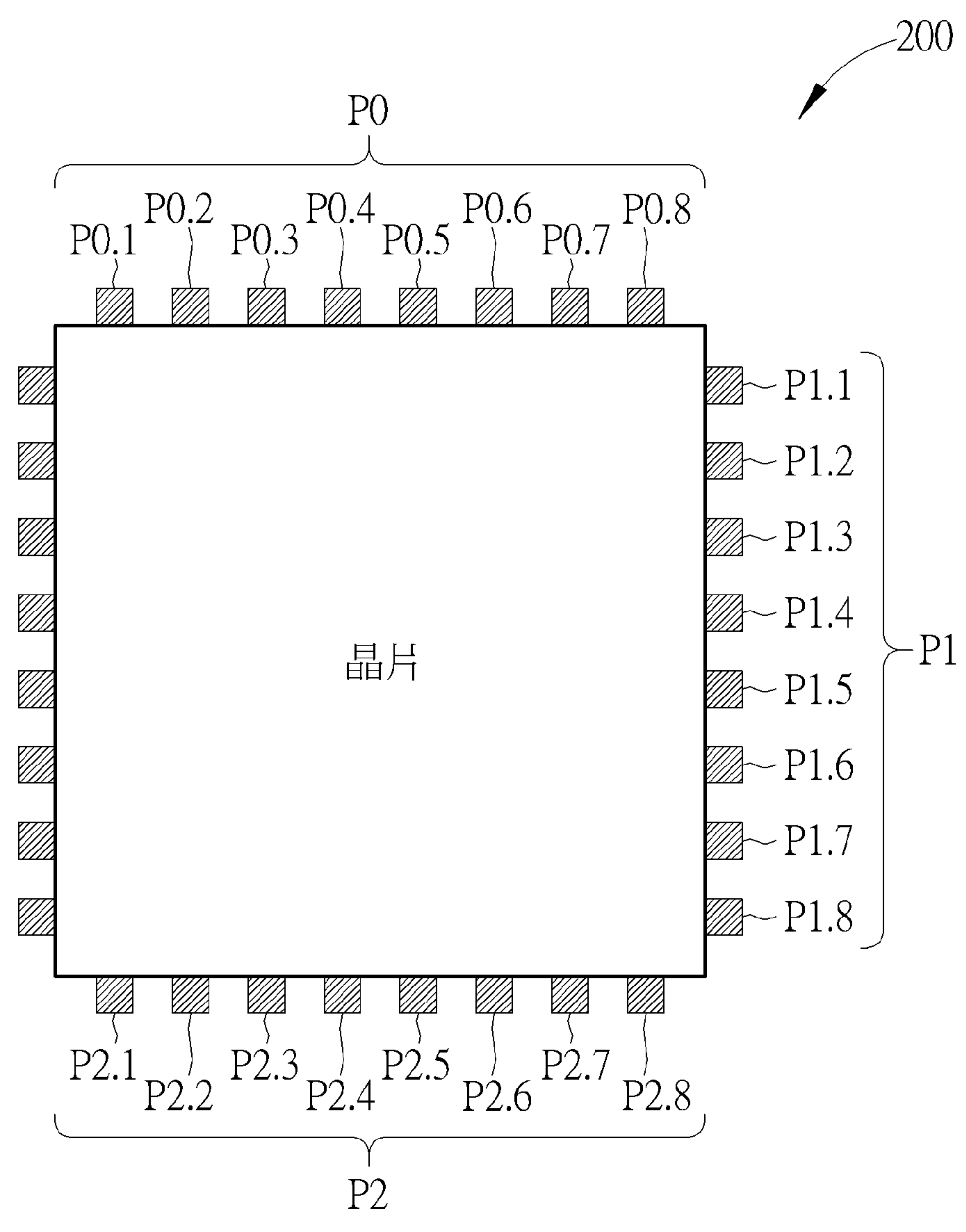
第一程式碼之操作屬於一開機程序。

【第20項】 如申請專利範圍第17項所述之控制器，其中該第一程式碼包含一組開機控制指令，以控制該資料儲存裝置之開機。

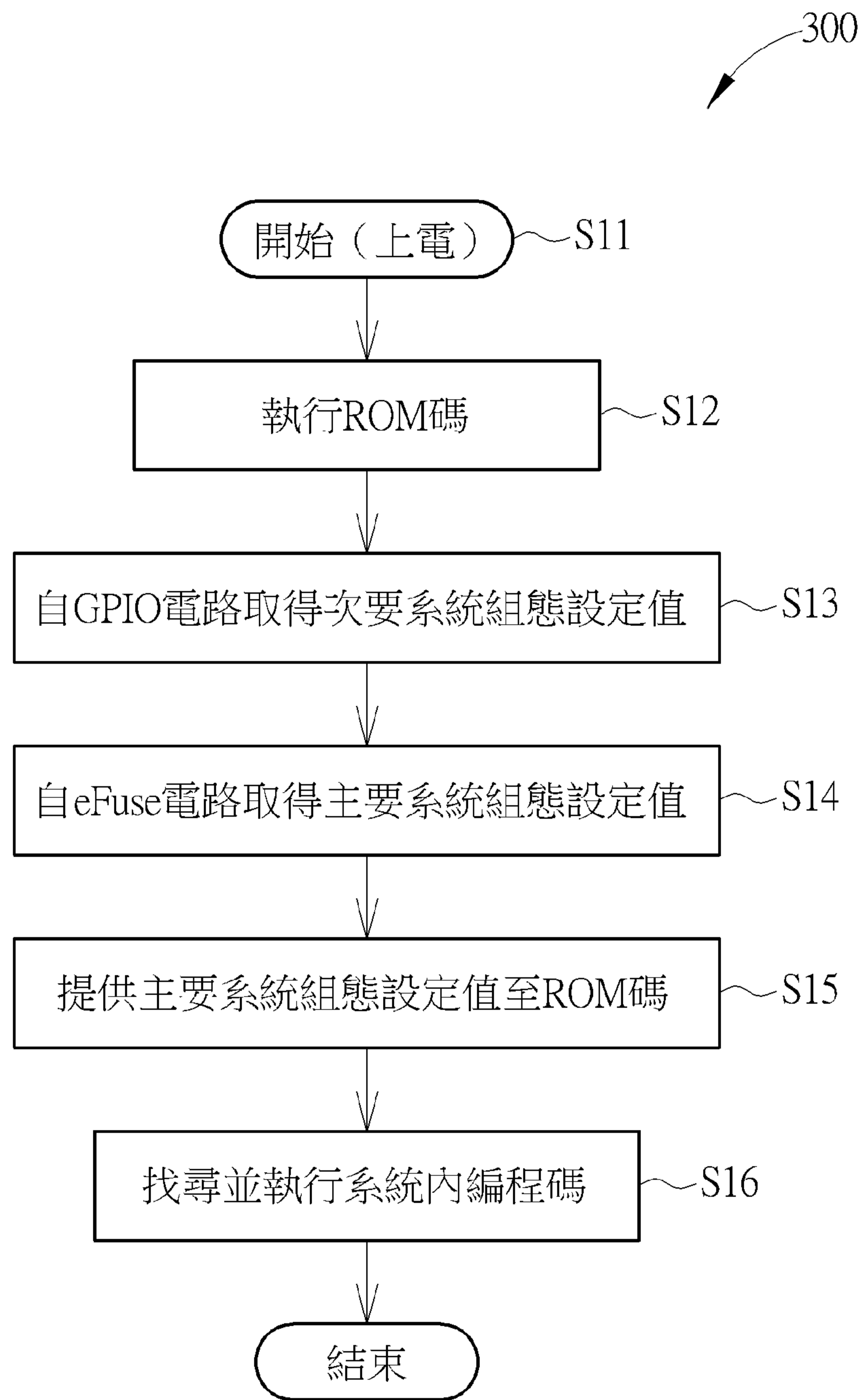
【發明圖式】



第1圖



第2圖



第3圖