



**【特許請求の範囲】****【請求項 1】**

所定のブロック単位で区分された記憶領域を備えており、コマンドの受け付けが可能であるか否かを示す状態信号を出力する被試験デバイスの試験を行う半導体試験装置において、

前記被試験デバイスから出力される前記状態信号に基づいて、前記被試験デバイスで前記コマンドの受け付けが可能であるか否かを判定する状態判定部と、

前記状態判定部で前記コマンドの受け付けが不可能と判定された回数を前記被試験デバイスのブロック毎に計数し、当該計数値と所定の第 1 閾値との大小関係を判定する第 1 判定部と、

前記被試験デバイスで前記コマンドが受け付けられてから前記状態判定部で前記コマンドの受け付けが可能と判定されるまでの時間を前記被試験デバイスのブロック毎に累積し、当該累積時間と所定の第 2 閾値との大小関係を判定する第 2 判定部と、

前記第 1 , 第 2 判定部の判定結果に基づいて、前記ブロックが不良ブロックであるか否かを判定する良否判定部と

を備えることを特徴とする半導体試験装置。

**【請求項 2】**

前記第 1 閾値は、前記被試験デバイスにおいて許容されるブロック毎の不良数を示す値に設定され、

前記第 2 閾値は、前記被試験デバイスが前記コマンドの受け付けが可能となるブロック毎の目標時間を示す値に設定される

ことを特徴とする請求項 1 記載の半導体試験装置。

**【請求項 3】**

前記第 1 判定部は、前記計数値が前記第 1 閾値以上になった場合には、そのブロックが終了するまで前記被試験デバイスを試験対象外にすることを特徴とする請求項 1 又は請求項 2 記載の半導体試験装置。

**【請求項 4】**

前記第 1 判定部が前記被試験デバイスを試験対象外にした場合には、前記被試験デバイスは前記第 2 判定部に対しても試験対象外にされることを特徴とする請求項 3 記載の半導体試験装置。

**【請求項 5】**

前記良否判定部によって不良ブロックと判定されたブロック内の少なくとも一部を指定するアドレスを記憶する不良ブロック記憶部を備えており、

前記状態判定部は、前記不良ブロック記憶部に記憶されているアドレスを試験対象外とするマスク制御を行うことを特徴とする請求項 1 から請求項 4 の何れか一項に記載の半導体試験装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、NAND型フラッシュメモリのように所定の単位で区分された記憶領域を備える被試験デバイスの試験に適した半導体試験装置に関する。

**【背景技術】****【0002】**

周知のように、NAND型フラッシュメモリとは、記憶領域がブロック単位に区分されているとともにブロック内がページ単位に区分されており、データの書き込み及び読み出しをページ単位で行うとともにデータの消去をブロック単位で行い、電源を切断してもその記憶内容が失われない不揮発性メモリである。尚、1つのページは、数百～数千バイト程度の大きさである。

**【0003】**

以下の特許文献 1 には、フラッシュメモリから出力される信号と期待パターンとのパス

10

20

30

40

50

ノフェイル判定を行うことにより使用不可能なブロック(バッドブロック)であるか否かを判定し、バッドブロックと判定した場合にはそのブロックの試験を終了する制御を行うことで、フラッシュメモリの試験を効率的に行うようにした半導体試験装置が開示されている。

【特許文献1】特開2003-194891号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで、NAND型フラッシュメモリは、レディー(READY)状態(コマンド受付可能状態)になるまで次のコマンドを受け付けないという特徴がある。また、NAND型フラッシュメモリは、自身の状態がレディー状態とビジー(BUSY)状態(コマンド受付不能状態)との何れの状態であるのかを示す信号をレディー/ビジーピンから出力する。かかる特徴を利用して、NAND型フラッシュメモリの試験では、レディー/ビジーピンから出力される信号がビジー状態を示すものからレディー状態を示すものに変化するまでの時間をブロック内の各々のページについて計測し、ブロック内で計測した時間を加算した時間が所定の基準時間以内である場合には良品であると判定する試験が行われることがある。

10

【0005】

しかしながら、ブロック内に不良ページが存在していても所定数以下であれば許容されるNAND型フラッシュメモリに対してこのような試験を行う場合には、必ずしも良品・不良品の判定が正確に行われる訳ではないという問題があった。つまり、上記の基準時間を超えた原因が、ブロックに存在する救済が可能である不良ページの試験に長時間を要したためであるのか、或いは救済が不可能な数の不良ページがブロック内に存在していたためであるのかを切り分けることができないため、実際は救済が可能であっても不良と判定されてしまうという問題がある。

20

【0006】

本発明は上記事情に鑑みてなされたものであり、被試験デバイスの良品・不良品の判定を精度良く且つ効率的に行うことができる半導体試験装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記課題を解決するために、本発明の半導体試験装置は、所定のブロック単位で区分された記憶領域を備えており、コマンド(C1)の受け付けが可能であるか否かを示す状態信号(RB1~RBn)を出力する被試験デバイス(30a~30n)の試験を行う半導体試験装置(1)において、前記被試験デバイスから出力される前記状態信号に基づいて、前記被試験デバイスで前記コマンドの受け付けが可能であるか否かを判定する状態判定部(22)と、前記状態判定部で前記コマンドの受け付けが不可能と判定された回数を前記被試験デバイスのブロック毎に計数し、当該計数値と所定の第1閾値との大小関係を判定する第1判定部(24)と、前記被試験デバイスで前記コマンドが受け付けられてから前記状態判定部で前記コマンドの受け付けが可能と判定されるまでの時間を前記被試験デバイスのブロック毎に累積し、当該累積時間と所定の第2閾値との大小関係を判定する第2判定部(25)と、前記第1,第2判定部の判定結果に基づいて、前記ブロックが不良ブロックであるか否かを判定する良否判定部(26)とを備えることを特徴としている。

30

40

この発明によると、第1判定部において、状態判定部でコマンドの受け付けが不可能と判定された回数が被試験デバイスのブロック毎に計数されて所定の第1閾値との大小関係が判定され、第2判定部において、被試験デバイスでコマンドが受け付けられてから状態判定部でコマンドの受け付けが可能と判定されるまでの時間が被試験デバイスのブロック毎に累積されて所定の第2閾値との大小関係が判定され、良否判定部において、これら第1,第2判定部の判定結果に基づいて被試験デバイスのブロックが不良ブロックであるか否かが判定される。

また、本発明の半導体試験装置は、前記第1閾値が、前記被試験デバイスにおいて許容

50

されるブロック毎の不良数を示す値に設定され、前記第 2 閾値が、前記被試験デバイスが前記コマンドの受け付けが可能となるブロック毎の目標時間を示す値に設定されることを特徴としている。

また、本発明の半導体試験装置において、前記第 1 判定部は、前記計数値が前記第 1 閾値以上になった場合には、そのブロックが終了するまで前記被試験デバイスを試験対象外にすることを特徴としている。

また、本発明の半導体試験装置は、前記第 1 判定部が前記被試験デバイスを試験対象外にした場合には、前記被試験デバイスは前記第 2 判定部に対しても試験対象外にされることを特徴としている。

更に、本発明の半導体試験装置は、前記良否判定部によって不良ブロックと判定されたブロック内の少なくとも一部を指定するアドレスを記憶する不良ブロック記憶部(27)を備えており、前記状態判定部は、前記不良ブロック記憶部に記憶されているアドレスを試験対象外とするマスク制御を行うことを特徴としている。

【発明の効果】

【0008】

本発明によれば、第 1 判定部において、状態判定部でコマンドの受け付けが不可能と判定された回数を被試験デバイスのブロック毎に計数して所定の第 1 閾値との大小関係を判定し、第 2 判定部において、被試験デバイスでコマンドが受け付けられてから状態判定部でコマンドの受け付けが可能と判定されるまでの時間を被試験デバイスのブロック毎に累積して所定の第 2 閾値との大小関係を判定し、良否判定部において、これら第 1、第 2 判定部の判定結果に基づいて被試験デバイスのブロックが不良ブロックであるか否かを判定しているため、被試験デバイスの良品・不良品の判定を精度良く行うことができるという効果がある。また、第 1 判定部の計数値が第 1 閾値以上になった場合には、そのブロックが終了するまで被試験デバイスを試験対象外にしているため、被試験デバイスの試験を効率的に行うことができるという効果がある。

【発明を実施するための最良の形態】

【0009】

以下、図面を参照して本発明の一実施形態による半導体試験装置について詳細に説明する。図 1 は、本発明の一実施形態による半導体試験装置の要部構成を示すブロック図である。図 1 に示す通り、本実施形態の半導体試験装置 1 は、コマンド発生指示部 11、コマンド発生部 12、ドライバ 13、アドレスポインタ 14、判定部 15a ~ 15n、及び CPU (中央処理装置) 16 を備えており、複数 (n 個) の被試験デバイス 30a ~ 30n の試験を並列して行う。

【0010】

尚、本実施形態では、被試験デバイス 30a ~ 30n が、NAND 型フラッシュメモリであるとする。つまり、記憶領域がブロック単位に区分されているとともにブロック内がページ単位に区分されており、データの書き込み及び読み出しをページ単位で行うとともにデータの消去をブロック単位で行う不揮発性メモリであるとする。この被試験デバイス 30a ~ 30n は、コマンド発生部 12 からドライバ 13 を介して書き込みコマンドが与えられるとビジー (BUSY) 状態になり、書き込みが終了するとレディー (READY) 状態となり、これらに対応するレディー/ビジー信号 RB1 ~ RBn (状態信号) をレディー/ビジーピン P1 ~ Pn からそれぞれ出力する。

【0011】

コマンド発生指示部 11 は、判定部 15a ~ 15n から出力される状態判定信号 J1 ~ Jn に基づいてコマンド発生部 12 を制御する。具体的には、状態判定信号 J1 ~ Jn の全てが「Match」を示す信号である場合に、コマンド発生部 12 に対してコマンドを発生させるためのコマンド発生指示信号 C0 を出力する。尚、状態判定信号 J1 ~ Jn は、被試験デバイス 30a ~ 30n がレディー状態にあることを示す「Match」と、被試験デバイス 30a ~ 30n がビジー状態にあることを示す「Unmatch」との何れかをとる信号である。

10

20

30

40

50

## 【 0 0 1 2 】

コマンド発生部 1 2 は、コマンド発生指示信号 C 0 に基づいて、被試験デバイス 3 0 a ~ 3 0 n に印加する試験パターン、試験パターンの記憶先アドレスを示すアドレス信号、及びライトイネーブル信号等からなるコマンド信号 C 1 を発生してドライバ 1 3 に出力する。また、このコマンド発生部 1 2 は、コマンド発生指示信号 C 0 が所定時間経過しても入力されない場合にもコマンド信号をドライバ 1 3 に出力する。また、コマンド発生部 1 2 は期待パターン E 1 ~ E n を発生して判定部 1 5 a ~ 1 5 n の状態判定部 2 2 にそれぞれ出力する。更に、コマンド発生部 1 2 は、アドレスの切り替わりを示すアドレスインクリメント信号 I 1 及びブロックの切り替わりを示すブロックインクリメント信号 I 2 を発生して、各々を判定部 1 5 a ~ 1 5 n に設けられた不良ブロック判定部 2 4 及びビジー時間判定部 2 5 に出力する。

10

## 【 0 0 1 3 】

ドライバ 1 3 は、コマンド発生部 1 2 から出力されるコマンド信号 C 1 のレベルに応じて上限電圧値 ( V I H ) 又は下限電圧値 ( V I L ) を出力する。尚、ドライバ 1 3 から出力された信号は信号出力端 1 7 を介して被試験デバイス 3 0 a ~ 3 0 n にそれぞれ出力される。アドレスポインタ 1 4 は、コマンド発生部 1 2 から出力されるブロックインクリメント信号 I 2 に基づいて、判定部 1 5 a ~ 1 5 n に設けられた不良ブロック記憶部 2 7 をアクセスするためのアドレス A 1 を生成する。

## 【 0 0 1 4 】

判定部 1 5 a ~ 1 5 n は、被試験デバイス 3 0 a ~ 3 0 n に対応してそれぞれ設けられており、被試験デバイス 3 0 a ~ 3 0 n から出力されて信号入力端 1 8 a ~ 1 8 n を介して入力されるレディー/ビジー信号 R B 1 ~ R B n に基づいて被試験デバイス 3 0 a ~ 3 0 n の状態を判定し、その判定結果を示す状態判定信号 J 1 ~ J n をそれぞれ出力する。また、判定部 1 5 a ~ 1 5 n は、被試験デバイス 3 0 a ~ 3 0 n に不良ブロックが存在するか否かも判定する。これら判定部 1 5 a ~ 1 5 n は、コンパレータ 2 1、状態判定部 2 2、ストロブ信号発生部 2 3、不良ブロック判定部 2 4 ( 第 1 判定部 )、ビジー時間判定部 2 5 ( 第 2 判定部 )、結果判定部 2 6 ( 良否判定部 )、及び不良ブロック記憶部 2 7 を備えている。尚、判定部 1 5 a ~ 1 5 n は同様の構成であるため、以下では判定部 1 5 a を例に挙げて説明し、判定部 1 5 b ~ 1 5 n についての説明は省略する。

20

## 【 0 0 1 5 】

判定部 1 5 a に設けられたコンパレータ 2 1 は、被試験デバイス 3 0 a のレディー/ビジー信号 R B 1 と所定の上限基準電圧 ( V O H ) 及び所定の下限基準電圧 ( V O L ) とを比較し、その比較結果を示す二値信号 ( 「 H ( ハイ ) 」 レベルと 「 L ( ロー ) 」 レベルとからなる信号 ) を状態判定部 2 2 に出力する。状態判定部 2 2 は、コンパレータ 2 1 から出力される二値信号とコマンド発生部 1 2 から出力される期待パターン E 1 とを、ストロブ信号発生部 2 3 から出力されるストロブ信号 S T 1 で規定されるタイミングで比較して、対応する被試験デバイス 3 0 a がレディー状態であるのか又はビジー状態であるのかを判定する。

30

## 【 0 0 1 6 】

この状態判定部 2 2 は、被試験デバイス 3 0 a がレディー状態であると判定した場合には 「 M a t c h 」 を示す 「 H 」 レベルの信号を状態判定信号として出力し、ビジー状態であると判定した場合には 「 U n m a t c h 」 を示す 「 L 」 レベルの信号を状態判定信号として出力する。ストロブ信号発生部 2 3 は、レディー/ビジー判定のタイミングを定めるストロブ信号 S T 1 を対応する状態判定部 2 2 に出力する。ここで、ストロブ信号発生部 2 3 は、書き込みコマンドが 1 回出力される度に数百 ~ 数千回に亘ってストロブ信号 S T 1 を出力する。これにより、コンパレータ 2 1 から出力される二値信号は、状態判定部 2 2 においてストロブ信号 S T 1 の周期でいわばサンプリングされて 「 M a t c h 」 又は 「 U n m a t c h 」 が判定されることになる。尚、図 1 では図示を省略しているが、ストロブ信号発生部 2 3 から出力されるストロブ信号 S T 1 は、判定部 1 5 a 内に設けられたビジー時間判定部 2 5 にも入力されている。

40

50

## 【 0 0 1 7 】

不良ブロック判定部 2 4 は、状態判定部 2 2 からページ毎に出力される状態判定信号が「Unmatch」（「L」レベル）になる回数をブロック毎に計数する。具体的には、ビジー時間判定部 2 5 から計数終了信号（詳細は後述する）が出力された時点において、状態判定部 2 2 から「L」レベルの状態判定信号が入力された場合、次のアドレスインクリメント信号 I 1 の立ち上がり同期して計数値をインクリメントする。尚、コマンド発生部 1 3 からブロックインクリメント信号 I 2 が出力された場合には、不良ブロック判定部 2 4 は、その立ち上がり同期して計数値をリセットする。

## 【 0 0 1 8 】

また、不良ブロック判定部 2 4 は、上記の計数値が CPU 1 6 によって予め設定される設定値（第 1 閾値）と一致するか否かをページ毎に判定する。ここで、CPU 1 6 によって設定される設定値は、ブロックが不良ブロックであると判定する基準となる閾値であって、具体的にはブロック毎に許容される「Unmatch」の数である。不良ブロック判定部 2 4 は、計数値が設定値と異なると判定した場合には、状態判定部 2 2 から出力される状態判定信号を状態判定信号 J 1 として出力し、「パス」を示す「H」レベルの信号を結果判定部 2 6 に出力する。これに対し、計数値が設定値と一致したと判定した場合には、その次のアドレスから計数値がリセットされるまで（そのブロックが終了するまで）対応する被試験デバイス 3 0 a を試験対象外にする旨を示す信号（以下、「対象外信号」という）をビジー時間判定部 2 5 に出力するとともに、「Match」を示す「H」レベルの信号を状態判定信号 J 1 として出力し、更に「フェイル」を示す「L」レベルの判定信号 Q 1 を結果判定部 2 6 に出力する。

10

20

## 【 0 0 1 9 】

ビジー時間判定部 2 5 は、被試験デバイス 3 0 a に対する書き込みコマンドが出力されてから被試験デバイス 3 0 a でデータの書き込みが完了するまでの時間（ビジー時間）をページ毎に求め、そのページ毎のビジー時間をブロック内で積算した積算値を求める。具体的には、ビジー時間判定部 2 5 は、コマンド発生部 1 2 からコマンド信号 C 1 が出力されるから、状態判定部 2 2 からの状態判定信号が「Match」を示す「H」レベルになるまで、ストロブ信号発生部 2 3 から出力されるストロブ信号 S T 1 をページ毎に計数し、ページ毎の計数値をブロック内で積算する。

## 【 0 0 2 0 】

尚、ビジー時間判定部 2 5 は、予め設定されたページ毎の判定時間以内に、状態判定部 2 2 から「Match」を示す状態判定信号が出力された場合には、ストロブ信号発生部 2 3 から出力されるストロブ信号 S T 1 を計数を終了するとともに、計数が終了した旨を示す計数終了信号を不良ブロック判定部 2 4 に出力する。また、状態判定部 2 2 からの状態判定信号が「Match」にならずに上記の判定時間を経過した場合には、そのページの計数値をリセットした上で上記の計数終了信号を出力する。また、ビジー時間判定部 2 5 は、不良ブロック判定部 2 4 から上述した対象外信号が出力された場合には、そのブロックが終了するまではページ毎の計数は行わずに不良ブロック判定部 2 4 に計数終了信号を出力する。これにより、そのブロックが終了するまでは、被試験デバイス 3 0 a はビジー時間判定部 2 5 から試験対象外とされる。

30

40

## 【 0 0 2 1 】

また、ビジー時間判定部 2 5 は、ブロック内で積算された計数値が CPU 1 6 によって予め設定される目標計数値（第 2 閾値）以下であるか否かを判定する。ここで、CPU 1 6 によって設定される目標計数値は、1 ブロック当たりのビジー時間の目標値をクロック計数値に換算したものであって次式で表される。

目標計数値 = 1 ページ当たりのビジー時間の目標値 × 1 ブロック当たりのページ数 / ストロブ信号 S T 1 の周期

## 【 0 0 2 2 】

ビジー時間判定部 2 5 は、ブロック内で積算された計数値が目標計数値以下であると判定した場合には「パス」を示す「H」レベルの判定信号 R 1 を結果判定部 2 6 に出力し、

50

ブロック内で積算された計数値が計数値が目標計数値を越えていると判定した場合には「フェイル」を示す「L」レベルの判定信号R1を結果判定部26に出力する。結果判定部26は、不良ブロック判定部24の判定信号Q1とビジー時間判定部25の判定信号R1とに基づいて、ブロックの良・不良を判定する。具体的には、不良ブロック判定部24の判定信号Q1とビジー時間判定部25の判定信号R1との少なくとも一方が「フェイル」を示すものである場合には、そのブロックを不良ブロックと判定する。尚、不良ブロック判定部24の判定信号Q1とビジー時間判定部25の判定信号R1との双方が「パス」を示すものである場合にのみ、そのブロックを良ブロックと判定する。尚、結果判定部26は、例えばAND(論理積)回路によって実現できる。

#### 【0023】

不良ブロック記憶部27は、PSR(Per Site Memory:被測定デバイス毎/Siteに情報を保持できるメモリ)を備えており、結果判定部26の判定結果(不良ブロックを示す情報)を、アドレスポインタ14の出力信号によって指定されるPSRアドレスに書き込む。また、不良ブロック記憶部27は、PSRに記憶した情報に基づいてマスク信号M1を状態判定部22に出力する。そして、2回目以降の試験においては、状態判定部22は、マスク信号M1に基づいて不良ブロック内のアドレスを試験対象外とするようにマスク制御する。

#### 【0024】

CPU16は、判定部15a~15nの各々に設けられた不良ブロック判定部24に対して前述した設定値を設定するとともに、判定部15a~15nの各々に設けられたビジー時間判定部25に対して前述した目標計数値を設定する。不良ブロック判定部24に設定される設定値及びビジー時間判定部25に設定される目標計数値は、何れも判定部15a~15n毎に異なる値を設定することも可能である。

#### 【0025】

次に、以上の構成を有する本実施形態の半導体試験装置1の動作について説明する。尚、以下の説明では、判定部15a~15nの各々に設けられた不良ブロック判定部24に対して設定される設定値が「2」であり、判定部15a~15nの各々に設けられたビジー時間判定部25に対して設定される目標計数値が20msecに相当する値である場合を例に挙げて説明する。また、被試験デバイス30a~30nのメモリマップは図2に示す通りであるとする。

#### 【0026】

図2は、被試験デバイス30a~30nのメモリマップの一例を示す図である。図2に示す通り、被試験デバイス30a~30nは16進数表記で「0」~「1FFF」のブロックに区分されており、各々のブロックは16進数表記で「0」~「3F」のページに区分されているとする。また、各ページは、2048バイト(16進数表記で「800」バイト)の大きさであるとする。尚、被試験デバイス30a~30nの各々の記憶領域の大きさは、ブロック数×ページ数×1ページの大きさで求められ、図2に示す例では約1Gバイト(「2000」×「40」×「800」=「40000000」(10進数で1073741824)バイト)である。

#### 【0027】

図1に示すコマンド発生指示部11からコマンド発生信号C0が出力されると、図2に示すメモリマップを有する被試験デバイス30a~30nに対する試験が開始される。コマンド発生指示部11から出力されたコマンド発生信号C0はコマンド発生部12に入力される。これにより、コマンド発生部12からは試験パターン、アドレス信号、及びライトイネーブル信号等からなるコマンド信号C1と期待パターンE1~Enとが出力される。尚、ここで出力されるコマンド信号C1は、図2に示すブロック「0」中のページ「0」に対する書き込みを指示する信号である。また、判定部15a~15nの各々に設けられたストローブ信号発生部23からはストローブ信号ST1~STnがそれぞれ出力される。

#### 【0028】

10

20

30

40

50

コマンド発生部 1 2 から出力されたコマンド信号 C 1 は、ドライバ 1 3 及び信号出力端 1 7 を順に介して被試験デバイス 3 0 a ~ 3 0 n の各々に印加される。これにより、被試験デバイス 3 0 a ~ 3 0 n では図 2 に示すブロック「0」中のページ「0」に対する書き込み動作が開始され、レディー/ビジーピン P 1 ~ P n からはビジー状態である旨を示すレディー/ビジー信号 R B 1 ~ R B n がそれぞれ出力される。また、コマンド発生部 1 2 から出力された期待パターン E 1 ~ E n は、判定部 1 5 a ~ 1 5 n に設けられた状態判定部 2 2 にそれぞれ出力される。他方、ストロブ信号発生部 2 3 から出力されるストロブ信号 S T 1 ~ S T n は、対応する状態判定部 2 2 及びビジー時間判定部 2 5 に出力される。

#### 【0029】

被試験デバイス 3 0 a ~ 3 0 n から出力されたレディー/ビジー信号 R B 1 ~ R B n は、信号入力端 1 8 a ~ 1 8 n を介して判定部 1 5 a ~ 1 5 n にそれぞれ入力される。尚、以下の説明では、説明を簡単にするために、判定部 1 5 a ~ 1 5 n の内部動作について判定部 1 5 a を代表させて説明する。被試験デバイス 3 0 a からのレディー/ビジー信号 R B 1 は、まずコンパレータ 2 1 に入力されて所定の上限基準電圧 ( V O H ) 及び所定の下限基準電圧 ( V O L ) と比較される。コンパレータ 2 1 の比較結果を示す二値信号は、状態判定部 2 2 に入力されて、ストロブ信号発生部 2 3 から出力されるストロブ信号 S T 1 のタイミングで期待パターン E 1 と比較されて被試験デバイス 3 0 a がレディー状態であるのか又はビジー状態であるのかが判定される。ここでは、被試験デバイス 3 0 a がビジー状態であるため、「L」レベルの信号 ( 「 U n m a t c h 」 ) が不良ブロック判定部 2 4 及びビジー時間判定部 2 5 に状態判定信号として出力される。

#### 【0030】

ここで、ビジー時間判定部 2 5 は、コマンド発生部 1 2 からコマンド信号 C 1 が出力された直後に、ストロブ信号発生部 2 3 から出力されるストロブ信号 S T 1 の計数を開始する。これにより、被試験デバイス 3 0 a のビジー時間の計測が開始される。そして、状態判定部 2 2 から出力される状態判定信号が「U n m a t c h」である場合にはストロブ信号 S T 1 の計数を継続する。

#### 【0031】

これに対し、被試験デバイス 3 0 a において、図 2 に示すブロック「0」中のページ「0」に対する書き込み動作が完了すると、被試験デバイス 3 0 a のレディー/ビジーピン P 1 からはレディー状態である旨を示すレディー/ビジー信号 R B 1 が出力される。これにより、状態判定部 2 2 からは、被試験デバイス 3 0 a がレディー状態であることを示す「H」レベルの信号 ( 「 M a t c h 」 ) が不良ブロック判定部 2 4 及びビジー時間判定部 2 5 に状態判定信号として出力される。

#### 【0032】

ビジー時間判定部 2 5 は、状態判定部 2 2 から出力される状態判定信号が「M a t c h」になった時点でストロブ信号 S T 1 の計数を終了し、不良ブロック判定部 2 4 に対して計数終了信号を出力する。尚、予め設定されたページ毎の判定時間を経過した場合には、ビジー時間判定部 2 5 は、そのページの計数値をリセットした上で上記の計数終了信号を出力する。不良ブロック判定部 2 4 は、ビジー時間判定部 2 5 からの計数終了信号が入力された時点で、状態判定部 2 2 から出力される状態判定信号が「M a t c h」であるか、又は「U n m a t c h」であるかを判定する。ここでは、「M a t c h」と判定される。尚、「M a t c h」と判定された場合には、次のアドレスインクリメント信号 I 1 が入力されても計数値のインクリメントは行われませんが、「U n m a t c h」と判定された場合にはインクリメントが行われる。

#### 【0033】

次いで、不良ブロック判定部 2 4 において、計数値が C P U 1 6 で設定される設定値「2」と一致するか否かが判定される。ここでは、計数値が初期値「0」のままであるため、C P U 1 6 の設定値とは異なると判定される。これにより、不良ブロック判定部 2 4 からは、状態判定部 2 2 からの「M a t c h」を示す状態判定信号が状態判定信号 J 1 とし

10

20

30

40

50

てコマンド発生指示部 1 1 に出力されるとともに、「パス」を示す判定信号 Q 1 が結果判定部 2 6 に出力される。

#### 【 0 0 3 4 】

以上説明した動作と同様の動作が判定部 1 5 b ~ 1 5 n においても行われる。そして、判定部 1 5 a ~ 1 5 n から出力されてコマンド発生指示部 1 1 に入力される状態判定信号 J 1 ~ J n の全てが「Match」を示す信号になると、コマンド発生指示部 1 1 はコマンド発生部 1 2 に対して次のコマンドを発生させるためのコマンド発生指示信号 C 0 を出力する。これにより、コマンド発生部 1 2 からは次のコマンド信号 C 1 及び期待パターン E 1 ~ E n が出力されるとともに、アドレスインクリメント信号 I 1 が判定部 1 5 a ~ 1 5 n に設けられた不良ブロック判定部 2 4 及びビジー時間判定部 2 5 の各々に出力される。尚、ここで出力されるコマンド信号 C 1 は、図 2 に示すブロック「0」中のページ「1」に対する書き込みを指示する信号である。

10

#### 【 0 0 3 5 】

以上の動作が被試験デバイス 3 0 a ~ 3 0 n のページ単位で繰り返されて 1 ブロック分が終了すると、判定部 1 5 a ~ 1 5 n に設けられたビジー時間判定部 2 5 において、そのブロック（ブロック「0」）内のページ毎の計数値を積算した計数値がそれぞれ求められる。そして、この積算した計数値が CPU 1 6 によって設定された目標計数値（2 0 m s e c に相当する値）を越えているかが判定され、その判定結果を示す判定信号 R 1 ~ R n が、対応する結果判定部 2 6 に出力される。結果判定部 2 6 は対応するビジー時間判定部 2 5 からの判定信号（判定信号 R 1 ~ R n ）と、対応する不良ブロック判定部 2 4 からの判定信号（判定信号 Q 1 ~ Q n ）との論理積を演算することにより、そのブロックが不良ブロックであるか否かを判定する。そして、アドレスポインタ 1 4 から出力されるアドレス A 1 で指定される不良ブロック記憶部 2 7 の P S R に結果判定部 2 6 の判定結果を示す情報が記憶される。

20

#### 【 0 0 3 6 】

以上の動作と同様の動作が被試験デバイス 3 0 a ~ 3 0 n の残りのブロックについても繰り返され、図 3 に示す判定結果が得られる。図 3 は、判定部 1 5 a ~ 1 5 n で得られる判定結果の一例を示す図である。図 3 に示す通り、判定部 1 5 a ~ 1 5 n の判定結果は、ブロック又はページを単位として得られる。図 3 中の「Match / Unmatch」は不良ブロック判定部 2 4 におけるページ毎の「Match」又は「Unmatch」の判定結果であり、「ビジー時間」はビジー時間判定部 2 5 で求められたページ毎のビジー時間及びブロック内におけるビジー時間の累積時間である。また、「判定結果 Q」は不良ブロック判定部 2 4 の判定結果（判定信号 Q 1 ~ Q n ）を示しており、「判定結果 R」はビジー時間判定部 2 5 の判定結果（判定信号 R 1 ~ R n ）を示している。更に、「良否判定結果」は、結果判定部 2 6 の判定結果を示している。尚、以下では説明を簡単にするために、図 3 に示した判定結果が判定部 1 5 a の判定結果であるとする。

30

#### 【 0 0 3 7 】

図 3 に示す例において、被試験デバイス 3 0 a におけるブロック「0」のページ「0」~「3」では、予め設定されたページ毎の判定時間以内に状態判定部 2 2 から「Match」を示す状態判定信号が出力されたため、不良ブロック判定部 2 4 で「Match」と判定されている。これに対し、ページ「4」では上記の判定時間が経過してしまったため、ビジー時間判定部 2 5 のそのページにおける計数値がリセットされてビジー時間が「0」に設定されるとともに、不良ブロック判定部 2 4 で「Unmatch」と判定されている。尚、ブロック「0」の残りのページ「5」~「3 F」の何れにおいても不良ブロック判定部 2 4 の判定結果は「Match」である。

40

#### 【 0 0 3 8 】

このため、ブロック「0」においては、ページ「4」のみが「Unmatch」であって、計数値が CPU 1 6 で設定される設定値「2」とは異なるため、不良ブロック判定部 2 4 の判定結果 Q（判定信号 Q 1）は「パス」になる。また、ブロック「0」内におけるページ毎の計数値を積算した計数値（ブロック「0」内におけるビジー時間の累積時間）

50

は17.1 msecであって、CPU16で設定される目標計数値(20 msecに相当する値)よりも小さいため、ビジー時間判定部25の判定結果R(判定信号R1)は「パス」になる。よって、不良ブロック判定部24の判定信号Q1及びビジー時間判定部25の判定信号R1の何れもが「パス」であるため、結果判定部26の判定結果(「良否判定結果」)は良ブロックとなる。

#### 【0039】

これに対し、図3に示す例において、被試験デバイス30aのブロック「1」については、ページ「0」で「Match」と判定されているが、ページ「1」,「2」で連続して「Unmatch」と判定されている。すると、不良ブロック判定部24の計数値が「2」になって計数値がCPU16で設定される設定値「2」と一致する。この結果、不良ブロック判定部24からは、コマンド発生支持部11に対してブロック「1」が終了するまで「Match」を示す「H」レベルの信号が状態判定信号J1として出力されて、結果判定部26に対して「フェイル」を示す判定信号Q1が出力され、ビジー時間判定部25に対して対象外信号が出力される。

10

#### 【0040】

この対象外信号が入力されると、ビジー時間判定部25ではブロック「1」が終了するまではページ毎の計数が行われず、不良ブロック判定部24に対して計数終了信号が出力される。このようにして、不良ブロック判定部24の計数値がCPU16で設定される設定値と一致した場合には、ブロック「1」が終了するまで、被試験デバイス30aが不良ブロック判定部24及びビジー時間判定部25の試験対象外にされる。また、ブロック「1」内におけるページ毎の計数値を積算した計数値(ブロック「1」内におけるビジー時間の累積時間)は0.39 msecであって、CPU16で設定される目標計数値(20 msecに相当する値)よりも小さいため、ビジー時間判定部25の判定結果R(判定結果R1)は「パス」になる。よって、ビジー時間判定部25の判定結果R1は「パス」であるが、不良ブロック判定部24の判定結果Q1が「フェイル」あるため、結果判定部26の判定結果(「良否判定結果」)は不良ブロックとなる。

20

#### 【0041】

更に、図3に示す例において、被試験デバイス30aのブロック「2」については、不良ブロック判定部24の判定結果が「パス」である。しかしながら、ブロック「2」内におけるページ毎の計数値を積算した計数値(ブロック「2」内におけるビジー時間の累積時間)は、21.3 msecであって、CPU16で設定される目標計数値(20 msecに相当する値)よりも大きいため、ビジー時間判定部25の判定結果R(判定信号R1)は「フェイル」になる。このため、結果判定部26の判定結果(「良否判定結果」)は不良ブロックとなる。

30

#### 【0042】

以上の通り、本実施形態では、判定部15a~15nの各々に設けられた不良ブロック判定部24でブロック内の「Unmatch」の数がCPU16の設定値で設定される許容数以上であるか否かを判定するとともに、ビジー時間判定部25でブロック内のページ毎の計数値の積算値が目標計数値を越えているか否かを判定し、これらの判定結果に基づいて不良ブロックであるか否かを判定しているため、被試験デバイス30a~30nの良品・不良品の判定を精度良く行うことができる。また、不良ブロック判定部24でブロック内の「Unmatch」の数が設定値以上になった場合には、そのブロックが終了するまで被試験デバイスを試験対象外にして被試験デバイス30a~30bに対するコマンド信号C1の印加を早期に再開しているため、被試験デバイス30a~30bの試験を効率的に行うことができる。

40

#### 【0043】

以上、本発明の一実施形態による半導体試験装置について説明したが、本発明は上述した実施形態に制限されることなく、本発明の範囲内で自由に変更が可能である。例えば、上記実施形態では、被試験デバイス30a~30nがNAND型フラッシュメモリである場合について説明したが、本発明は所定のブロック単位で区分された記憶領域を備えてお

50



【 図 3 】

ブロック	ページ	Match/ Unmatch	ビジー時間		判定結果 Q	判定結果 R	良否判定 結果
			ページ ブロック [μ sec]	ブロック [msec]			
0	0	Match	200	17.1	パス	パス	良ブロック
	1	Match	210				
	2	Match	250				
	3	Match	370				
	4	Unmatch	0				
	5	Match	310				
	⋮	⋮	⋮				
	3F	Match	290				
1	0	Match	390	0.39	フェイル	パス	不良ブロック
	1	Unmatch	0				
	2	Unmatch	0				
	3	試験対象外(Match)	0				
	⋮	⋮	⋮				
	3F	試験対象外(Match)	0				
2	⋮	⋮	⋮	21.3	パス	フェイル	不良ブロック
3	⋮	⋮	⋮	18.1	パス	パス	良ブロック
⋮	⋮	⋮	⋮	⋮	⋮		
⋮	⋮	⋮	⋮	⋮	⋮		
1FFF	⋮	⋮	⋮	18.6	パス	パス	良ブロック

---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 1 1 C 29/00 6 5 1 P

(72)発明者 堀田 明

東京都武蔵野市中町2丁目9番32号 横河電機株式会社内

Fターム(参考) 2G003 AA08 AF02 AF06 AH01 AH04 AH05

2G132 AA09 AE06 AE08 AE11 AE14 AE19 AE22 AL09 AL11

5B125 BA01 CA08 CA11 DA03 DB02 DC03 DE07 EA07 EK07 FA04

5L106 AA10 DD04 DD25 FF04 FF05 GG05