

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.		(45) 공고일자	2006년10월11일
<i>G11C 16/10</i> (2006.01)		(11) 등록번호	10-0632952
<i>G11C 16/00</i> (2006.01)		(24) 등록일자	2006년09월29일
<i>G11C 29/00</i> (2006.01)			

(21) 출원번호	10-2004-0077924	(65) 공개번호	10-2006-0028981
(22) 출원일자	2004년09월30일	(43) 공개일자	2006년04월04일

(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	정현모 서울 동대문구 장안4동 현대아파트 10동 303호 박찬익 서울 구로구 구로본동 492-2 뉴홍현아파트 1001호
(74) 대리인	오세준 송윤호 임창현 권혁수

심사관 : 조명관

(54) 정전으로 인한 프로그램 파일의 유무를 판별할 수 있는방법 및 장치

요약

여기에는 각각이 N-비트 데이터 (N은 1 또는 그 보다 큰 정수)를 저장하는 메모리 셀들의 어레이를 포함하는 불 휘발성 메모리 장치에 저장되는 데이터를 관리하는 방법이 개시되어 있다. 이 방법에 따르면, 먼저, 상기 어레이에 저장될 데이터 그룹들 각각이 N으로 분할되고, 상기 각 데이터 그룹의 분할된 데이터 값들의 전압 준위들로부터 제 1 체크섬 데이터가 생성된다. 상기 데이터 그룹들 및 상기 제 1 체크섬 데이터는 상기 어레이에 동시에 저장된다. 상기 저장된 데이터 그룹들 및 상기 제 1 체크섬 데이터가 동시에 읽혀지고, 상기 읽혀진 데이터 그룹들이 N으로 분할된다. 상기 읽혀진 데이터 그룹들 각각의 분할된 데이터 값들의 전압 준위들로부터 제 2 체크섬 데이터가 생성되며, 상기 읽혀진 데이터 그룹들의 쓰기 동작 도중에 정전이 발생하였는 지를 검출하기 위해서 상기 제 1 및 제 2 체크섬 데이터가 사용된다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 제 1 실시예에 따른 불 휘발성 메모리 장치를 개략적으로 보여주는 블록도;

도 2는 도 1에 도시된 데이터 경로 선택 회로 및 정전 판별 회로를 보여주는 블록도;

도 3은 도 2에 도시된 체크섬 데이터 발생기를 개략적으로 보여주는 블록도;

도 4a 내지 도 4c는 본 발명에 따른 체크섬 데이터를 생성하는 기본 원리를 설명하기 위한 도면들;

도 5는 본 발명에 따른 불 휘발성 메모리 장치의 데이터 관리 방법을 설명하기 위한 흐름도;

도 6a 및 도 6b는 본 발명에 따른 불 휘발성 메모리 장치의 데이터 관리 방법을 설명하기 위한 읽기 및 쓰기 동작 타이밍을 보여주는 도면들;

도 7은 본 발명의 제 2 실시예에 따른 메모리 시스템을 개략적으로 보여주는 블록도; 그리고

도 8은 본 발명의 제 3 실시예에 따른 메모리 시스템을 개략적으로 보여주는 블록도이다.

* 도면의 주요 부분에 대한 부호 설명 *

110 : 메모리 셀 어레이 120 : 행 선택 회로

130 : 제어 로직 140 : 페이지 레지스터 및 감지 증폭 회로

150 : 열 선택 회로 160 : 데이터 경로 선택 회로

170 : 입출력 버퍼 회로 180 : 정전 판별 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로, 좀 더 구체적으로는 정전으로 인한 프로그램 동작의 페일 여부를 판별할 수 있는 장치 및 방법에 관한 것이다.

에러 검출 및 정정 기술들은 다양한 원인들로 인해 손상되는 데이터의 효율적인 복구를 제공한다. 예를 들면, 메모리에 데이터를 저장하는 과정에서 다양한 원인들로 인해서 데이터가 손상될 수 있고, 소오스에서 목적지로 데이터가 전송되는 데이터 전송 채널의 불안 (perturbations)에 의해서 데이터가 손상될 수 있다. 손상된 데이터를 검출하고 보정하기 위해서 다양한 방법들이 제안되어 오고 있다. 잘 알려진 에러 검출 기술들은 RS 코드 (Reed-Solomon code), 해밍 코드 (Hamming code), BCH (Bose-Chaudhuri-Hocquenghem) 코드, CRC (Cyclic Redundancy Code) 코드 등이 있다. 이러한 코드들을 이용하여 손상된 데이터를 발견하고 보정하는 것이 가능하다. 불 휘발성 메모리 장치가 사용되는 대부분의 응용 분야에 있어서, 메인 데이터는 오류보정코드 (error correcting code: ECC)라 불리는 값과 함께 불 휘발성 메모리 장치에 저장된다.

앞서 언급된 에러 검출 기술들에 의하면, 하지만, 메모리에 저장된 데이터가 메모리로부터 읽혀진 데이터와 일치하는지의 여부를 정확하게 판단하는 데 한계가 있다. 왜냐하면, 일반적으로, 그러한 에러 검출 기술들이 손상된 데이터의 비율이 일정 수준을 넘지 않을 때에만 유효하기 때문이다. 따라서, 일정 비율 이상의 데이터가 손상되었을 때 (예를 들면, 불 휘발성 메모리에 데이터를 저장하는 도중에 정전이 발생할 때), 오류 보정이 불가능할 뿐만 아니라 데이터가 손상되었다는 사실 자체를 발견하지 못한다.

예를 들면, 불 휘발성 메모리 장치에 데이터를 기록할 때 예기치 않은 정전이 발생하면 정확하지 않은 데이터 (즉, 무효한 데이터)가 불 휘발성 메모리 장치에 남는다. 데이터의 정확성을 보장하기 위해서는 데이터를 기록하던 당시에 정전이 발생

했는 지의 여부를 판단할 필요가 있다. 비록 데이터를 기록할 때 정전이 발생하더라도, 기록된 데이터는 경우에 따라 유효한 데이터일 수도 있고 무효한 데이터일 수도 있다. 예를 들면, 데이터를 기록하는 동안 또는 데이터를 기록한 후에 정전이 발생할 수 있다. 전원이 복구된 후, 기록된 데이터가 유효한 데이터 인지를 판단해야 한다. 만약 데이터를 기록한 후에 정전이 발생하면, 기록된 데이터는 유효한 데이터이다. 이에 반해서, 데이터를 기록하는 도중에 정전이 발생하면, 기록된 데이터는 무효한 데이터가 된다. 즉, 기록된 데이터는 손상된 데이터이다. 일정 비율 이상 데이터가 손상되는 경우, 앞서의 검출 기술들에 의해서 데이터가 손상되었는 지의 여부를 검출하는 것은 불가능하다.

그러므로, 비록 일정 비율 이상의 데이터가 손상되더라도, 데이터의 손상을 검출할 수 있는 새로운 에러 검출 기술이 요구된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 데이터 기록 도중 정전이 발생하였는 지의 여부를 판별할 수 있는 방법 및 장치에 관한 것이다.

본 발명의 다른 목적은 프로그램 데이터의 신뢰성을 향상시킬 수 있는 방법 및 장치에 관한 것이다.

발명의 구성 및 작용

상술한 제반 목적들을 달성하기 위한 본 발명의 일 특징에 따르면, 각각이 N-비트 데이터 (N은 1 또는 그 보다 큰 정수)를 저장하는 메모리 셀들의 어레이를 포함하는 불 휘발성 메모리 장치에 저장되는 데이터를 관리하는 방법은 상기 어레이에 저장될 데이터 그룹들 각각을 N으로 분할하는 단계와; 상기 각 데이터 그룹의 분할된 데이터 값들의 전압 준위들로부터 제 1 체크섬 데이터를 발생하는 단계와; 그리고 상기 데이터 그룹들 및 상기 제 1 체크섬 데이터를 상기 어레이에 동시에 저장하는 단계를 포함한다.

이 실시예에 있어서, 본 발명에 따른 방법은 상기 저장된 데이터 그룹들 및 상기 제 1 체크섬 데이터를 동시에 읽는 단계와; 상기 읽혀진 데이터 그룹들을 N으로 분할하는 단계와; 상기 읽혀진 데이터 그룹들 각각의 분할된 데이터 값들의 전압 준위들로부터 제 2 체크섬 데이터를 발생하는 단계와; 그리고 상기 읽혀진 데이터 그룹들의 쓰기 동작 도중에 정전이 발생하였는 지를 검출하기 위해서 상기 제 1 및 제 2 체크섬 데이터를 이용하는 단계를 더 포함한다.

이 실시예에 있어서, 상기 제 1 및 제 2 체크섬 데이터를 이용하는 단계는 상기 제 1 체크섬 데이터가 상기 제 2 체크섬 데이터와 일치하는 지의 여부를 판별하는 단계와; 상기 판별 결과를 레지스터에 저장하는 단계와; 그리고 상태 읽기 명령에 응답하여 상기 레지스터에 저장된 판별 결과를 외부로 출력하는 단계를 포함한다.

이 실시예에 있어서, 상기 제 1/2 체크섬 데이터는 각 데이터 그룹의 분할된 데이터 값들에 1의 보수를 취하고 1의 보수가 취해진 분할된 데이터 값들을 가산함으로써 생성된다.

이 실시예에 있어서, 상기 불 휘발성 메모리 장치는 낸드 플래시 메모리 장치이다.

본 발명의 다른 특징에 따르면, 각각이 N-비트 데이터 (N은 1 또는 그 보다 큰 정수)를 저장하는 메모리 셀들의 어레이를 포함하는 불 휘발성 메모리 장치에 저장되는 데이터를 관리하는 방법은 상기 어레이에 저장될 데이터 그룹들을 순차적으로 입력받는 단계와; 상기 입력된 데이터 그룹들로부터 제 1 체크섬 데이터를 발생하는 단계와; 상기 데이터 그룹들 및 상기 제 1 체크섬 데이터를 상기 어레이에 저장하는 단계와; 상기 저장된 데이터 그룹들 및 상기 제 1 체크섬 데이터를 읽는 단계와; 상기 읽혀진 데이터 그룹들로부터 제 2 체크섬 데이터를 발생하는 단계와; 그리고 상기 읽혀진 데이터 그룹들의 쓰기 동작 도중에 정전이 발생하였는 지를 검출하기 위해서 상기 제 1 및 제 2 체크섬 데이터를 이용하는 단계를 포함한다.

이 실시예에 있어서, 상기 제 1/2 체크섬 데이터를 발생하는 단계는 상기 입력된/읽혀진 데이터 그룹들 각각을 N으로 분할하고, 상기 입력된/읽혀진 데이터 그룹들 각각의 분할된 데이터 값들에 1의 보수를 취하는 단계와; 그리고 1의 보수가 취해진 상기 입력된/읽혀진 데이터 그룹들 각각의 분할된 데이터 값들로부터 상기 제 1/2 체크섬 데이터를 발생하는 단계를 포함한다.

본 발명의 또 다른 특징에 따르면, 불 휘발성 메모리 장치는 각각이 N-비트 데이터를 저장하는 메모리 셀들을 갖는 메모리 셀 어레이와; 상기 메모리 셀 어레이에 쓰여질 데이터 그룹들을 임시 저장하는 페이지 레지스터 및 감지 증폭 회로와; 그리고

고 상기 데이터 그룹들이 상기 페이지 레지스터 및 감지 증폭 회로에 전달되는 동안, 상기 데이터 그룹들을 N으로 분할하고 상기 각 데이터 그룹의 분할된 데이터 값들의 전압 준위들로부터 제 1 체크섬 데이터를 생성하는 정전 판별 회로를 포함한다.

이 실시예에 있어서, 쓰기 동작 동안, 상기 페이지 레지스터 및 감지 증폭 회로는 상기 데이터 그룹들과 함께 상기 제 1 체크섬 데이터를 상기 메모리 셀 어레이에 동시에 저장한다.

이 실시예에 있어서, 상기 제 1 체크섬 데이터는 상기 메모리 셀 어레이의 스페어 필드에 저장된다.

이 실시예에 있어서, 읽기 동작시, 상기 페이지 레지스터 및 감지 증폭 회로는 상기 메모리 셀 어레이로부터 상기 저장된 데이터 그룹들 및 제 1 체크섬 데이터를 동시에 읽고, 상기 읽혀진 데이터 그룹들 및 상기 제 1 체크섬 데이터는 외부로 출력된다.

이 실시예에 있어서, 상기 읽혀진 데이터 그룹들이 외부로 출력되는 동안, 상기 정전 판별 회로는 상기 읽혀진 데이터 그룹들을 N으로 분할하고 상기 각 데이터 그룹의 분할된 데이터 값들의 전압 준위들로부터 제 2 체크섬 데이터를 생성한다.

이 실시예에 있어서, 상기 정전 판별 회로는 상기 제 1 체크섬 데이터가 상기 제 2 체크섬 데이터와 일치하는지의 여부를 판별하고, 판별 결과를 상태 레지스터에 저장한다.

이 실시예에 있어서, 상기 상태 레지스터에 저장된 결과는 상태 읽기 동작시 외부로 출력된다.

이 실시예에 있어서, 상기 정전 판별 회로의 판별 결과는 상기 쓰기 동작시 정전이 발생하였는지의 여부를 검출하는 데 사용된다.

이 실시예에 있어서, 상기 정전 판별 회로는 상기 각 데이터 그룹의 분할된 데이터 값들에 1의 보수를 취하고 1의 보수가 취해진 분할된 데이터 값들을 가산함으로써 상기 제 1 및 제 2 체크섬 데이터를 생성한다.

이 실시예에 있어서, 상기 정전 판별 회로는 클록 신호에 응답하여 상기 데이터 그룹들을 순차적으로 입력받고 상기 입력된 데이터 그룹들로부터 상기 제 1/제 2 체크섬 데이터를 발생하는 체크섬 발생기와; 읽기 동작시 플래그 신호에 응답하여 상기 제 1/제 2 체크섬 데이터를 상기 페이지 레지스터 및 감지 증폭 회로로 출력하는 제 1 스위치와; 그리고 상기 클록 신호에 응답하여 상기 플래그 신호를 발생하는 제어기를 포함한다.

이 실시예에 있어서, 상기 클록 신호는 읽기 동작시 /RE 신호에 동기되어 생성되고 상기 쓰기 동작시 /WE 신호에 동기되어 생성된다.

이 실시예에 있어서, 상기 제어기는 상기 데이터 그룹들이 모두 입력될 때 상기 플래그 신호를 활성화시키며, 상기 제 1 스위치는 상기 읽기 동작시 상기 플래그 신호의 활성화에 응답하여 상기 제 1/제 2 체크섬 데이터를 출력한다.

이 실시예에 있어서, 상기 제어기는 상기 데이터 그룹들이 모두 입력될 때 상기 클록 신호에 동기된 체크섬 데이터 래치 신호를 발생한다.

이 실시예에 있어서, 상기 정전 판별 회로는 상기 읽기 동작시 체크섬 데이터 래치 신호에 응답하여 상기 체크섬 데이터 발생기에서 생성된 상기 제 2 체크섬 데이터를 저장하는 제 1 레지스터와; 상기 읽기 동작시 상기 체크섬 데이터 래치 신호에 응답하여 상기 제 1 체크섬 데이터를 저장하는 제 2 레지스터와; 그리고 상기 제 1 레지스터의 출력이 상기 제 2 레지스터의 출력과 일치하는지의 여부를 판별하는 비교기를 더 포함한다.

이 실시예에 있어서, 상기 제 1 스위치는 상기 쓰기 동작시 상기 플래그 신호에 응답하여 상기 제 2 체크섬 데이터를 상기 제 1 레지스터로 출력한다.

이 실시예에 있어서, 상기 비교기의 판별 결과는 상태 레지스터에 저장된다.

이 실시예에 있어서, 상기 상태 레지스터에 저장된 판별 결과는 상태 읽기 동작에 의해서 외부로 출력된다.

이 실시예에 있어서, 상기 쓰기 동작시 상기 플래그 신호에 응답하여 외부로부터 입력되는 상기 데이터 그룹들 및 상기 제 1 스위치로부터 출력되는 상기 제 1 체크섬 데이터를 상기 페이지 레지스터 및 감지 증폭 회로로 출력하는 제 2 스위치를 더 포함한다.

이 실시예에 있어서, 상기 읽기 동작시 상기 페이지 레지스터 및 감지 증폭 회로로부터 출력되는 상기 읽혀진 데이터 그룹들 및 상기 제 2 체크섬 데이터를 입출력 버퍼 회로로 출력하는 제 3 스위치를 더 포함한다.

본 발명의 또 다른 특징에 따르면, 메모리 시스템은 불 휘발성 메모리와; 상기 불 휘발성 메모리에 전송되는 데이터 그룹들로부터 제 1 체크섬 데이터를 발생하고, 상기 불 휘발성 메모리에 쓰여진 상기 데이터 그룹들이 읽혀질 때 상기 읽혀진 데이터 그룹들로부터 제 2 체크섬 데이터를 발생하는 정전 판별 회로를 포함하며, 상기 정전 판별 회로는 상기 데이터 그룹들의 쓰기 동작 도중에 정전이 발생하였는 지를 검출하기 위해서 상기 제 1 및 제 2 체크섬 데이터를 이용한다.

이 실시예에 있어서, 상기 불 휘발성 메모리의 읽기 및 쓰기 동작들을 제어하도록 구성된 제어 회로를 더 포함한다.

이 실시예에 있어서, 상기 정전 판별 회로는 상기 제 1 체크섬 데이터가 상기 제 2 체크섬 데이터와 일치하는 지의 여부를 판별하고, 판별 결과를 상기 제어 회로에 저장한다.

이 실시예에 있어서, 상기 정전 판별 회로의 판별 결과는 쓰기 동작시 정전이 발생하였는 지의 여부를 검출하는 데 사용된다.

이 실시예에 있어서, 상기 정전 판별 회로는 상기 각 데이터 그룹의 분할된 데이터 값들에 1의 보수를 취하고 1의 보수가 취해진 분할된 데이터 값들을 가산함으로써 상기 제 1 및 제 2 체크섬 데이터를 생성한다.

본 발명의 또 다른 특징에 따르면, 메모리 시스템은 불 휘발성 메모리와; 그리고 상기 불 휘발성 메모리의 읽기 및 쓰기 동작들을 제어하는 메모리 컨트롤러를 포함하며, 상기 메모리 컨트롤러는 상기 불 휘발성 메모리에 저장될 데이터 그룹들 각각에 대응하는 체크섬 값들을 저장하는 메모리와; 그리고 상기 불 휘발성 메모리에 저장될 데이터 그룹들이 호스트로부터 전송될 때, 상기 전송되는 데이터 그룹들의 체크섬 값들을 상기 메모리로부터 읽고 상기 읽혀진 체크섬 값들을 합산하여 제 1 체크섬 데이터를 발생시키는 제어 회로를 포함하며, 상기 제 1 체크섬 데이터는 상기 데이터 그룹들과 함께 상기 불 휘발성 메모리에 동시에 저장된다.

이 실시예에 있어서, 상기 불 휘발성 메모리로부터 데이터 그룹들을 읽을 때, 상기 제어 회로는 상기 읽혀진 데이터 그룹들의 체크섬 값들을 상기 메모리로부터 읽고 상기 읽혀진 체크섬 값들을 합산하여 제 2 체크섬 데이터를 발생한다.

이 실시예에 있어서, 상기 제어 회로는 상기 데이터 그룹들의 쓰기 동작 도중에 정전이 발생하였는 지의 여부를 검출하기 위해서 상기 데이터 그룹들과 함께 읽혀지는 상기 제 1 체크섬 데이터 및 상기 제 2 체크섬 데이터를 이용한다.

본 발명의 예시적인 실시예들이 참조 도면들에 의거하여 이하 상세히 설명될 것이다.

도 1은 본 발명의 제 1 실시예에 따른 불 휘발성 메모리 장치를 개략적으로 보여주는 블록도이다. 본 발명에 따른 불 휘발성 메모리 장치는 NAND형 플래시 메모리 장치이다. 하지만, 본 발명이 다른 메모리 장치들 (예를 들면, MROM, PROM, FRAM, NOR형 플래시 메모리 장치, 등)에 적용될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

도 1을 참조하면, 본 발명에 따른 불 휘발성 메모리 장치 (100)는 메모리 셀 어레이 (memory cell array) (110)를 포함하며, 비록 도면에는 도시되지 않았지만, 어레이 (110)에는 행들 (또는 워드 라인들)과 열들 (또는 비트 라인들)의 매트릭스 형태로 메모리 셀들이 배열된다. 메모리 셀들 각각은 N-비트 데이터 (N은 1 또는 그 보다 큰 정수)를 저장하는 불 휘발성 메모리 셀들이다. 예를 들면, 각 메모리 셀은 1-비트 데이터 또는 2-비트 데이터를 저장한다. 행 선택 회로 (row selector circuit) (120)는 제어 로직 (130)에 의해서 제어되며, 행 어드레스에 응답하여 행들 중 적어도 하나를 선택한다. 페이지 레지스터 및 감지 증폭 회로 (page register and sense amplifier circuit) (140)는 제어 로직 (130)에 의해서 제어되며, 비록 도면에는 도시되지 않았지만, 열들에 각각 대응하는 (또는 복수 개의 쌍들의 열들에 각각 대응하는) 복수 개의 페이지 레지스터 및 감지 증폭기들을 포함한다. 페이지 레지스터 및 감지 증폭 회로 (140)는 읽기 동작시 메모리 셀 어레이 (110)로부터 데이터를 읽고, 쓰기 동작시 입력된 데이터에 따라 열들 (또는 비트 라인들)을 프로그램 전압 (program voltage) 또는 프로그램 금지 전압 (program inhibit voltage)으로 설정한다.

열 선택 회로 (column selector circuit) (150)는 열 어드레스에 응답하여 페이지 레지스터 및 감지 증폭기들을 일정한 단위 (예를 들면, 바이트/워드 단위)로 선택한다. 열 선택 회로 (150)에는, 비록 도면에는 도시되지 않았지만, 페이지 레지스터 및 감지 증폭기들이 일정한 단위로 순차적으로 선택되도록 어드레스 카운터가 제공된다. 데이터 경로 선택 회로 (data path selector circuit) (160)는 쓰기 동작시 입출력 버퍼 회로 (170)를 통해 입력되는 데이터 그룹들이 열 선택 회로 (150)를 통해 페이지 레지스터 및 감지 증폭 회로(140)로 전달되도록 제어 로직 (130)에 의해서 제어된다. 또한, 데이터 경로 선택 회로 (160)는 쓰기 동작시 정전 판별 회로 (power failure judging circuit) (180)의 출력 데이터가 열 선택 회로 (150)를 통해 페이지 레지스터 및 감지 증폭 회로(140)로 전달되도록 제어 로직 (130)에 의해서 제어된다. 데이터 경로 선택 회로 (160)는 읽기 동작시 페이지 레지스터 및 감지 증폭 회로 (140)에 의해서 읽혀진 데이터 그룹들이 입출력 버퍼 회로 (170)로 전달되도록 제어 로직 (130)에 의해서 제어된다.

정전 판별 회로 (180)는 제어 로직 (130)에 의해서 제어되며, 쓰기 동작시 입출력 버퍼 회로 (170)를 통해 입력되는 데이터 그룹들 (또는 페이지 데이터)을 입력받아 체크섬 데이터 (이하, 제 1 체크섬 데이터라 칭함)를 발생한다. 정전 판별 회로 (180)에서 생성된 제 1 체크섬 데이터는 모든 데이터 그룹들이 입력된 후 데이터 경로 선택 회로 (160) 및 열 선택 회로 (150)를 통해 페이지 레지스터 및 감지 증폭 회로 (140)로 전달된다. 페이지 레지스터 및 감지 증폭 회로 (140)에 임시 저장된 데이터 그룹들 및 제 1 체크섬 데이터는 메모리 셀 어레이 (110)에 동시에 쓰여진다. 메모리 셀 어레이 (110)가 메인 필드 및 스페어 필드로 구분되는 경우, 데이터 그룹들은 메인 필드에 저장되고 제 1 체크섬 데이터는 ECC 데이터 정보와 함께 스페어 필드에 저장된다. 페이지 레지스터 및 감지 증폭 회로 (140)에 의해서 읽혀진 데이터 그룹들 및 제 1 체크섬 데이터가 열 선택 회로 (150) 및 데이터 경로 선택 회로 (160)를 통해 외부로 출력되는 읽기 동작시, 정전 판별 회로 (180)는 출력되는 데이터 그룹들로부터 체크섬 데이터 (이하, 제 2 체크섬 데이터라 칭함)를 발생한다. 정전 판별 회로 (180)는, 또한, 읽기 동작시 데이터 경로 선택 회로 (160)를 통해 출력되는 제 1 체크섬 데이터를 입력받는다. 정전 판별 회로 (180)는 제 1 체크섬 데이터가 제 2 체크섬 데이터와 동일한 지의 여부를 판별하며, 판별 결과는 제어 로직 (130)의 상태 레지스터 (131)에 저장된다. 상태 레지스터 (131)에 저장된 결과는 잘 알려진 상태 읽기 동작에 따라 외부로 출력된다. 읽기/쓰기 동작 동안, 잘 알려진 바와 같이, R/nB 신호는 로우로 유지된다.

여기서, 제 1 체크섬 데이터가 제 2 체크섬 데이터와 일치하는 경우, 정전 판별 회로 (180)의 판별 결과는 제 1 체크섬 데이터에 대응하는 데이터 그룹들의 쓰기 동작 도중에 정전이 발생하지 않음을 나타낸다. 이에 반해서, 제 1 체크섬 데이터가 제 2 체크섬 데이터와 일치하지 않는 경우, 정전 판별 회로 (180)의 판별 결과는 제 1 체크섬 데이터에 대응하는 데이터 그룹들의 쓰기 동작 도중에 정전이 발생하였음을 나타낸다.

본 발명에 따른 불 휘발성 메모리 장치에 있어서, 데이터 그룹들 (또는 페이지 데이터)는 메인 필드에 저장된 메인 데이터를 포함하거나 메인 필드에 저장된 메인 데이터 및 스페어 필드에 저장되는 ECC 데이터 정보를 포함한다. 따라서, 한 페이지에는 메인 데이터, ECC 정보, 그리고 체크섬 데이터가 동시에 저장될 것이다. 또한, ECC 정보 및 체크섬 데이터와 다른 정보가 스페어 필드에 저장될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

도 2는 도 1에 도시된 데이터 경로 선택 회로 및 정전 판별 회로를 보여주는 블록도이다.

도 2를 참조하면, 데이터 경로 선택 회로 (160)는 제 1 및 제 2 스위치들 (161, 162)을 포함한다. 제 1 스위치 (161)는 쓰기 동작시 동작 모드 신호 (READ) 및 플래그 신호 (FLAG)에 응답하여 입출력 버퍼 회로 (170)의 출력 또는 정전 판별 회로 (180)의 출력을 선택하고, 선택된 출력을 열 선택 회로 (150)로 전달한다. 예를 들면, 동작 모드 신호 (READ)가 쓰기 동작을 나타내고 플래그 신호 (FLAG)가 비활성화되는 경우, 제 1 스위치 (161)는 입출력 버퍼 회로 (170)의 출력을 열 선택 회로 (150)로 전달한다. 동작 모드 신호 (READ)가 쓰기 동작을 나타내고 플래그 신호 (FLAG)가 활성화되는 경우, 제 1 스위치 (161)는 정전 판별 회로 (180)의 출력을 열 선택 회로 (150)로 전달한다. 제 2 스위치 (162)는 동작 모드 신호 (READ)에 응답하여 열 선택 회로 (150)와 입출력 버퍼 회로 (170)를 선택적으로 연결한다. 예를 들면, 동작 모드 신호 (READ)가 읽기 동작을 나타낼 때, 제 2 스위치 (162)는 열 선택 회로 (150)와 입출력 버퍼 회로 (170)를 전기적으로 연결한다. 동작 모드 신호 (READ)가 쓰기 동작 (또는 프로그램 동작)을 나타낼 때, 제 2 스위치 (162)는 열 선택 회로 (150)와 입출력 버퍼 회로 (170)를 전기적으로 분리한다.

계속해서 도 2를 참조하면, 정전 판별 회로 (180)는 체크섬 데이터 발생기 (checksum data generator) (181), 스위치 (182), 제어기 (183), 레지스터 세트 (184), 그리고 비교기 (185)를 포함한다.

체크섬 데이터 발생기 (181)는 읽기/쓰기 동작시 클록 신호 (CLK)에 응답하여 데이터 버스 (DB1)를 통해 전달되는 데이터 그룹 (또는 바이트/워드 단위의 데이터 비트들)을 입력받는다. 읽혀진/쓰여질 데이터 그룹들이 데이터 버스 (DB1)를 통해 모두 전송될 때, 체크섬 데이터 발생기 (181)는 체크섬 데이터 (CSD)를 발생한다. 스위치 (182)는 동작 모드 신호

(READ) 및 플래그 신호 (FLAG)에 응답하여 체크섬 데이터 (CSD)를 스위치 (161)로 또는 레지스터 세트 (184)로 출력한다. 예를 들면, 플래그 신호 (FLAG)는 읽혀진/쓰여질 데이터 그룹들이 데이터 버스 (DB1)를 통해 모두 전송되는 시점에서 활성화된다. 플래그 신호 (FLAG)가 비활성화되어 있는 동안, 스위치 (182)는 동작 모드 신호 (READ)에 관계없이 체크섬 데이터 (CSD)를 출력하지 않는다. 플래그 신호 (FLAG)가 활성화되어 있는 동안, 스위치 (182)는 동작 모드 신호 (READ)에 따라 체크섬 데이터 (CSD)를 스위치 (161)로 또는 레지스터 세트 (184)로 출력한다. 동작 모드 신호 (READ)가 쓰기 동작을 나타낼 때, 스위치 (182)는 체크섬 데이터 (CSD)를 스위치 (161)로 출력한다. 이는 체크섬 데이터 (CSD)가 쓰기 동작시 데이터 그룹들과 함께 메모리 셀 어레이 (110)에 저장됨을 의미한다. 이는 이후 상세히 설명될 것이다. 동작 모드 신호 (READ)가 읽기 동작을 나타낼 때, 스위치 (182)는 체크섬 데이터 (CSD)를 레지스터 세트 (184)로 출력한다. 동작 모드 신호 (READ)는 도 1의 제어 로직 (130)으로부터 제공된다.

계속해서, 제어기 (183)는 클록 신호 (CLK)에 응답하여 플래그 신호 (FLAG) 및 체크섬 데이터 래치 신호 (CSD_LAT)를 발생한다. 여기서, 클록 신호 (CLK)는 읽기 동작시 /RE 신호로서 그리고 쓰기 동작시 /WE 신호로서 도 1의 제어 로직 (130)으로부터 제공된다. 잘 알려진 바와 같이, 읽기 동작시 /RE 신호에 동기되어 데이터가 외부로 출력되고, 쓰기 동작시 /WE 신호에 동기되어 데이터가 외부로부터 입력된다. 한 페이지가 528-바이트 데이터인 경우, 528-바이트 데이터는 512 바이트의 메인 데이터와 16 바이트의 스페어 데이터를 포함한다. 스페어 데이터에는 외부에서 제공되는 ECC 데이터 및 정전 판별 회로 (180)에서 생성된 체크섬 데이터가 포함된다. 따라서, 읽기/쓰기 동작시, /RE 또는 /WE 신호는 528번 토글한다. 이러한 경우, 제어기 (183)는 읽기/쓰기 동작시 525번째 데이터 그룹이 데이터 버스 (DB1)를 통해 전송될 때 플래그 신호 (FLAG)를 하이로 활성화시킨다. 제어기 (183)는 읽기 동작시 플래그 신호 (FLAG)가 활성화될 때 클록 신호 (CLK)에 동기된 체크섬 데이터 래치 신호 (CSD_LAT)를 발생한다.

레지스터 세트 (184)는 체크섬 데이터 래치 신호 (CSD_LAT)에 응답하여 동작하며, 제 1 및 제 2 레지스터들 (184a, 184b)을 포함한다. 읽기 동작시, 제 1 레지스터 (184a)는 체크섬 데이터 래치 신호 (CSD_LAT)에 응답하여 스위치 (182)를 통해 출력되는 체크섬 데이터를 입력받고, 제 2 레지스터 (184b)는 체크섬 데이터 래치 신호 (CSD_LAT)에 응답하여 데이터 버스 (DB2) 상의 체크섬 데이터를 입력받는다. 비교기 (185)는 제 1 레지스터 (184a)에 저장된 체크섬 데이터와 제 2 레지스터 (184b)에 저장된 체크섬 데이터를 비교한다. 비교기 (185)는 비교 결과로서 읽기 패스/페일 신호 (READ_PF)를 출력한다. 읽기 패스/페일 신호 (READ_PF)는 도 1의 제어 로직 (130)의 상태 레지스터 (131)에 저장될 것이다. 앞서 언급된 바와 같이, 비교기 (185)의 비교 결과는 제 2 레지스터 (184b)에 저장된 체크섬 데이터와 관련된 데이터 그룹들의 쓰기 동작 도중에 정전이 발생하였는 지의 여부를 검출하는 데 이용된다.

쓰기 동작에서는 항상 동작하고 읽기 동작에서는 선택적으로 동작하도록 정전 판별 회로 (180)를 구현할 수 있다. 즉, 쓰기 동작에서는 항상 체크섬 데이터가 생성되는 반면에, 읽기 동작에서는 체크섬 데이터가 선택적으로 생성된다. 이는 읽기 동작에서만 동작하도록 제 1 및 제 2 레지스터들 (184a, 184b)를 구현함으로써 달성될 수 있다. 또는 쓰기 동작 및 읽기 동작에서 항상 동작하도록 정전 판별 회로 (180)를 구현할 수 있다.

도 3은 도 2에 도시된 체크섬 데이터 발생기를 개략적으로 보여주는 블록도이다. 도 3을 참조하면, 체크섬 데이터 발생기 (181)는 반전기 (181a), 가산기 (182b), 그리고 누적 레지스터 (182c)를 포함한다. 반전기 (181a)는 입력 데이터 비트들을 반전시키고, 가산기 (181b)는 반전기 (181a)의 출력과 누적 레지스터 (181c)의 출력을 가산하며, 누적 레지스터 (181c)는 클록 신호 (CLK)에 응답하여 가산기 (181b)의 출력을 저장한다.

본 발명에 따른 체크섬 데이터 발생기 (181)는 메모리 셀 어레이 (110)에 저장될 데이터 그룹들 각각을 N으로 분할하고 각 데이터 그룹의 분할된 데이터 값들의 진압 준위들로부터 체크섬 데이터를 발생한다. 여기서, N은 메모리 셀에 저장되는 데이터의 비트 수를 나타낸다. 예컨대, 메모리 셀에 1-비트 데이터가 저장되는 경우, N=1이다. 메모리 셀에 2-비트 데이터가 저장되는 경우, N=2이다. 본 발명의 체크섬 데이터 발생기 (181)에 의하면, 읽기/쓰기 동작시, 체크섬 데이터 (CSD)는 각 데이터 그룹의 분할된 데이터 값들에 1의 보수를 취하고 1의 보수가 취해진 분할된 데이터 값들을 가산함으로써 생성된다. 분할된 데이터 값들 각각은 프로그램될 메모리 셀의 진압 준위를 나타낸다. 체크섬 데이터 (CSD)의 생성 원리를 개략적으로 설명하면 다음과 같다.

플래시 메모리가 1개의 셀당 N-비트 데이터를 저장할 수 있다고 할 때, 쓰여질 (또는 프로그램될) 데이터 (D(x))는 N-비트 단위로 분할된다. 각 분할에 대하여 1의 보수를 계산하고 모든 분할을 합산함으로써 체크섬 데이터가 얻어진다. 예를 들면, 도 4a에 도시된 바와 같이, N = 1이고 쓰여질 페이지 데이터 (D(x))가 16-비트 데이터라고 가정하자. D(x)의 각 비트에 대하여 1의 보수를 취하고 이를 모두 합산한 결과가 Z(D(x))이 된다. 이는 결과적으로 D(x)에서 값이 0인 비트의 개수를 세는 것과 같다. D(x)에는 '0'이 7개 포함되어 있기 때문에, Z(D(x))의 값은 7이 된다. D(x)가 16-비트 데이터이므로, Z(D(x))의 최대값은 16이 된다. Z(D(x))를 저장하기 위해서는 5-비트 저장 공간이 필요하다. 따라서 Z(D(x))를 이진수로 표시하면, 도 4a에 도시된 바와 같이, Z(D(x))는 "00111"이 된다.

여기서, D(x)에 대한 분할은 1-비트 가산기를 이용하여 달성될 수 있다. 예를 들면, 입력되는 데이터 그룹의 데이터 비트들 중 1개의 데이터 비트와 누적 레지스터에 저장되어 있는 체크섬 데이터 중 1개의 데이터 비트를 가산하도록 1-비트 가산기가 제공될 수 있다. 하지만, 데이터 그룹의 분할은 다양한 방식들로 구현될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

도 4a에 도시된 데이터 (D(x))를 기록하는 도중에 정전이 발생할 경우 이를 검출하는 원리를 설명하기 위한 도면이 도 4b에 도시되어 있다. D(x)를 플래시 메모리의 임의의 위치 (x)에 기록할 때, Z(D(x))도 플래시 메모리에 동시에 쓰여진다. D(x) 및 Z(D(x))가 기록되는 위치 (즉, 페이지)의 모든 메모리 셀들은 1로 초기화되어 있다. 플래시 메모리에서 쓰기 동작이 진행되는 동안, 각각의 셀은 초기값인 1을 유지하거나 또는 목표값인 0으로 변경된다. 따라서 쓰기 동작이 진행되는 동안 0의 개수가 증가한다. 쓰기 동작이 완료되고 나면 0의 개수가 7개이며, 완료되기 전에 정전이 발생하면 0의 개수가 7개보다 작다. 도 4b에서는 0의 개수가 4개인 조건을 예시하였다. 한편, 체크섬 데이터 (Z(D(x)))가 기록되는 위치의 모든 메모리 셀들도 1로 초기화되어 있기 때문에, 쓰기 동작이 진행됨에 따라 0의 개수가 증가한다. 값이 0인 비트의 개수가 많아진다는 것은 전체의 값이 작아진다는 것을 의미한다. 쓰기 동작이 완료되고 나면 7이라는 값이 체크섬 데이터로서 기록되며, 쓰기 동작이 완료되기 전에 정전이 발생하면 7보다 큰 값이 기록된다. 도 4b에서는 7을 기록하다가 도중에 정전이 발생하였기 때문에 23이 기록된 상황을 예시하였다. 4와 23을 비교하여 서로 일치하지 않는다는 사실로부터, D(x)를 기록하던 도중에 정전이 발생하였으며, 이로 인하여 플래시 메모리에 저장되어 있는 데이터 D'(x)는 애초에 의도했던 데이터 D(x)와 같지 않다는 것을 판단할 수 있다. 좀 더 구체적인 데이터 관리 방법을 설명하면 다음과 같다.

N = 1인 경우, 즉 싱글 레벨 셀 방식의 플래시 메모리에 대하여 본 발명의 원리를 일반적으로 설명하면 다음과 같다. 본 발명은 임의의 페이지 (x)에 데이터 D(x)를 기록할 때에, D(x)를 이진수로 보고 그 안에 포함된 0의 개수를 세어서 D(x)와 함께 기록한다. 데이터가 쓰여지기 전에 페이지 (x)의 모든 메모리 셀들은 1로 초기화되어 있고, 쓰기 동작이 진행되는 동안 0의 개수가 점차로 증가한다. D(x)에 포함된 0의 개수를 세었을 때 그 개수가 Z(D(x))라고 하면, 페이지 (x)에 들어 있는 0의 개수는 점차로 증가하여 쓰기 동작이 완료되는 순간에 Z(D(x))와 같아진다. 쓰기 동작이 완료되기 전에 정전이 발생하면 0의 개수가 Z(D(x))보다 모자라는 상태로 남는다. 추후 전원이 켜졌을 때에 페이지 (x)를 읽어서 얻은 데이터 D'(x)에 대하여 그 안에 포함된 0의 개수를 Z(D'(x))라고 하면, 쓰기 동작이 완료되기 전에 정전이 발생했다면 Z(D'(x)) < Z(D(x))가 성립하고, 쓰기 동작이 완료되었다면 Z(D'(x)) = Z(D(x))가 성립한다. 한편, 본 발명은 D(x)를 기록할 때에 Z(D(x))의 값을 D(x)와 동시에 플래시 메모리에 기록한다. Z(D(x))가 기록되는 위치의 메모리 셀들 모두 1로 초기화되어 있으며, 쓰기 동작이 진행됨에 따라 해당 위치에 들어있는 값은 점차 감소한다. 쓰기 동작이 완료되는 순간에 해당 위치에는 Z(D(x))의 값이 들어있게 되고, 쓰기 동작이 완료되기 전에 정전이 발생하면 해당 위치에는 Z(D(x))보다 큰 값이 든 채로 남게 된다.

따라서, 전원이 켜졌을 때에 해당 위치를 읽어서 Z'(D(x))를 얻어냈다면, 쓰기 동작이 완료되었을 때에만 Z(D(x)) = Z'(D(x))가 성립하고, 도중에 정전이 발생했다면 Z(D(x)) < Z'(D(x))가 성립한다. 이상의 설명을 종합하면, D(x)의 기록 및 Z(D(x))의 기록이 모두 완료되었다면 Z(D'(x)) = Z(D(x)) = Z'(D(x))가 성립하고, 도중에 정전이 발생했다면 Z(D'(x)) < Z(D(x)) 또는 Z(D(x)) < Z'(D(x))가 성립한다. 그러므로, 전원이 켜졌을 때에 페이지 (x)를 읽어서 얻은 데이터 D'(x)에 대하여 Z(D'(x))의 값을 계산하고, 또한 Z(D(x))를 기록했던 위치를 읽어서 Z'(D(x))를 얻으면, Z(D'(x)) = Z'(D(x))가 성립하는 경우에 한해서 D(x)의 정확성을 보장할 수 있다.

N = 2인 경우, 즉 1개의 셀당 2비트를 저장할 수 있는 멀티 레벨 셀 방식의 플래시 메모리의 경우, 도 4c에 도시된 바와 같이, D(x)를 2-비트 단위로 분할해서 각 분할에 대한 1의 보수를 취하여 모두 합산한 값이 Z(D(x))이다. 도 4c의 예에서는 8개의 2-비트 값을 모두 합산한 결과가 이진수로 "1010"이므로, Z(D(x))의 값은 "1010"이 된다. 8개의 2-비트 값을 모두 합산했을 때의 최대값은 24이며, 이를 위한 저장 공간은 5비트가 필요하다. 따라서 Z(D(x))를 5비트의 이진수로 표현하면 "01010"이 된다. N = 1인 경우와 마찬가지로, N > 1인 경우에도 D(x)와 Z(D(x))가 동시에 기록된다. 이후, 체크섬 데이터를 생성하고 정전을 검출하는 과정은 앞서 설명과 것과 동일하며, 그것에 대한 설명은 그러므로 생략된다.

여기서, D(x)에 대한 분할은 2-비트 가산기를 이용하여 달성될 수 있다. 예를 들면, 입력되는 데이터 그룹의 데이터 비트들 중 2개의 데이터 비트들과 누적 레지스터에 저장되어 있는 체크섬 데이터 중 2개의 데이터 비트들을 가산하도록 2-비트 가산기가 제공될 수 있다. 하지만, 데이터 그룹의 분할은 다양한 방식들로 구현될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

도 5는 본 발명에 따른 불 휘발성 메모리 장치의 데이터 관리 방법을 설명하기 위한 흐름도이다. 도 6a 및 도 6b는 본 발명에 따른 불 휘발성 메모리 장치의 데이터 관리 방법을 설명하기 위한 읽기 및 쓰기 동작 타이밍을 보여주는 도면들이다. 이하, 본 발명에 따른 불 휘발성 메모리 장치의 데이터 관리 방법이 참조 도면들에 의거하여 상세히 설명될 것이다.

단계 (S100)에서는 데이터 그룹들이 입력되는 동안 제 1 체크섬 데이터가 생성된다. 좀 더 구체적으로 설명하면 다음과 같다. 한 페이지의 저장 용량이 528-바이트인 경우, 데이터 입력 구간 동안, 도 6a에 도시된 바와 같이, /WE 신호가 528번 토글된다. 즉, 528번의 클록 사이클이 요구된다. 동작 모드 신호 (READ)가 쓰기 동작을 나타내기 때문에, 데이터 경로 선택 회로 (160)의 제 1 스위치 (161)는 온되는 반면에 제 2 스위치 (162)는 오프된다. 또한, 정전 판별 회로 (180)의 스위치 (182)는 동작 모드 신호 (READ)에 응답하여 체크섬 데이터 발생기 (181)의 출력을 제 1 스위치 (161)로 전달할 것이다.

쓰기 동작 (또는 프로그램 동작)시, 0번째 클록 사이클에서 데이터 그룹 (D0)은 도 2의 스위치 (161)를 통해 데이터 버스 (DB1) 상에 실린다. 데이터 버스 (DB1) 상의 데이터 그룹 (D0)은 열 선택 회로 (150)를 통해 페이지 레지스터 및 감지 증폭 회로 (140)에 저장된다. 이와 동시에, 체크섬 데이터 발생기 (181)는 /WE 신호로서 클록 신호 (CLK)에 응답하여 데이터 그룹 (D0)을 받아들인다. 제어기 (183)는, 이때, 플래그 신호 (FLAG)가 로우로 유지되게 한다. 이는 스위치 (182)가 비활성화되게 한다. 즉, 체크섬 데이터 발생기 (181)의 출력 (CSD)은 차단된다. 이후, 1-525번째 클록 사이클들에서 각각 입력되는 데이터 그룹들 (D1-D525)은 앞서 설명된 것과 동일한 방식으로 페이지 레지스터 및 감지 증폭 회로 (140) 및 체크섬 데이터 발생기 (150)로 전달될 것이다.

제어기 (183)는 525번째 클록 사이클의 클록 신호 (CLK)에 응답하여 플래그 신호 (FLAG)를 하이로 활성화시킨다. 즉, 모든 데이터 그룹들 (D0-D525)이 데이터 버스 (DB0)를 통해 전달될 때, 제어기 (183)는 클록 신호 (CLK)에 응답하여 플래그 신호 (FLAG)를 하이로 활성화시킨다. 플래그 신호 (FLAG)가 활성화됨에 따라, 스위치 (182)는 클록 신호 (CLK)에 동기되어 체크섬 데이터 발생기 (181)로부터 출력되는 체크섬 데이터 (CSD0, CSD1)를 데이터 경로 선택 회로 (160)의 스위치 (161)로 전달한다. 스위치 (161)로 전달된 체크섬 데이터 (CSD0, CSD1)는 열 선택 회로 (150)를 통해 페이지 레지스터 및 감지 증폭 회로 (140)에 저장된다. 이후, 단계 (S120)에서는 입력된 데이터 그룹들 및 체크섬 데이터가 잘 알려진 쓰기 방식에 따라 메모리 셀 어레이 (110)에 동시에 쓰여질 것이다.

앞서 언급된 동작들은 쓰기 동작에서 항상 수행된다. 즉, 페이지 데이터가 입력될 때마다 체크섬 데이터가 생성된다. 그렇게 생성된 체크섬 데이터는 페이지 데이터와 함께 메모리 셀 어레이 (110) (예를 들면, 스페어 필드)에 쓰여진다.

단계 (S140)에서는 페이지 데이터가 임의의 페이지 (또는 한 페이지의 메모리 셀들)로부터 체크섬 데이터 (이하, 제 1 체크섬 데이터라 칭함)와 함께 읽혀진다. 동작 모드 신호 (READ)가 읽기 동작을 나타낼 때, 데이터 경로 선택 회로 (160)의 스위치 (161)는 오프되는 반면에 스위치 (162)는 온된다. 읽혀진 페이지 데이터 즉, 데이터 그룹들은 열 선택 회로 (150) 및 스위치 (162)를 통해 데이터 버스 (DB2) 상에 실린다. 예를 들면, 0번째 클록 사이클에서, 데이터 버스 (DB2) 상에 실린 데이터 그룹 (D0)은 /RE 신호로서 클록 신호 (CLK)에 동기되어 입출력 버퍼 회로 (170)를 통해 외부로 출력된다. 이와 동시에, 체크섬 데이터 발생기 (181)는 /RE 신호로서 클록 신호 (CLK)에 응답하여 데이터 버스 (DB1) 상의 데이터 그룹 (D0)을 받아들인다. 제어기 (183)는, 이때, 플래그 신호 (FLAG)가 로우로 유지되게 한다. 이는 스위치 (182)가 비활성화되게 한다. 즉, 체크섬 데이터 발생기 (181)의 출력 (CSD)은 차단된다. 이후, 1-525번째 클록 사이클들 동안, 나머지 데이터 그룹들 (D1-D525)은 앞서 설명된 것과 동일한 방식으로 입출력 버퍼 회로 (170) 및 체크섬 데이터 발생기 (150)로 전달될 것이다.

제어기 (183)는 525번째 클록 사이클의 클록 신호 (CLK)에 응답하여 플래그 신호 (FLAG)를 하이로 활성화시킨다. 즉, 모든 데이터 그룹들 (D0-D525)이 데이터 버스 (DB1)를 통해 전달될 때, 제어기 (183)는 클록 신호 (CLK)에 응답하여 플래그 신호 (FLAG)를 하이로 활성화시킨다. 플래그 신호 (FLAG)가 활성화됨에 따라, 스위치 (182)는 클록 신호 (CLK)에 동기되어 체크섬 데이터 발생기 (181)로부터 출력되는 체크섬 데이터 (CSD0, CSD1)를 레지스터 세트 (184)로 전달한다. 이와 동시에, 도 5b에 도시된 바와 같이, 제어기 (183)는 클록 신호 (CLK)에 동기된 체크섬 데이터 래치 신호 (CSD_LAT)를 발생한다. 레지스터 (184a)는 체크섬 데이터 래치 신호 (CSD_LAT)에 응답하여 스위치 (182)를 통해 전달된 체크섬 데이터 (CSD0, CSD1)를 저장한다. 페이지 레지스터 및 감지 증폭 회로 (140)로부터 출력되는 체크섬 데이터 (CSD0, CSD1)는 체크섬 데이터 래치 신호 (CSD_LAT)에 동기되어 제 2 레지스터 (184b)에 저장된다.

단계 (S160)에는 제 1 체크섬 데이터가 제 2 체크섬 데이터와 일치하는지의 여부가 비교기 (185)에 의해서 판별된다. 판별된 결과를 나타내는 읽기 패스/페일 신호 (READ_PF)가 제어 로직 (130)의 상태 레지스터 (131)에 저장된다. 상태 레지스터 (131)에 저장된 판별 결과는 상태 읽기 동작에 따라 외부로 출력될 것이다. 판별 결과에 의거하여 제 1 체크섬 데이터가 제 2 체크섬 데이터와 일치하는 것으로 판단될 때, 외부로 출력된 데이터 그룹들은 유효한 데이터로서 판별된다 (S180). 이에 반해서, 판별 결과에 의거하여 제 1 체크섬 데이터가 제 2 체크섬 데이터와 일치하지 않는 것으로 판단될 때, 외부로 출력된 데이터 그룹들은 무효한 데이터로서 판별된다 (S200). 즉, 읽혀진 데이터 그룹들의 쓰기 동작 도중에 정전이 발생하였음을 검출하는 것이 가능하다.

도 7은 본 발명의 제 2 실시예에 따른 메모리 시스템을 개략적으로 보여주는 블록도이다.

도 7을 참조하면, 본 발명의 제 2 실시예에 따른 메모리 시스템 (1000)은 불 휘발성 메모리 장치 (1200)와 메모리 컨트롤러 (1400)를 포함한다. 불 휘발성 메모리 장치 (1200)는 NAND형 플래시 메모리 장치이다. 하지만, 불 휘발성 메모리 장치 (1200)가 NAND형 플래시 메모리 장치에 국한되지 않음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다. 메모리 컨트롤러 (1400)는 불 휘발성 메모리 장치 (1200)의 읽기 및 쓰기 동작들을 제어하며, 제어 블록 (1420), 정전 판별 블록 (1440), 그리고 데이터 경로 선택 블록 (1460)을 포함한다. 정전 판별 블록 (1440) 및 데이터 경로 선택 블록 (1460)은 제어 블록 (1420)에 의해서 제어된다. 도 7에 도시된 정전 판별 블록 (1440) 및 데이터 경로 선택 블록 (1460)은 도 1에 도시된 것과 실질적으로 동일하게 구성되며, 그것에 대한 설명은 그러므로 생략된다.

도 8은 본 발명의 제 3 실시예에 따른 메모리 시스템을 개략적으로 보여주는 블록도이다.

도 8을 참조하면, 본 발명의 제 3 실시예에 따른 메모리 시스템 (2000)은 불 휘발성 메모리 장치 (2200)와 메모리 컨트롤러 (2400)를 포함한다. 불 휘발성 메모리 장치 (2200)는 NAND형 플래시 메모리 장치이다. 하지만, 불 휘발성 메모리 장치 (2200)가 NAND형 플래시 메모리 장치에 국한되지 않음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다. 메모리 컨트롤러 (2400)는 제어 블록 (2420)과 메모리 (2440)를 포함한다. 메모리 (2440)에는 모든 데이터 그룹들에 각각 대응하는 체크섬 값들이 저장된다. 쓰기 동작시, 제어 블록 (2420)은 불 휘발성 메모리 장치 (2200)에 저장될 데이터 그룹들이 호스트로부터 전송될 때 데이터 그룹들 각각에 대한 체크섬 값들을 메모리 (2440)로부터 읽는다. 제어 블록 (2420)은 읽혀진 체크섬 값들을 합산하여 체크섬 데이터를 생성한다. 체크섬 데이터는 데이터 그룹들과 함께 불 휘발성 메모리 장치 (2200)에 저장된다. 읽기 동작시, 제어 블록 (2420)은 불 휘발성 메모리 장치 (2200)로부터 출력되는 데이터 그룹들 각각에 대한 체크섬 값들을 메모리 (2440)로부터 읽는다. 제어 블록 (2420)은 읽혀진 체크섬 값들을 합산하여 체크섬 데이터 (이하, 제 1 체크섬 데이터라 칭함)를 생성한다. 이와 동시에, 제어 블록 (2420)은 데이터 그룹들과 함께 불 휘발성 메모리 장치 (2200)로부터 출력된 체크섬 데이터 (읽혀진 데이터 그룹들과 관련된 데이터) (이하, 제 2 체크섬 데이터)를 입력받는다. 제어 블록 (2420)은 제 1 체크섬 데이터가 제 2 체크섬 데이터와 일치하는지의 여부를 판별한다. 만약 제 1 체크섬 데이터가 제 2 체크섬 데이터와 일치하면, 현재 읽혀진 데이터는 유효한 데이터로서 처리된다. 만약 제 1 체크섬 데이터가 제 2 체크섬 데이터와 일치하지 않으면, 현재 읽혀진 데이터는 무효한 데이터로서 처리된다. 즉, 현재 읽혀진 데이터의 쓰기 동작 도중에 정전이 생성됨을 검출하는 것이 가능하다.

싱글 레벨 셀 또는 멀티 레벨 셀에 관계없이 앞서의 설명을 기초로 하여 본 발명의 정전 발견 원리를 일반적으로 설명하면 다음과 같다. 임의의 셀이 어떤 값을 저장하고 있는가는 해당 셀의 전압 수준 (또는 전압 준위)에 의하여 결정된다. 셀 하나당 N-비트의 정보를 저장할 수 있다고 하면, 저장할 수 있는 값의 범위는 0부터 2^{N-1} 까지 이므로, 2^N 개의 전압 수준들이 존재한다. 각 전압 수준은 특정한 N-비트 값을 나타낸다. 낸드 플래시 메모리의 경우, 가장 낮은 전압 수준이 2^{N-1} 을 나타내고 가장 높은 전압 수준이 0을 나타낸다. 즉, 전압 수준이 높아질수록 작은 값을 표현한다. D(x)를 플래시 메모리의 위치에 기록하기 전에, 해당 위치의 모든 셀은 가장 낮은 전압 수준으로 초기화되어 있다. 쓰기 동작이 진행되는 동안 각각의 셀은 초기 전압 수준을 유지하거나, 또는 해당 셀의 목표 수준을 향해서 증가한다. 이는 해당 셀에 저장된 값이 2^{N-1} 에서 시작하여 작아짐을 의미한다. D(x)를 N-비트 단위로 나누어 각각 1의 보수를 취하면, 이는 해당 셀의 전압 수준이 얼마만큼 증가해야 목표 수준에 도달하는가를 나타낸다. 그러므로, Z(D(x))는 초기 전압 수준과 최종 전압 수준의 차이를 모든 셀에 대해서 합산한 것이다. 임의의 셀이 목표 수준에 도달하지 못한 채로 정전이 발생했다면 그 차이는 애초에 의도했던 차이보다 작다. 즉, $Z(D'(x)) < Z(D(x))$ 이다. 한편, Z(D(x))를 플래시 메모리에 기록하다가 정전이 발생하면 애초에 의도했던 값보다 큰 값이 저장된다. 즉, $Z(D(x)) < Z'(D(x))$ 이다. 따라서, $Z(D'(x)) = Z(D(x)) = Z'(D(x))$ 가 성립하기 위해서는 D(x)와 Z(D(x))가 모두 완전하게 기록되어야 한다. 둘 중 하나라도 완전하게 기록되지 않으면 $Z(D'(x)) < Z'(D(x))$ 이다. 낸드 플래시 메모리가 아닌 다른 종류의 플래시 메모리에 있어서는 셀이 2^{N-1} 의 초기값에서 시작하여 줄어드는 것이 아니고 0의 초기값에서 시작하여 증가할 수도 있다. 본 발명은 이러한 경우에도 동일하게 적용 가능하다.

본 발명에 따라 생성되는 체크섬 데이터를 저장하기 위하여 필요한 공간은 다음과 같이 산정될 수 있다. D(x)가 M-비트 데이터라고 할 때, D(x)를 N-비트 단위로 분할하면 M/N개의 단위로 이루어진다. 각 단위에 대하여 1의 보수를 취하고 이를 모든 단위에 대하여 합산하면, 그 최대값은 $(M/N) * (2^{N-1})$ 이다. 이 값을 표현하기 위해서 요구되는 비트의 개수는 $\log_2((M/N) * (2^{N-1}))$ 이다. D(x)의 크기가 512바이트, 즉 4096비트이고, N = 2인 멀티 레벨 셀을 사용할 경우를 예로 들면, 체크섬 데이터를 저장하기 위한 공간은 13비트가 요구되므로 512-바이트 데이터당 2-바이트의 공간을 사용하여 체크섬 데이터를 저장할 수 있다.

이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만, 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상 및 범위를 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

발명의 효과

상술한 바와 같이, 쓰기 동작 (또는 프로그램 동작) 동안 메인 데이터로부터 제 1 체크섬 데이터를 생성하고 메인 데이터와 함께 제 1 체크섬 데이터를 메모리 셀 어레이에 저장하며, 읽기 동작 동안 읽혀진 메인 데이터로부터 제 2 체크섬 데이터를 생성하고 읽혀진 제 1 체크섬 데이터와 제 2 체크섬 데이터의 일치 여부를 판별함으로써 쓰기 동작 도중에 정전이 발생하였는지의 여부를 검출하는 것이 가능하다. 이는 프로그램 데이터의 신뢰성이 향상됨을 의미한다.

(57) 청구의 범위

청구항 1.

셀당 N-비트 데이터 (N은 1 또는 그 보다 큰 정수)를 저장하는 메모리 셀들로 구성된 어레이를 포함하는 불 휘발성 메모리 장치에 저장되는 데이터를 관리하는 방법에 있어서:

상기 어레이에 저장될 데이터 그룹들 각각을 N으로 분할하는 단계와;

상기 각 데이터 그룹의 분할된 데이터 값들의 전압 준위들로부터 제 1 체크섬 데이터를 발생하는 단계와; 그리고

상기 데이터 그룹들 및 상기 제 1 체크섬 데이터를 상기 어레이에 동시에 저장하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 2.

제 1 항에 있어서,

상기 저장된 데이터 그룹들 및 상기 제 1 체크섬 데이터를 동시에 읽는 단계와;

상기 읽혀진 데이터 그룹들을 N으로 분할하는 단계와;

상기 읽혀진 데이터 그룹들 각각의 분할된 데이터 값들의 전압 준위들로부터 제 2 체크섬 데이터를 발생하는 단계와; 그리고

상기 읽혀진 데이터 그룹들의 쓰기 동작 도중에 정전이 발생하였는지를 검출하기 위해서 상기 제 1 및 제 2 체크섬 데이터를 이용하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 3.

제 2 항에 있어서,

상기 제 1 및 제 2 체크섬 데이터를 이용하는 단계는

상기 제 1 체크섬 데이터가 상기 제 2 체크섬 데이터와 일치하는지의 여부를 판별하는 단계와;

상기 판별 결과를 레지스터에 저장하는 단계와; 그리고

상태 읽기 명령에 응답하여 상기 레지스터에 저장된 판별 결과를 외부로 출력하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 4.

제 2 항에 있어서,

상기 제 1/2 체크섬 데이터는 각 데이터 그룹의 분할된 데이터 값들에 1의 보수를 취하고 1의 보수가 취해진 분할된 데이터 값들을 가산함으로써 생성되는 것을 특징으로 하는 방법.

청구항 5.

제 1 항에 있어서,

상기 불 휘발성 메모리 장치는 낸드 플래시 메모리 장치인 것을 특징으로 하는 방법.

청구항 6.

셀당 N-비트 데이터 (N은 1 또는 그 보다 큰 정수)를 저장하는 메모리 셀들로 구성된 어레이를 포함하는 불 휘발성 메모리 장치에 저장되는 데이터를 관리하는 방법에 있어서:

상기 어레이에 저장될 데이터 그룹들을 순차적으로 입력받는 단계와;

상기 입력된 데이터 그룹들로부터 제 1 체크섬 데이터를 발생하는 단계와;

상기 데이터 그룹들 및 상기 제 1 체크섬 데이터를 상기 어레이에 저장하는 단계와;

상기 저장된 데이터 그룹들 및 상기 제 1 체크섬 데이터를 읽는 단계와;

상기 읽혀진 데이터 그룹들로부터 제 2 체크섬 데이터를 발생하는 단계와; 그리고

상기 읽혀진 데이터 그룹들의 쓰기 동작 도중에 정전이 발생하였는 지를 검출하기 위해서 상기 제 1 및 제 2 체크섬 데이터를 이용하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 7.

제 6 항에 있어서,

상기 제 1/2 체크섬 데이터를 발생하는 단계는

상기 입력된/읽혀진 데이터 그룹들 각각을 N으로 분할하고, 상기 입력된/읽혀진 데이터 그룹들 각각의 분할된 데이터 값들에 1의 보수를 취하는 단계와; 그리고

1의 보수가 취해진 상기 입력된/읽혀진 데이터 그룹들 각각의 분할된 데이터 값들로부터 상기 제 1/2 체크섬 데이터를 발생하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 8.

각각이 N-비트 데이터를 저장하는 메모리 셀들을 갖는 메모리 셀 어레이와;

상기 메모리 셀 어레이에 쓰여질 데이터 그룹들을 임시 저장하는 페이지 레지스터 및 감지 증폭 회로와; 그리고

상기 데이터 그룹들이 상기 페이지 레지스터 및 감지 증폭 회로에 전달되는 쓰기 동작 동안, 상기 데이터 그룹들을 N으로 분할하고 상기 각 데이터 그룹의 분할된 데이터 값들의 전압 준위들로부터 제 1 체크섬 데이터를 생성하는 정전 판별 회로를 포함하는 불 휘발성 메모리 장치.

청구항 9.

제 8 항에 있어서,

상기 쓰기 동작 동안, 상기 페이지 레지스터 및 감지 증폭 회로는 상기 데이터 그룹들과 함께 상기 제 1 체크섬 데이터를 상기 메모리 셀 어레이에 동시에 저장하는 불 휘발성 메모리 장치.

청구항 10.

제 9 항에 있어서,

상기 제 1 체크섬 데이터는 상기 메모리 셀 어레이의 스페어 필드에 저장되는 불 휘발성 메모리 장치.

청구항 11.

제 9 항에 있어서,

읽기 동작시, 상기 페이지 레지스터 및 감지 증폭 회로는 상기 메모리 셀 어레이로부터 상기 저장된 데이터 그룹들 및 제 1 체크섬 데이터를 동시에 읽고, 상기 읽혀진 데이터 그룹들 및 상기 제 1 체크섬 데이터는 외부로 출력되는 불 휘발성 메모리 장치.

청구항 12.

제 11 항에 있어서,

상기 읽혀진 데이터 그룹들이 외부로 출력되는 동안, 상기 정전 판별 회로는 상기 읽혀진 데이터 그룹들을 N으로 분할하고 상기 각 데이터 그룹의 분할된 데이터 값들의 전압 준위들로부터 제 2 체크섬 데이터를 생성하는 불 휘발성 메모리 장치.

청구항 13.

제 12 항에 있어서,

상기 정전 판별 회로는 상기 제 1 체크섬 데이터가 상기 제 2 체크섬 데이터와 일치하는지의 여부를 판별하고, 판별 결과를 상태 레지스터에 저장하는 불 휘발성 메모리 장치.

청구항 14.

제 13 항에 있어서,

상기 상태 레지스터에 저장된 결과는 상태 읽기 동작시 외부로 출력되는 불 휘발성 메모리 장치.

청구항 15.

제 13 항에 있어서,

상기 정전 판별 회로의 판별 결과는 상기 쓰기 동작시 정전이 발생하였는 지의 여부를 검출하는 데 사용되는 불 휘발성 메모리 장치.

청구항 16.

제 12 항에 있어서,

상기 정전 판별 회로는 상기 각 데이터 그룹의 분할된 데이터 값들에 1의 보수를 취하고 1의 보수가 취해진 분할된 데이터 값들을 가산함으로써 상기 제 1 및 제 2 체크섬 데이터를 생성하는 불 휘발성 메모리 장치.

청구항 17.

제 12 항에 있어서,

상기 정전 판별 회로는

클록 신호에 응답하여 상기 데이터 그룹들을 순차적으로 입력받고 상기 입력된 데이터 그룹들로부터 상기 제 1/제 2 체크섬 데이터를 발생하는 체크섬 발생기와;

읽기 동작시 플래그 신호에 응답하여 상기 제 1/제 2 체크섬 데이터를 상기 페이지 레지스터 및 감지 증폭 회로로 출력하는 제 1 스위치와; 그리고

상기 클록 신호에 응답하여 상기 플래그 신호를 발생하는 제어기를 포함하는 불 휘발성 메모리 장치.

청구항 18.

제 17 항에 있어서,

상기 클록 신호는 읽기 동작시 /RE 신호에 동기되어 생성되고 상기 쓰기 동작시 /WE 신호에 동기되어 생성되는 불 휘발성 메모리 장치.

청구항 19.

제 17 항에 있어서,

상기 제어기는 상기 데이터 그룹들이 모두 입력될 때 상기 플래그 신호를 활성화시키며, 상기 제 1 스위치는 상기 읽기 동작시 상기 플래그 신호의 활성화에 응답하여 상기 제 1/제 2 체크섬 데이터를 출력하는 불 휘발성 메모리 장치.

청구항 20.

제 19 항에 있어서,

상기 제어기는 상기 데이터 그룹들이 모두 입력될 때 상기 클럭 신호에 동기된 체크섬 데이터 래치 신호를 발생하는 불 휘발성 메모리 장치.

청구항 21.

제 20 항에 있어서,

상기 정전 판별 회로는

상기 읽기 동작시 체크섬 데이터 래치 신호에 응답하여 상기 체크섬 데이터 발생기에서 생성된 상기 제 2 체크섬 데이터를 저장하는 제 1 레지스터와;

상기 읽기 동작시 상기 체크섬 데이터 래치 신호에 응답하여 상기 제 1 체크섬 데이터를 저장하는 제 2 레지스터와; 그리고

상기 제 1 레지스터의 출력이 상기 제 2 레지스터의 출력과 일치하는지의 여부를 판별하는 비교기를 더 포함하는 불 휘발성 메모리 장치.

청구항 22.

제 21 항에 있어서,

상기 제 1 스위치는 상기 쓰기 동작시 상기 플래그 신호에 응답하여 상기 제 2 체크섬 데이터를 상기 제 1 레지스터로 출력하는 불 휘발성 메모리 장치.

청구항 23.

제 21 항에 있어서,

상기 비교기의 판별 결과는 상태 레지스터에 저장되는 불 휘발성 메모리 장치.

청구항 24.

제 22 항에 있어서,

상기 상태 레지스터에 저장된 판별 결과는 상태 읽기 동작에 의해서 외부로 출력되는 불 휘발성 메모리 장치.

청구항 25.

제 17 항에 있어서,

상기 쓰기 동작시 상기 플래그 신호에 응답하여 외부로부터 입력되는 상기 데이터 그룹들 및 상기 제 1 스위치로부터 출력되는 상기 제 1 체크섬 데이터를 상기 페이지 레지스터 및 감지 증폭 회로로 출력하는 제 2 스위치를 더 포함하는 불 휘발성 메모리 장치.

청구항 26.

제 17 항에 있어서,

상기 읽기 동작시 상기 페이지 레지스터 및 감지 증폭 회로로부터 출력되는 상기 읽혀진 데이터 그룹들 및 상기 제 2 체크섬 데이터를 입출력 버퍼 회로로 출력하는 제 3 스위치를 더 포함하는 불 휘발성 메모리 장치.

청구항 27.

불 휘발성 메모리와;

상기 불 휘발성 메모리에 전송되는 데이터 그룹들로부터 제 1 체크섬 데이터를 발생하고, 상기 불 휘발성 메모리에 쓰여진 상기 데이터 그룹들이 읽혀질 때 상기 읽혀진 데이터 그룹들로부터 제 2 체크섬 데이터를 발생하는 정전 판별 회로를 포함하며,

상기 정전 판별 회로는 상기 데이터 그룹들의 쓰기 동작 도중에 정전이 발생하였는 지를 검출하기 위해서 상기 제 1 및 제 2 체크섬 데이터를 이용하는 메모리 시스템.

청구항 28.

제 27 항에 있어서,

상기 불 휘발성 메모리의 읽기 및 쓰기 동작들을 제어하도록 구성된 제어 회로를 더 포함하는 메모리 시스템.

청구항 29.

제 28 항에 있어서,

상기 정전 판별 회로는 상기 제 1 체크섬 데이터가 상기 제 2 체크섬 데이터와 일치하는 지의 여부를 판별하고, 판별 결과를 상기 제어 회로에 저장하는 메모리 시스템.

청구항 30.

제 29 항에 있어서,

상기 정전 판별 회로의 판별 결과는 쓰기 동작시 정전이 발생하였는 지의 여부를 검출하는 데 사용되는 메모리 시스템.

청구항 31.

제 27 항에 있어서,

상기 정전 판별 회로는 상기 각 데이터 그룹의 분할된 데이터 값들에 1의 보수를 취하고 1의 보수가 취해진 분할된 데이터 값들을 가산함으로써 상기 제 1 및 제 2 체크섬 데이터를 생성하는 메모리 시스템.

청구항 32.

불 휘발성 메모리와; 그리고

상기 불 휘발성 메모리의 읽기 및 쓰기 동작들을 제어하는 메모리 컨트롤러를 포함하며,

상기 메모리 컨트롤러는

상기 불 휘발성 메모리에 저장될 데이터 그룹들 각각에 대응하는 체크섬 값들을 저장하는 메모리와; 그리고

상기 불 휘발성 메모리에 저장될 데이터 그룹들이 호스트로부터 전송될 때, 상기 전송되는 데이터 그룹들의 체크섬 값들을 상기 메모리로부터 읽고 상기 읽혀진 체크섬 값들을 합산하여 제 1 체크섬 데이터를 발생하는 제어 회로를 포함하며, 상기 제 1 체크섬 데이터는 상기 데이터 그룹들과 함께 상기 불 휘발성 메모리에 동시에 저장되는 메모리 시스템.

청구항 33.

제 32 항에 있어서,

상기 불 휘발성 메모리로부터 데이터 그룹들을 읽을 때, 상기 제어 회로는 상기 읽혀진 데이터 그룹들의 체크섬 값들을 상기 메모리로부터 읽고 상기 읽혀진 체크섬 값들을 합산하여 제 2 체크섬 데이터를 발생하는 메모리 시스템.

청구항 34.

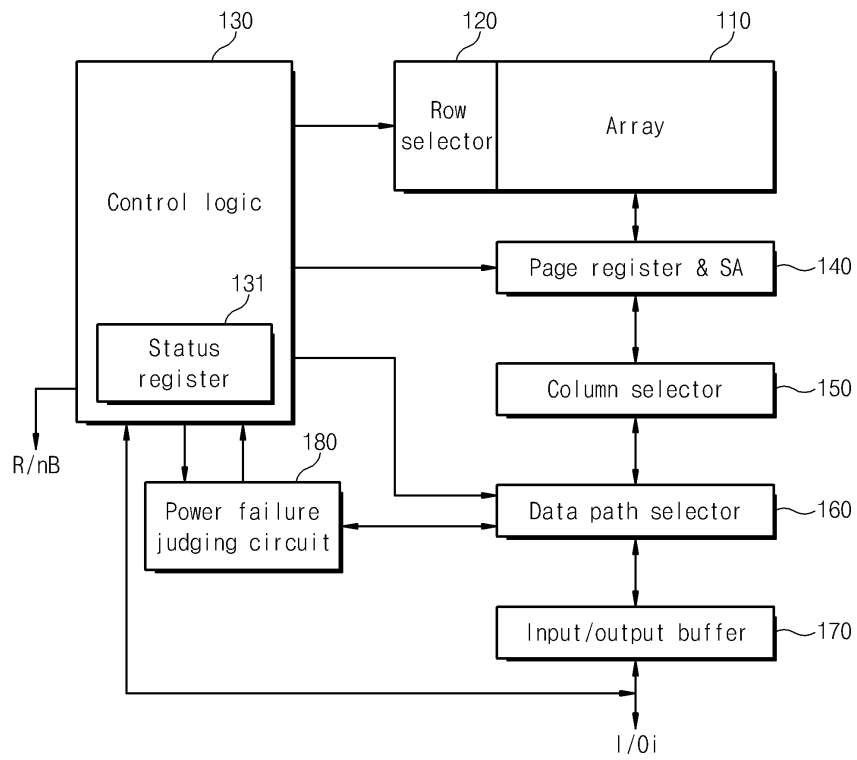
제 33 항에 있어서,

상기 제어 회로는 상기 데이터 그룹들의 쓰기 동작 도중에 정전이 발생하였는지의 여부를 검출하기 위해서 상기 데이터 그룹들과 함께 읽혀지는 상기 제 1 체크섬 데이터 및 상기 제 2 체크섬 데이터를 이용하는 메모리 시스템.

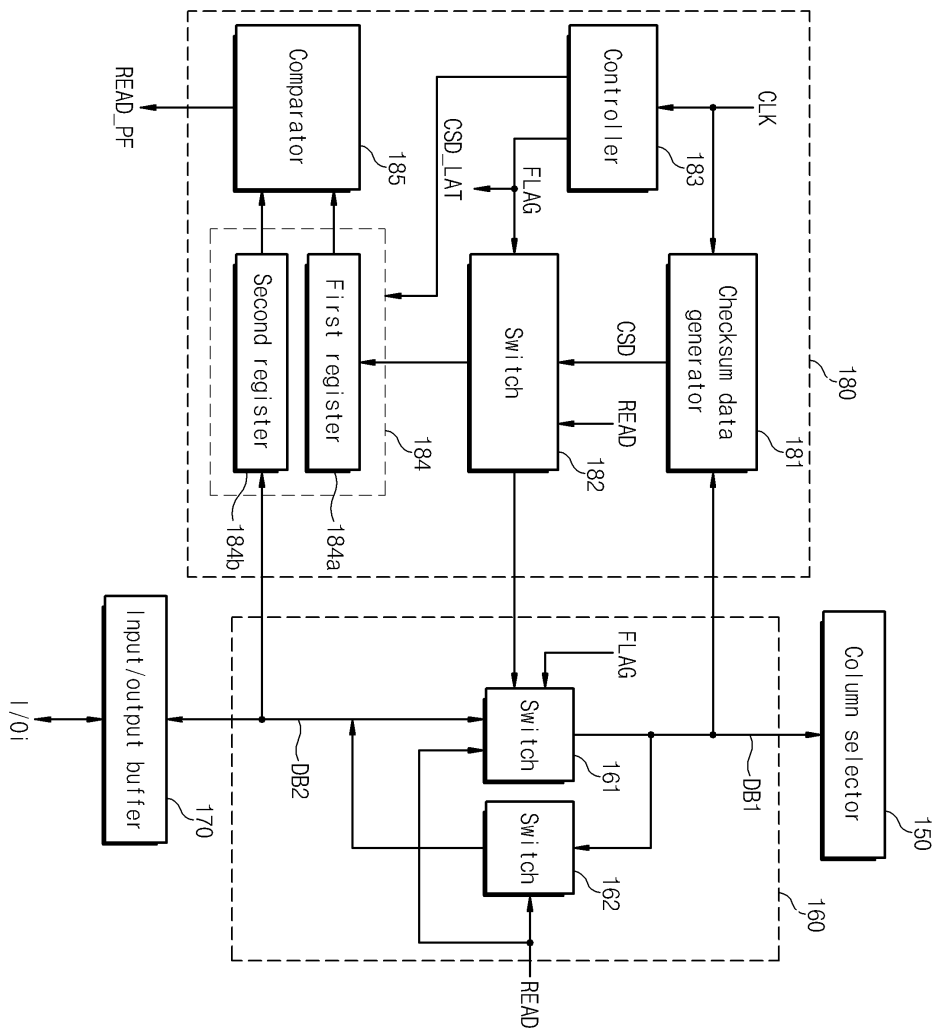
도면

도면1

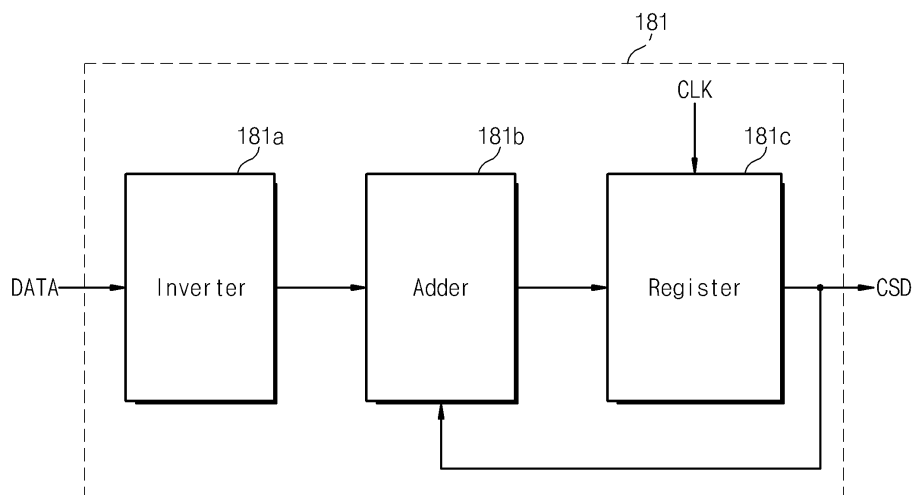
100



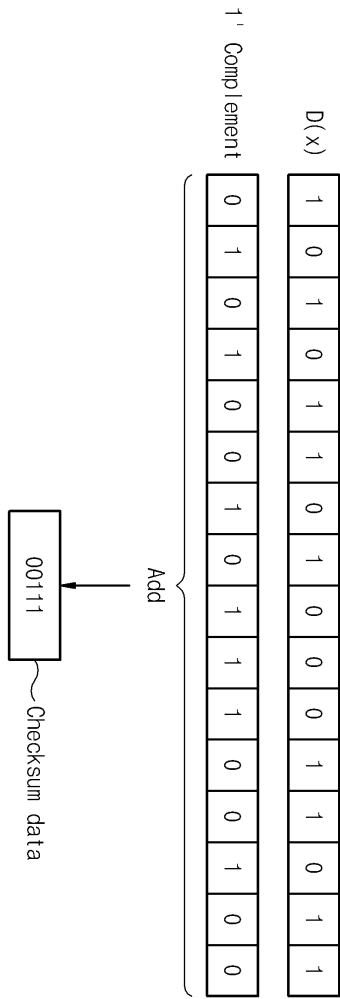
도면2



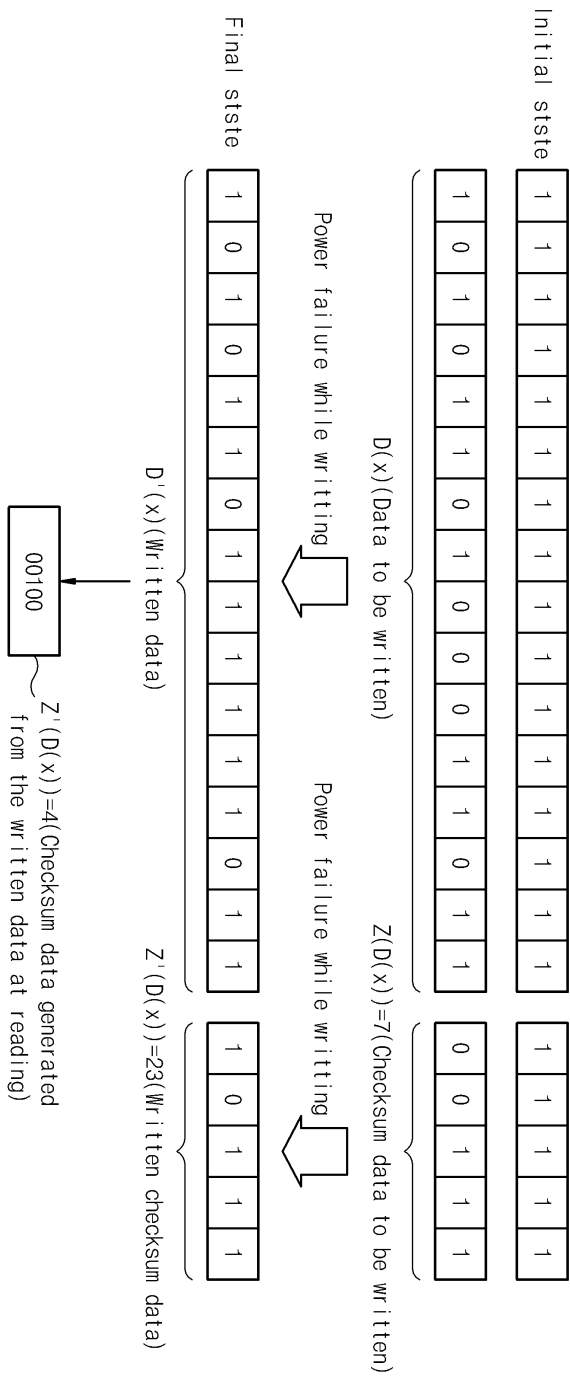
도면3



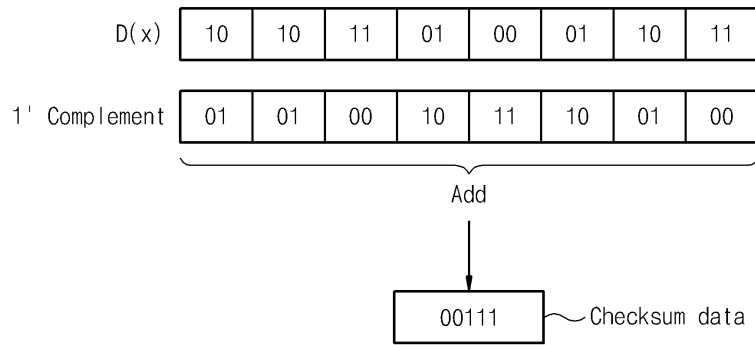
도면4a



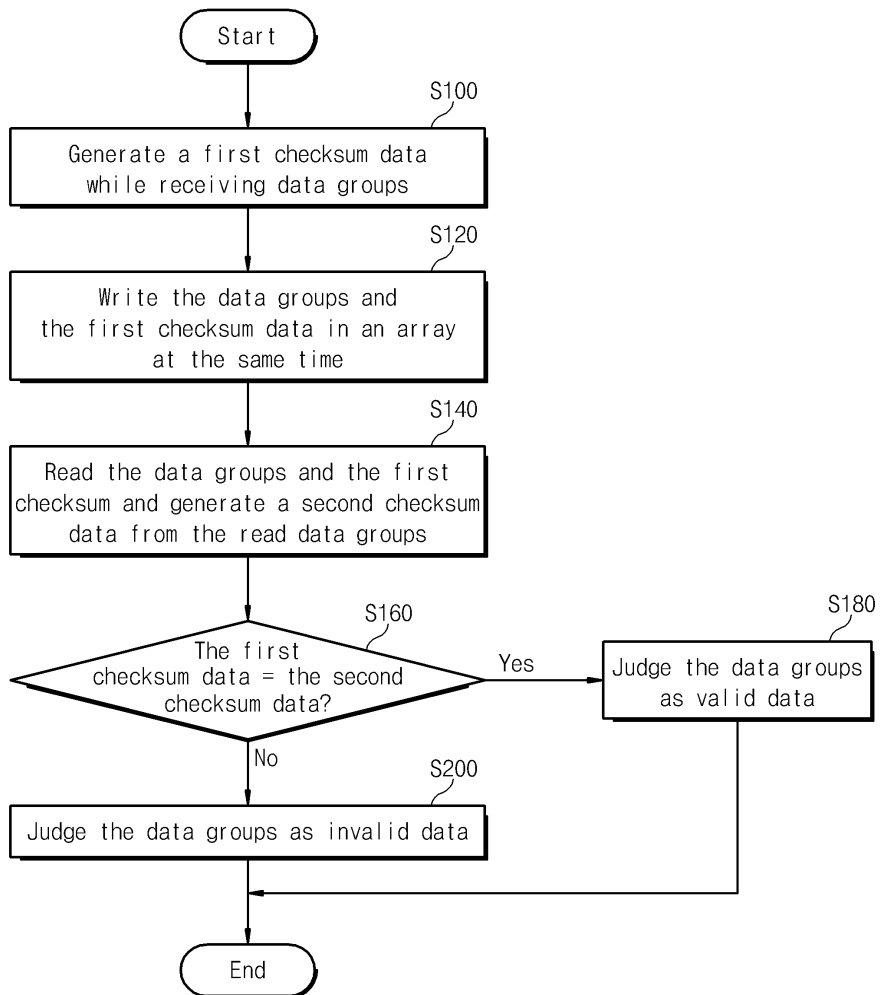
도면4b



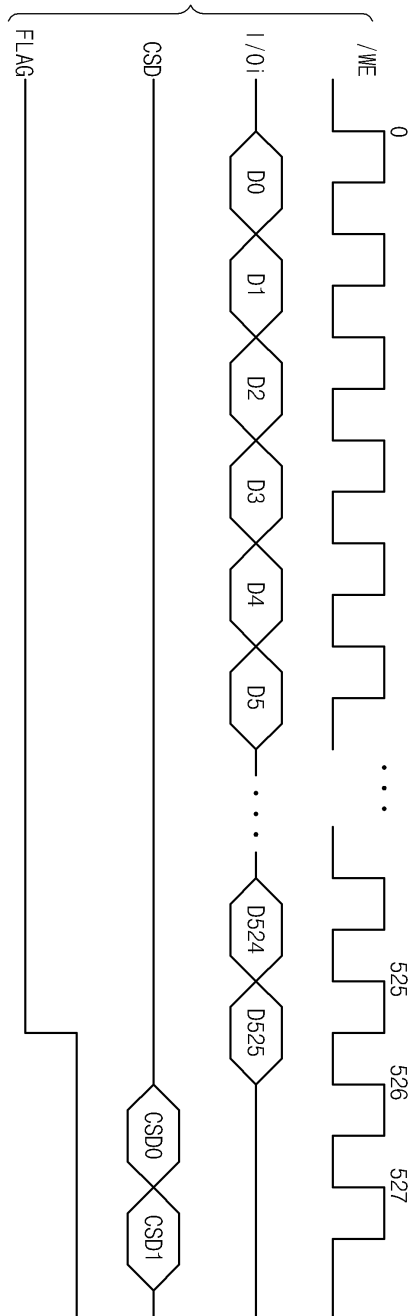
도면4c



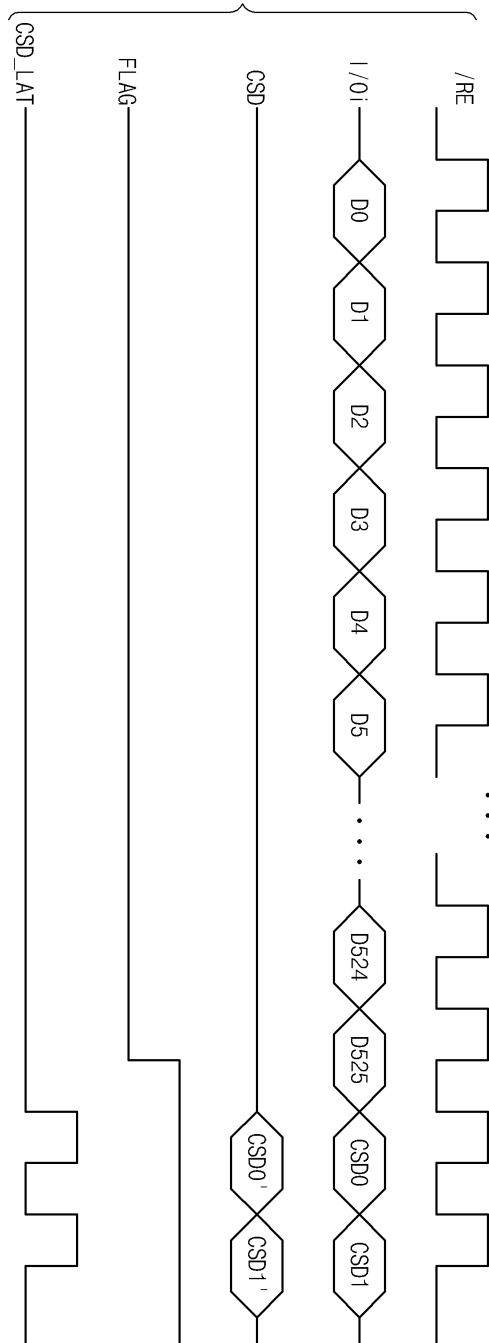
도면5



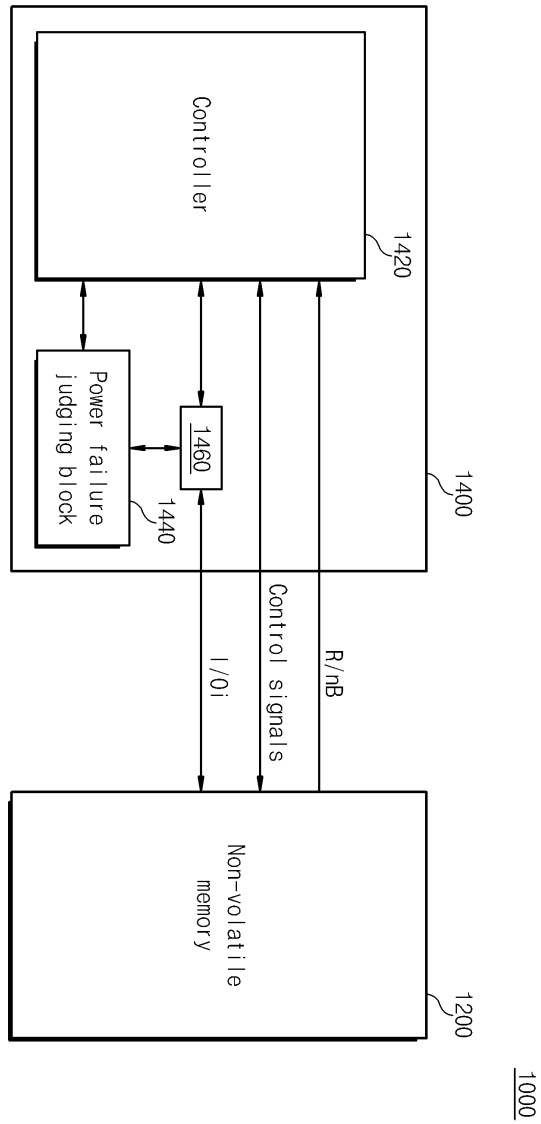
도면6a



도면6b



도면7



도면8

