



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년02월01일
 (11) 등록번호 10-1823389
 (24) 등록일자 2018년01월24일

(51) 국제특허분류(Int. Cl.)
 G06F 3/041 (2006.01) G02F 1/1333 (2006.01)
 G09G 3/20 (2006.01)
 (21) 출원번호 10-2011-0098174
 (22) 출원일자 2011년09월28일
 심사청구일자 2016년08월30일
 (65) 공개번호 10-2013-0034263
 (43) 공개일자 2013년04월05일
 (56) 선행기술조사문헌
 KR1020050098754 A*
 JP2011128674 A*
 JP2004005737 A
 KR2007310539 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성로 1 (농서동)
 (72) 발명자
 정기훈
 충청남도 천안시 서북구 쌍용17길 52 403동 1602호 (쌍용동, 현대4차아파트)
 김웅권
 충청남도 천안시 서북구 봉서산1길 35, 120동 402호 (쌍용동, 천안동일하이빌)
 (뒷면에 계속)
 (74) 대리인
 특허법인 고려

전체 청구항 수 : 총 16 항

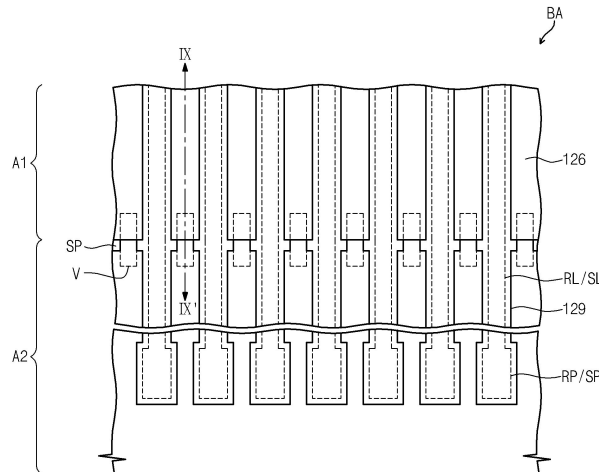
심사관 : 김병균

(54) 발명의 명칭 표시 장치 및 표시 장치의 제조 방법

(57) 요약

본 발명은 표시 장치에 관한 것이다. 본 발명의 표시 장치는 다수의 화소들이 제공되는 제1 기판, 그리고 다수의 센서들이 제공되는 센서 영역 및 주변 영역을 포함하는 제2 기판으로 구성된다. 제2 기판 상에 절연막이 제공되고, 주변 영역에 대응하는 절연막의 부분 상에 다수의 센서들과 연결되는 다수의 배선들 및 다수의 패드들이 제공된다. 센서 영역과 다수의 패드들 사이, 그리고 다수의 배선들 사이의 절연막의 부분들에 다수의 보이드들(voids)이 제공된다.

대표도 - 도8



(72) 발명자

방정석

경기도 구리시 장자호수길 125 105동 104호 (토평동, 토평마을e편한세상아파트)

김성철

충청남도 아산시 탕정면 탕정면로 37, 302동 3002호 (탕정삼성트라팰리스)

조병훈

서울특별시 강남구 선릉로126길 22, 103동 903호 (삼성동, 롯데캐슬프리미어)

김대철

경기도 화성시 동탄숲속로 103 경남 (능동, 동탄숲속마을자연엔경남아너스빌아파트)

문성진

서울특별시 관악구 행운6길 16-8 (봉천동)

한근욱

경기도 성남시 분당구 판교원로82번길 30 1312동 2401호 (운중동, 산운마을13단지아파트)

명세서

청구범위

청구항 1

다수의 화소들이 제공되는 제1 기판; 그리고

다수의 센서들이 제공되는 센서 영역 및 주변 영역을 포함하는 제2 기판을 포함하고,

상기 제2 기판 상에 절연막이 제공되고, 상기 주변 영역에 대응하는 상기 절연막의 부분 상에 상기 다수의 센서들과 연결되는 다수의 배선들 및 상기 다수의 배선들과 연결되는 다수의 패드들이 제공되고, 상기 다수의 배선들의 일부 및 상기 다수의 패드들 상에 제공되는 도전막이 제공되고,

상기 센서 영역과 상기 다수의 패드들 사이, 그리고 상기 다수의 배선들 사이의 상기 절연막의 부분들에 다수의 보이드들(voids)이 제공되고,

상기 다수의 보이드들은 상기 도전막의 하부면보다 낮은 영역에 제공되는 표시 장치.

청구항 2

제1 항에 있어서,

상기 다수의 보이드들이 제공된 영역 위에서, 상기 도전막은 제공되지 않는 표시 장치.

청구항 3

제2 항에 있어서,

상기 도전막은 아이티오(ITO, Indium Tin Oxide) 또는 아이지오(IZO, Indium Zinc Oxide)를 포함하는 표시 장치.

청구항 4

삭제

청구항 5

제1 항에 있어서,

상기 다수의 보이드들은 상기 센서 영역과 주변 영역에 걸쳐서 제공되는 표시 장치.

청구항 6

제1 항에 있어서,

상기 센서 영역의 상기 절연막의 부분 위에 상기 다수의 센서들 및 컬러필터층이 제공되고, 상기 다수의 센서들 및 상기 컬러필터층의 위에 유기막이 제공되고, 상기 유기막의 위에 공통 전극이 제공되는 표시 장치.

청구항 7

제6 항에 있어서,

상기 다수의 센서들은 다수의 탑 게이트들을 포함하는 다수의 박막 트랜지스터들을 포함하고, 상기 다수의 패드들은 상기 다수의 탑 게이트들과 동일한 물질을 포함하는 표시 장치.

청구항 8

제1 항에 있어서,

상기 다수의 보이드들에 상기 절연막과 서로 다른 물질이 충전된 표시 장치.

청구항 9

제1 항에 있어서,
 상기 다수의 배선들은 다수의 리드아웃 라인들 및 다수의 스캔 라인들을 포함하는 표시 장치.

청구항 10

제9 항에 있어서,
 상기 다수의 패드들 중 상기 다수의 리드아웃 라인들과 연결된 패드들에 연결된 리드아웃 회로를 더 포함하는 표시 장치.

청구항 11

제9 항에 있어서,
 상기 다수의 패드들 중 상기 다수의 스캔 라인들과 연결된 패드들에 연결된 스캔 드라이버를 더 포함하는 표시 장치.

청구항 12

제1 항에 있어서,
 상기 제1 기관과 제2 기관의 사이에 충전된 액정층을 더 포함하는 표시 장치.

청구항 13

제1 항에 있어서,
 상기 다수의 센서들은 광 센서들인 표시 장치.

청구항 14

다수의 화소들이 제공되는 제1 기관; 그리고
 다수의 센서들이 제공되는 센서 영역 및 주변 영역을 포함하는 제2 기관을 포함하고,
 상기 제2 기관 상에 절연막이 제공되고, 상기 주변 영역에 대응하는 상기 절연막의 부분 상에 상기 다수의 센서들과 연결되는 다수의 배선들 및 상기 다수의 배선들과 연결되는 다수의 패드들이 제공되고,
 상기 센서 영역과 상기 다수의 패드들 사이에서, 상기 다수의 배선들에, 서로 마주보는 방향으로 돌출된 다수의 돌출부들이 제공되는 표시 장치.

청구항 15

제14 항에 있어서,
 상기 센서 영역과 상기 다수의 패드들 사이, 그리고 상기 다수의 배선들 사이의 상기 절연막의 부분들에 다수의 보이드들(voids)이 제공되는 표시 장치.

청구항 16

제15 항에 있어서,
 상기 다수의 돌출부들은 상기 다수의 보이드들의 위로 신장되지 않는 표시 장치.

청구항 17

제14 항에 있어서,
 상기 돌출부는 상기 다수의 배선들과 동일한 물질을 포함하는 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치 및 표시 장치의 제조 방법에 관한 것으로, 더 상세하게는 센싱 기능을 구비한 표시 장치 및 그것의 제조 방법에 관한 것이다.

배경 기술

[0002] 일반적으로 터치 패널은 영상표시장치의 화면상에 나타난 지시 내용을 사람의 손 또는 물체로 선택할 수 있도록 하는 패널이다. 터치 패널을 구비하는 영상표시장치는 터치 패널을 통해 접촉된 위치를 파악하고, 접촉된 위치에서 지시하는 내용을 입력신호로 받아들여 입력신호에 따라서 구동된다.

[0003] 터치 패널을 갖는 영상표시장치는 키보드 및 마우스와 같이 영상표시장치에 연결되어 동작하는 별도의 입력 장치를 필요로 하지 않기 때문에 사용이 증대되고 있는 추세이다.

[0004] 최근에는 터치 패널이 액정표시장치에도 사용되고 있다. 터치 패널은 액정 패널과 별도의 기판에 형성되거나, 하나의 기판에 공통으로 형성될 수 있다. 터치 패널과 결합된 액정 패널은 인-셀(in-cell) 컴퓨터와 같은 일체형 컴퓨터에 사용될 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 향상된 신뢰성을 갖고 외부 신호를 센싱할 수 있는 표시 장치 및 그것의 제조 방법을 제공하는 데에 있다.

과제의 해결 수단

[0006] 본 발명의 실시 예에 따른 표시 장치는, 다수의 화소들이 제공되는 제1 기판; 그리고 다수의 센서들이 제공되는 센서 영역 및 주변 영역을 포함하는 제2 기판을 포함하고, 상기 제2 기판 상에 절연막이 제공되고, 상기 주변 영역에 대응하는 상기 절연막의 부분 상에 상기 다수의 센서들과 연결되는 다수의 배선들 및 상기 다수의 배선들과 연결되는 다수의 패드들이 제공되고, 상기 센서 영역과 상기 다수의 패드들 사이, 그리고 상기 다수의 배선들 사이의 상기 절연막의 부분들에 다수의 보이드들(voids)이 제공된다.

[0007] 실시 예로서, 상기 다수의 패드들의 위에 제공되는 도전막을 더 포함하고, 상기 다수의 보이드들이 제공된 영역 위에서, 상기 도전막은 제공되지 않는다.

[0008] 실시 예로서, 상기 도전막은 아이티오(ITO, Indium Tin Oxide) 또는 아이지오(IZO, Indium Zinc Oxide)를 포함한다.

[0009] 실시 예로서, 상기 다수의 보이드들은 상기 도전막의 하부면보다 낮은 영역에 제공된다.

[0010] 실시 예로서, 상기 다수의 보이드들은 상기 센서 영역과 주변 영역에 걸쳐서 제공된다.

[0011] 실시 예로서, 상기 센서 영역의 상기 절연막의 부분 위에 상기 다수의 센서들 및 컬러필터층이 제공되고, 상기 다수의 센서들 및 상기 컬러필터층의 위에 유기막이 제공되고, 상기 유기막의 위에 공통 전극이 제공된다.

[0012] 실시 예로서, 상기 다수의 센서들은 다수의 탑 게이트들을 포함하는 다수의 박막 트랜지스터들을 포함하고, 상기 다수의 패드들은 상기 다수의 탑 게이트들과 동일한 물질을 포함한다.

[0013] 실시 예로서, 상기 다수의 보이드들에 상기 절연막과 서로 다른 물질이 충전된다.

[0014] 실시 예로서, 상기 다수의 배선들은 다수의 리드아웃 라인들 및 다수의 스캔 라인들을 포함한다.

[0015] 실시 예로서, 상기 다수의 패드들 중 상기 다수의 리드아웃 라인들과 연결된 패드들에 연결된 리드아웃 회로를 더 포함한다.

[0016] 실시 예로서, 상기 다수의 패드들 중 상기 다수의 스캔 라인들과 연결된 패드들에 연결된 스캔 드라이버를 더 포함한다.

[0017] 실시 예로서, 상기 제1 기판과 제2 기판의 사이에 충전된 액정층을 더 포함한다.

- [0018] 실시 예로서, 상기 다수의 센서들은 광 센서들이다.
- [0019] 본 발명의 다른 실시 예에 따른 표시 장치는, 다수의 화소들이 제공되는 제1 기관; 그리고 다수의 센서들이 제공되는 센서 영역 및 주변 영역을 포함하는 제2 기관을 포함하고, 상기 제2 기관 상에 절연막이 제공되고, 상기 주변 영역에 대응하는 상기 절연막의 부분 상에 상기 다수의 센서들과 연결되는 다수의 배선들 및 상기 다수의 배선들과 연결되는 다수의 패드들이 제공되고, 상기 센서 영역과 상기 다수의 패드들 사이에서, 상기 다수의 배선들에, 서로 마주보는 방향으로 돌출된 다수의 돌출부들이 제공된다.
- [0020] 실시 예로서, 상기 센서 영역과 상기 다수의 패드들 사이, 그리고 상기 다수의 배선들 사이의 상기 절연막의 부분들에 다수의 보이드들(voids)이 제공된다.
- [0021] 실시 예로서, 상기 다수의 돌출부들은 상기 다수의 보이드들의 위로 신장되지 않는다.
- [0022] 실시 예로서, 상기 돌출부는 상기 다수의 배선들과 동일한 물질을 포함한다.

발명의 효과

- [0023] 본 발명에 따르면, 패드와 연결된 배선의 코팅막이 쇼트(short)되는 것이 방지된다. 따라서, 향상된 신뢰성을 갖고 외부 신호를 센싱할 수 있는 표시 장치 및 그것의 제조 방법이 제공된다.

도면의 간단한 설명

- [0024] 도 1은 본 발명의 일 실시예에 따른 표시장치의 블록도이다.
- 도 2는 도 1에 도시된 다수의 센서회로의 회로도이다.
- 도 3은 본 발명의 일 실시예에 따른 표시패널의 단면도이다.
- 도 4는 본 발명의 일 실시예에 따른 제2 기관의 레이아웃을 나타낸 평면도이다.
- 도 5는 도 3의 상기 제2 기관의 상기 센서 영역과 주변 영역의 경계 영역을 보여주는 평면도이다.
- 도 6 및 도 7은 상기 다수의 리드아웃 라인 및 스캔 라인 사이에 상기 도전막 및 잔류 도전막이 형성되는 과정을 설명하기 위한 도면들이다.
- 도 8은 도 3의 상기 제2 기관의 상기 센서 영역과 주변 영역의 경계 영역의 본 발명의 실시 예에 따른 평면도이다.
- 도 9 내지 도 11은 상기 다수의 리드아웃 라인 및 스캔 라인 사이에 상기 도전막 및 잔류 도전막이 형성되는 과정을 설명하기 위한 도면들이다.
- 도 12는 본 발명의 실시 예에 따른 표시 장치 제조 방법을 보여주는 순서도이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.
- [0026] 도 1은 본 발명의 일 실시예에 따른 표시장치(300)의 블록도이고, 도 2는 도 1에 도시된 다수의 센서회로(SN)의 회로도이다.
- [0027] 도 1을 참조하면, 표시장치(200)는 표시패널(100), 타이밍 컨트롤러(130), 게이트 드라이버(140), 데이터 드라이버(150), 스캔 드라이버(160), 리드아웃 회로(170), 그리고 전압 발생기(180)를 포함한다.
- [0028] 상기 타이밍 컨트롤러(130)는 표시장치(200)의 외부로부터 다수의 영상신호(RGB) 및 다수의 제어신호(CS)를 수신한다. 상기 타이밍 컨트롤러(130)는 상기 데이터 드라이버(150)와의 인터페이스 사양에 맞도록 상기 영상신호(RGB)의 데이터 포맷을 변환하고, 변환된 영상신호(R'G'B')를 상기 데이터 드라이버(150)로 제공한다. 또한, 상기 타이밍 컨트롤러(130)는 데이터 제어신호(예를 들어, 출력개시신호(TP), 수평개시신호(STH) 및 극성반전신호(POL) 등)를 상기 데이터 드라이버(150)로 제공하고, 게이트 제어신호(예를 들어, 제1 개시신호(STV1), 제1 클럭신호(CK1), 및 제2 클럭신호(CKB1))를 상기 게이트 드라이버(140)로 제공한다.
- [0029] 상기 게이트 드라이버(140)는 상기 타이밍 컨트롤러(130)로부터 제공되는 상기 게이트 제어신호(STV1, CK1, CKB1)에 응답해서 게이트 신호(G1~Gn)를 다수의 게이트 라인들(GL1~GLn)로 순차적으로 출력한다.

- [0030] 상기 데이터 드라이버(150)는 상기 타이밍 컨트롤러(130)로부터 제공되는 상기 데이터 제어신호(TP, STH, POL)에 응답해서 상기 영상신호(R'G'B')를 데이터 전압(D1~Dm)으로 변환하여 다수의 데이터 라인(DL1~DLm)으로 출력한다.
- [0031] 상기 표시패널(100)은 제1 기관(110), 상기 제1 기관(110)과 마주하는 제2 기관(120) 및 상기 제1 기관(110)과 제2 기관(120) 사이에 개재된 액정층(미도시)으로 이루어진다. 상기 제1 기관(110)에는 다수의 화소(PX)가 구비되고, 상기 제2 기관(120)에는 다수의 센서(SN)가 구비될 수 있다.
- [0032] 상기 다수의 화소(PX) 각각은 서로 동일한 구조를 가지므로, 여기서는 하나의 화소에 대한 구성을 일 예로써 설명하기로 한다.
- [0033] 상기 제1 기관(110)에는 상기 다수의 게이트 라인(GL1~GLn), 상기 다수의 게이트 라인(GL1~GLn)과 교차하는 상기 다수의 데이터 라인(DL1~DLm) 및 상기 다수의 화소(PX)가 구비된다. 각 화소(PX)는 박막 트랜지스터(미도시) 및 화소 전극(미도시)을 포함한다. 상기 박막 트랜지스터의 게이트 전극은 상기 다수의 게이트 라인(GL1~GLn) 중 대응하는 게이트 라인에 연결되고, 소오스 전극은 상기 다수의 데이터 라인(DL1~DLm) 중 대응하는 데이터 라인에 연결되며, 드레인 전극은 화소 전극에 연결된다.
- [0034] 상기 다수의 게이트 라인(GL1~GLn)은 상기 게이트 드라이버(140)에 연결되며, 상기 다수의 데이터 라인(DL1~DLm)은 상기 데이터 드라이버(150)에 연결된다. 상기 다수의 게이트 라인(GL1~GLn)은 상기 게이트 드라이버(140)로부터 제공되는 상기 게이트 신호들(G1~Gn)을 수신하고, 상기 다수의 데이터 라인(DL1~DLm)은 상기 데이터 드라이버(150)로부터 제공되는 상기 데이터 전압들(D1~Dm)을 수신한다.
- [0035] 따라서, 상기 각 화소(PX)의 상기 박막 트랜지스터는 대응하는 게이트 라인으로 공급되는 게이트 신호에 응답하여 턴-온되고, 대응하는 데이터 라인으로 공급된 데이터 전압은 턴-온된 상기 박막 트랜지스터를 통해 상기 화소 전극에 인가된다.
- [0036] 한편, 상기 제2 기관(120)에는 상기 액정층을 사이에 두고 상기 화소 전극과 마주하는 기준 전극이 구비될 수 있다.
- [0037] 또한, 상기 제2 기관(120)에는 다수의 스캔 라인(SL1~SLi), 다수의 스캔 라인(SL1~SLi)과 교차하는 다수의 리드아웃 라인(RL1~RLj) 및 다수의 센서(SN)가 구비된다.
- [0038] 도 2에서는 설명의 편의를 위하여 상기 다수의 스캔 라인(SL1~SLi) 중 제1 및 제2 스캔 라인(SL1, SL2)을 도시하였고, 상기 다수의 리드아웃 라인(RL1~RLj) 중 제1 내지 제4 리드아웃 라인(RL1, RL2, RL3, RL4)을 도시하였다.
- [0039] 도 2를 참조하면, 상기 다수의 센서(SN)는 적어도 두 종의 센서로 이루어질 수 있다. 예를 들어, 상기 다수의 센서(SN)에는 적외선 파장대의 제1 광을 센싱하는 다수의 제1 센서(SN1) 및 가시광선 파장대의 제2 광을 센싱하는 다수의 제2 센서(SN2)로 이루어질 수 있다.
- [0040] 상기 제1 센서(SN1) 각각은 제1 스위칭 트랜지스터(SWT1), 제1 센서 트랜지스터(IRT) 및 제1 커패시터(Cs1)를 포함한다. 상기 제1 스위칭 트랜지스터(SWT1)의 게이트 전극은 상기 다수의 스캔 라인(SL1~SLi) 중 대응하는 스캔 라인에 연결되고, 소오스 전극은 상기 다수의 리드아웃 라인들(RL1~RLj) 중 대응하는 리드아웃 라인에 연결되며, 드레인 전극은 상기 제1 커패시터(Cs1)와 제1 센서 트랜지스터(IRT)에 연결된다.
- [0041] 상기 제1 커패시터(Cs1)의 제1 전극은 상기 제1 스위칭 트랜지스터(SWT1)의 드레인 전극에 연결되고, 제2 전극에는 제1 바이어스 라인(BL1)을 통해 제1 바이어스 전압(VB1)이 인가된다. 예를 들어, 제1 바이어스 전압(VB1)은 -4V일 수 있다.
- [0042] 상기 제1 센서 트랜지스터(IRT)의 게이트 전극에는 제2 바이어스 라인(BL2)을 통해 제2 바이어스 전압(VB2)이 인가되고, 소오스 전극은 상기 제1 스위칭 트랜지스터(SWT1)의 드레인 전극에 연결되며, 드레인 전극에는 상기 제1 바이어스 전압(VB1)이 인가된다. 상기 제2 바이어스 전압(VB2)은 상기 제1 바이어스 전압(VB1)보다 작은 전압 레벨을 갖는다. 예를 들어, 상기 제2 바이어스 전압(VB2)은 -9V일 수 있다.
- [0043] 상기 제1 센서 트랜지스터(IRT)는 외부로부터 입사되는 제1 광의 광량에 대응하는 포토 커런트를 생성한다. 상기 제1 광은 적외선 파장대를 갖는 광일 수 있다. 상기 제1 센서 트랜지스터(IRT)로부터 생성된 상기 포토 커런트에 의해, 상기 제1 커패시터(Cs1)의 전압이 상승한다. 즉, 상기 제1 센서 트랜지스터(IRT)로 입사되는 상기 제1 광의 광량이 증가할수록 상기 제1 커패시터(Cs1)에 충전되는 전압은 증가할 것이다. 이로써, 상기 제1 센서

트랜지스터(IRT)는 제1 광을 센싱할 수 있다.

- [0044] 한편, 상기 제2 센서(SN2) 각각은 제2 스위칭 트랜지스터(SWT2), 제2 센서 트랜지스터(VST) 및 제2 커패시터(CS2)를 포함한다. 상기 제2 스위칭 트랜지스터(SWT2)의 게이트 전극은 상기 다수의 스캔 라인(SL1~SLi) 중 대응하는 스캔 라인에 연결되고, 소오스 전극은 상기 다수의 리드아웃 라인들(RL1~RLj) 중 대응하는 리드아웃 라인에 연결되며, 드레인 전극은 상기 제2 커패시터(CS2)와 상기 제2 센서 트랜지스터(VST)에 연결된다.
- [0045] 상기 제2 커패시터(CS2)의 제1 전극은 상기 제2 스위칭 트랜지스터(SWT2)의 드레인 전극에 연결되고, 제2 전극에는 상기 제1 바이어스 라인(BL1)을 통해 상기 제1 바이어스 전압(VB1)이 인가된다.
- [0046] 상기 제2 센서 트랜지스터(VST)의 게이트 전극에는 상기 제2 바이어스 라인(BL2)을 통해 상기 제2 바이어스 전압(VB2)이 인가되고, 소오스 전극은 상기 제2 스위칭 트랜지스터(SWT2)의 드레인 전극에 연결되며, 드레인 전극에는 상기 제1 바이어스 전압(VB1)이 인가된다.
- [0047] 상기 제2 센서 트랜지스터(VST)는 외부로부터 입사되는 제2 광의 광량에 대응하는 포토 커런트를 생성한다. 상기 제2 광은 가시광선 파장대를 갖는 광일 수 있다. 상기 제2 센서 트랜지스터(VST)로부터 생성된 포토 커런트에 의해, 상기 제2 커패시터(CS2)의 전압이 상승한다. 이로써, 상기 제2 센서(SN2)는 제2 광을 센싱할 수 있다.
- [0048] 한편, 상기 다수의 스캔 라인(SL1~SLi)은 상기 스캔 드라이버(160)에 연결되어 다수의 스캔 신호(S1~Si)를 각각 순차적으로 수신한다. 상기 스캔 드라이버(160)는 상기 타이밍 컨트롤러(130)로부터 스캔 제어신호(예를 들어, 제2 개시신호(STV2), 제3 및 제4 클럭신호(CK2, CKB2))를 수신하여 상기 다수의 스캔 신호(S1~Sn)를 순차적으로 출력한다. 상기 스캔 제어신호(STV2, CK2, CKB2)는 상기 게이트 제어신호(STV1, CK1, CKB1)에 동기하는 신호일 수 있다.
- [0049] 상기 다수의 리드아웃 라인들(RL1~RLj)은 상기 리드아웃 회로(170)에 연결되어 대응하는 센서들(SN1, SN2)에 충전된 전압을 상기 리드아웃 회로(170)로 제공하는 역할을 수행한다.
- [0050] 상기 전압 발생기(180)는 상기 표시 장치(200)의 동작에 필요한 다수의 전압을 발생할 수 있다. 이 예에서, 상기 전압 발생기(180)는 상기 제1 및 제2 바이어스 라인들(BL1, BL2)을 통하여 상기 센서(SN1, SN2) 각각의 게이트로 공급될 상기 제1 및 제2 바이어스 전압(VB1, VB2)을 발생한다.
- [0051] 도 2에 도시된 바와 같이, 상기 제1 및 제2 센서들(SN1, SN2)은 상기 다수의 스캔 라인들(SL1~SLi)이 연장된 제1 방향으로 교번적으로 배열되고, 상기 다수의 리드아웃 라인들(RL1~RLj)이 연장된 제2 방향으로 교번적으로 배열된다.
- [0052] 특히, 본 발명의 일 예로, 상기 다수의 리드아웃 라인(RL1~RLj) 중 4k-3번째(여기서, k는 1 이상의 자연수) 리드아웃 라인(예를 들어, 도 2에서 제1 리드아웃 라인(RL1)) 및 4k번째 라인(예를 들어, 도 2에서 제4 리드아웃 라인(RL4))에는 상기 제1 센서(SN1)가 연결된다. 또한, 상기 다수의 리드아웃 라인(RL1~RLj) 중 4k-2번째 리드아웃 라인(예를 들어, 도 2에서 제2 리드아웃 라인(RL2)) 및 4k-1번째 라인(예를 들어, 도 2에서 제3 리드아웃 라인(RL3))에는 상기 제2 센서(SN2)가 연결된다.
- [0053] 상기 제1 및 제2 센서(SN1, SN2) 각각은, 대응하는 스캔 라인으로 공급되는 스캔 신호에 응답하여 상기 제1 및 제2 스위칭 트랜지스터(SWT1, SWT2)가 턴-온되면, 상기 제1 및 제2 커패시터(CS1, CS2)에 충전된 전압을 상기 턴-온된 스위칭 트랜지스터(SWT1, SWT2)를 통해 대응하는 리드아웃 라인으로 제공한다.
- [0054] 상기 리드아웃 회로(170)는 상기 타이밍 컨트롤러(130)로부터 공급되는 제어신호(RCS)에 응답하여 상기 리드아웃 라인들(RL1~RLj)로부터 수신된 전압(SS)을 순차적으로 상기 타이밍 컨트롤러(130)로 제공한다. 상기 타이밍 컨트롤러(130)는 스캔 신호가 발생된 시점 및 상기 리드아웃 회로(170)로부터 수신된 전압(SS)을 근거로 화면에서 터치된 지점 또는 스캔될 대상에 대한 정보들의 2차원 좌표값을 생성할 수 있다.
- [0055] 도 3은 본 발명의 일 실시예에 따른 표시패널의 단면도이다.
- [0056] 도 3을 참조하면, 상기 표시패널(100)은 상기 제1 기판(110), 상기 제1 기판(110)과 마주하는 상기 제2 기판(120) 및 상기 제1 기판(110)과 제2 기판(120) 사이에 개재된 상기 액정층을 포함한다.
- [0057] 상기 제1 기판(110)은 제1 베이스 기판(111), 및 상기 제1 베이스 기판(111) 상에 구비된 다수의 화소(PX)를 포함한다. 상기 다수의 화소(PX) 각각은 박막 트랜지스터(Tr) 및 화소 전극(115)으로 이루어진다.
- [0058] 도 3에서는 제1 방향으로 배열된 6개의 화소(PX1~PX6)를 도시하였다. 상기 6개의 화소(PX1~PX6) 각각은 서로 동

일한 구조로 이루어진다. 따라서, 하나의 화소에 대해서 설명하고, 나머지 화소들의 설명은 생략한다.

- [0059] 상기 제1 베이스 기관(111) 상에는 상기 박막 트랜지스터(Tr)의 게이트 전극(GE1)이 형성된다. 상기 게이트 전극(GE1)은 제1 게이트 절연막(112)에 의해서 커버된다.
- [0060] 상기 제1 게이트 절연막(112) 상에는 상기 게이트 전극(GE1)과 마주하도록 액티브층(ACT1) 및 오믹 콘택층(ACT2)이 형성된다. 이후, 상기 액티브층(ACT1) 상부에서 서로 소정 간격으로 이격된 소오스 및 드레인 전극(SE1, DE1)이 형성된다. 상기 소오스 및 드레인 전극(SE1, DE1)은 제1 보호막(113)에 의해서 커버되고, 상기 제1 보호막(113) 상에는 유기 절연막(114)이 더 형성된다.
- [0061] 상기 제1 보호막(113) 및 유기 절연막(114)에는 상기 드레인 전극(DE1)을 노출시키는 콘택홀(114a)이 형성된다. 상기 화소 전극(115)은 상기 유기 절연막(114) 상에 형성되고, 상기 콘택홀(114a)을 통해 상기 드레인 전극(DE1)과 전기적으로 연결된다.
- [0062] 한편, 상기 제2 기관(120)의 상기 센서 영역(A1)은 제2 베이스 기관(121), 제2 베이스 기관(121) 상에 형성된 다수의 센서(SN) 및 다수의 화소들(PX)과 각각 대응하여 구비되는 다수의 색화소(R, G, B)를 포함하는 컬러필터층(125) 및 기준 전극(127)을 포함한다. 상기 제2 기관(120)의 상기 주변 영역(A2)은 상기 제2 베이스 기관(121) 상에 형성된 다수의 리드아웃 패드(RP) 및 스킴 패드(SP)를 포함한다.
- [0063] 먼저, 상기 제2 베이스 기관(121)의 상기 센서 영역(A1) 상에는 다수의 센서(SN)가 형성된다. 상기 다수의 센서(SN)는 상기 제1 센서(SN1) 및 제2 센서(SN2)를 포함한다. 상기 제1 센서(SN1)는 제1 스위칭 트랜지스터(SWT), 제1 커패시터(CS1) 및 제1 센서 트랜지스터(IRT)로 이루어진다. 상기 제2 센서(SN2)는 제2 스위칭 트랜지스터(SWT2), 제2 커패시터(CS2) 및 제2 센서 트랜지스터(VST)로 이루어진다.
- [0064] 상기 제1 및 제2 센서(SN1, SN2)는 유사한 구조로 이루어지므로, 동일한 공정을 통해 동시에 형성될 수 있다.
- [0065] 구체적으로, 상기 제2 베이스 기관(121)의 상기 센서 영역(A1) 상에는 상기 제1 및 제2 스위칭 트랜지스터(SWT1, SWT2)의 게이트 전극(GE2, GE3)이 형성된다.
- [0066] 상기 제1 및 제2 스위칭 트랜지스터(SWT1, SWT2)의 상기 게이트 전극(GE2, GE3)은 제2 게이트 절연막(122)으로 커버된다. 상기 제2 게이트 절연막(122) 상에는 상기 제1 스위칭 트랜지스터(SWT1)의 반도체층(SEM1)이 형성되고, 상기 제2 스위칭 트랜지스터(SWT2)의 반도체층(SEM2)이 형성된다. 상기 반도체층(SEM1, SEM2)은 아몰퍼스 실리콘층으로 이루어진다.
- [0067] 또한, 상기 제2 게이트 절연막(122) 상에는 상기 제1 센서 트랜지스터(IRT)의 제1 광 센싱층(LSE1) 및 상기 제2 센서 트랜지스터(VST)의 제2 광 센싱층(LSE2)이 형성된다. 상기 제1 광 센싱층(LSE1)은 적외선 과장대를 갖는 제1 광에 반응하는 실리콘 게르마늄(SiGe)으로 이루어질 수 있고, 상기 제2 광 센싱층(LSE2)은 가시광선 과장대를 갖는 제2 광에 반응하는 아몰퍼스 실리콘(a-Si)으로 이루어질 수 있다.
- [0068] 상기 제2 기관(120)은 상기 제2 광을 차단하고, 상기 제1 광만을 투과시키는 적외선 필터(128)를 더 구비할 수 있다. 상기 적외선 필터(128)는 상기 제1 광 센싱층(LSE1)에 대응하여 상기 제2 베이스 기관(121)과 상기 제2 게이트 절연막(122) 사이에 구비될 수 있다. 본 발명의 일 예로, 상기 적외선 필터(128)는 실리콘 게르마늄(SiGe)으로 이루어질 수 있다.
- [0069] 상기 제1 스위칭 트랜지스터(SWT1)의 상기 반도체층(SEM1) 상부에서 서로 소정 간격으로 이격된 소오스 및 드레인 전극(SE2, DE2)이 형성되고, 상기 제2 스위칭 트랜지스터(SWT2)의 상기 반도체층(SEM2) 상부에서 서로 소정 간격으로 이격된 소오스 및 드레인 전극(SE3, DE3)이 형성된다. 이로써, 상기 제1 및 제2 스위칭 트랜지스터(SWT1, SWT2)가 완성될 수 있다.
- [0070] 한편, 상기 제1 센서 트랜지스터(IRT)의 상기 제1 광 센싱층(LSE1) 상부에서 서로 소정 간격으로 이격된 소오스 및 드레인 전극(SE4, DE4)이 형성되고, 상기 제2 센서 트랜지스터(VST)의 상기 제2 광 센싱층(LSE2) 상부에서 서로 소정 간격으로 이격된 소오스 및 드레인 전극(SE5, DE5)이 형성된다.
- [0071] 여기서, 상기 제1 센서 트랜지스터(IRT)의 소오스 전극(SE4)은 상기 제1 스위칭 트랜지스터(SWT1)의 드레인 전극(DE2)과 전기적으로 연결되며, 상기 제1 커패시터(CS1)의 제1 전극으로 형성될 수 있다.
- [0072] 또한, 상기 제2 센서 트랜지스터(VST)의 소오스 전극(SE5)은 상기 제2 스위칭 트랜지스터(SWT2)의 드레인 전극(DE3)과 전기적으로 연결되며, 상기 제2 커패시터(CS2)의 제1 전극으로 형성될 수 있다.

- [0073] 상기 제1 스위칭 트랜지스터(SWT1)의 상기 소오스 및 드레인 전극(SE2, DE2), 상기 제2 스위칭 트랜지스터(SWT2)의 상기 소오스 및 드레인 전극(SE3, DE3), 상기 제1 센서 트랜지스터(IRT)의 상기 소오스 및 드레인 전극(SE4, DE4) 및 상기 제2 센서 트랜지스터(VST)의 상기 소오스 및 드레인 전극(SE5, DE5)은 제2 보호막(123)에 의해서 커버된다.
- [0074] 상기 제2 보호막(123) 상에는 상기 제1 센서 트랜지스터(IRT)의 게이트 전극(이하, 제1 탑 게이트)(TGE1)이 형성되고, 상기 제2 센서 트랜지스터(VST)의 게이트 전극(이하, 제2 탑 게이트)(TGE2)이 형성된다.
- [0075] 또한, 상기 제2 보호막(123) 상에는 상기 제1 커패시터(CS1)의 제2 전극 및 상기 제2 커패시터(CS2)의 제2 전극이 형성된다.
- [0076] 본 발명의 일 예로, 상기 제1 스위칭 트랜지스터(SWT1)는 상기 제2 보호막(123) 상에 구비되고 상기 게이트 전극(GE2)과 전기적으로 연결된 더미 게이트 전극(TGE3)을 더 포함할 수 있다. 또한, 상기 제2 스위칭 트랜지스터(SWT2)는 상기 제2 보호막(123) 상에 구비되고, 상기 게이트 전극(GE3)과 전기적으로 연결된 더미 게이트 전극(TGE4)을 더 포함할 수 있다.
- [0077] 또한, 도 3에 도시된 바와 같이, 상기 제1 센서 트랜지스터(IRT)의 상기 제1 탑 게이트(TGE1)는 상기 적외선 필터(128)와 전기적으로 연결될 수 있다. 구체적으로, 상기 적외선 필터(128) 상에는 상기 제1 스위칭 트랜지스터(SWT1)의 게이트 전극(GE2)과 동일한 공정을 통해서 연결 전극(CE)이 구비될 수 있다. 상기 제2 게이트 절연막(122) 및 상기 제2 보호막(123)에는 상기 연결 전극(CE)을 노출시키기 위한 제2 콘택홀(123a)이 형성되고, 상기 제1 탑 게이트(TGE1)는 상기 제2 콘택홀(123a)을 통해 상기 연결 전극(CE)에 전기적으로 연결될 수 있다.
- [0078] 상기 제1 및 제2 센서 트랜지스터(IRT, VST)의 상기 제1 및 제2 탑 게이트(TGE1, TGE2) 및 상기 제1 및 제2 스위칭 트랜지스터(SWT1, SWT2)의 상기 더미 게이트 전극(TGE3, TGE4)은 제2 유기 절연막(124)에 의해서 커버될 수 있다. 상기 제2 유기 절연막(124) 상에는 컬러필터층(125)이 형성된다. 상기 컬러필터층(125)은 레드, 그린 및 블루 색화소(R, G, B)를 포함하고, 레드, 그린 및 블루 색화소(R, G, B) 각각은 하나의 화소에 대응하여 구비될 수 있다.
- [0079] 상기 컬러필터층(125) 상에는 유기막(126)이 형성된다. 유기막(126)은 오버 코팅(over coating)층일 수 있다. 유기막(126)은 상기 컬러필터층(125)에 의해 발생하는 단차를 보상하여, 상부에 형성되는 막이 평탄하게 구비될 수 있도록 한다. 상기 유기막(126) 상에는 기준 전극(127)이 형성된다. 상기 유기막(126)으로 인해, 상기 기준 전극(127)은 평탄하게 형성될 수 있다.
- [0080] 상기 제2 베이스 기관(121)의 상기 주변 영역(A2) 상에는 다수의 리드아웃 패드(RP) 및 스캔 패드(SP)가 형성된다. 상기 제2 게이트 절연막(122)은 상기 제2 베이스 기관(121)의 상기 센서 영역(A1) 및 주변 영역(A2)에 걸쳐 형성될 수 있다. 상기 다수의 리드아웃 패드(RP) 및 스캔 패드(SP)는 상기 제2 게이트 절연막(122)의 위에 형성될 수 있다. 예를 들어, 상기 제2 게이트 절연막(122) 상에 소스 및 드레인 전극(SD)과 제6 게이트 전극(GE6)이 형성될 수 있다. 상기 소스 및 드레인 전극(SD) 및 제6 게이트 전극(GE6)은 상기 리드아웃 패드(RP) 또는 스캔 패드(SP)를 형성할 수 있다. 상기 제2 게이트 절연막(122) 상에 제7 게이트 패턴(GE7)이 형성될 수 있다. 상기 제7 게이트 패턴(GE7)은 상기 스캔 패드(SP) 또는 리드아웃 패드(RP)를 형성할 수 있다.
- [0081] 상기 제6 게이트 전극(GE6) 및 제7 게이트 전극(GE7)의 위에, 상기 스캔 패드(SP) 및 리드아웃 패드(RP)를 보호하기 위한 도전막(129)이 형성될 수 있다. 상기 도전막(129)은 ITO (Indium Tin Oxide) 또는 IZO (Indium Zinc Oxide)를 포함할 수 있다.
- [0082] 상기 제6 게이트 전극(GE6) 또는 제7 게이트 전극(GE7)은 상기 제2 베이스 기관(121)의 상기 센서 영역(A1)의 상기 제1 탑 게이트 전극(TGE1), 제2 탑 게이트 전극(TGE2), 또는 제3 탑 게이트 전극(TGE3)과 동일한 물질을 포함할 수 있다. 상기 제6 게이트 전극(GE6) 또는 제7 게이트 전극(GE7)은 상기 제1 탑 게이트 전극(TGE1), 제2 탑 게이트 전극(TGE2), 또는 제3 탑 게이트 전극(TGE3)이 형성될 때 함께 형성될 수 있다.
- [0083] 상기 다수의 리드아웃 패드(RP)는 상기 리드아웃 회로(170)에 연결될 수 있다. 예를 들어, 상기 리드아웃 회로(170)는 제1 반도체 칩으로 집적되고, 상기 제1 반도체 칩이 상기 다수의 리드아웃 패드(RP)에 연결될 수 있다. 상기 다수의 스캔 패드(SP)는 상기 스캔 드라이버(160)에 연결될 수 있다. 예를 들어, 상기 스캔 드라이버(160)는 제2 반도체 칩으로 집적되고, 상기 제2 반도체 칩이 상기 다수의 스캔 패드(SP)에 연결될 수 있다.
- [0084] 도 3에서, 상기 센서 영역(A1), 리드아웃 패드(RP), 그리고 스캔 패드(SP)가 함께 도시되어 있다. 그러나, 도 3에 도시된 바와 같이, 상기 리드아웃 패드(RP)는 상기 센서 영역(A1)의 제1 측면에 형성되고, 상기 스캔 패드

(SP)는 상기 센서 영역(A1)의 상기 제1 측면과 다른 제2 측면에 형성될 수 있다. 도 4의 상기 센서 영역(A1)과 주변 영역(A2)의 도시는 명확한 설명을 위한 것이며, 도시된 구조로 한정되지 않는다.

- [0085] 도 4는 본 발명의 일 실시예에 따른 제2 기관의 레이아웃을 나타낸 평면도이다.
- [0086] 도 4를 참조하면, 상기 제2 기관(120)은 제1 방향으로 연장된 상기 제1 및 제2 스캔 라인(SL1, SL2), 상기 제1 방향과 직교하는 제2 방향으로 연장된 상기 제1 내지 제4 리드아웃 라인(RL1, RL2, RL3, RL4), 상기 제2 방향으로 연장된 상기 제1 및 제2 바이어스 라인(BL1, BL2)을 포함한다.
- [0087] 제1 및 제2 센서(SN1, SN2)는 상기 제1 방향으로 교번적으로 배치되고, 상기 제2 방향으로 교번적으로 배치된다. 본 발명의 일 예로, 상기 제1 리드아웃 라인(RL1)은 상기 제1 센서(SN1)와 연결되며, 상기 제2 리드아웃 라인(RL2)은 상기 제2 센서(SN2)와 연결된다. 또한, 상기 제3 리드아웃 라인(RL3)은 상기 제1 센서(SN1)와 연결되며, 상기 제4 리드아웃 라인(RL4)은 상기 제2 센서(SN2)와 연결된다.
- [0088] 한편, 상기 제1 바이어스 라인(BL1)은 상기 전압 발생기(180)로부터 상기 제1 바이어스 전압(VB1)을 수신하여, 상기 제1 바이어스 전압(VB1)을 상기 제1 및 제2 센서(SN1, SN2)에 공급한다. 상기 제2 바이어스 라인(BL2)은 상기 전압 발생기(180)로부터 상기 제1 바이어스 전압(VB1)보다 낮은 상기 제2 바이어스 전압(VB2)을 수신하여, 상기 제2 바이어스 전압(VB2)을 상기 제1 및 제2 센서(SN1, SN2)에 공급한다.
- [0089] 평면상에서 봤을 때, 상기 제1 및 제2 바이어스 라인(BL1, BL2)은 상기 제1 및 제2 리드아웃 라인(RL1, RL2) 사이에 구비되고, 상기 제3 및 제4 리드아웃 라인(RL3, RL4) 사이에 구비된다.
- [0090] 한편, 상기 제2 기관(120)은 레드, 그린 및 블루 색화소(R, G, B)를 더 포함한다. 상기 레드, 그린 및 블루 색화소(R, G, B)는 상기 제1 방향으로 순서대로 배열된다.
- [0091] 상기 레드, 그린 및 블루 색화소(R, G, B), 그리고 상기 제1 및 제2 센서(SN1, SN2)는 상기 제2 기관(120)의 센서 영역(A1)에 배치된다. 상기 제2 기관(120)의 주변 영역(A2)에 다수의 패드(RP1~RP4, SP1~SP2)가 배치된다. 상기 제1 내지 제4 리드아웃 패드(RP1~RP4)는 상기 제1 내지 제4 리드아웃 라인(RL1~RL4)에 각각 연결될 수 있다. 상기 센서 영역(A1)에 도시된 상기 제1 내지 제4 리드아웃 라인(RL1~RL4)과 상기 주변 영역(A2)에 도시된 상기 제1 내지 제4 리드아웃 패드(RP1~RP4)를 각각 연결하는 다수의 제1 배선이 제공될 수 있다. 상기 다수의 제1 배선은 직선 또는 꺾인 선의 형태를 가질 수 있다.
- [0092] 상기 제1 및 제2 스캔 패드(SP1, SP2)는 각각 상기 제1 및 제2 스캔 라인(SL1, SL2)에 연결될 수 있다. 상기 센서 영역(A1)에 도시된 상기 제1 및 제2 스캔 라인(SL1, SL2)과 상기 주변 영역(A2)에 도시된 상기 제1 및 제2 스캔 패드(SP1, SP2)를 각각 연결하는 다수의 제2 배선이 제공될 수 있다. 상기 다수의 제2 배선은 직선 또는 꺾인 선의 형태를 가질 수 있다.
- [0093] 도 5는 도 3의 상기 제2 기관(120)의 상기 센서 영역(A1)과 주변 영역(A2)의 경계 영역(BA)의 종래 예를 보여주는 평면도이다. 도 4 및 도 5를 참조하면, 상기 제2 베이스 기관(121)의 상기 주변 영역(A2)의 위에 형성된 다수의 패드(RP/SP)가 도시된다. 도 5에 도시된 상기 다수의 패드(RP/SP)는 상기 다수의 리드아웃 패드(RP) 또는 스캔 패드(SP)일 수 있다. 상기 다수의 패드(RP/SP)는 다수의 배선(RL/SL)에 연결된다. 상기 다수의 배선(RL/SL)은 상기 다수의 리드아웃 라인(RL) 또는 스캔 라인(SL)일 수 있다.
- [0094] 상기 다수의 배선(RL/SL)의 제 1 부분의 위에 상기 유기막(126)이 형성된다. 예를 들어, 상기 다수의 배선(RL/SL) 중 상기 센서 영역(A1)에 속한 부분의 위에 상기 유기막(126)이 형성될 수 있다. 상기 유기막(126)은 상기 센서 영역(A1)의 전체에 걸쳐 형성될 수 있다.
- [0095] 상기 유기막(126) 중 상기 주변 영역(A2)과 인접한 부분, 상기 다수의 패드(RP/SP), 그리고 상기 다수의 배선(RL/SL)의 제2 부분(예를 들어, 상기 유기막(126)에 의해 덮이지 않고 노출된 부분)의 위에 상기 도전막(129)이 형성된다. 상기 도전막(129)은 ITO (Indium Tin Oxide) 또는 IZO (Indium Zink Oxide)일 수 있다. 상기 도전막(129)은 상기 다수의 패드(RP/SP) 및 상기 다수의 배선(RL/SL)이 과식각되는 것을 방지하기 위한 코팅막일 수 있다.
- [0096] 상기 도전막(129)은 상기 다수의 패드(RP/SP) 및 배선(RL/SL)의 전체 영역에 걸쳐 증착된 후 상기 다수의 패드(RP/SP) 및 배선(RL/SL)의 형태에 따라 패터닝될 수 있다. 이때, 상기 다수의 배선(RL/SL) 사이에 상기 도전막(129)이 잔류하여, 상기 도전막(129)의 패턴들 사이를 서로 쇼트하는 잔류 도전막(129')이 형성될 수 있다.
- [0097] 상기 잔류 도전막(129')에 의해 상기 도전막(129)이 서로 쇼트되면, 상기 다수의 센서 회로(SN1, SN2)가 오동작

을 일으킬 수 있다.

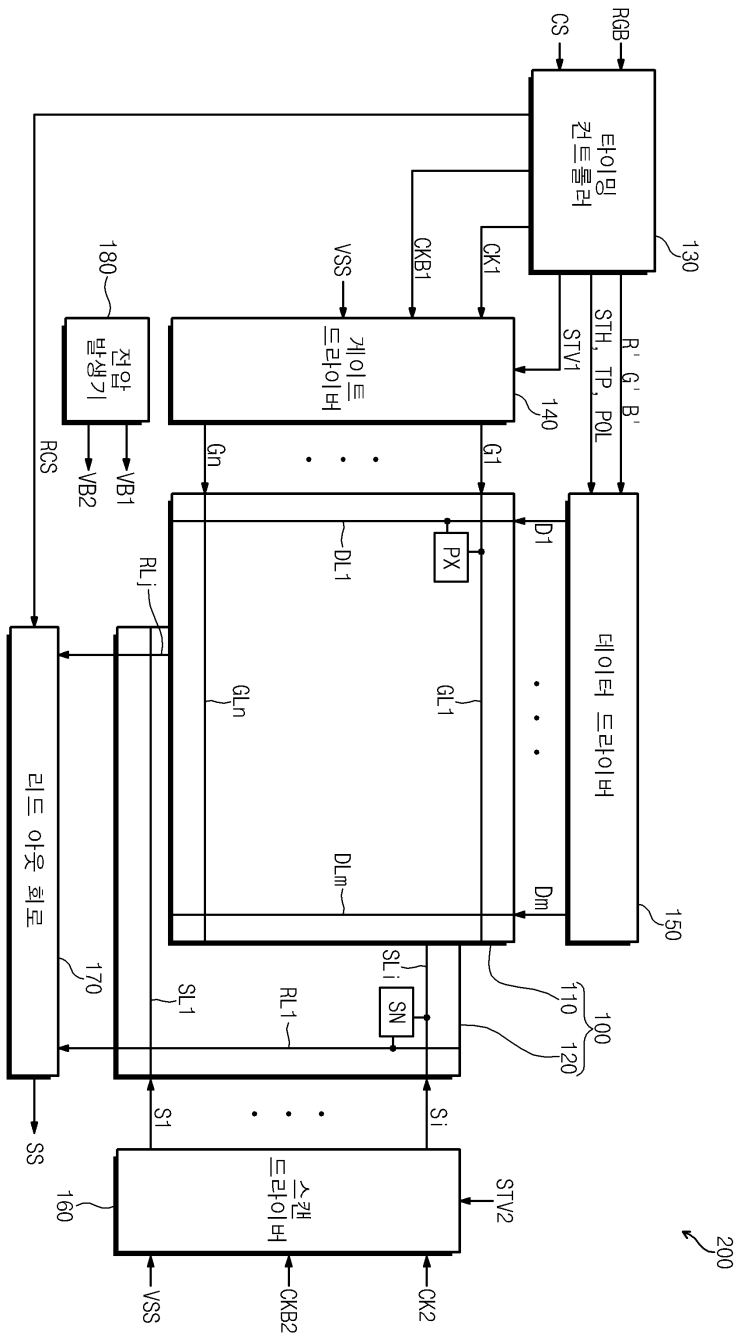
- [0098] 도 6 및 도 7은 상기 다수의 리드아웃 라인 및 스캔 라인(RL/DL) 사이에 상기 도전막(129) 및 잔류 도전막(129')이 형성되는 과정을 설명하기 위한 도면들이다.
- [0099] 예시적으로, 도 6 및 도 7은 도 5의 VI-VI' 선에 따른 단면도를 보여준다. 우선 도 6을 참조하면, 상기 유기막(126), 다수의 배선(RL/SL), 다수의 패드(RP/SP), 및 제2 보호막(123) 상에 상기 도전막(129)이 증착된다. 이후에, 상기 도전막(129) 상에 상기 도전막(129)을 패터닝하기 위한 포토레지스트(PR)가 증착된다.
- [0100] 예시적으로, 상기 센서 영역(A1)의 상기 유기막(126) 상에 형성되는 상기 포토레지스트(PR)의 높이는 제1 높이(H1)일 수 있다. 상기 주변 영역(A2)의 제2 보호막(123)의 위에 형성되는 상기 포토레지스트(PR)의 높이는 제2 높이(H2)일 수 있으며, 상기 제1 높이(H1)와 유사한 값을 가질 수 있다. 상기 센서 영역(A1)의 상기 유기막(126)과 상기 주변 영역(A2)의 상기 제2 보호막(123) 사이의 단차는 매우 클 수 있다. 상기 단차로 인해, 상기 유기막(126)과 상기 다수의 패드(PAD)의 영역 사이에 형성되는 포토레지스트의 높이는 제3 높이(H3)일 수 있으며, 상기 제1 및 제2 높이(H1, H2) 보다 클 수 있다.
- [0101] 도 7을 참조하면, 상기 도전막(129)을 패터닝하기 위하여, 상기 포토레지스트가 패터닝될 수 있다. 이때, 상기 센서 영역(A1)의 상기 유기막(126)과 상기 주변 영역(A2)의 상기 제2 보호막(123) 사이의 단차로 인해, 상기 유기막(126)과 상기 다수의 패드(PAD)의 영역 사이에서 상기 포토레지스트의 패터닝이 불완전하게 수행될 수 있다. 즉, 잔류 포토레지스트(PR')가 존재할 수 있다. 상기 도전막(129) 중 상기 잔류 포토레지스트(PR') 하부에 위치한 도전막은 식각되지 않고 상기 잔류 도전막(129')을 형성할 수 있다.
- [0102] 도 8은 도 3의 상기 제2 기관(120)의 상기 센서 영역(A1)과 주변 영역(A2)의 경계 영역(BA)의 본 발명의 실시예에 따른 평면도이다. 도 5에 도시된 평면도와 비교하면, 상기 다수의 배선(RL/SL) 사이에 다수의 보이드(V)가 형성된다. 상기 다수의 보이드(V)가 형성된 영역에서, 상기 잔류 도전막(129')은 제거된다. 따라서, 상기 배선(RL/SL) 사이의 쇼트가 방지된다.
- [0103] 상기 보이드(V)의 폭이 상기 다수의 배선(RL/SL) 사이의 거리보다 적은 경우, 상기 잔류 도전막(129')이 완전히 제거되지 않을 수 있다. 상기 잔류 도전막(129')의 일부가 제거되지 않고, 상기 다수의 배선(RL/SL)의 돌출부(SP)를 형성할 수 있다.
- [0104] 도 9 내지 도 11은 상기 다수의 리드아웃 라인 및 스캔 라인(RL/DL) 사이에 상기 도전막(129) 및 잔류 도전막(129')이 형성되는 과정을 설명하기 위한 도면들이다.
- [0105] 예시적으로, 도 9 내지 도 11은 도 8의 IX-IX' 선에 따른 단면도를 보여준다. 우선 도 9를 참조하면, 상기 유기막(126)과 상기 다수의 패드(RP/SP)의 영역 사이에 금속 막대(MB)가 제공된다. 상기 금속 막대(MB)는 상기 제2 보호막(123)과 같은 높이에 형성될 수 있다. 상기 금속 막대(MB)는 상기 제2 보호막(123)을 식각하고 식각된 홈에 금속 물질을 주입함으로써 형성될 수 있다. 상기 금속 막대(MB)는 탐 게이트 물질일 수 있다. 상기 금속 막대(MB)는 몰리브덴, 알루미늄, 몰리브덴의 삼중층(Molybdenum-Aluminium-Molybdenum; MAM)일 수 있다. 상기 금속 막대(MB)는 상기 도전막(129)보다 높은 식각비를 갖는 물질일 수 있다.
- [0106] 상기 유기막(126), 다수의 배선(RL/SL), 다수의 패드(RP/SP), 및 제2 보호막(123) 상에 상기 도전막(129)이 증착된다. 이후에, 상기 도전막(129) 상에 상기 도전막(129)을 패터닝하기 위한 포토레지스트(PR)가 증착된다.
- [0107] 도 10을 참조하면, 상기 도전막(129)을 패터닝하기 위하여, 상기 포토레지스트가 패터닝될 수 있다. 이때, 상기 센서 영역(A1)의 상기 유기막(126)과 상기 주변 영역(A2)의 상기 제2 보호막(123) 사이의 단차로 인해, 상기 유기막(126)과 상기 다수의 패드(PAD)의 영역 사이에서 상기 포토레지스트의 패터닝이 불완전하게 수행될 수 있다. 즉, 잔류 포토레지스트(PR')가 존재할 수 있다.
- [0108] 그런데, 상기 금속 막대(MB)는 상기 도전막(129)보다 큰 식각비를 가질 수 있다. 상기 도전막(129)보다 상기 금속 막대(MB)를 더 빠르게 식각하는 물질이 상기 도전막(129)의 식각을 위해 사용될 수 있다. 예를 들어, 상기 도전막(129)을 식각하기 위해 왕수(HCl + HNO3 + H2O)가 사용될 수 있다. 상기 왕수는 상기 금속 막대(MB)를 상기 도전막(129)보다 수십배 빠르게 식각할 수 있다. 따라서, 상기 도전막(129)이 식각될 때, 상기 금속 막대(MB)가 더 빠르게 식각되어 보이드(V)를 형성할 수 있다.
- [0109] 이후에, 도 11에 도시된 바와 같이, 상기 왕수가 상기 보이드(V)에 공급되어 상기 잔류 도전막(129')이 식각될 수 있다. 후속 공정에 따라, 상기 보이드(V)는 상기 제2 보호막(123)과 서로 다른 물질로 충전될 수 있다.

- [0110] 도 12는 본 발명의 실시 예에 따른 표시 장치(300)의 제조 방법을 보여주는 순서도이다. 도 12를 참조하면, S110 단계에서 상기 다수의 화소(PX)를 포함하는 상기 제1 기관(110)이 형성된다.
- [0111] S120 단계 내지 S150 단계에서, 상기 다수의 센서(SN)를 포함하는 상기 센서 영역(A1) 및 주변 영역(A2)을 포함하는 상기 제2 기관(120)이 형성된다.
- [0112] 더 상세하게는, S120 단계에서 상기 제2 베이스 기관(121) 상에 상기 다수의 금속 막대(MB), 상기 다수의 센서(SN), 상기 다수의 패드(RP, SP), 그리고 상기 다수의 배선(RL, SL)이 형성된다. S130 단계에서, 상기 다수의 센서(SN)를 포함하는 상기 센서 영역(A1)의 위에 상기 유기막(126)이 형성된다. S140 단계에서, 상기 다수의 금속 막대(MB), 상기 다수의 패드(RP, SP), 상기 다수의 배선(RL, SL), 및 상기 유기막(126)의 일부의 위에 상기 도전막(129)이 형성된다. S150 단계에서, 상기 다수의 금속 막대(MB) 및 상기 도전막(129)이 식각된다. 상기 다수의 금속 막대(MB)는 식각되어 상기 다수의 보이드(V)를 형성한다. 상기 다수의 보이드(V)가 제공되는 영역에서(그 위에서), 상기 도전막(129)은 모두 제거되어 존재하지 않을 수 있다.
- [0113] S160 단계에서, 상기 제1 기관과 제2 기관을 조합하여 상기 표시 장치(200)가 형성된다. 예를 들어, 상기 제1 기관과 제2 기관 사이에 상기 액정층이 형성되고, 상기 제1 기관, 제2 기관, 액정층이 상기 타이밍 컨트롤러(130), 게이트 드라이버(140), 데이터 드라이버(150), 스캔 드라이버(160), 및 리드아웃 회로(170)와 함께 상기 표시 장치(200)를 형성할 수 있다.
- [0114] 상술된 실시 예들에서, 상기 표시 장치(200)의 예를 참조하여 본 발명의 기술적 사상이 설명되었다. 그러나, 본 발명의 기술적 사상은 상기 표시 장치(200)에 한정되지 않는다. 본 발명의 기술적 사상은 단차가 큰 영역에서 식각이 수행되는 다양한 경우에 적용 및 응용될 수 있다.
- [0115] 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

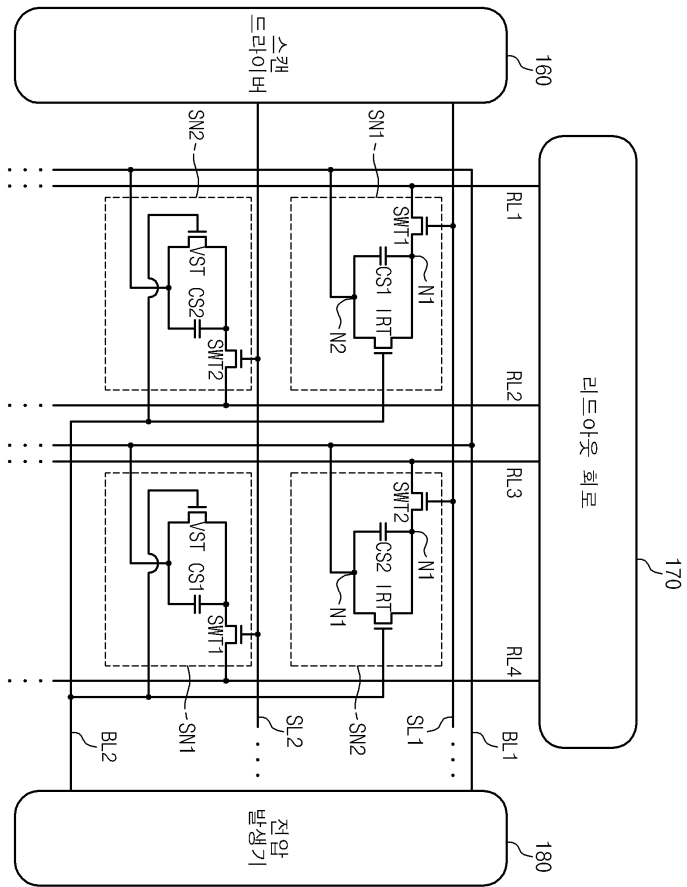
부호의 설명

- [0116] 100 : 표시패널 110 : 제1 기관
- 120 : 제2 기관 130 : 타이밍 컨트롤러
- 140 : 데이터 드라이버 150 : 게이트 드라이버
- 160 : 스캔 드라이버 170 : 리드아웃 회로
- 200 : 표시장치

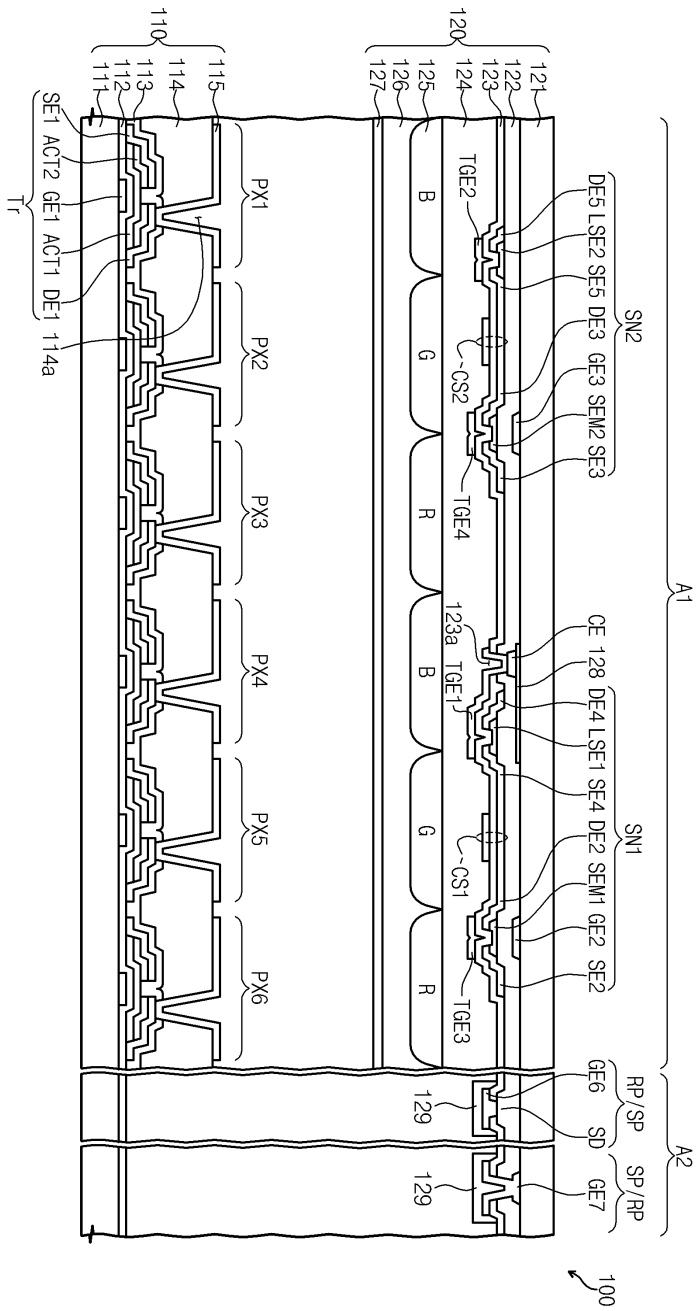
도면
도면1



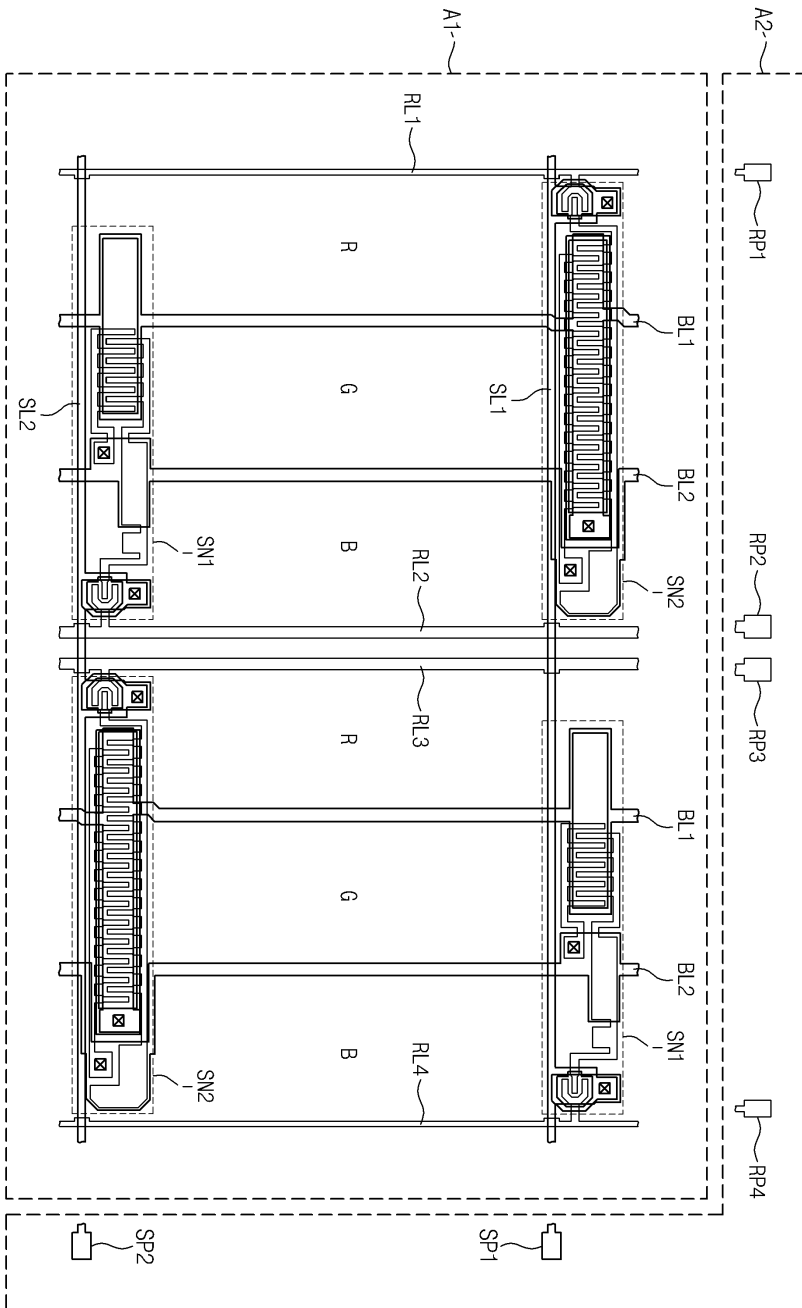
도면2



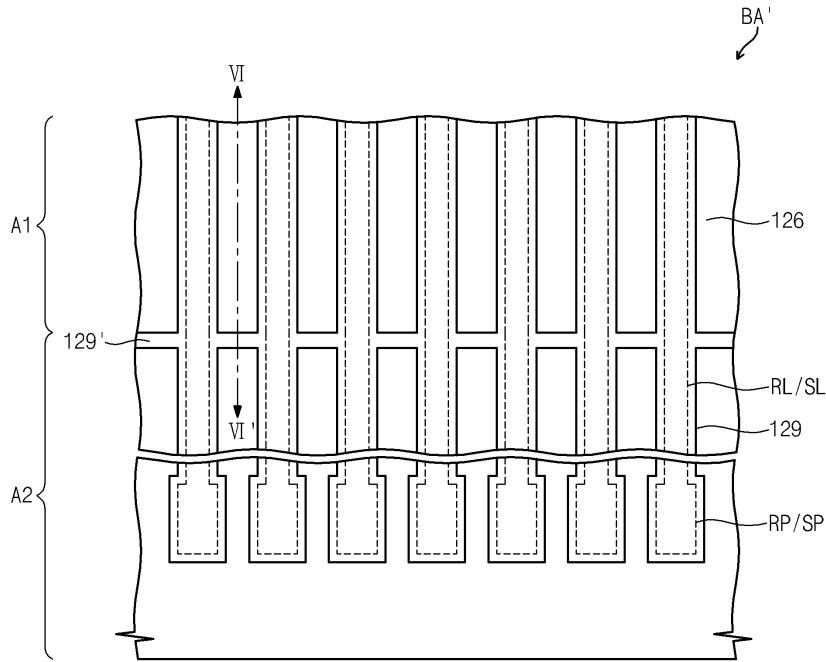
도면3



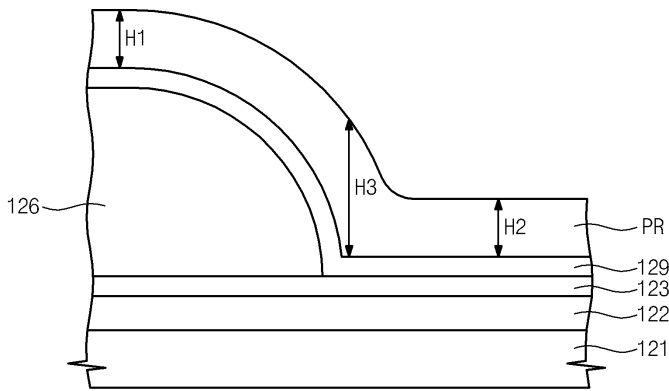
도면4



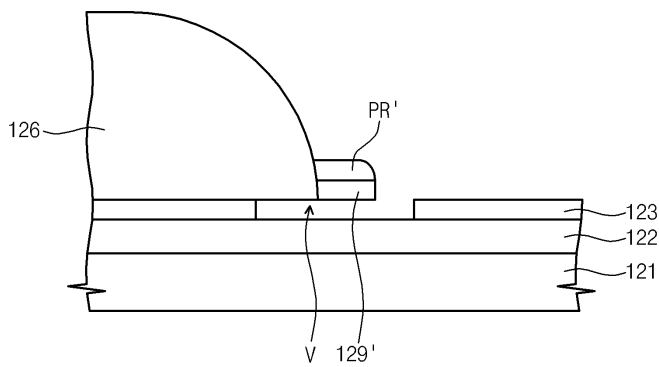
도면5



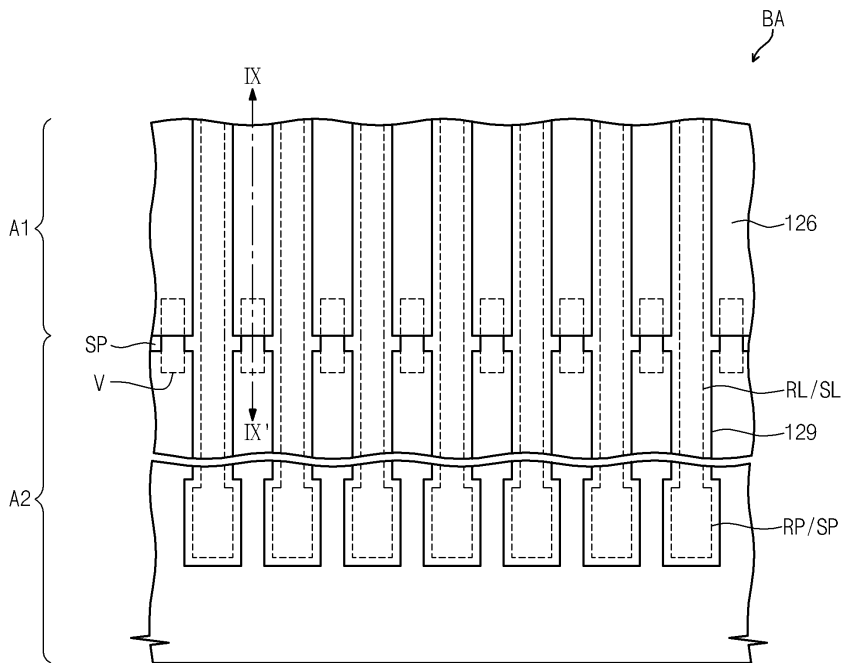
도면6



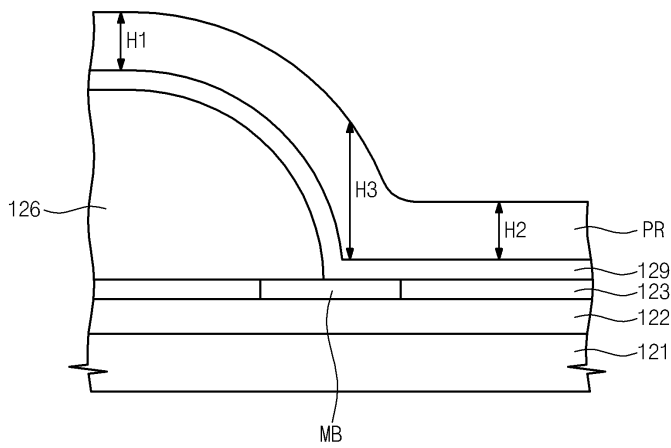
도면7



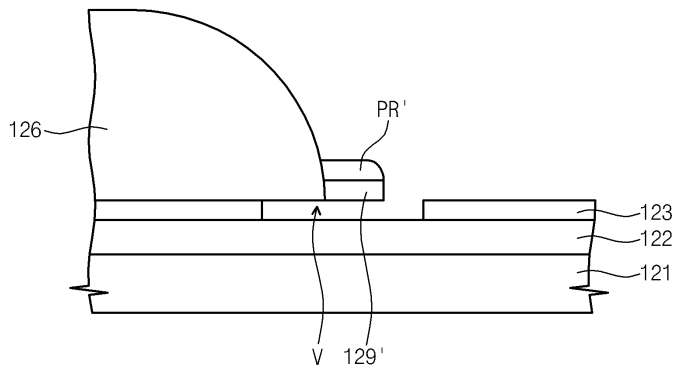
도면8



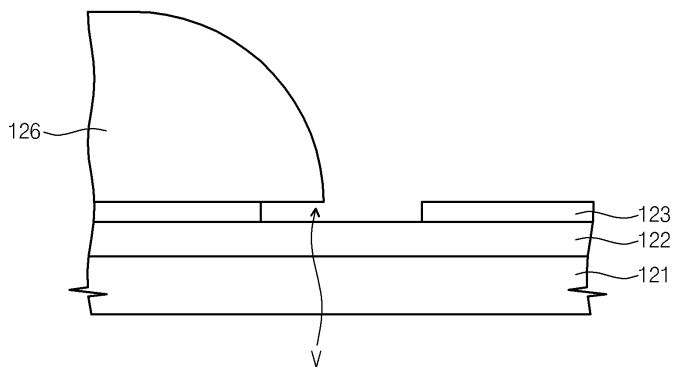
도면9



도면10



도면11



도면12

