



(12)发明专利申请

(10)申请公布号 CN 110114885 A

(43)申请公布日 2019.08.09

(21)申请号 201980000434.2

(22)申请日 2019.03.29

(85)PCT国际申请进入国家阶段日

2019.04.01

(86)PCT国际申请的申请数据

PCT/CN2019/080523 2019.03.29

(71)申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 王丽

(74)专利代理机构 北京市柳沈律师事务所

11105

代理人 彭久云

(51)Int.Cl.

H01L 27/32(2006.01)

H01L 27/02(2006.01)

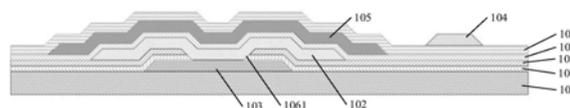
权利要求书2页 说明书15页 附图19页

(54)发明名称

显示基板及其制备方法、显示面板

(57)摘要

一种显示基板及其制备方法、显示面板。该显示基板包括衬底基板(101/201/301)以及在衬底基板(101/201/301)上的像素驱动电路;像素驱动电路包括驱动晶体管和栅极引线(103/203/303),驱动晶体管包括栅极(102/202/302),栅极引线(103/203/303)电连接于栅极(102/202/302),栅极引线(103/203/303)位于栅极(102/202/302)与衬底基板(101/201/301)之间。该显示基板的栅极(102/202/302)和数据线(104/204/304)之间不形成寄生电容,因此具有更优质的显示效果。



1. 一种显示基板,包括:
衬底基板,
像素驱动电路,在所述衬底基板上,包括驱动晶体管和栅极引线,所述驱动晶体管包括栅极,所述栅极引线电连接于所述栅极,
其中,所述栅极引线位于所述栅极与所述衬底基板之间。
2. 根据权利要求1所述的显示基板,还包括数据线,所述数据线位于所述栅极的远离所述衬底基板的一侧,
所述驱动晶体管配置为在所述栅极接收由所述数据线提供的数据电压信号并基于所述数据电压信号控制流过所述驱动晶体管的驱动电流,所述驱动电流用于驱动发光器件工作。
3. 根据权利要求2所述的显示基板,还包括:
屏蔽层,在所述栅极所在的层与所述数据线所在的层之间,
其中,所述屏蔽层与所述栅极彼此绝缘且在垂直于所述衬底基板的方向上彼此重叠。
4. 根据权利要求3所述的显示基板,其中,所述屏蔽层为金属层。
5. 根据权利要求3所述的显示基板,其中,所述栅极引线在所述衬底基板上的正投影与所述屏蔽层在所述衬底基板上的正投影至少部分重叠。
6. 根据权利要求3所述的显示基板,还包括:
缓冲层,在所述衬底基板上且包括第一过孔,
其中,所述栅极引线位于所述缓冲层的靠近所述衬底基板的一侧,所述栅极位于所述缓冲层远离所述衬底基板的一侧,所述栅极引线通过所述第一过孔与所述栅极连接。
7. 根据权利要求6所述的显示基板,其中,所述缓冲层还包括第二过孔,所述栅极引线通过所述第二过孔与不同于所述驱动晶体管的电路元件电连接。
8. 根据权利要求7所述的显示基板,其中,所述电路元件包括复位晶体管、补偿晶体管或存储电容。
9. 根据权利要求3所述的显示基板,还包括:
第二缓冲层,在所述衬底基板上,
其中,所述栅极引线位于所述第二缓冲层的远离所述衬底基板的一侧。
10. 根据权利要求9所述的显示基板,还包括:
导电层,位于所述栅极引线的远离所述衬底基板的一侧,并且覆盖至少部分所述栅极引线的侧面以及所述栅极引线的远离所述衬底基板的表面。
11. 根据权利要求3-10任一所述的显示基板,还包括遮光层,其中,所述栅极引线与所述遮光层同层,且所述遮光层与所述像素驱动电路至少部分重叠。
12. 根据权利要求1所述的显示基板,其中,所述驱动晶体管还包括半导体层,所述栅极引线与所述半导体层同层。
13. 根据权利要求12所述的显示基板,其中,所述半导体层包括未导体化的沟道区、导体化的源极区和导体化的漏极区,所述栅极引线包括导体化的半导体材料。
14. 一种显示基板的制备方法,包括:
提供衬底基板,
在所述衬底基板上形成像素驱动电路,所述像素驱动电路包括驱动晶体管和栅极引

线,所述驱动晶体管包括栅极,所述栅极引线电连接于所述栅极,

其中,所述栅极引线形成于所述栅极与所述衬底基板之间。

15.根据权利要求14所述的制备方法,还包括:

在所述栅极的远离所述衬底基板的一侧形成数据线,

其中,所述驱动晶体管形成为在所述栅极接收由所述数据线提供的数据电压信号并基于所述数据电压信号控制流过所述驱动晶体管的驱动电流,所述驱动电流用于驱动发光器件工作。

16.根据权利要求15所述的制备方法,还包括:

在所述栅极所在的层与所述数据线所在的层之间形成屏蔽层,

其中,所述屏蔽层与所述栅极彼此绝缘且在垂直于所述衬底基板的方向上彼此重叠。

17.根据权利要求15或16所述的制备方法,其中,所述栅极引线与所述遮光层同层形成,其中,所述遮光层与所述像素驱动电路至少部分重叠。

18.根据权利要求14所述的制备方法,其中,形成所述驱动晶体管还包括:形成半导体层,

其中,所述栅极引线与所述半导体层同层形成。

19.根据权利要求18所述的制备方法,其中,形成所述栅极引线与所述半导体层包括:

形成半导体材料层,所述半导体材料层包括沟道区、源极区、漏极区和栅极引线区;

对所述源极区、所述漏极区和所述栅极引线区进行掺杂,以使所述源极区、所述漏极区和所述栅极引线区导体化。

20.一种显示面板,包括权利要求1-13任一所述的显示基板。

显示基板及其制备方法、显示面板

技术领域

[0001] 本公开的实施例涉及一种显示基板及其制备方法、显示面板。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Diode,OLED)显示装置具有自发光、对比度高、清晰度高、视角宽、功耗低、响应速度快、以及制造成本低等优点,成为新一代显示装置的重点发展方向之一,因此受到越来越多的关注。OLED显示装置的像素驱动电路通常包括晶体管、电容等电路元件,并通过这些电路元件控制流过发光二极管的电流,进而控制显示装置的显示灰阶。

发明内容

[0003] 本公开至少一实施例提供一种显示基板,包括衬底基板和像素驱动电路。像素驱动电路在所述衬底基板上,包括驱动晶体管和栅极引线,所述驱动晶体管包括栅极,所述栅极引线电连接于所述栅极,其中,所述栅极引线位于所述栅极与所述衬底基板之间。

[0004] 例如,本公开至少一实施例提供的显示基板还包括数据线,所述数据线位于所述栅极的远离所述衬底基板的一侧,所述驱动晶体管配置为在所述栅极接收由所述数据线提供的电压信号并基于所述电压信号控制流过所述驱动晶体管的驱动电流,所述驱动电流用于驱动发光器件工作。

[0005] 例如,本公开至少一实施例提供的显示基板还包括屏蔽层,屏蔽层在所述栅极所在的层与所述数据线所在的层之间,其中,所述屏蔽层与所述栅极彼此绝缘且在垂直于所述衬底基板的方向上彼此重叠。

[0006] 例如,本公开至少一实施例提供的显示基板中,所述屏蔽层为金属层。

[0007] 例如,本公开至少一实施例提供的显示基板中,所述栅极引线在所述衬底基板上的正投影与所述屏蔽层在所述衬底基板上的正投影至少部分重叠。

[0008] 例如,本公开至少一实施例提供的显示基板还包括缓冲层,所述缓冲层在所述衬底基板上且包括第一过孔,其中,所述栅极引线位于所述缓冲层的靠近所述衬底基板的一侧,所述栅极位于所述缓冲层远离所述衬底基板的一侧,所述栅极引线通过所述第一过孔与所述栅极连接。

[0009] 例如,本公开至少一实施例提供的显示基板中,所述缓冲层还包括第二过孔,所述栅极引线通过所述第二过孔与不同于所述驱动晶体管的电路元件电连接。

[0010] 例如,本公开至少一实施例提供的显示基板中,所述电路元件包括复位晶体管、补偿晶体管或存储电容。

[0011] 例如,本公开至少一实施例提供的显示基板还包括第二缓冲层,所述第二缓冲层在所述衬底基板上,其中,所述栅极引线位于所述第二缓冲层的远离所述衬底基板的一侧。

[0012] 例如,本公开至少一实施例提供的显示基板还包括导电层,所述导电层位于所述栅极引线的远离所述衬底基板的一侧,并且覆盖至少部分所述栅极引线的侧面以及所述栅

极引线的远离所述衬底基板的表面。

[0013] 例如,本公开至少一实施例提供的显示基板还包括遮光层,所述栅极引线与所述遮光层同层,且所述遮光层与所述像素驱动电路至少部分重叠。

[0014] 例如,本公开至少一实施例提供的显示基板中,所述驱动晶体管还包括半导体层,所述栅极引线与所述半导体层同层。

[0015] 例如,本公开至少一实施例提供的显示基板中,所述半导体层包括未导体化的沟道区、导体化的源极区和导体化的漏极区,所述栅极引线包括导体化的半导体材料。

[0016] 本公开至少一实施例提供一种显示基板的制备方法,包括:提供衬底基板,在所述衬底基板上形成像素驱动电路,所述像素驱动电路包括驱动晶体管和栅极引线,所述驱动晶体管包括栅极,所述栅极引线电连接于所述栅极,其中,所述栅极引线形成于所述栅极与所述衬底基板之间。

[0017] 例如,本公开至少一实施例提供的制备方法还包括:在所述栅极的远离所述衬底基板的一侧形成数据线,其中,所述驱动晶体管形成为在所述栅极接收由所述数据线提供的数据电压信号并基于所述数据电压信号控制流过所述驱动晶体管的驱动电流,所述驱动电流用于驱动发光器件工作。

[0018] 例如,本公开至少一实施例提供的制备方法还包括:在所述栅极所在的层与所述数据线所在的层之间形成屏蔽层,其中,所述屏蔽层与所述栅极彼此绝缘且在垂直于所述衬底基板的方向上彼此重叠。

[0019] 例如,本公开至少一实施例提供的制备方法中,所述栅极引线与所述遮光层同层形成,其中,所述遮光层与所述像素驱动电路至少部分重叠。

[0020] 例如,本公开至少一实施例提供的制备方法中,形成所述驱动晶体管还包括:形成半导体层,其中,所述栅极引线与所述半导体层同层形成。

[0021] 例如,本公开至少一实施例提供的制备方法中,形成所述栅极引线与所述半导体层包括:形成半导体材料层,所述半导体材料层包括沟道区、源极区、漏极区和栅极引线区;对所述源极区、所述漏极区和所述栅极引线区进行掺杂,以使所述源极区、所述漏极区和所述栅极引线区导体化。

[0022] 本公开至少一实施例提供一种显示面板,包括上述任一所述的显示基板。

附图说明

[0023] 为了更清楚地说明本公开实施例的技术方案,下面将对实施例的附图作简单地介绍,显而易见地,下面描述中的附图仅仅涉及本公开的一些实施例,而非对本公开的限制。

[0024] 图1A为一种显示基板的像素驱动电路的电路图;

[0025] 图1B为一种显示基板发生纵向串扰的示意图;

[0026] 图1C为栅极电压的偏差与栅极和数据线之间的寄生电容之间的关系曲线;

[0027] 图2A为一种显示基板的像素驱动电路的平面示意图;

[0028] 图2B为图2A中的像素驱动电路沿A-A线的截面示意图;

[0029] 图2C为图2A中的像素驱动电路的部分平面示意图;

[0030] 图3A为本公开一些实施例提供的一种显示基板的截面示意图;

[0031] 图3B为本公开一些实施例提供的一种显示基板的另一截面示意图;

- [0032] 图3C示出了本公开一些实施例提供的一种显示基板的平面示意图；
- [0033] 图4A为本公开一些实施例提供的另一种显示基板的截面示意图；
- [0034] 图4B为本公开一些实施例提供的另一种显示基板的另一截面示意图；
- [0035] 图5A为本公开一些实施例提供的再一种显示基板的截面示意图；
- [0036] 图5B为本公开一些实施例提供的再一种显示基板的另一截面示意图；
- [0037] 图5C示出了本公开一些实施例提供的再一种显示基板的平面示意图；
- [0038] 图6A为本公开一些实施例提供的一种显示基板的制备流程图；
- [0039] 图6B-图6F为本公开一些实施例提供的一种显示基板在制备过程中的平面示意图；
- [0040] 图7为本公开一些实施例提供的另一种显示基板的制备流程图；
- [0041] 图8A为本公开一些实施例提供的再一种显示基板的制备流程图；
- [0042] 图8B-图8E为本公开一些实施例提供的再一种显示基板在制备过程中的平面示意图。

具体实施方式

[0043] 为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。基于所描述的本公开的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本公开保护的范围。

[0044] 除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

[0045] 通常来说，显示基板包括多个像素单元，每个像素单元包括发光器件以及用于驱动发光器件的像素驱动电路，像素驱动电路例如包括驱动晶体管、开关晶体管以及电容等结构。显示基板中基础的像素电路通常为2T1C像素电路，即利用两个TFT (Thin-film transistor, 薄膜晶体管) 和一个存储电容C来实现驱动发光器件的基本功能。另外，各个像素电路中的驱动晶体管的阈值电压由于制备工艺可能存在差异，而且由于例如温度变化的影响，驱动晶体管的阈值电压可能会产生漂移现象。因此，各个驱动晶体管的阈值电压的不同可能会导致显示不良 (例如显示不均匀)，所以需要阈值电压进行补偿。同时在驱动晶体管处于截止状态时，由于漏电流的存在，也可能导致显示不良。因此，业界还在上述2T1C的基本像素电路的基础上提供了其他具有补偿功能的像素电路，补偿功能可以通过电压补偿、电流补偿或混合补偿来实现，具有补偿功能的像素电路例如可以为4T1C、4T2C或7T1C电路等。

[0046] 例如，一种显示基板具有如图1A所示的7T1C像素驱动电路，该驱动电路通过七个

晶体管(T)和一个存储电容(C1)来控制发光器件(D1)的发光状态。该像素驱动电路的工作过程主要包括四个阶段,分别为初始化阶段、数据写入和补偿阶段、复位阶段以及发光阶段。下面对该像素驱动电路的工作过程进行简要说明。

[0047] 首先,在初始化阶段,输入第一复位信号RST1,开启第四晶体管T4,将复位电压VINT施加至驱动晶体管T1的控制端;输入第一发光控制信号EM1,开启第五晶体管T5,将第一电压VDD施加至驱动晶体管T1的第一端(第二节点N2)。此时,第二晶体管T2、第三晶体管T3、第六晶体管T6和第七晶体管T7被截止。

[0048] 在初始化阶段,由于第四晶体管T4导通,可以将复位电压VINT施加至第一晶体管T1的栅极,该复位电压VINT可以使第一晶体管T1处于导通状态。

[0049] 在数据写入和补偿阶段,输入扫描信号GATE(标记为G)和数据信号DATA(标记为D),开启第二晶体管T2、驱动晶体管T1和第三晶体管T3,第二晶体管T2将数据信号DATA写入至驱动晶体管T1的源极(第二节点N2),并且经驱动晶体管T1和第三晶体管T3对于驱动晶体管T1的栅极(第一节点N1)进行充电,直至驱动晶体管T1的栅极的电压等于 $(V_{data}-V_{th})$,其中 V_{data} 为数据信号DATA的电压值, V_{th} 为驱动晶体管T1的阈值电压,该电压由存储电容C1存储,由此数据电压 V_{data} 被写入至驱动晶体管T1的栅极并通过存储电容C1存储,第三晶体管T3对驱动晶体管T1进行阈值补偿。此时,第二晶体管T2和第三晶体管T3被扫描信号GATE导通,第四晶体管T4、第五晶体管T5、第六晶体管T6和第七晶体管T7被截止。

[0050] 因此,在该数据写入和补偿阶段,数据信号DATA经过第二晶体管T2、第一晶体管T1和第三晶体管T3后对第一节点N1进行充电(即对存储电容C1充电),以在后续的发光阶段提供灰度显示数据和对第一晶体管T1自身的阈值电压进行补偿。

[0051] 在复位阶段,输入第二发光控制信号EM2和第二复位信号RST2,开启第六晶体管T6和第七晶体管T7,对驱动晶体管T1、第三晶体管T3和发光器件进行复位。

[0052] 在该复位阶段,第六晶体管T6被第二发光控制信号EM2导通,第七晶体管T7被第二复位信号RST2导通;同时,第二晶体管T2、第三晶体管T3、第四晶体管T4和第五晶体管T5被截止。此时,第一晶体管T1的漏极经过第六晶体管T6和第七晶体管T7放电,从而将第三节点N3和第四节点N4(发光器件D1)的电位同时复位,由此发光器件D1在发光阶段之前不发光。

[0053] 在发光阶段,输入第一发光控制信号EM1和第二发光控制信号EM2,开启第五晶体管T5、第六晶体管T6和第一晶体管T1,从而驱动电流被施加至发光器件D1以使其发光。在发光阶段,发光器件D1的阳极和阴极分别被施加电压,从而在流经第一晶体管T1的驱动电流的作用下发光。例如,发光器件D1为有机发光二极管(OLED)、量子点发光二极管(QLED)等。

[0054] 例如,该显示基板还包括扫描驱动电路和数据驱动电路。数据驱动电路与多条数据信号线连接,以提供数据信号DATA;例如,数据驱动电路还可以与多条电压线和多条复位电压线连接以分别提供电压信号(例如VDD)和复位电压VINT。扫描驱动电路与多条扫描信号线连接,以提供扫描信号GATE;例如,扫描驱动电路还可以与多条发光控制线连接以提供发光控制信号EM,以及与多条复位控制线连接以提供复位信号RST。

[0055] 图2A和图2B分别示出了上述像素驱动电路的平面图和部分截面图,图2B中的截面图例如是沿图2A中的A-A剖切得到的。

[0056] 例如,图2B示出的像素驱动电路部分包括驱动晶体管的栅极12、通过栅极绝缘层13中的过孔引出的栅极引线11、数据线14以及金属层15等。金属层15例如是像素驱动电路

中电容C1或者走线的一部分,或者是与电容C1、走线等同层形成的金属层结构,可作为屏蔽层。栅极引线11例如用于将栅极12与其他电路结构电连接,例如在图1A示出的像素驱动电路中,用于将栅极12连接至第一节点N1。在栅极引线11引出时,金属层15中需要形成开口以便栅极引线11引出,例如在如图1A所示的截面图中,金属层15对应于栅极引线11的位置形成开口。

[0057] 例如,图2C示出了金属层15所在的层及其下方的功能层的平面示意图,如图2C所示,金属层15中具有开口15A,以便于栅极引线11引出。

[0058] 本申请发明人在研究中发现,在上述像素驱动电路中,在金属层15的开口位置,驱动晶体管的栅极12与数据线14容易形成寄生电容,因此在数据线14中的数据信号跳变时,该寄生电容容易导致施加给驱动晶体管的栅极12的驱动信号产生误差,从而影响发光器件的发光效果。

[0059] 例如,图1B示出了一种显示基板的显示画面在数据信号DATA跳变时的示意图。如图1B所示,显示信号从上向下扫描,显示面板的两侧画面显示为L127灰阶,显示面板的中部开始显示为L0灰阶,之后数据信号DATA从对应于在L0灰阶的信号跳变为对应于L127灰阶的信号,但是由于驱动晶体管的栅极12与数据线14之间形成了寄生电容,驱动晶体管的栅极12的电压与初始值产生偏差,使得数据信号DATA跳变为对应于L127灰阶的信号之后,显示面板的中部的显示画面也不能准确地显示为L127灰阶,而是显示为不同于L127灰阶的LX灰阶,由此产生纵向显示串扰。

[0060] 具体来说,在上述像素驱动电路中,驱动晶体管T1的栅极电压由存储电容C1保持,在数据信号DATA跳变时,由于驱动晶体管T1的栅极12与数据线14之间寄生电容的存在,驱动晶体管T3的栅极电压也会发生变化,从而与初始值产生偏差,使得流经第一晶体管T1的驱动电流具有一定偏差,从而影响发光器件D1的发光效果,导致显示误差。

[0061] 本申请发明人在研究中发现,在数据信号DATA跳变之后,驱动晶体管T3的栅极电压与初始值产生的偏差大小与栅极和数据线之间的寄生电容相关,图1C示出了栅极电压的偏差与栅极和数据线之间的寄生电容之间的关系曲线,可见,当栅极和数据线之间的寄生电容较小或者不存在寄生电容时,驱动晶体管T3的栅极电压与初始值产生的偏差较小或者不具有偏差。

[0062] 本公开至少一实施例提供一种显示基板,该显示基板包括衬底基板和像素驱动电路。像素驱动电路在衬底基板上,包括驱动晶体管和栅极引线,驱动晶体管包括栅极,栅极引线电连接于栅极,栅极引线位于栅极与衬底基板之间。

[0063] 本公开至少一实施例提供一种显示基板的制备方法,包括:提供衬底基板,在衬底基板上形成像素驱动电路,像素驱动电路包括驱动晶体管和栅极引线,驱动晶体管包括栅极,栅极引线电连接于栅极,栅极引线形成于栅极与衬底基板之间。

[0064] 下面通过几个具体的实施例对本公开一些实施例提供的显示基板及其制备方法进行说明。

[0065] 本公开一些实施例提供一种显示基板,图3A和3B示出了该显示基板的不同截面的示意图。图3A主要示出了该显示基板的驱动晶体管的栅极、栅极引线以及数据线等结构的相对位置关系,图3B主要示出了该显示基板的驱动晶体管的整体结构以及栅极引线与其他电路元件的连接方式。图3C示出了该显示基板的平面示意图,图3A例如是沿图3C中的B-B线

剖切得到的。

[0066] 在图3A和3B示出的显示基板中,显示基板包括衬底基板101和像素驱动电路。本公开的实施例对于像素驱动电路的不作限制,例如可以为上述2T1C型像素驱动电路,可以为4T2C、7T1C型等。像素驱动电路在衬底基板101上,包括驱动晶体管和栅极引线103,驱动晶体管包括栅极102,栅极引线103电连接于栅极102,栅极引线103位于栅极102与衬底基板101之间。例如,栅极引线103用于将栅极102与其他电路结构电连接。

[0067] 例如,显示基板还包括衬底基板101上的数据线104等结构,数据线104位于栅极102的远离衬底基板101的一侧。驱动晶体管配置为在栅极102接收并(通过存储电容)存储由数据线104提供的电压信号,并基于电压信号控制流过驱动晶体管的驱动电流,该驱动电流用于驱动发光器件工作。

[0068] 由此,在上述显示基板中,在垂直于衬底基板101的方向上,栅极引线103和数据线104位于栅极102的两侧,栅极引线103通过过孔电连接于栅极102。

[0069] 例如,在一些实施例中,如图3A和3B所示,显示基板还包括屏蔽层105,屏蔽层105设置在栅极102所在的层与数据线104所在的层之间,并且屏蔽层105与栅极102彼此绝缘,且在垂直于衬底基板101的方向上彼此重叠。由此,屏蔽层105可以避免栅极102与数据线104之间产生寄生电容。

[0070] 在上述结构中,栅极引线103的引出不会破坏屏蔽层105的完整性,例如相比于如图1A所示的显示基板来说,屏蔽层105中无需形成引出栅极引线103的开口,从而屏蔽层105具有一定的完整性,可起到良好的屏蔽效果。

[0071] 例如,在一些实施例中,屏蔽层105为导电层,例如为金属层。例如,屏蔽层105为像素驱动电路中已有的结构,例如为像素驱动电路中电容的一个电极或者为像素驱动电路的一个走线层,又或者,屏蔽层105为与像素驱动电路的电容的一个电极同层或者与像素驱动电路的一个走线层同层的金属层。由此,像素驱动电路中已有的金属层结构即可作为屏蔽层,达到屏蔽效果;同时,该设置还可以简化显示基板的结构,从而简化其制备工艺。

[0072] 例如,图3C示出了该显示基板的平面示意图。如图3C所示,栅极引线103在衬底基板上的正投影与屏蔽层105在衬底基板上的正投影至少部分重叠。由于栅极引线103从栅极102与衬底基板101之间引出,因此屏蔽层105中不具有开口。

[0073] 例如,当屏蔽层105为像素驱动电路中电容的一个电极时,屏蔽层105中不具有开口可以增大电容电极的面积(即屏蔽层105在衬底基板上的正投影的面积增大),从而可以增大电容的容量或者在保持容量的同时减小电极所占的空间。例如,栅极102还可以作为电容的另一电极,由此栅极102、屏蔽层105以及二者之间的绝缘层共同组成电容,该电容可作为像素驱动电路中的存储电容。

[0074] 例如,如图3B所示,驱动晶体管还包括栅极绝缘层107、半导体层110等结构。例如,栅极绝缘层107位于栅极102与半导体层110之间,以将二者绝缘。半导体层110包括未导体化的沟道区110A、导体化的源极区110B和导体化的漏极区110C。沟道区110A对应于栅极102,源极区110B和漏极区110C为半导体层110的掺杂区,从而源极区110B和漏极区110C被导体化,并具有良好的导电性,可分别作为驱动晶体管的源极和漏极。例如,驱动晶体管的源极通过走线104A与其他元件电连接,例如用于传输数据信号。

[0075] 例如,如图3A和3B所示,显示基板还包括层间绝缘层108,层间绝缘层108覆盖驱动

晶体管。例如，栅极引线103、栅极绝缘层107、栅极102、层间绝缘层108和数据线104在衬底基板101上依次叠层设置，由此将栅极引线103和数据线104分别设置于栅极102的两侧。

[0076] 例如，在一些实施例中，如图3A和3B所示，显示基板还包括设置在衬底基板101的缓冲层106，栅极引线103通过缓冲层106中的过孔与栅极102电连接。例如，缓冲层106包括第一过孔1061，栅极引线103位于缓冲层106的靠近衬底基板101的一侧，即图中示出为缓冲层106的下侧，栅极102位于缓冲层106的远离衬底基板101的一侧，即图中示出为缓冲层106的上侧，栅极引线103通过第一过孔1061和栅极绝缘层107中的与第一过孔1061连通的过孔与栅极102电连接。

[0077] 例如，如图3B所示，缓冲层106还包括第二过孔1062，栅极引线103通过第二过孔1062与不同于驱动晶体管的电路元件电连接。由此，栅极引线103可将驱动晶体管的栅极102与其他电路结构电连接。

[0078] 例如，在其他示例中，通过第二过孔1062进行电连接的走线还可以为与栅极引线103同层的走线或元件103A。此时，走线或元件103A可以为显示基板上的任意信号走线或功能元件（例如电极或者遮光层等），本公开的实施例对此不做限定。

[0079] 例如，不同于驱动晶体管的电路元件包括复位晶体管、补偿晶体管或存储电容等。例如在图1A示出的像素驱动电路中，不同于驱动晶体管T1的电路元件为第三晶体管T3，第四晶体管T4或存储电容C1等，它们通过栅极引线（包括节点N1）与驱动晶体管T1的栅极电连接。此时，标号111示出为上述电路元件的一部分或者连接上述电路元件的走线等导电结构。

[0080] 例如，在一些实施例中，导电结构111与半导体层110同层设置，因此在制备工艺中二者可采用同一半导体膜层形成。例如，在制备工艺中，采用构图工艺与掺杂工艺处理该同一半导体膜层，从而形成分别对应于导电结构111的部分和半导体层110的部分，对应于半导体层110的部分例如包括沟道区、源极区和漏极区。例如，在对应于导电结构111、源极区和漏极区的位置进行重掺杂，从而形成具有良好导电性的导电层211、源极和漏极。例如，用于形成导电结构111与半导体层110的半导体膜层为多晶硅膜层或氧化物半导体膜层，该多晶硅膜层可以包括低温多晶硅或高温多晶硅，氧化物半导体膜层可以包括IGZO（氧化铟镓锌）等，该半导体膜层的重掺杂的部分具有良好的导电性，例如，对于多晶硅膜层，例如掺杂硼离子（ B^{3+} ）以实现p掺杂，或者掺杂磷离子（ P^{3-} ）以实现n掺杂，掺杂方法可以采用离子注入、热扩散等多种方式，本公开的实施例对此不作限制。

[0081] 例如，在一些实施例中，显示基板还包括遮光层，如图3B所示，该遮光层例如位于衬底基板101与缓冲层106之间，并且与像素驱动电路至少部分重叠。例如，遮光层设置在标号112所指示的虚线框的位置，该位置对应于半导体层110的沟道区110A，从而遮光层可以避免环境光照射到沟道区110A，而从而避免环境光影响驱动晶体管的正常工作。例如，该遮光层与栅极引线103同层设置，均采用金属层制备，从而在制备过程中该遮光层与栅极引线103可以采用同一薄膜通过同一构图工艺形成，由此可以简化显示基板的制备工艺。

[0082] 例如，如图3B所示，显示基板还包括覆盖屏蔽层105的第二层间绝缘层109，走线104A通过栅极绝缘层107、层间绝缘层108以及第二层间绝缘层109中的过孔电连接于驱动晶体管的源极，例如用于传输数据电压信号，从而驱动晶体管可接收由走线104A提供的数据电压信号并基于数据电压信号控制流过驱动晶体管的驱动电流。

[0083] 例如,在上述实施例中,衬底基板101采用玻璃基板、石英基板、塑料基板等任何合适的基板。栅极102、栅极引线103、数据线104和屏蔽层105中的一种或多种采用铜、银、铝、钼等金属材料或者合金材料形成。缓冲层106采用聚酰亚胺(PI)、丙烯酸酯和环氧树脂等有机绝缘材料或无机绝缘材料(例如氮化硅等)形成。栅极绝缘层107、层间绝缘层108和第二层间绝缘层109中的一种或多种采用聚酰亚胺、丙烯酸酯和环氧树脂等有机绝缘材料或者氧化硅、氮化硅和氮氧化硅等无机绝缘材料形成。本公开的实施例对各功能层的材料不作具体限定。

[0084] 在本公开的上述实施例中,衬底基板上的像素驱动电路的电路布图中,可以将栅极引线103和数据线104设置于栅极102的两侧,例如将栅极引线103设置在栅极102和衬底基板101之间,从而栅极102与数据线104之间可形成具有一定完整性的屏蔽层105,该屏蔽层105可以避免栅极102与数据线104之间形成寄生电容,从而避免该寄生电容可能产生的不良影响,提高显示基板的显示质量。

[0085] 在本公开的其他实施例中,显示基板的栅极引线还可以采用其他方式引出,这些方式均可以达到上述技术效果。

[0086] 例如,图4A和图4B示出了本公开另一些实施例提供的显示基板的不同截面的示意图。类似地,图4A主要示出了该显示基板的驱动晶体管的栅极、栅极引线以及数据线等结构的相对位置关系,图4B主要示出了该显示基板的驱动晶体管的整体结构以及栅极引线与其他电路元件的连接方式。该显示基板的平面示意图可参考图3C。

[0087] 如图4A和图4B所示,该显示基板包括衬底基板201和像素驱动电路。像素驱动电路在衬底基板201上,包括驱动晶体管和栅极引线203,驱动晶体管包括栅极202,栅极引线203电连接于栅极202,栅极引线103位于栅极202与衬底基板201之间。

[0088] 例如,显示基板还包括衬底基板201上的数据线204等结构,数据线204位于栅极202的远离衬底基板201的一侧。驱动晶体管配置为在栅极202接收并(通过存储电容)存储由数据线204提供的的数据电压信号,并基于数据电压信号控制流过驱动晶体管的驱动电流,该驱动电流用于驱动发光器件工作。

[0089] 由此,在上述显示基板中,在垂直于衬底基板201的方向上,栅极引线203和数据线204位于栅极202的两侧,栅极引线203通过过孔电连接于栅极202。

[0090] 例如,在一些实施例中,如图4A和4B所示,显示基板还包括屏蔽层205、缓冲层206、半导体层210、栅极绝缘层207、层间绝缘层208和第二层间绝缘层209等结构。半导体层210包括未导体化的沟道区210A和导体化的源极区210B和导体化的漏极区210C。沟道区210A对应于栅极202,源极区210B和漏极区210C为半导体层210的掺杂区,从而源极区210B和漏极区210C被导体化,并具有良好的导电性,可分别作为驱动晶体管的源极和漏极。例如,驱动晶体管的源极通过走线204A与其他元件电连接,例如用于传输数据信号。

[0091] 与上述实施例不同的是,在图4A和4B示出的实施例中,缓冲层206位于衬底基板201上,栅极引线203位于缓冲层206的远离衬底基板201的一侧,即在图中位于缓冲层206的上侧。此时,栅极引线203通过栅极绝缘层207中的过孔与栅极202电连接。

[0092] 此时,如图4A和4B所示,显示基板还包括导电层211,导电层211位于栅极引线203的远离衬底基板201的一侧,并且覆盖至少部分栅极引线203的侧面以及栅极引线203的远离衬底基板201的表面,从而在制备工艺中,导电层211可直接形成于栅极引线203上。例如,

导电层211为不同于驱动晶体管的电路元件的一部分或者连接不同于驱动晶体管的电路元件的走线等导电结构。由此,栅极引线203将驱动晶体管的栅极102与其他电路结构电连接。例如,不同于驱动晶体管的电路元件包括复位晶体管、补偿晶体管或存储电容等,本公开的实施例对此不做限定。

[0093] 例如,在其他示例中,导电层211覆盖的还可以是与栅极引线203同层的走线或元件203A。此时,走线或元件203A可以为显示基板上的任意信号走线或功能元件(例如电极或者遮光层等),本公开的实施例对此不做限定。

[0094] 例如,导电层211和半导体层210同层设置,因此在制备工艺中二者可采用同一半导体膜层形成。具体设置方式可参见上述实施例,在此不再赘述。

[0095] 例如,在图4A和图4B示出的实施例中,显示基板还可以包括遮光层,如图4B所示,该遮光层例如位于半导体层210与缓冲层206之间,并且与像素驱动电路至少部分重叠。例如,遮光层设置在标号212指示的虚线框的位置,该位置对应于半导体层210的沟道区210A的位置,例如遮光层与半导体层210之间还形成有绝缘层(图中未示出)。例如,该遮光层与栅极引线203同层设置,从而在制备过程中该遮光层与栅极引线203可以采用同一薄膜通过同一构图工艺形成,由此可以简化显示基板的制备工艺。

[0096] 图4A和图4B示出的示例相对于图3A和图3B示出的示例来说,缓冲层206中不具有过孔结构,因此在制备过程中可减少一次过孔形成工艺,可进一步简化显示基板的制备工艺。

[0097] 同样地,在图4A和图4B示出的显示基板中,栅极202与数据线204之间可以设置具有一定完整性的屏蔽层205,该屏蔽层205可以避免栅极202与数据线204之间形成寄生电容,从而避免该寄生电容可能产生的不良影响,提高显示基板的显示质量。另外,当屏蔽层205为像素驱动电路中电容的一个电极时,屏蔽层205中不具有开口可以增大电容电极的面积,从而可以增大电容的电容量或者在保持电容量的同时减小电极所占的空间。

[0098] 例如,图5A和图5B示出了本公开再一些实施例提供的显示基板的不同截面的示意图。类似地,图5A主要示出了该显示基板的驱动晶体管的栅极、栅极引线以及数据线等结构的相对位置关系,图5B主要示出了该显示基板的驱动晶体管的整体结构以及栅极引线与其他电路元件的连接方式。图5C示出了该显示基板的平面示意图,图5A例如是沿图5C中的C-C线剖切得到的。

[0099] 如图5A和图5B所示,该显示基板包括衬底基板301和像素驱动电路。像素驱动电路在衬底基板301上,包括驱动晶体管和栅极引线303,驱动晶体管包括栅极302,栅极引线303电连接于栅极302,栅极引线303位于栅极302与衬底基板301之间。

[0100] 例如,显示基板还包括衬底基板301上的数据线304等结构,数据线304位于栅极302的远离衬底基板301的一侧。驱动晶体管配置为在栅极302接收并(通过存储电容)存储由数据线304提供的数据电压信号,并基于数据电压信号控制流过驱动晶体管的驱动电流,该驱动电流用于驱动发光器件工作。

[0101] 由此,在上述显示基板中,在垂直于衬底基板301的方向上,栅极引线303和数据线304位于栅极302的两侧,栅极引线303通过过孔电连接于栅极302。

[0102] 例如,如图5A和5B所示,显示基板还包括屏蔽层305、缓冲层306、栅极绝缘层307、层间绝缘层308和第二层间绝缘层309等结构,具体设置可参见上述实施例,在此不再赘述。

[0103] 与上述实施例不同的是,在图5A和5B示出的实施例中,栅极引线303与半导体层310同层设置,因此在制备工艺中可以通过对同一半导体层进行构图与掺杂工艺形成。

[0104] 例如,如图5B所示,驱动晶体管包括半导体层310,半导体310包括未导体化的沟道区310A、导体化的源极区310B和导体化的漏极区310C。沟道区310A对应于栅极302,源极区310B和漏极区310C为掺杂区,从而源极区310B和漏极区310C被导体化,并具有良好的导电性,可分别作为驱动晶体管的源极和漏极。例如,栅极引线303包括导体化的半导体材料。在制备工艺中,可通过对同一半导体层进行掺杂工艺以形成导体化的源极区310B、漏极区310C和栅极引线303。例如,在一些示例中,沟道区310A也为掺杂区,但是其掺杂浓度远小于源极区310B和漏极区310C的掺杂浓度。例如,驱动晶体管的源极通过走线304A与其他元件电连接,例如用于传输数据信号。

[0105] 在图5A和图5B的示例中,对同一半导体层进行构图与掺杂工艺形成栅极引线303与半导体层310的同时,还可以形成连接栅极引线303的其他导电结构311,该导电结构311也可以通过对半导体层进行掺杂来获得。由此,栅极引线303、半导体层310以及用于连接栅极引线303与其他电路元件的导电结构311可同层设置,可通过对同一半导体层进行构图与掺杂工艺形成。由此可进一步简化制备工艺。

[0106] 在上述示例中,栅极引线303、半导体层310以及导电结构311可通过对同一半导体层进行掺杂工艺而形成,因此三者位于同一层中。如图5C所示,栅极引线303和导电结构311可通过导体化的半导体材料直接电连接,相比于图3C示出的显示基板来说,无需在栅极引线303和导电结构311的连接处再形成用于连接导电结构311与栅极引线303的过孔等结构。

[0107] 同样地,在上述显示基板中,栅极302与数据线304之间可以设置具有一定完整性的屏蔽层305,该屏蔽层305可以避免栅极302与数据线304之间形成寄生电容,从而避免该寄生电容可能产生的不良影响,提高显示基板的显示质量。

[0108] 本公开至少一实施例提供一种显示基板的制备方法,包括:提供衬底基板,在衬底基板上形成像素驱动电路,像素驱动电路包括驱动晶体管和栅极引线,驱动晶体管包括栅极,栅极引线电连接于栅极,栅极引线形成于栅极与衬底基板之间。

[0109] 例如,显示基板的制备方法还包括形成数据线,数据线形成于栅极的远离衬底基板的一侧,驱动晶体管配置为在栅极接收由数据线提供的数据电压信号并基于数据电压信号控制流过驱动晶体管的驱动电流,驱动电流用于驱动发光器件工作。

[0110] 例如,以图3A和图3B示出的显示基板为例,其制备方法的流程图如图6A所示,该制备方法至少包括步骤S101-S111。

[0111] 步骤S101:提供衬底基板。

[0112] 参照图3A和图3B。例如,提供的衬底基板101包括玻璃基板、石英基板、塑料基板等各种类型的基板,衬底基板101上例如形成有阻挡层(图中未示出),该阻挡层覆盖衬底基板101,可防止衬底基板101中可能存在的杂质以及水、氧等杂质进入其上将要形成的其他膜层中,从而避免驱动晶体管等的电气性能劣化。该阻挡层例如采用氧化硅、氮化硅或者氮氧化硅等无机材料,例如形成为氧化硅和氮化硅交替堆叠的多层结构。

[0113] 步骤S102:形成栅极引线。

[0114] 图6B-图6F示出了显示基板在制备过程中的平面示意图。参照图3A、图3B以及图6B,在衬底基板101上首先形成栅极引线103。例如,栅极引线103采用铜、银、铝、钼等金属材

料或者合金材料形成。例如,在衬底基板101上采用蒸镀、溅射等方式形成栅极引线材料层,然后对该栅极引线材料层进行构图工艺以形成栅极引线103。例如,一次构图工艺包括光刻胶的涂覆、曝光、显影,以及材料层的刻蚀等工序,本公开的实施例对此不做限定。

[0115] 例如,在一些示例中,制备方法还包括形成遮光层,例如,栅极引线103与遮光层(标号112指示的位置)同层形成,该遮光层与像素驱动电路至少部分重叠,例如形成在对应于之后将要形成的半导体层110的沟道110A的位置,从而遮光层可以避免环境光等照射到沟道区110A。例如,该遮光层与栅极引线103采用同一薄膜通过同一构图工艺形成,由此简化显示基板的制备工艺。

[0116] 步骤S103:形成缓冲层。

[0117] 例如,栅极引线103形成后,在栅极引线103上形成缓冲层106,缓冲层106例如采用有机绝缘材料或者无机绝缘材料形成,例如聚酰亚胺(PI)、丙烯酸酯和环氧树脂等有机绝缘材料,或者氧化硅、氮化硅或者氮氧化硅等无机材料。例如,在栅极引线103上采用涂覆等方式形成缓冲材料层,然后对缓冲材料层进行构图工艺以形成连接之后将要形成的导电结构111的过孔1062等。

[0118] 步骤S104:形成半导体层。

[0119] 例如,缓冲层106形成后,参照图3A、图3B以及图6B,在缓冲层106上形成驱动晶体管的半导体层110,导体层110例如采用多晶硅半导体形成。例如,在缓冲层106上采用沉积等方式形成非晶硅材料层,将该非晶硅材料层通过例如激光退火等方式结晶化得到多晶硅材料层,然后对多晶硅材料层进行构图工艺,以形成对应于驱动晶体管的区域,该区域例如包括沟道区110A、源极区110B和漏极区110C,同时,该构图工艺还形成对应于导电结构111的导电区。之后,通过对源极区110B、漏极区110C以及导电区进行掺杂处理,例如重掺杂硼或磷等杂质,以使多晶硅材料导体化,从而具有良好的导电性,形成驱动晶体管的源极和漏极以及导电结构111。例如,在一些示例中,还可以根据薄膜晶体管的特征对沟道区110A轻掺杂硼或磷等杂质,以形成薄膜晶体管的沟道。此时,半导体层110与导电结构111同层形成,可简化显示基板的制备工艺。

[0120] 例如,该显示基板中形成如图1A所示的7T1C电路结构,即包括七个薄膜晶体管和一个存储电容。此时,在制备工艺中,该七个薄膜晶体管可以在相同的工艺中形成,因此在形成上述驱动晶体管(T1)的半导体层110时,还形成有其他晶体管T2~T7的半导体层,其他晶体管T2~T7的半导体层的位置示出在图6B中。

[0121] 步骤S105:形成栅极绝缘层。

[0122] 例如,半导体层110和导电结构111形成后,在半导体层110和导电结构111上形成栅极绝缘层107,栅极绝缘层107例如采用氧化硅、氮化硅、氮氧化硅等无机绝缘材料或者聚酰亚胺(PI)、丙烯酸酯、环氧树脂等有机绝缘材料形成。例如,在半导体层110和导电结构111上采用沉积或者涂覆等方式形成栅极绝缘材料层,然后对栅极绝缘材料层以及缓冲层106进行构图工艺以形成暴露栅极引线103的过孔1061,以便于连接之后将要形成的栅极102。

[0123] 步骤S106:形成栅极。

[0124] 例如,参照图3A、图3B以及图6C,栅极绝缘层107形成后,在栅极绝缘层107上形成栅极102,栅极102例如采用铜、银、铝、钼等金属材料或者合金材料形成。例如,在栅极绝缘

层107上采用蒸镀、溅射等方式形成栅极材料层,然后对该栅极材料层进行构图工艺以形成栅极102。栅极102通过过孔1061与栅极引线103电连接。

[0125] 例如,栅极102可以与传输发光控制信号EM的走线、传输复位信号RST的走线和传输扫描信号GATE的走线等同层形成。

[0126] 例如,传输复位信号RST的走线覆盖第四晶体管T4的半导体层的沟道区,该覆盖沟道区的走线部分作为第四晶体管T4的栅极,第四晶体管T4可作为复位晶体管。传输扫描信号GATE的走线覆盖第二晶体管T2和第三晶体管T3的半导体层的沟道区,覆盖第二晶体管T2的沟道区的部分走线作为第二晶体管T2的栅极,第二晶体管T2可作为开关晶体管;覆盖第三晶体管T3的沟道区的部分走线作为第三晶体管T3的栅极,第二晶体管T3可作为补偿晶体管。传输发光控制信号EM的走线覆盖第五晶体管T5和第六晶体管T6的半导体层的沟道区,覆盖第五晶体管T5的沟道区的部分走线作为第五晶体管T5的栅极,第五晶体管T5可作为驱动控制晶体管;覆盖第六晶体管T6的沟道区的部分走线作为第六晶体管T6的栅极,第六晶体管T6可作为发光控制晶体管。传输另一扫描信号GATE的走线覆盖第七晶体管T7的半导体层的沟道区,覆盖第七晶体管T7的沟道区的部分走线作为第七晶体管T7的栅极,第七晶体管T7可作为旁路晶体管。

[0127] 另外,栅极102还可以作为存储电容C1的一个电极,与之后形成的另一电极以及二者之间的绝缘层共同组成存储电容C1。

[0128] 步骤S107:形成层间绝缘层。

[0129] 例如,栅极102形成后,在栅极102上形成层间绝缘层108,层间绝缘层108例如采用氧化硅、氮化硅、氮氧化硅等无机绝缘材料或者聚酰亚胺(PI)、丙烯酸酯、环氧树脂等有机绝缘材料形成。例如,在栅极102上采用沉积或者涂覆等方式形成层间绝缘材料层,并对层间绝缘材料层进行构图工艺以形成所需的图案。

[0130] 步骤S108:形成屏蔽层。

[0131] 例如,参照图3A、图3B以及图6D,层间绝缘层108形成后,在层间绝缘层108上形成屏蔽层105,屏蔽层105例如采用铜、银、铝、钼等金属材料或者合金材料形成。例如,在层间绝缘层108上采用蒸镀或者溅射等方式形成屏蔽材料层,然后对该屏蔽材料层进行构图工艺以在对应于栅极102的位置形成屏蔽层105。屏蔽层105与栅极102彼此绝缘且在垂直于衬底基板201的方向上彼此重叠。如图6D所示,屏蔽层105中没有形成开口。

[0132] 例如,屏蔽层105与传输复位电压VINT的走线以及第二屏蔽层1051等同层形成。第二屏蔽层1051可以防止相邻的两个导电层之间产生寄生电容,例如可以防止半导体层与之后将要形成的数据线之间产生寄生电容等。

[0133] 例如,屏蔽层105可以作为存储电容C1的另一电极,与栅极102以及二者之间的层间绝缘层一起共同构成存储电容C1。由于屏蔽层105中不具有开口,因此屏蔽层105的面积更大,从而可以增大存储电容C1的电容量或者在保持电容量的同时减小屏蔽层105所占的空间。

[0134] 步骤S109:形成第二层间绝缘层。

[0135] 例如,参照图3A、图3B以及图6E,屏蔽层105形成后,在屏蔽层105上形成第二层间绝缘层109,第二层间绝缘层109例如采用氧化硅、氮化硅、氮氧化硅等无机绝缘材料或者聚酰亚胺(PI)、丙烯酸酯、环氧树脂等有机绝缘材料形成。例如,在屏蔽层105上采用沉积或者

涂覆等方式形成第二层间绝缘材料层,并对第二层间绝缘材料层进行构图工艺以形成所需的图案,该构图工艺还包括在第二层间绝缘材料层以及栅极绝缘层107、层间绝缘层108中形成暴露驱动晶体管的源极110B的过孔1081,以便于之后将源极110B与之后将要形成的走线104A,例如数据线104等连接。

[0136] 例如,在形成过孔1081的同时,还形成有其他过孔,例如暴露其他薄膜晶体管的源漏极的过孔等,以便于电连接。

[0137] 步骤S110:形成数据线。

[0138] 例如,参照图3A、图3B以及图6F,第二层间绝缘层109形成后,在第二层间绝缘层109上形成数据线104,数据线104例如采用铜、银、铝、钼等金属材料或者合金材料形成。例如,在第二层间绝缘层109上采用蒸镀或者溅射等方式形成数据线材料层,然后对该数据线材料层进行构图工艺以形成数据线104。

[0139] 例如,数据线104与传输第一电压VDD的电源线以及连接电极1041等同层形成。连接电极1041用于电连接两个导电结构,例如电连接第七薄膜晶体管T7的源漏极与传输复位电压VINT的走线等。

[0140] 步骤S111:形成发光器件等。

[0141] 例如,在上述驱动电路形成后,还可进一步形成平坦层、像素界定层、发光器件(包括阴极、阳极以及阴极和阳极之间的发光层等)、隔垫物、封装层等结构,这些结构的材料、图形以及它们的形成方式可参经常规技术,本公开的实施例不再赘述。本公开实施例的发光器件可以为OLED或QLED等。

[0142] 通过上述方法可形成如图3A和图3B示出的显示基板,该方法通过将栅极引线103形成于栅极102和衬底基板101之间,因此栅极引线103和数据线104形成于栅极102的两侧,使得栅极102与数据线104之间可形成具有一定完整性的屏蔽层105,该屏蔽层105可以避免栅极102与数据线104之间形成寄生电容,从而避免该寄生电容可能产生的不良影响,提高显示基板的显示质量。

[0143] 例如,本公开的一些实施例还提供了形成如图4A和图4B示出的显示基板的制备方法,该制备方法的流程图如图7所示,该制备方法至少包括步骤S201-S211。该方法与上述形成图3A和图3B的显示基板的方法相比,区别主要在于步骤S202-步骤S204中缓冲层、栅极引线以及半导体层等的形成顺序以及形成结构。下面将重点描述该区别之处,其他部分的形成方法可参照上述实施例。

[0144] 步骤S201:提供衬底基板。

[0145] 步骤S202:形成缓冲层。

[0146] 参照图4A和图4B,在衬底基板201上形成缓冲层206。缓冲层206的材料以及形成方式可参照上述实施例,在此不再赘述。

[0147] 步骤S203:形成栅极引线。

[0148] 例如,缓冲层206形成后,在缓冲层206上形成栅极引线203。栅极引线203的材料以及形成方式可参照上述实施例,在此不再赘述。

[0149] 例如,在一些示例中,栅极引线203与遮光层(标号212指示的位置)同层形成,其形成方式可参照上述实施例,在此不再赘述。

[0150] 步骤S204:形成半导体层。

[0151] 例如,在栅极引线203形成后,在栅极引线203上形成半导体层210,并同时形成导电层211,即导电层211和半导体层210采用同一半导体膜层形成。

[0152] 例如,在栅极引线203上形成多晶硅材料层,然后对多晶硅材料层进行构图工艺,以形成对应于驱动晶体管的沟道、源极和漏极的区域,该区域例如包括沟道区210A、源极区210B和漏极区210C,同时,该构图工艺还形成对应于导电层211的导电区。之后,通过对源极区210B、漏极区210C以及导电区进行掺杂处理,例如重掺杂磷、硼等杂质,以使这些区域具有良好的导电性,从而形成驱动晶体管的源极和漏极以及导电层211。例如,在一些示例中,还可以根据薄膜晶体管的特征对沟道区210A轻掺杂硼或磷等杂质,以形成薄膜晶体管的沟道。由此,导电层211直接形成于栅极引线203上,并覆盖至少部分栅极引线203的侧面以及栅极引线203的远离衬底基板201的表面。

[0153] 步骤S205:形成栅极绝缘层。

[0154] 例如,在半导体层210和导电层211形成后,在半导体层210和导电层211上形成栅极绝缘层207,并通过构图工艺在栅极绝缘层207中形成暴露栅极引线203的过孔,以便于与之后将要形成的栅极202连接。

[0155] 步骤S206:形成栅极。

[0156] 步骤S207:形成层间绝缘层。

[0157] 步骤S208:形成屏蔽层。

[0158] 步骤S209:形成第二层间绝缘层。

[0159] 步骤S210:形成数据线。

[0160] 步骤S211:形成发光器件等。

[0161] 上述未详细说明的步骤以及平面构图等可参照上述实施例,在此不再赘述。

[0162] 例如,本公开的一些实施例还提供了形成如图5A和图5B示出的显示基板的制备方法,该制备方法的流程图如图8A所示,该制备方法至少包括步骤S301-S310。该方法与上述形成图4A和图4B的显示基板的方法相比,区别主要在于步骤S303中栅极引线和半导体层的形成方式。下面将重点描述该区别之处,其他部分的形成方法可参照上述实施例。

[0163] 步骤S301:提供衬底基板。

[0164] 步骤S302:形成缓冲层。

[0165] 步骤S303:形成栅极引线和半导体层。

[0166] 参照图5A、图5B和图8B。例如,栅极引线303与驱动晶体管的半导体层310采用同一多晶硅材料层通过构图工艺与掺杂工艺形成。

[0167] 例如,形成栅极引线303与驱动晶体管的半导体层310包括:形成半导体材料层(例如多晶硅材料层),半导体材料层包括沟道区310A、源极区310B、漏极区310C和栅极引线区(303指示的区域);对源极区310B、漏极区310C和栅极引线区进行掺杂,以使源极区310B、漏极区310C和栅极引线区导体化。例如,对栅极引线区进行第一掺杂以形成栅极引线303,对源极区310B和漏极区310C进行第二掺杂以形成驱动晶体管的源极和漏极。

[0168] 例如,第一掺杂和第二掺杂均为重掺杂,从而使多晶硅材料层具有良好的导电性。例如,还可以对沟道区110A进行第三掺杂,例如轻掺杂,以形成薄膜晶体管的沟道。例如,该掺杂为硼掺杂或磷掺杂等,本公开的实施例对此不做限定。

[0169] 例如,在采用同一多晶硅材料层形成栅极引线303与半导体层310的同时,还可以

形成连接栅极引线303的导电结构311,此时,对应于导电结构311的多晶硅层也进行重掺杂,以具有良好的导电性。

[0170] 步骤S304:形成栅极绝缘层。

[0171] 步骤S305:形成栅极。

[0172] 例如,参照图5A、图5B和图8C,栅极302形成于对应于沟道区310A的位置,其具体形成方式可参照上述实施例,在此不再赘述。

[0173] 步骤S306:形成层间绝缘层。

[0174] 步骤S307:形成屏蔽层。

[0175] 例如,参照图5A、图5B和图8D,屏蔽层305形成于对应于栅极302的位置,其具体形成方式可参照上述实施例,在此不再赘述。

[0176] 步骤S308:形成第二层间绝缘层。

[0177] 步骤S309:形成数据线。

[0178] 例如,数据线304的形成位置可参照图5A、图5B和图8E,数据线304的具体形成方式可参照上述实施例,在此不再赘述。

[0179] 步骤S310:形成发光器件等。

[0180] 上述未详细说明的步骤可参照上述实施例,在此不再赘述。

[0181] 本公开实施例提供的显示基板的制备方法通过将栅极引线形成在栅极和衬底基板之间,使得栅极与数据线之间可形成具有一定完整性的屏蔽层,该屏蔽层可以避免栅极与数据线之间形成寄生电容,从而避免该寄生电容可能产生的不良影响,提高显示基板的显示质量。

[0182] 还有以下几点需要说明:

[0183] (1) 本公开实施例附图只涉及到与本公开实施例涉及到的结构,其他结构可参考通常设计。

[0184] (2) 为了清晰起见,在用于描述本公开的实施例的附图中,层或区域的厚度被放大或缩小,即这些附图并非按照实际的比例绘制。可以理解,当诸如层、膜、区域或基板之类的元件被称作位于另一元件“上”或“下”时,该元件可以“直接”位于另一元件“上”或“下”或者可以存在中间元件。

[0185] (3) 在不冲突的情况下,本公开的实施例及实施例中的特征可以相互组合以得到新的实施例。

[0186] 以上所述,仅为本公开的具体实施方式,但本公开的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本公开揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本公开的保护范围之内。因此,本公开的保护范围应以权利要求的保护范围为准。

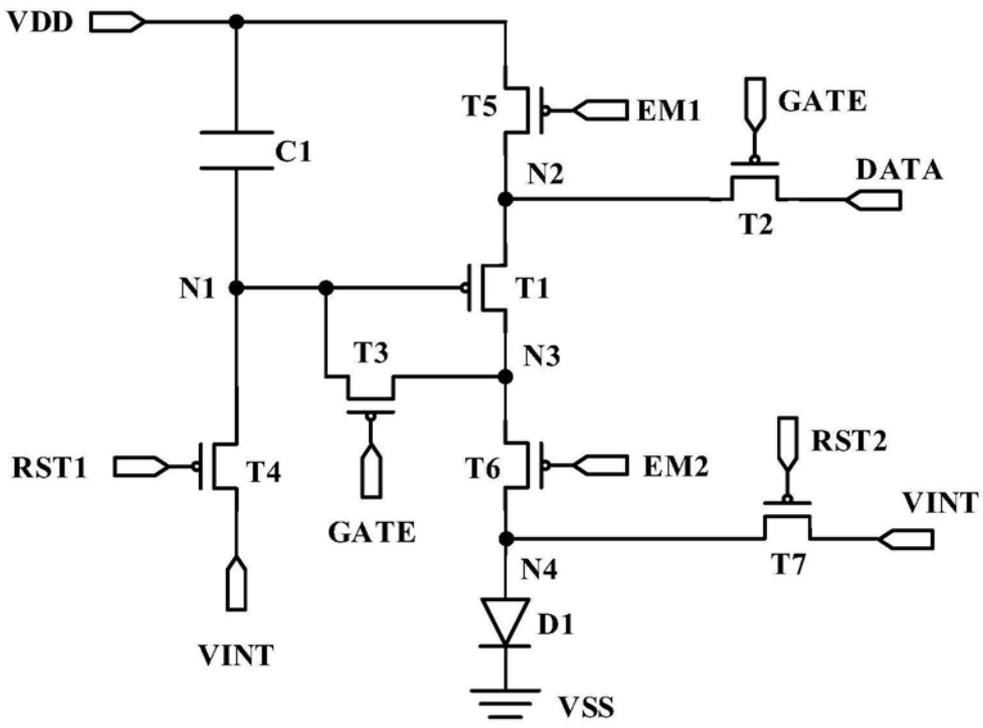


图1A

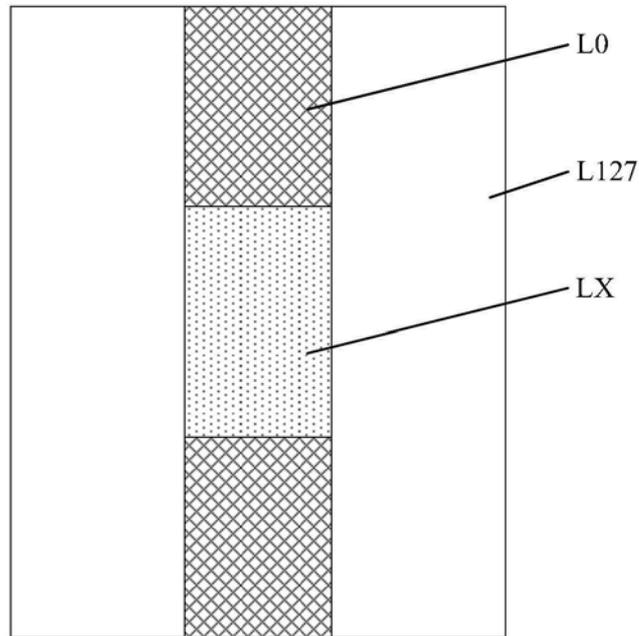
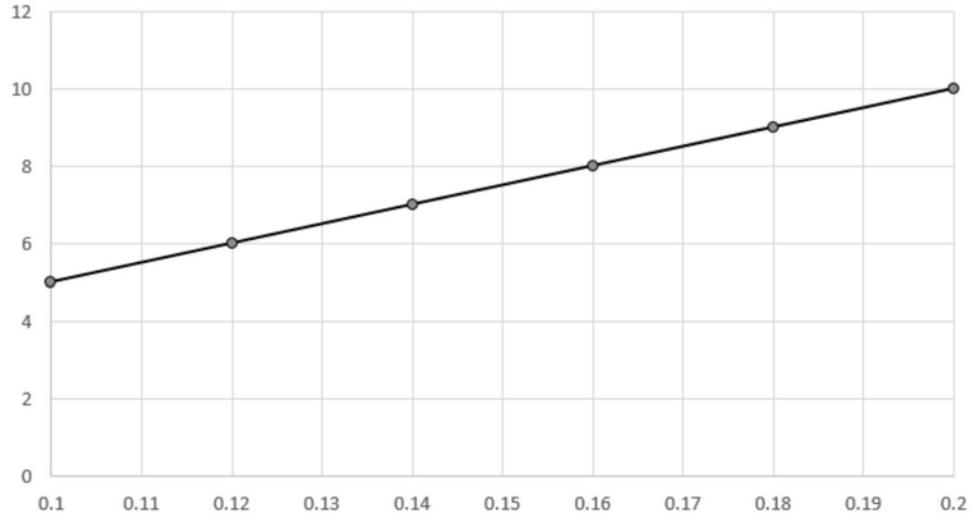


图1B

数据线信号跳变导致的栅极电位偏差 (mV)



栅极与数据线之间的电容 (fF)

图1C

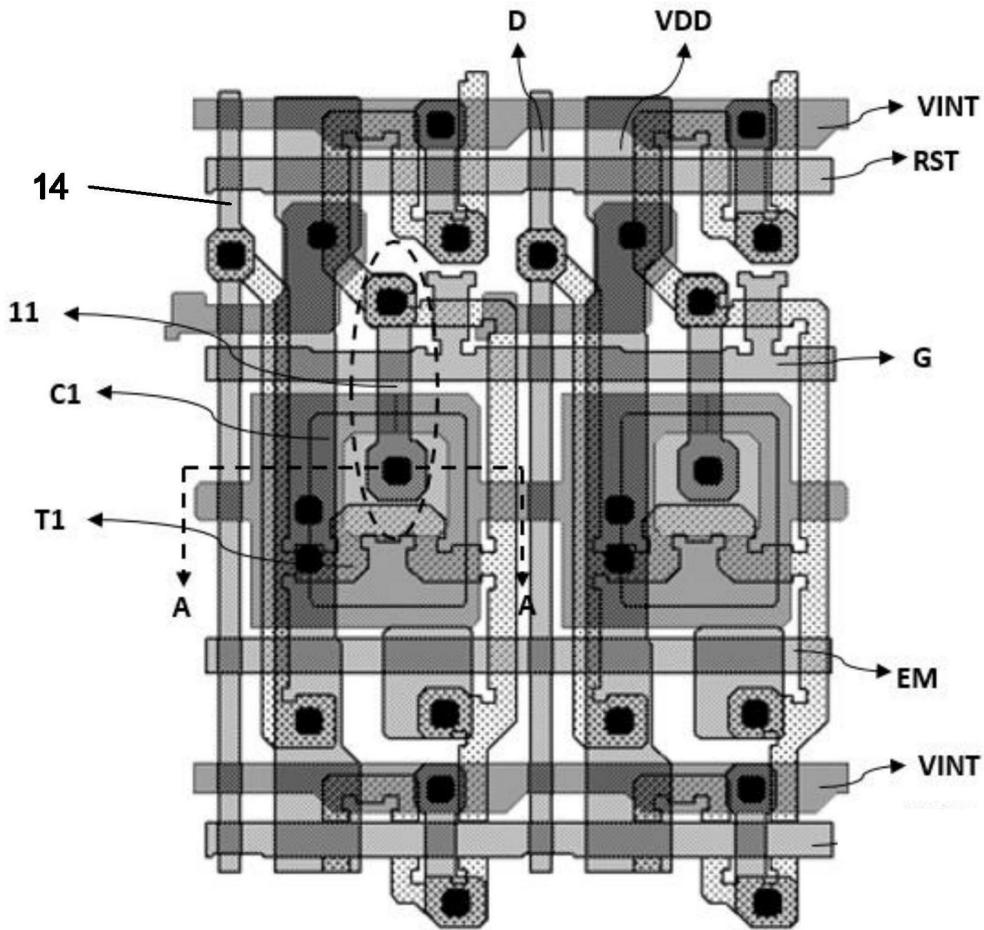


图2A

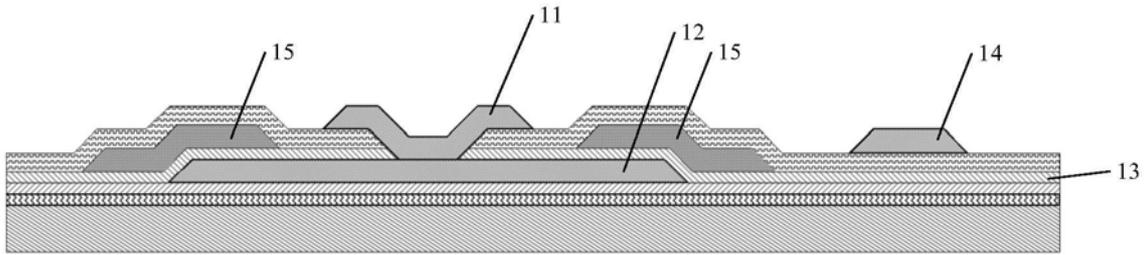


图2B

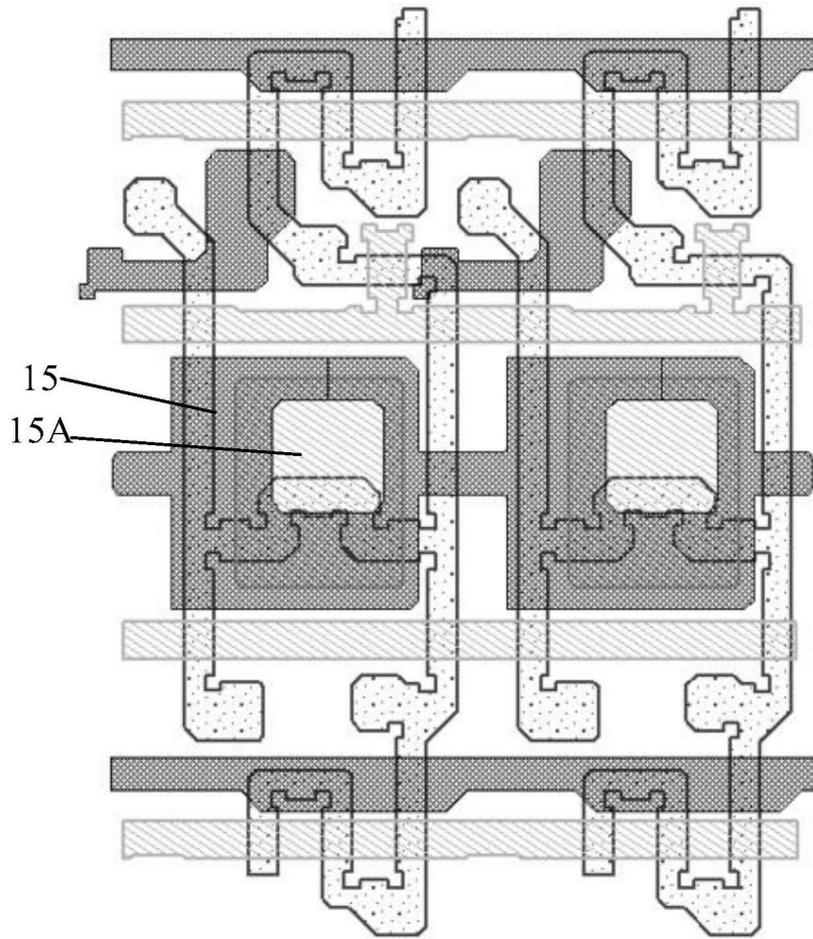


图2C

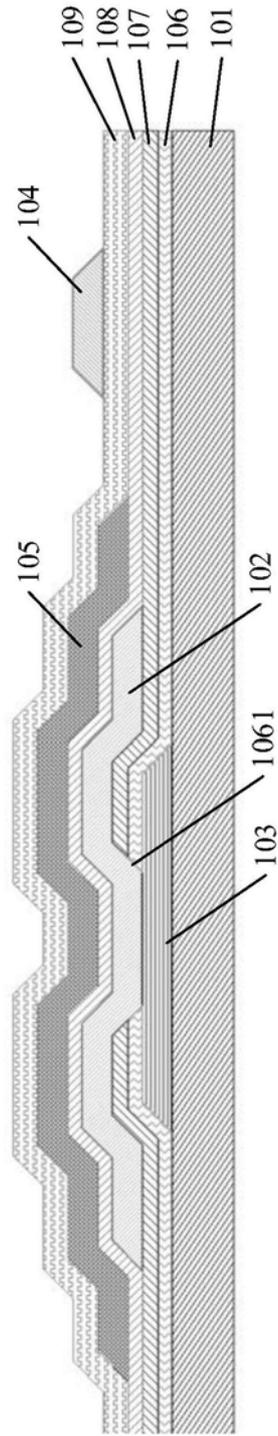


图3A

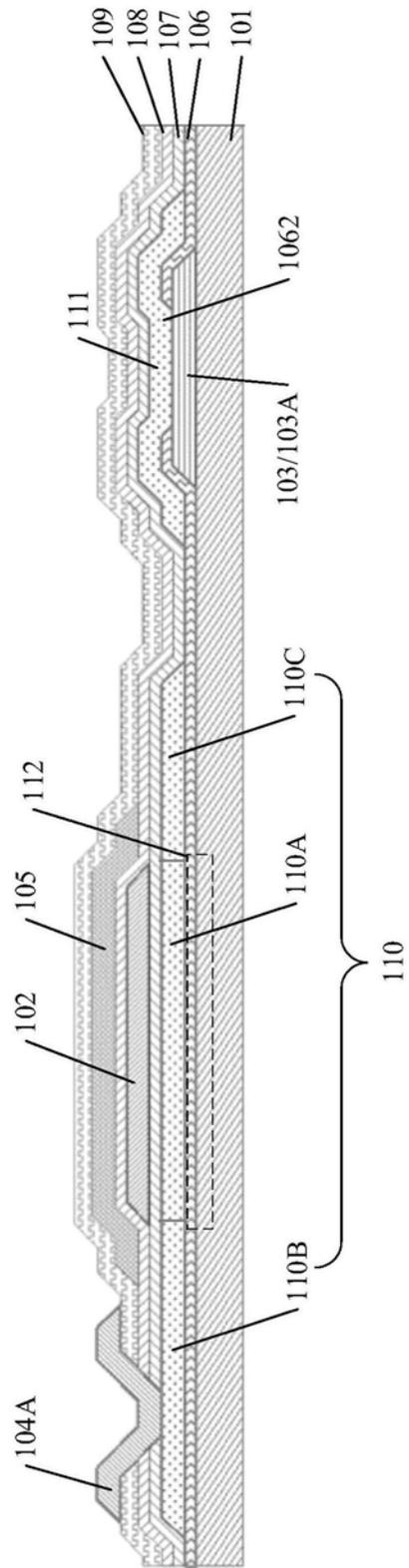


图3B

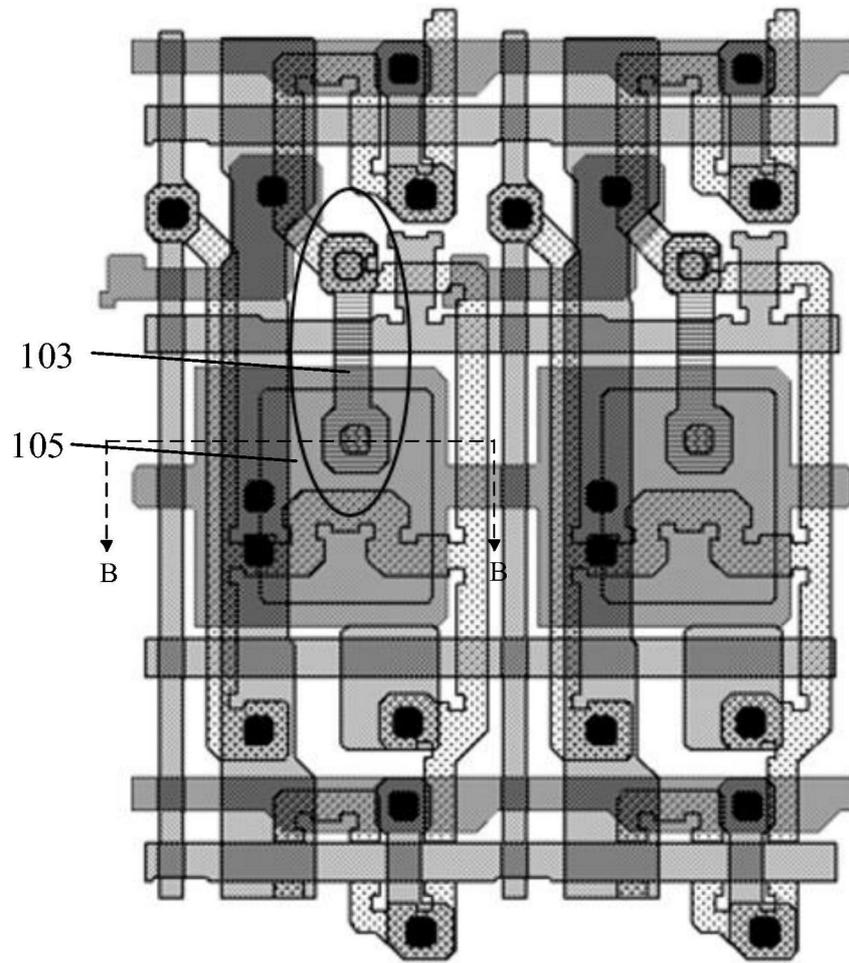


图3C

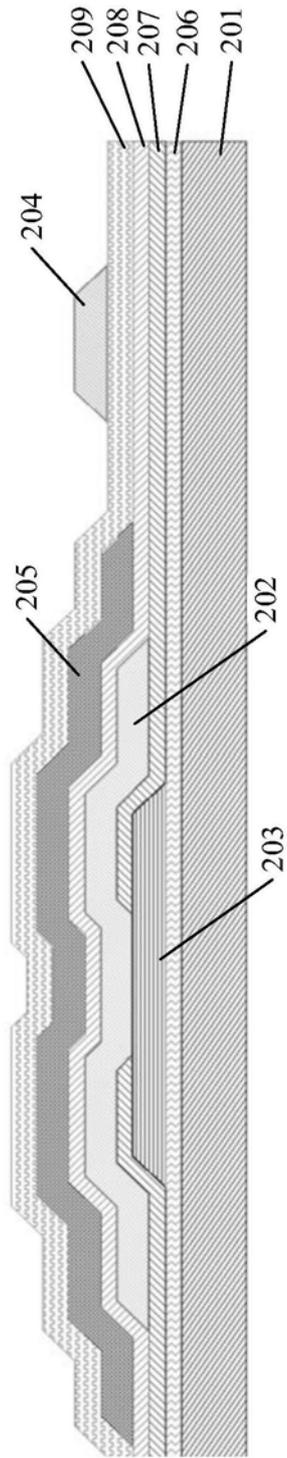


图4A

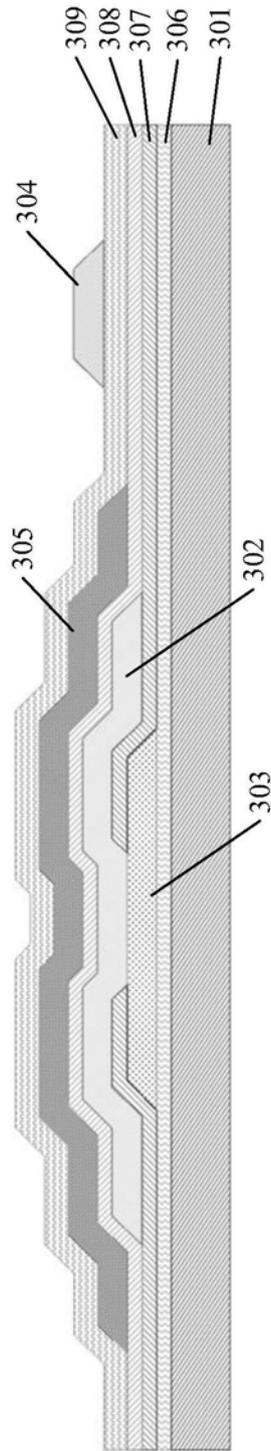


图5A

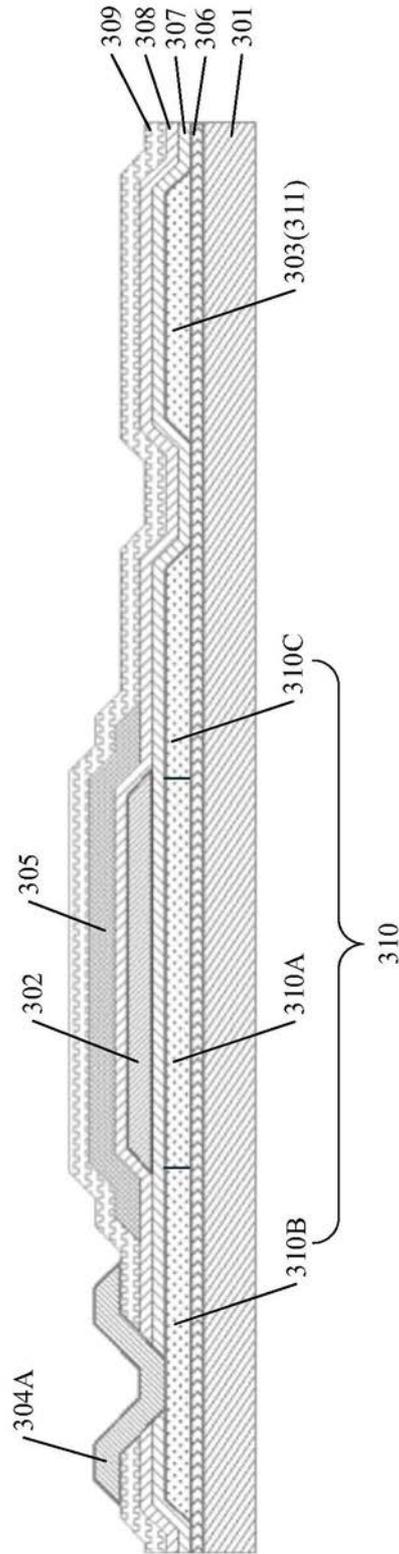


图5B

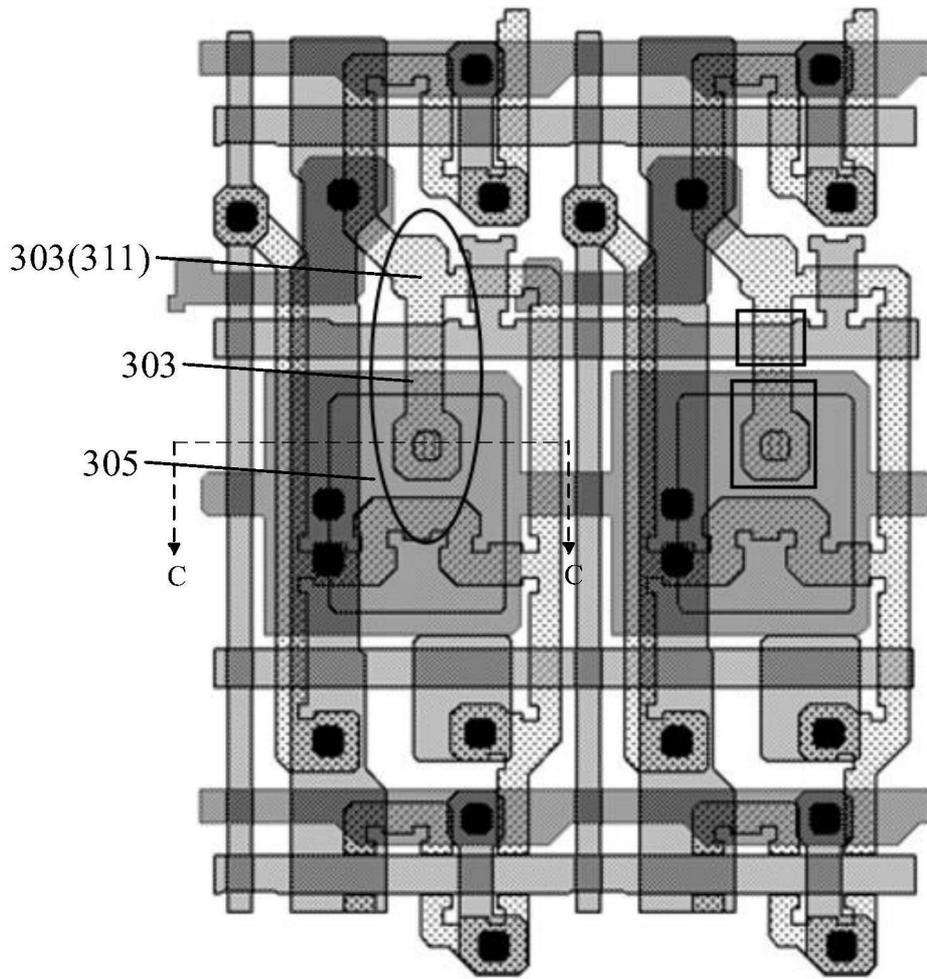


图5C

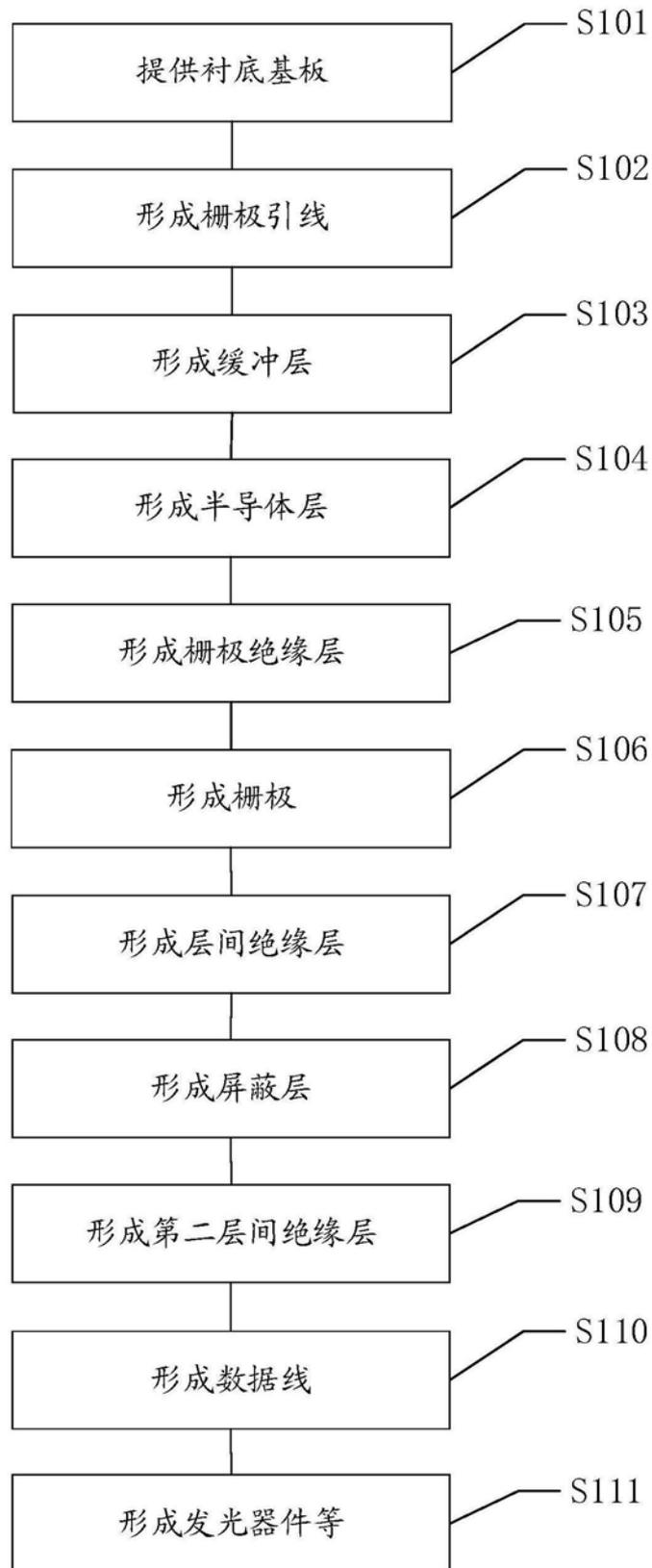


图6A

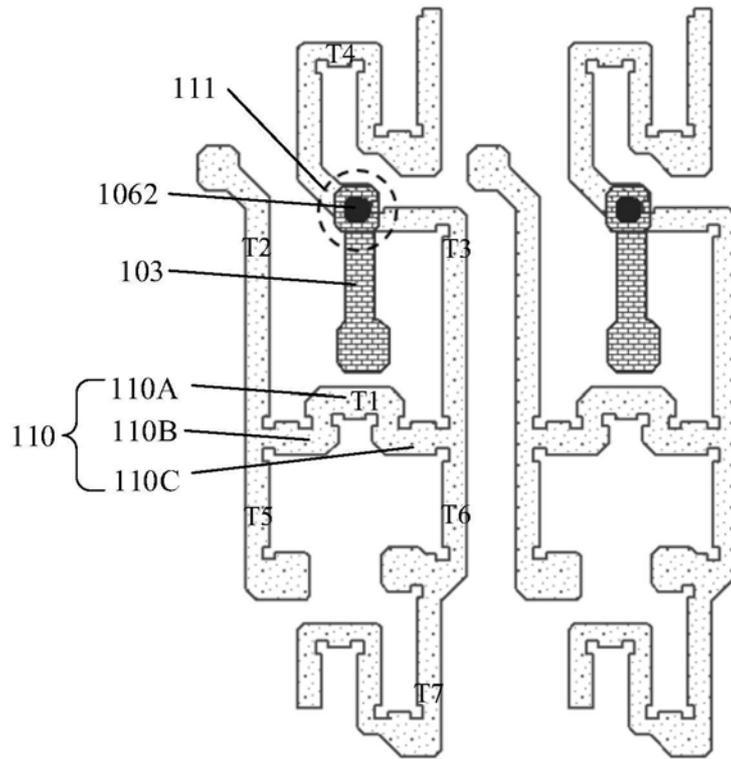


图6B

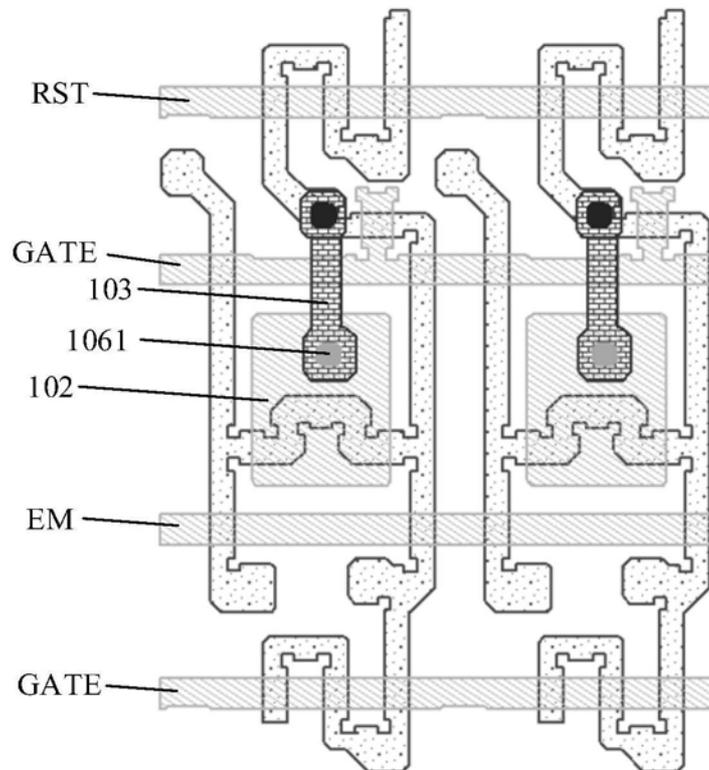


图6C

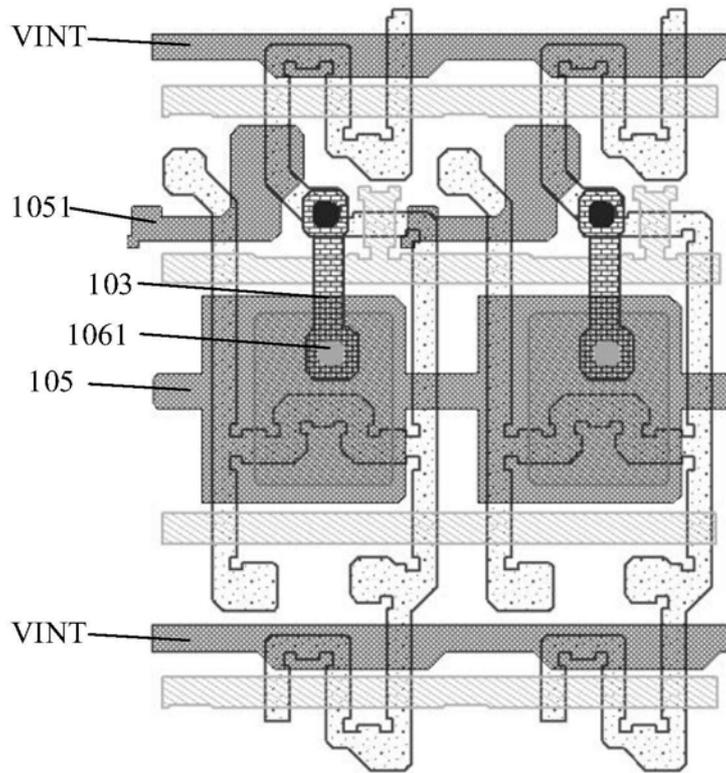


图6D

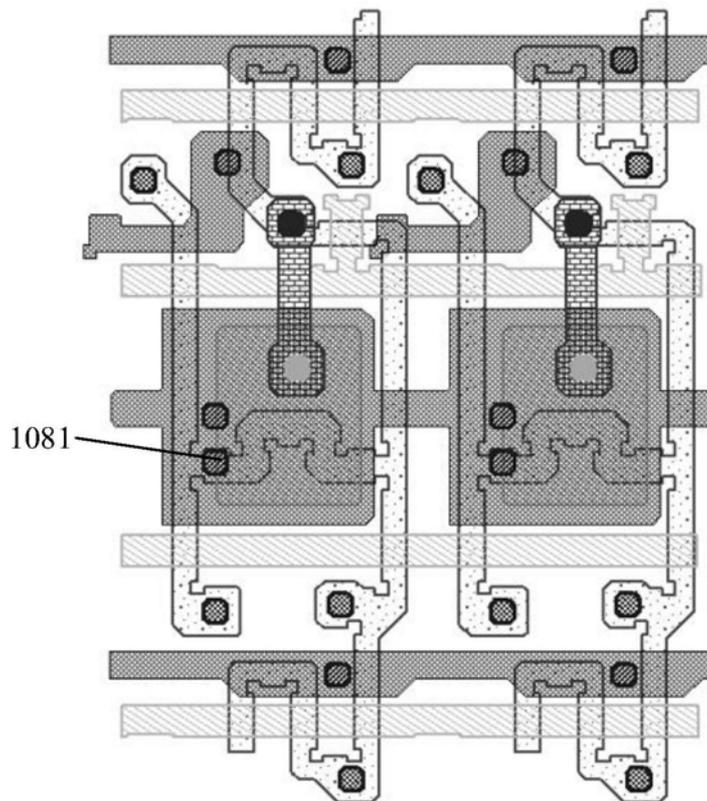


图6E

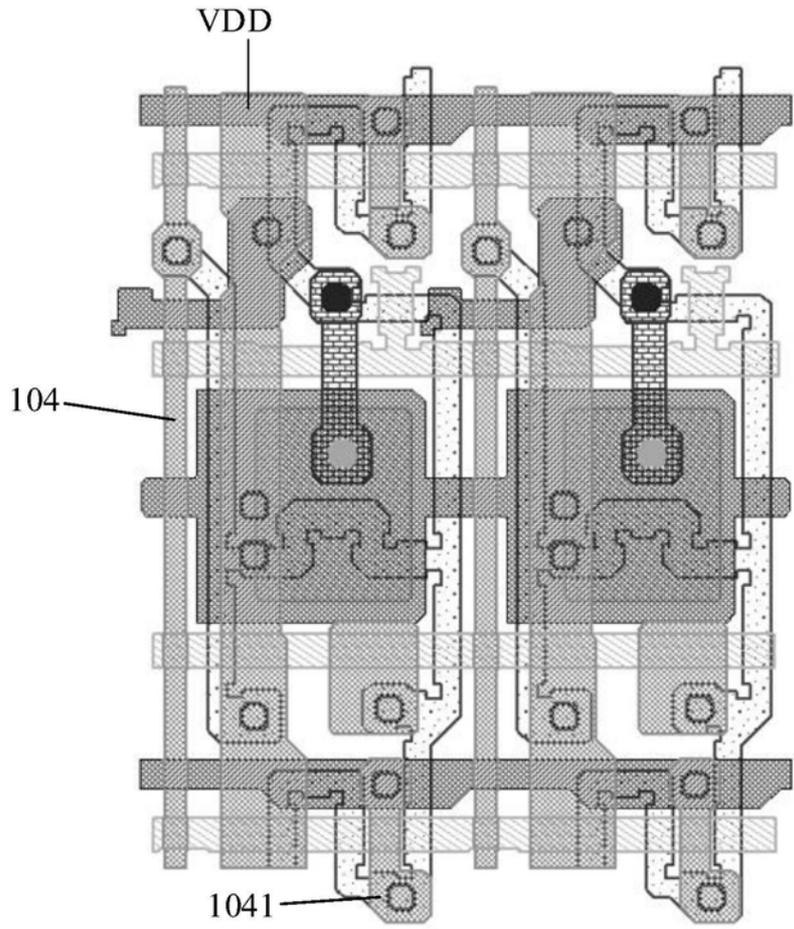


图6F

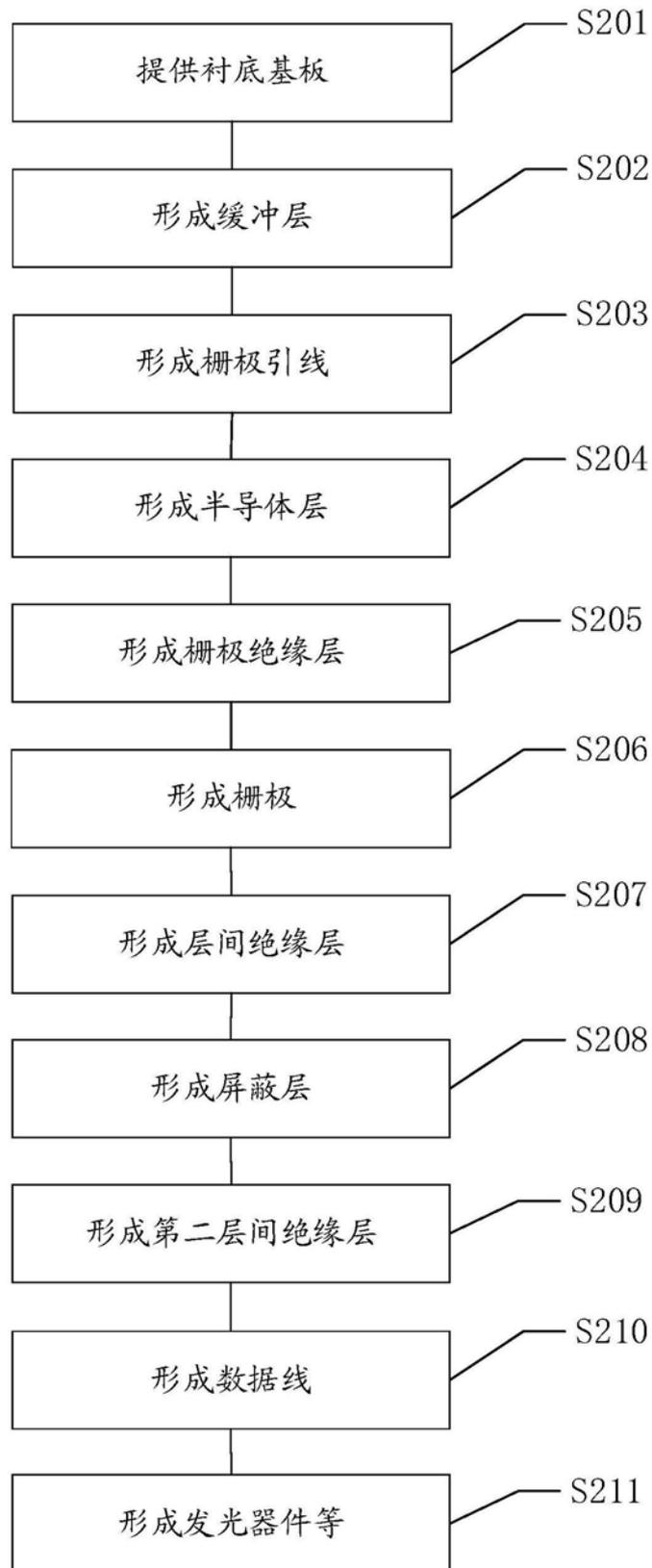


图7

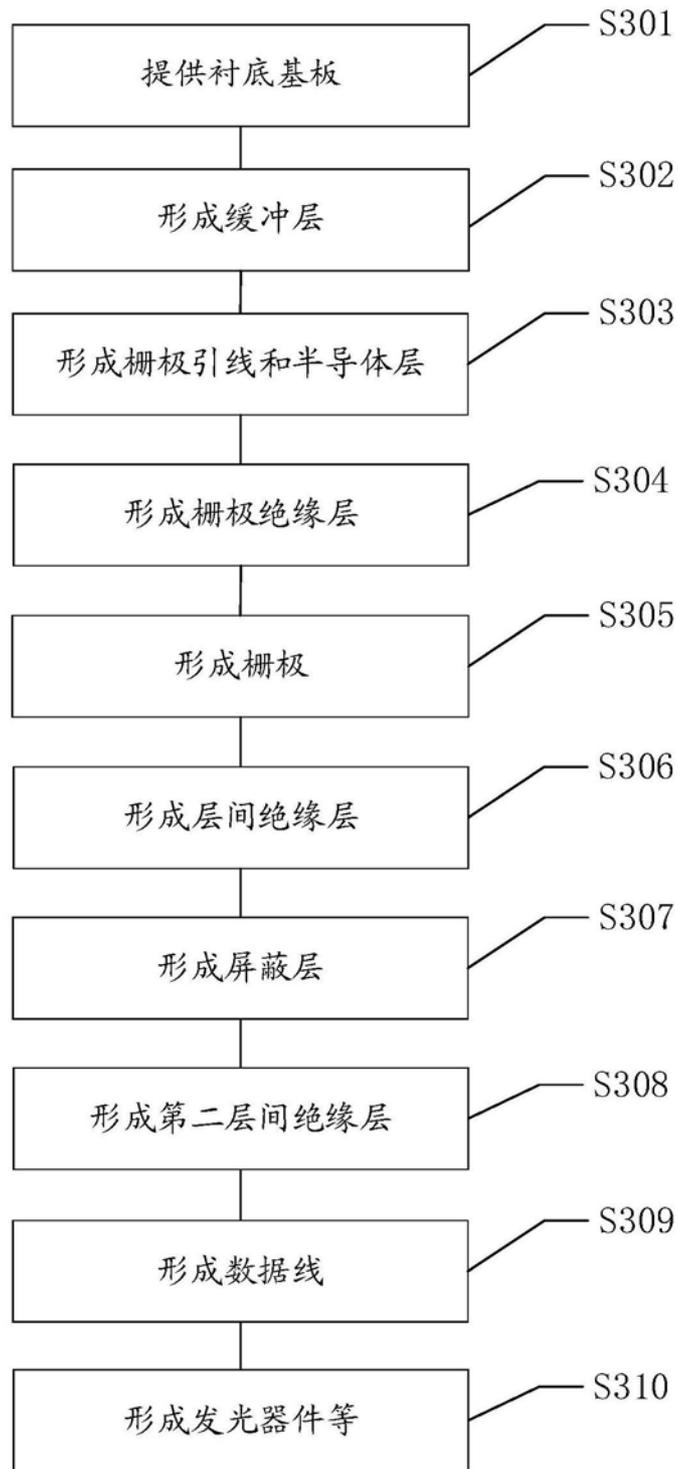


图8A

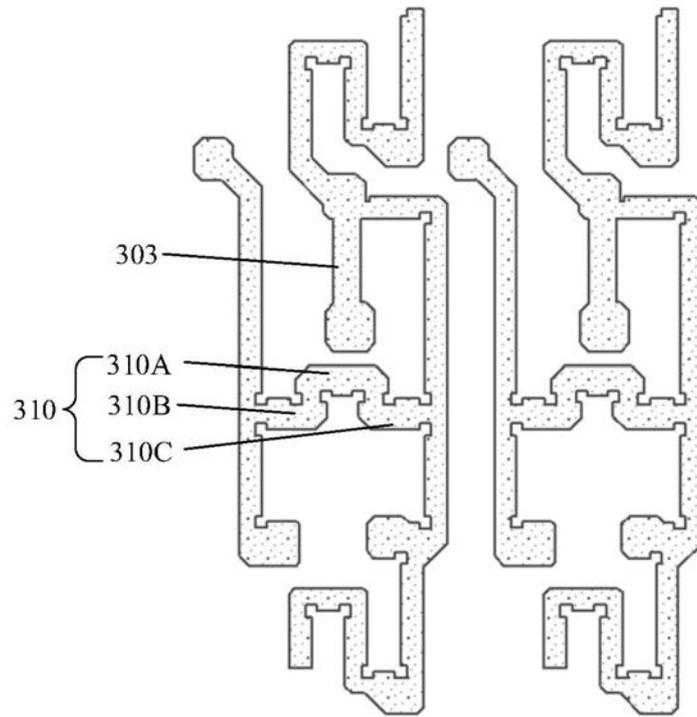


图8B

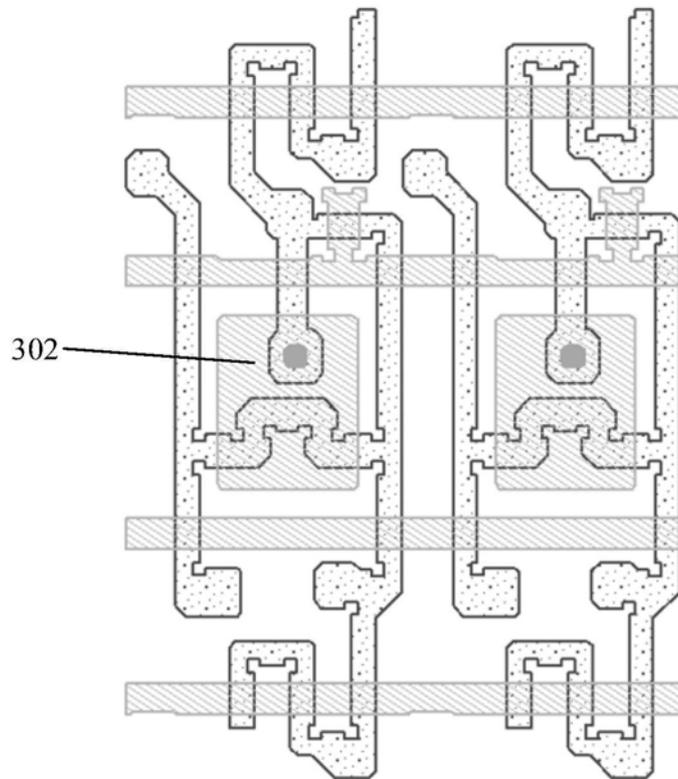


图8C

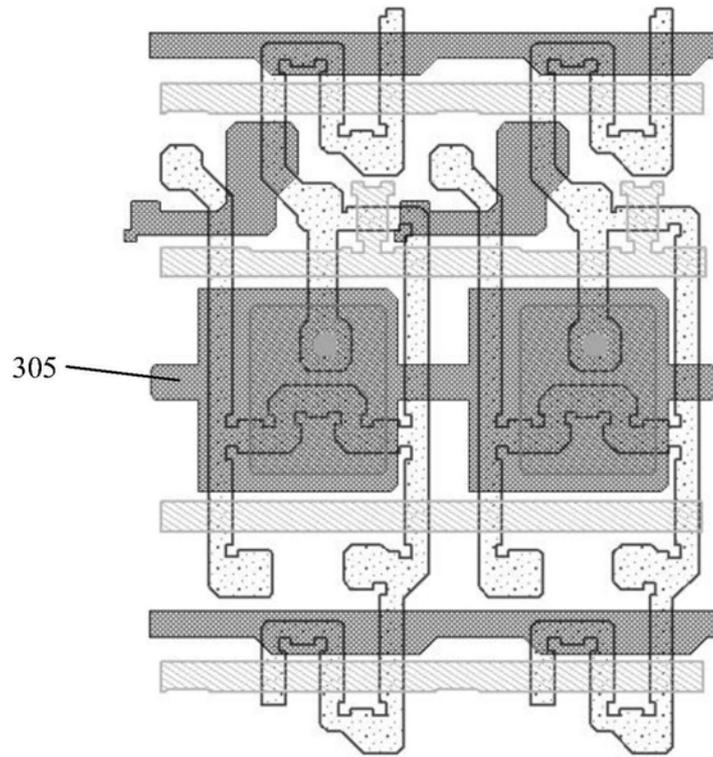


图8D

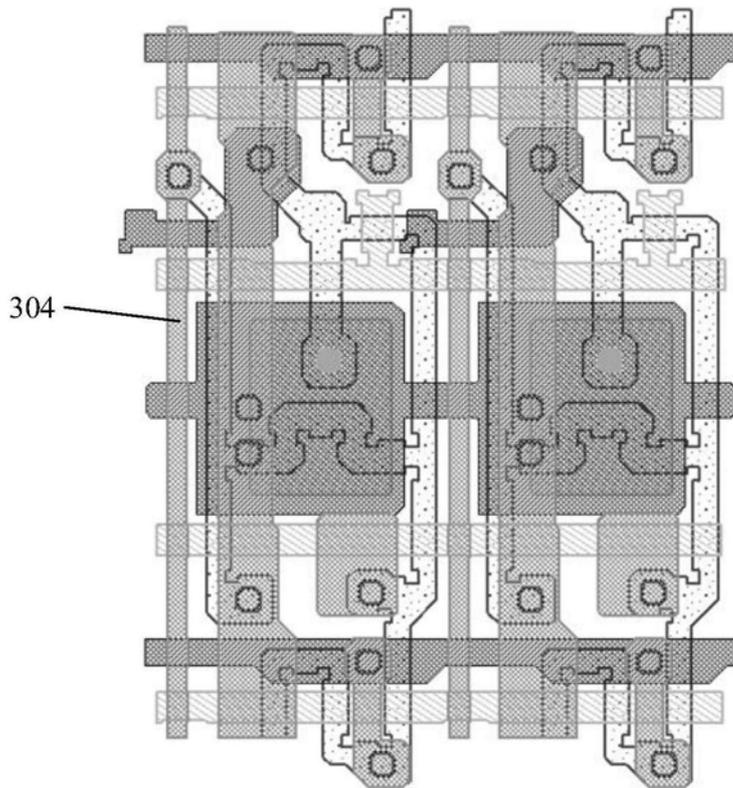


图8E